



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0045934
(43) 공개일자 2009년05월08일

- | | |
|--|---|
| <p>(51) Int. Cl.
G06F 9/44 (2006.01) G06F 13/12 (2006.01)</p> <p>(21) 출원번호 10-2009-7005005</p> <p>(22) 출원일자 2009년03월10일
심사청구일자 없음
번역문제출일자 2009년03월10일</p> <p>(86) 국제출원번호 PCT/US2007/017805
국제출원일자 2007년08월10일</p> <p>(87) 국제공개번호 WO 2008/021241
국제공개일자 2008년02월21일</p> <p>(30) 우선권주장
60/837,051 2006년08월11일 미국(US)</p> | <p>(71) 출원인
엔테그리스, 아이엔씨.
미국, 55318 미네소타, 차스카, 라이만 불리바드 3500</p> <p>(72) 발명자
맥러플린 로버트 에프
미국 뉴햄프셔주 03076 펠햄 제퍼슨 드라이브 2</p> <p>(74) 대리인
김태홍, 신정건</p> |
|--|---|

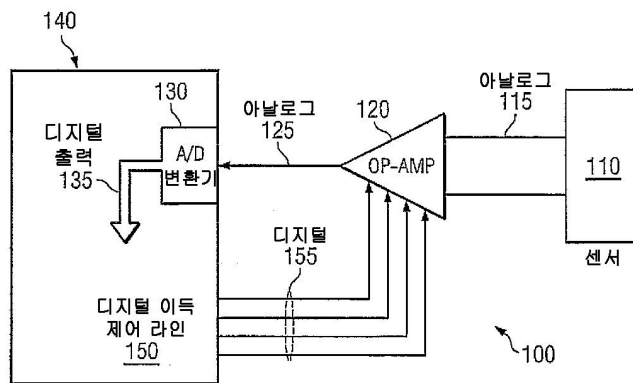
전체 청구항 수 : 총 20 항

(54) 아날로그 신호를 위한 자동 범위조정 시스템 및 방법

(57) 요약

본 명세서에는 아날로그 신호에 대한 자동 범위조정 시스템 및 방법의 실시예들이 개시된다. 마이크로프로세서는 마이크로프로세서 상에 탑재되거나 또는 마이크로프로세서와 함께 패키징될 수 있는 A/D 변환기의 디지털 출력에 기초하여, 연산 증폭기의 프로그래머블 이득을 디지털 방식으로 제어하도록 구성된다. 증폭기는 센서로부터 처리되지 않은 아날로그 신호를 수신하고, 증폭된 아날로그 신호를 A/D 변환기에 제공한다. 증폭기의 이득은 일반적으로 센서 신호의 일부 범위에 대응한다. A/D 변환기는 입력 신호를 나타내는 많은 수의 비트들을 출력한다. 증폭기의 프로그래머블 이득을 디지털 방식으로 제어하도록 구성된 마이크로프로세서는 A/D 변환기로부터 출력을 수신하고 그 출력을 검사하여, A/D 변환기로부터의 출력을 미리 결정된 범위 내로 유지 또는 지속시키는데 필요한 대로 그에 알맞게 증폭기의 이득을 자동으로 조정한다.

대표도 - 도1



특허청구의 범위

청구항 1

프로그램머블 이득을 갖는 연산 증폭기로부터 증폭된 아날로그 신호를 아날로그-디지털 변환기에서 수신하는 단계;

상기 증폭된 아날로그 신호를 디지털 신호로 변환하는 단계;

상기 디지털 신호를 검사하는 단계; 및

상기 디지털 신호를 상기 아날로그-디지털 변환기의 미리 결정된 범위의 풀 스케일 출력 능력 내로 유지하기 위하여 상기 연산 증폭기의 상기 프로그램머블 이득을 디지털방식으로 조정하는 단계를 포함하는 방법.

청구항 2

제 1 항에 있어서, 상기 증폭된 아날로그 신호는 센서 판독값을 나타내는 것인 방법.

청구항 3

제 1 항에 있어서,

상기 디지털 신호에 포함된 제1 비트 카운트가 최대 비트 카운트보다 큰지 여부를 판단하는 단계를 더 포함하고, 상기 최대 비트 카운트는 상기 아날로그-디지털 변환기의 상기 풀 스케일 출력 능력을 나타내는 총 비트 카운트보다 작은 것인 방법.

청구항 4

제 3 항에 있어서, 상기 제1 비트 카운트가 상기 최대 비트 카운트보다 크다면, 상기 연산 증폭기의 상기 프로그램머블 이득을 더 낮은 이득 설정값까지 디지털방식으로 감소시키는 단계를 더 포함하는 방법.

청구항 5

제 3 항에 있어서, 상기 제1 비트 카운트가 상기 최대 비트 카운트보다 작다면, 상기 연산 증폭기의 상기 프로그램머블 이득을 더 높은 설정값까지 디지털방식으로 증가시키는 단계를 더 포함하는 방법.

청구항 6

제 1 항에 있어서,

상기 아날로그-디지털 변환기의 상기 풀 스케일 출력 능력을 나타내는 총 비트 카운트를 결정하는 단계;

상기 미리 결정된 범위를 나타내는 제1 문턱값 및 제2 문턱값을 설정하는 단계로서, 상기 제1 문턱값은 상기 총 비트 카운트보다 작고, 상기 제2 문턱값은 상기 제1 문턱값보다 작은 것인, 제1 문턱값 및 제2 문턱값을 설정하는 단계; 및

상기 디지털 신호에 포함된 제1 비트 카운트를 상기 제1 문턱값 및 제2 문턱값과 비교하는 단계를 포함하는 방법.

청구항 7

제 6 항에 있어서,

상기 제1 비트 카운트가 상기 제1 문턱값보다 크다면, 상기 연산 증폭기의 상기 프로그램머블 이득을 디지털방식으로 감소시키는 단계를 더 포함하는 방법.

청구항 8

제 6 항에 있어서,

상기 제1 비트 카운트가 상기 제2 문턱값보다 작다면, 상기 연산 증폭기의 상기 프로그램머블 이득을 디지털방식으로 증가시키는 단계를 더 포함하는 방법.

청구항 9

프로그래머블 이득을 갖는 연산 증폭기로부터 증폭된 아날로그 신호를 수신하고 상기 증폭된 아날로그 신호를 디지털 신호로 변환하기 위한 아날로그-디지털 변환기;

중앙 처리 장치; 및

상기 중앙 처리 장치에 결합되고, 상기 중앙처리 장치로 하여금,

상기 디지털 신호를 내부적으로 검사하고,

상기 아날로그-디지털 변환기의 출력을 미리 결정된 범위 내로 유지하기 위하여 상기 아날로그-디지털 변환기의 상기 디지털 신호에 기초하여, 상기 연산 증폭기의 상기 프로그래머블 이득을 디지털방식으로 제어하게 하도록 동작 가능한 자동 범위조정 알고리즘을 구현하는 컴퓨터 실행 가능한 프로그램 명령어들을 저장하는 메모리

를 포함하는 장치.

청구항 10

제 9 항에 있어서, 상기 미리 결정된 범위는 상기 아날로그-디지털 변환기의 풀 스케일 출력 능력의 상위 절반을 포함하는 것인 장치.

청구항 11

제 9 항에 있어서, 상기 자동 범위조정 알고리즘을 구현하는 상기 컴퓨터 실행 가능한 프로그램 명령어들은 상기 중앙 처리 장치로 하여금, 상기 디지털 신호에 포함된 제1 비트 카운트가 최대 비트 카운트보다 큰지 여부를 판단하게 하도록 더 동작가능하고, 상기 최대 비트 카운트는 상기 아날로그-디지털 변환기의 풀 스케일 출력 능력을 나타내는 총 비트 카운트보다 작은 것인 장치.

청구항 12

제 11 항에 있어서, 상기 자동 범위조정 알고리즘을 구현하는 상기 컴퓨터 실행 가능한 프로그램 명령어들은, 상기 제1 비트 카운트가 상기 최대 비트 카운트보다 크다면, 상기 중앙 처리 장치로 하여금 상기 연산 증폭기의 상기 프로그래머블 이득을 더 낮은 이득 설정값까지 디지털방식으로 감소시키게 하도록 더 동작 가능한 것인 장치.

청구항 13

제 11 항에 있어서, 상기 자동 범위조정 알고리즘을 구현하는 상기 컴퓨터 실행 가능한 프로그램 명령어들은 상기 제1 비트 카운트가 상기 최대 비트 카운트보다 작다면, 상기 중앙 처리 장치로 하여금 상기 연산 증폭기의 상기 프로그래머블 이득을 더 높은 이득 설정값까지 디지털방식으로 증가시키게 하도록 더 동작가능한 것인 장치.

청구항 14

제 9 항에 있어서, 상기 자동 범위조정 알고리즘을 구현하는 상기 컴퓨터 실행 가능한 프로그램 명령어들은 상기 중앙 처리 장치로 하여금 상기 디지털 신호에 포함된 제1 비트 카운트를 제1 문턱값 및 제2 문턱값과 비교하게 하도록 더 동작 가능하고, 상기 제1 문턱값 및 제2 문턱값은 상기 아날로그-디지털 변환기의 풀 스케일 디지털 출력 능력을 나타내며, 상기 제2 문턱값은 상기 제1 문턱값보다 작고, 상기 제1 문턱값은 상기 아날로그-디지털 변환기의 상기 풀 스케일 디지털 출력 능력을 나타내는 총 비트 카운트보다 작은 것인 장치.

청구항 15

제 14 항에 있어서, 상기 자동 범위조정 알고리즘을 구현하는 상기 컴퓨터 실행 가능한 프로그램 명령어들은 상기 제1 비트 카운트가 상기 제1 문턱값보다 크다면, 상기 중앙 처리 장치로 하여금 상기 연산 증폭기의 상기 프로그래머블 이득을 디지털방식으로 감소시키게 하도록 더 동작 가능한 것인 장치.

청구항 16

제 14 항에 있어서, 상기 자동 범위조정 알고리즘을 구현하는 상기 컴퓨터 실행 가능한 프로그램 명령어들은 상기 제1 비트 카운트가 상기 제2 문턱값보다 작다면, 상기 중앙 처리 장치로 하여금 상기 연산 증폭기의 상기 프로그래머블 이득을 디지털방식으로 증가시키게 하도록 더 동작가능한 것인 장치.

청구항 17

압력 센서로부터의 아날로그 신호를 증폭시키기 위한, 프로그래머블 이득을 갖는 연산 증폭기;

상기 연산 증폭기로부터 증폭된 아날로그 신호를 수신하고 상기 증폭된 아날로그 신호를 디지털 신호로 변환하기 위해 상기 연산 증폭기에 결합된 아날로그-디지털 변환기; 및

상기 디지털 신호를 검사하고,

상기 아날로그-디지털 변환기의 출력을 미리 결정된 범위 내로 유지하기 위하여 상기 연산 증폭기의 상기 프로그래머블 이득을 디지털방식으로 제어하도록 동작 가능한 마이크로제어기

를 포함하는 시스템.

청구항 18

제 17 항에 있어서, 상기 마이크로제어기는 상기 아날로그-디지털 변환기로부터의 디지털 신호에 기초하여, 상기 연산 증폭기의 상기 프로그래머블 이득이 유지될 것인지 또는 제1 이득 설정값으로부터 제2 이득 설정값으로 변경될 것인지를 결정하도록 더 동작 가능한 것인 시스템.

청구항 19

제 17 항에 있어서, 상기 마이크로제어기는,

상기 디지털 신호에 포함된 제1 비트 카운트가 최대 비트 카운트보다 큰지 여부를 판단하고,

상기 제1 비트 카운트가 상기 최대 비트 카운트보다 크다면, 상기 연산 증폭기의 상기 프로그래머블 이득을 낮은 이득 설정값까지 감소시키며,

상기 제1 비트 카운트가 상기 최대 비트 카운트보다 작다면, 상기 연산 증폭기의 상기 프로그래머블 이득을 더 높은 설정값까지 증가시키도록 더 동작 가능하고,

상기 최대 비트 카운트는 상기 아날로그-디지털 변환기의 풀 스케일 출력 능력을 나타내는 총 비트 카운트보다 작은 것인 시스템.

청구항 20

제 17 항에 있어서, 상기 마이크로제어기는,

상기 디지털 신호에 포함된 제1 비트 카운트를 제1 문턱값 및 제2 문턱값과 비교하고,

상기 제1 비트 카운트가 상기 제1 문턱값보다 크다면, 상기 연산 증폭기의 상기 프로그래머블 이득을 감소시키며,

상기 제1 비트 카운트가 상기 제2 문턱값보다 작다면, 상기 연산 증폭기의 상기 프로그래머블 이득을 증가시키도록 더 동작 가능하고,

상기 제1 문턱값 및 상기 제2 문턱값은 상기 아날로그-디지털 변환기의 풀 스케일 디지털 출력 능력의 범위를 나타내며, 상기 제2 문턱값은 상기 제1 문턱값보다 작고, 상기 제1 문턱값은 상기 아날로그-디지털 변환기의 상기 풀 스케일 디지털 출력 능력을 나타내는 총 비트 카운트보다 작은 것인 시스템.

명세서

기술분야

<1> 본원은 2006년 8월 11일 출원된 발명의 명칭 "AUTO RANGING SYSTEM AND METHOD FOR AN ANALOG SIGNAL"의 미국 가출원 제60/837,051호를 우선권 주장하며, 상기 출원은 모든 목적을 위해 참조문헌으로서 그 전체가 본 명세서에서 포함된다.

<2> 본 발명의 실시예들은 일반적으로 전자기기 및 센서에 관한 것으로, 더 자세하게는 아날로그-디지털("A/D") 변환기로의 입력 증폭기의 이득을 변경하기 위한 시스템 및 방법에 관한 것이다.

배경 기술

<3> 많은 전자 시스템에서, 센서(예컨대, 압력 센서)는 상태(예컨대, 압력)를 나타내는 전압을 갖는 신호를 출력한다. 증폭기는 A/D 변환기를 위한 입력 신호를 생성하기 위하여 신호에 이득을 곱한다. 이전의 시스템은 통상적으로 증폭기로의 아날로그 신호 입력에 기초하여 입력 증폭기의 이득을 조정한다. 예를 들어, 미국 특허 출원 제3,187,323호, 제3,958,178호, 제4,105,967호, 제4,305,063호, 제4,605,920호, 및 제6,288,664호에는, 아날로그 입력 신호가 이득 선택 회로에서 이용되는 시스템들이 기술되어 있다.

<4> 많은 경우, 외부 하드웨어/소프트웨어 컴포넌트들 및/또는 추가 회로가 다양한 애플리케이션들에 대해 요구될 수 있다. 예를 들어, Kurtin 등의 미국 특허 제3,790,886에는, 모르는 입력 전압 소스의 크기를 측정하기 위해 모드 스위치, 활성 정류기/극성 센서, 및 이중 슬로프 변환을 이용하는 A/D 변환기가 기술되어 있다.

<5> Goyal의 미국 특허 제4,901,078호에는, 입력과 오프셋 전압들 간의 차이의 크기가 A/D 변환기의 입력 범위 내에 들도록 차동 방법 및 회로를 이용하는 A/D 변환기가 기술되어 있다.

<6> Tanaka 등의 미국 특허 제5,170,166호에는, 광전기 컴포넌트로부터의 아날로그 신호가 스위칭 증폭기에 의해 증폭되는 아날로그-디지털 변환을 위해 2개의 A/D 변환기를 이용하는 범위 스위칭 장치가 개시된다. 증폭된 신호는 2개의 변환기, 즉 측정 A/D 변환기 및 스위칭 A/D 변환기로 전달된다. 스위칭 A/D 변환기는 아날로그 신호를 디지털 신호로 변환한다. 스위칭 A/D 변환기로부터의 디지털 신호는 스위칭 증폭기에 요구되는 증폭 변화를 결정하기 위해 측정 A/D 변환기의 상한값 및 하한값과 비교된다.

<7> Mason 등의 미국 특허 제5,194,865호에는, 자동 범위 제어를 갖는 A/D 변환기가 개시된다. Mason 등의 변환기는 A/D 변환기로의 아날로그 신호의 크기를 조정하기 위한 레벨 이동장치(shifter)를 포함한다. 레벨 이동장치는 변환될 아날로그 신호의 피크 진폭에 대응하는 기준 전위를 발생시키기 위하여 피크 검출기 회로의 이용을 요구한다.

<8> Baumgartner 등의 미국 특허 제5,329,281호에는, 오프셋 차감을 이용하는 A/D 변환기가 개시된다. Baumgartner 등의 A/D 변환기를 구현하기 위해서는 오프셋 차감과 연관된 추가 회로가 요구된다.

<9> Hutchinson 등의 미국 특허 제5,568,143호에는, 자동으로 그리고 동적으로 변하는 분해능 범위를 갖는 아날로그-디지털 변환 시스템이 개시된다. Hutchinson 등의 시스템에서, 마이크로프로세서는 연속적으로 시간을 증분하여 적분기 출력을 샘플링하도록 A/D 변환기를 동작시킨다. A/D 변환기로부터 디지털화된 샘플들은 A/D 변환기의 진폭 범위의 상위에 있는 미리 결정된 값과 비교된다. 낮은 진폭의 아날로그 신호는 나중의 샘플링 때까지 미리 결정된 레벨에 도달하지 못하며, 따라서 분해능 범위의 상위에 있는 분해능으로 분해된다. 높은 진폭의 아날로그 신호는 분해능 범위의 하위에 있는 분해능으로 분해된다. 따라서, 분해능은 디지털화되는 아날로그 신호의 진폭과 반대로 동적으로 그리고 자동으로 증가한다. 디지털화된 값은 2개의 이진 숫자에 의해 표현되는데, 하나는 미리 결정된 진폭을 달성하는 적분기 출력의 샘플이 검출될 때까지의 샘플들의 갯수에 대응하고, 다른 하나는 적분된 신호가 달성하는 값에 대응한다.

<10> Gorin 등의 미국 특허 제5,844,512호에는, A/D 변환기에 op-amp 출력을 전송하기 전에 가변 연산 증폭기의 이득을 설정하기 위해 이득 검출기를 이용하는 자동 범위의 조정 장치가 개시된다. Gorin 등의 장치는 이득 검출기, 및 규칙 프로세서를 안티-에일리어싱(anti-aliasing) 필터와 병렬로 셋팅하는 증폭기 이득을 요구한다.

<11> Yu의 미국 특허 제6,140,948호에는, 2개의 캐패시터 뱅크를 이용하는 A/D 변환기 시스템이 기술된다. 더욱 상세하게, 제1 캐패시터 뱅크는 참조 전압을 샘플링하고, 제2 캐패시터 뱅크는 제2 입력 전압을 동시에 샘플링한다. 따라서, Yu의 A/D 변환기 시스템을 구현하기 위해서는 참조 전압 및 2 개의 캐패시터 뱅크들이 요구된다.

<12> Swanson의 미국 특허 제6,414,619호 및 제6,590,517호에는, 2개의 입력 즉, 아날로그 입력 및 아날로그 입력의 추정값을 이용하는 자동 범위의 조정 A/D 변환기가 기술된다. Swanson의 자동 범위의 조정 A/D 변환기는 또한 오프셋의 이용을 요구한다.

<13> No11 등의 미국 특허 제6,683,552호에는, 2개의 A/D 변환기 및 멀티플렉서의 이용을 요구하는 변환기 시스템이 기술된다. No11 등의 변환기 시스템은 2개의 A/D 변환기들로부터 정정된 데이터의 결합(merger)을 요구한다.

<14> Nakamura의 미국 특허 제6,864,820호에는, A/D 변환기의 범위를 확장하기 위한 방법이 기술된다. 과도범위

(overrange)의 양은 특별 회로를 이용하여 결정된 다음, 오프셋함으로써 보상된다. Nakamura의 방법은 연산 증폭기의 이득의 변화를 이용하지 않는다.

- <15> Kearny의 미국 특허 제6,940,445호에는, 프로그래머블 입력 전압 범위 A/D 변환기가 기술된다. 그러나, 이 프로그래머블 입력 범위 A/D 변환기는 연산 증폭기의 출력을 제어하지 않는다.
- <16> Parssinen 등의 미국 특허 제6,993,291호에는, A/D 변환기의 범위를 제어하기 위한 방법이 기술된다. Parssinen 등의 제어 방법은 범위가 고정되는 A/D 변환기들에는 적용 가능하지 않다.
- <17> 미국 특허 출원 공개 공보 제2003/0102994호에서, Stimmann은 트랜스듀서(transducer)로부터 신호 소스를 취하여 그것을 증폭기 बैं크에 공급하는 범위 변환기를 기술한다. Stimmann의 변환기에서, 증폭기 बैं크의 어느 채널이 A/D 변환기의 범위 내에 있는지 여부를 판단하기 위해 비교기 बैं크가 요구된다.

발명의 상세한 설명

- <18> 통상적으로 마이크로프로세서와 함께 패키징되는 A/D 변환기들과 같은 종래의 A/D 변환기는, 통상적으로 외부 하드웨어 및/또는 추가 회로와 통합되는 고분해능 A/D 변환기들의 속도 및 성능을 달성할 수 없다. 그러나, 종래의 A/D 변환기는 훨씬 저렴하고 용이하게 이용 가능하다. 따라서, 몇몇의 경우, 종래의 A/D 변환기를 이용하는 것이 필수적이고 및/또는 바람직할 수 있으며, 비용 절감에도 이득일 수 있다. 한 가지 문제점은, A/D 변환기들이 몇몇의 애플리케이션들에 대해서는 충분한 분해능을 제공하지 못할 수 있다는 것이다. 예를 들어, 오늘날의 마이크로프로세서들은 A/D 변환기를 포함하여, 기판 상에 많은 주변장치들을 갖는다. 그러나, 내장형 A/D 변환기들 대부분은 오직 8 비트 내지 10 비트의 분해능만을 제공할 수 있고, 이는 특히 스케일의 하단에서, A/D 변환기들을 특정 애플리케이션에 충분하지 못하게 만든다. 내장(onboard) 유형의 A/D 변환기들 (또는 다른 제한된 비트의 A/D 변환기들)의 하단에서 더 나은 분해능을 얻고 또한 비용 절감의 이점을 취할 수 있는 방법의 필요성이 존재한다. 본 발명의 실시예들은 이러한 필요성 및 그 이상의 것을 처리할 수 있다.
- <19> 본 발명의 실시예들은 하드웨어 구현에 따른 비용 증가를 발생시키지 않고 아날로그 시스템(예컨대, 내장형 A/D 변환기)의 분해능을 증가시킬 수 있는 자동 범위조정 시스템 및 방법을 제공한다.
- <20> 더욱 상세하게, 본 발명의 실시예들에서, 마이크로프로세서는 A/D 변환기에 의해 출력된 비트의 수에 기초하여 연산 증폭기의 프로그래머블 이득을 디지털방식으로 제어하도록 구성된다. 이득은 일반적으로 센서 또는 트랜스듀서에 의한 출력 신호의 일부 범위에 대응한다. A/D 변환기는 마이크로프로세서 상에 탑재되거나 또는 그렇지 않다면 마이크로프로세서와 함께 패키징될 수 있다.
- <21> 예시적 실시예에서, 연산 증폭기(예컨대, 디지털방식 프로그래머블 이득을 갖는 차동 브릿지 증폭기)는 센서(예컨대, 압력 센서)로부터 입력을 수신하고 A/D 변환기(예컨대, 10 비트의 A/D 변환기)에 출력을 제공한다. 입력 신호에 기초하여, A/D 변환기는 입력 신호(예컨대, 압력)를 나타내는 많은 수의 비트들을 출력한다. 연산 증폭기의 프로그래머블 이득을 디지털방식으로 제어하도록 구성된 마이크로프로세서(예컨대, 싱글 칩 16/32 비트의 마이크로제어기)는 A/D 변환기로부터의 출력을 수신하여 검사하고, A/D 변환기로부터의 출력을 미리 결정된 범위(예컨대, 풀 스케일의 10%와 90% 사이의 범위) 내로 유지 또는 지속시키기 위해 필요한 대로 그에 알맞게 연산 증폭기의 이득을 자동으로 조정한다.
- <22> 몇몇 실시예들에서, 마이크로프로세서는 범위를 벗어나는 A/D 변환기로부터의 출력을 검출한다면, 마지막 포인트를 반복하거나, 하나 이상의 포인트들의 평균을 구하거나, 또는 다양한 다른 소프트웨어 기술들을 이용할 수 있고, 프로그래머블 연산 증폭기의 이득을 조정하여, 그 이득을 바람직한 A/D 범위 내에 들게 한다.
- <23> 예를 들어, 마이크로프로세서는, A/D 변환기에 의해 출력된 비트의 수가 미리 정의된 수보다 크다면, 입력 증폭기의 이득을 떨어뜨리고, 비트의 수가 미리 정의된 수보다 작다면, 이득을 증가시키도록 구성될 수 있다. 1023개의 출력 비트를 갖는 10 비트의 A/D 변환기의 예를 이용하여, 1000개보다 많은 수의 비트가 A/D 변환기에 의해 출력된다면, 증폭기의 이득은 낮춰진다. 500개보다 적은 비트가 A/D 변환기에 의해 출력된다면, 이득은 상승된다. 500 내지 1000개의 비트가 출력된다면, 이득은 그대로 유지된다.
- <24> 몇몇 실시예들에서, 마이크로프로세서는 A/D 변환기로부터의 출력을 A/D 변환기 범위의 상위 절반의 범위 내로 유지하려고 시도하는 이득을 선택하도록 구성될 수 있다. 이러한 방식으로, 연산 증폭기에 대한 이득은 매우 정밀해질 수 있다. 이는 더욱 정량화될 수 있는 본 발명의 한 가지 이점이다. 마이크로프로세서에 의한 정밀한 이득 제어는 회로의 검교정(calibration)은 선택적인 것이 되게 한다.

<25> 본 발명의 다른 이점은, 자동 범위조정에 통상적으로 요구되는 추가 회로 및 하드웨어 컴포넌트들(예컨대, 비교기 회로, 추가 자동 범위조정 A/D 변환기 등)에 대한 필요성을 없앤다는 것이다. 본 발명의 또 다른 이점은, 프로세서에 대해 대부분 조정이 행해진다는 것이다. 따라서, 본 발명의 실시예들은 용이하게 구현될 수 있고, 추가의 공간을 차지하지 않는다.

<26> 본 발명의 다른 목적 및 이점들은 아래의 도면들을 참조하여 본 명세서에 기술된 바람직한 실시예들의 상세한 설명을 읽고 이해하면 당업자에게는 명백해질 것이다.

실시예

<34> 오늘날 대부분의 마이크로프로세서들은 A/D 변환기들을 구비하는데, A/D 변환기들의 대부분은 8 비트 또는 10 비트의 A/D 변환기이다. 어떠한 조정이 없이, 이러한 내장형 A/D 변환기들은 애플리케이션들을 제한하고, 반도체 제조 공정에서 이용되는 펌프 시스템의 순서 제어와 같은 고분해능의 애플리케이션들에 대체적으로 부적합하다. 이전의 자동 범위조정 시스템들에서, 고분해능의 애플리케이션을 위해 추가의 하드웨어가 요구된다. 통상적으로, 추가된 하드웨어는 A/D 변환기의 외부에 있다. 본 명세서에서 개시되는 본 발명의 실시예들은 A/D 변환기가 최소한의 하드웨어를 갖거나 또는 추가의 하드웨어 없이 더 나은(예컨대, 증가된 분해능) 수행을 행하는 것을 허용하여, 비용 및 물리적 공간에서의 상당한 절약을 제공하는 방식으로 저비용의 A/D 변환기(예컨대, 싱글 칩 마이크로제어기의 구입에 따라오는 A/D 변환기)를 이용할 수 있다.

<35> A/D 변환기의 아날로그 측으로 들어오는 신호들을 제어하기 위해 외부 비교기(들), A/D 변환기(들), 피드백 회로(들), 및/또는 센서(들)이 이용되는 이전의 시스템과는 달리, 본 발명의 몇몇 실시예들은 A/D 변환기의 아날로그 입력에 영향을 주기 위해 내장형 A/D 변환기의 디지털 출력을 이용하도록 동작 가능하다. 본 발명의 몇몇 실시예들에서, 이는 이득을 변경하기 위해 디지털 입력을 수신할 수 있는 프로그래머블 이득 증폭기를 이용하여 달성된다. 예를 들어, 디지털 방식으로 제어된 이득을 갖는 차동 입력 증폭기는 아날로그 신호에 적용된 이득을 변경하기 위하여 마이크로프로세서로부터의 디지털 입력에 응답할 수 있다. 본 명세서 내에서, 용어 "마이크로프로세서", "프로세서", 및 "마이크로제어기"는 서로 교환 가능한 뜻으로 사용된다. 증폭기는, A/D 변환기의 출력을 검사하고 그에 따라 증폭기의 이득을 감소 또는 증가시키도록 구성된 마이크로프로세서에 출력한다. 이는 A/D 변환기가 자신의 디폴트 또는 공장 출하 성능(factory capability)보다 높은 분해능을 제공하는 것을 가능하게 하기 위한 비용 효율적이고 직접적인 방식일 수 있다.

<36> 도 1은 본 발명의 예시적 일 실시예에 따른 자동 범위조정 시스템(100)의 개략적인 도면이다. 이 예에서, 자동 범위조정 시스템(100)은 센서(110), 센서(110)로부터 수신된 아날로그 신호(115)를 증폭하기 위해 센서(110)에 결합된 연산 증폭기(120)(예컨대, 차동 증폭기), 및 증폭된 아날로그 신호(125)를 디지털 신호(135)로 변환하기 위해 증폭기(120)에 결합된 A/D 변환기(130)를 포함한다. A/D 변환기(130)는 마이크로제어기(140)에 내장될 수 있거나 또는 그렇지 않다면 마이크로제어기(140)와 함께 패키징될 수 있는데, 이 마이크로제어기(140)는 디지털 출력 신호(155)를 운반하는 디지털 이득 제어 라인(150)을 통해 증폭기(120)의 이득을 디지털 방식으로 제어할 수 있다. 도 1에서 예시하는 바와 같이, 본 발명의 실시예들은 비교를 위해 내장형 A/D 변환기(예컨대, A/D 변환기(130))의 디지털 출력(예컨대, 디지털 출력(135))을 이용한다. 올바른 이득 설정을 달성하기 위해, 외부 비교 및 추가 하드웨어(예컨대, 피드백 회로, 비교기 등)는 요구되지 않는다.

<37> 일 실시예에서, A/D 변환기(130)는 10 비트의 A/D 변환기이고, 센서(110)는 압력 센서(예컨대, 변형 게이지)이다. 이 예에서, 센서(110)는 0 내지 60 psi의 범위 내에서 동작하고, 증폭기(120)는 각각의 숫자의 두배가 되는 이득(예컨대, 1, 2, 4, 8, 16, 32 등)을 가질 수 있다. 이러한 경우, 10 비트는 센서(110)의 풀 스케일의 하단의 범위(예컨대, 10 내지 30 psi)에서 충분하지 못한 분해능을 제공한다. 분해능은 풀 스케일의 퍼센티지로 볼 수 있으며, 풀 스케일은 판독값의 퍼센티지로 볼 수 있다. 센서(110)가 압력을 판독하면, 디지털 신호에 기초하여 이득을 증가 또는 감소시킬 것인지 또는 그대로 유지하는 것을 허용할 것인지에 대한 결정이 마이크로프로세서(140)에서 행해진다. 예를 들어, A/D 변환기의 디지털 출력(예컨대, A/D 변환기(130)의 디지털 출력(135))이 아날로그 입력(예컨대, 아날로그 신호(125))가 풀 스케일의 90%보다 크다고 나타낸다면, 이득은(예컨대, 디지털 신호(155) 및 디지털 이득 제어 라인(150)을 통해) 감소될 수 있다. 한편, A/D 변환기의 디지털 출력이 아날로그 신호가 풀 스케일의 45%보다 작다고 나타낸다면, 이득은 상승될 수 있다.

<38> 도 2는 본 발명의 일 실시예를 구현하는 자동 범위조정 시스템의 자동 범위조정 기능(200)의 개략적인 도면이다. 이 예에서, 5 바의 센서 및 10 비트의 A/D 변환기가 이용된다. 본 명세서에 개시되는 자동 범위조정 기능을 이용하지 않는 애플리케이션에서, 아날로그 시스템은 60 psi / 1023 비트, 즉 약 비트당 0.058 psi의 분

해능을 가질 수 있다. 풀 스케일 아날로그 시스템은 0 내지 3.0 볼트 사이에서 동작한다. 이는 50 mv / psi로 계산된다. 한편, 본 발명의 실시예들에 따라, 아날로그 시스템의 풀 스케일 범위(예컨대, 0 내지 60 psi)는 4개의 구획들(예컨대, 이득 범이 구획(230))로 나누어질 수 있다. 각각의 구획은 상이한 이득 설정에 대응한다.

<39> 도 2에 도시된 예에서, 구획(230)은 0 내지 7.5 psi의 제1 구획, 7.5 내지 15.0 psi의 제2 구획, 15 내지 30 psi의 제3 구획, 및 > 30 psi의 제4 구획을 포함한다. 압력 입력(220)은 0 psi부터 60 psi까지 증가하는 것으로 도시되어 있다. 아날로그 프런트엔드 출력(210)은 각각의 세그먼트에서 볼 수 있다.

<40> 자동 범위조정 기능(200)의 일 실시예를 구현하는 자동 범위조정 시스템에서, 0 내지 7.5 psi 및 0 내지 3v의 제1 구획에서, 아날로그 분해능은 3v에서 7.5 psi까지, 즉 psi당 0.4v까지 증가한다. 풀 스케일 시스템의 약 10 퍼센트에서, 이는 비트당 0.0007 psi의 분해능으로 계산된다. 즉, 0 내지 7.5 psi의 전체 압력 범위는 증폭기의 0 내지 3v 출력 상에 분포하고, 따라서 A/D 변환기의 0 내지 1023 비트 범위 상에 분포된다. 유사하게, 7.5 내지 15 psi 및 0 내지 3v의 제2 구획에서, 아날로그 분해능은 3v에서 15psi까지, 즉 psi당 0.2 볼트까지 증가한다(즉, 0 내지 15 psi는 0 내지 3볼트 상에 분포되고, 이에따라 0 내지 1023 비트 상에 분포된다). 결과 분해능은 약 0.014 psi이다. 15 내지 30 psi 및 0 내지 3v의 제3 구획에서, 아날로그 분해능은 3v에서 30 psi까지, 즉 psi당 0.1 볼트까지 증가한다(즉, 0 내지 30 psi가 0 내지 3볼트 상에 분포되고 이에따라 0 내지 1023 비트 상으로 분포된다). 결과 분해능은 약 0.03 psi이다. 30 내지 60 psi 및 0 내지 3 v의 마지막 구획에서, 아날로그 분해능은 3v에서 60 psi까지, 즉 psi당 0.2 볼트까지 증가한다(즉, 0 내지 60 psi는 0 내지 3볼트 상에 분포되고 이에따라 0 내지 1023비트 상에 분포된다). 결과 분해능은 약 0.058 psi이다.

<41> 몇몇 실시예들에서, 자동 범위조정 기능(200)은 소프트웨어 코드로 구현된 자동 범위조정 알고리즘/이득 선택 루틴을 통해 실현될 수 있다. 예시적 코드 단편이 아래와 같이 제공된다:

```
<42> if(raw_ad_output/AD_FULLSCALE_COUNT)
<43> {
<44>     if(currentAnalogGain > min_gain) currentAnalogGain--;
<45> }
<46> else if((raw_ad_output*gain_multiplier) < AD_FULLSCALE_COUNT)
<47> {
<48>     if(currentAnalogGain < max_gain) currentAnalogGain++;
<49> }
```

<50> 몇몇 실시예들에서, 소프트웨어 코드는 하나 이상의 컴퓨터 판독 가능한 매체 상에 저장될 수 있고, 프로세서에 의해 실행될 수 있는 컴퓨터 프로그램 명령어들을 포함한다. 용어 "컴퓨터 판독 가능한 매체"는 컴퓨터에 의해 액세스되고 판독될 수 있는 모든 종류의 데이터 저장 매체를 포함한다. 컴퓨터 판독 가능한 매체의 예들은, 판독 전용 메모리(ROM), 랜덤 액세스 메모리(RAM), 플래시 메모리와 같은 컴퓨터 메모리, 및 플로피 디스크, 디스크 드라이브, 콤팩트 디스크 ROM, 테이프 드라이브, 데이터 카트리지, 광 디스크 등과 같은 데이터 저장 장치를 포함한다. 본 발명의 실시예들을 구현하기 위하여 프로그래밍될 수 있는 마이크로제어기들은 일반적으로 자동 범위조정 알고리즘/이득 선택 루틴을 구현하는 특별한 소프트웨어 코드가 저장될 수 있는 운집 메모리들을 포함한다.

<51> 도 3은 자동 범위조정 기능(200)의 일 실시예를 구현하는 예시적 마이크로제어기(140)의 단순화된 블록도이다. 이 예에서, 마이크로제어기(140)는 중앙 처리 장치(CPU)(341), RAM(342), MEM(343), A/D 변환기(130), 및 I/O(345)를 포함한다. 일 실시예에서, 마이크로제어기(140)는 내장형 A/D 변환기를 갖는 싱글 칩 마이크로제어기이다. 일 실시예에서, A/D 변환기(130)는 10 비트의 A/D 변환기이다. 일 실시예에서, MEM(343)은 자동 범위조정 소프트웨어(344)를 보유하는 고속 플래시 메모리이다. 일 실시예에서, 마이크로제어기(140)는 필립스사의 내장형 10 비트짜리 A/D 변환기(모델 넘버 LPC2136)를 갖는 싱글 칩 마이크로제어기이다. 당업자가 인식할 수 있는 바와 같이, 다른 상업적으로 이용 가능한 마이크로제어기들 또한 본 명세서에 개시된 본 발명의 실시예들을 구현하기 위해 용이하게 적합화될 수 있다. 자동 범위조정 소프트웨어(344)를 이용하여 마이크로제어기(140)를 프로그래밍하는데 필수적인 컴퓨터 프로그래밍 언어 및 기술들은 당업자들에게 알려져 있다.

<52> 본 발명의 실시예들에서, 마이크로제어기는 내부적으로 A/D 변환기로부터의 출력을 판독하고 자동 범위조정 소

프트웨어 코드에 따라 올바른 이득을 결정한다. 더 상세하게, 일 실시예에서, 본 명세서에 기술된 자동 범위조정 기능을 이용하여 구현된 마이크로제어기는, 이득이 언제 변경되어야 하고 어떤 방향으로 변경되어야 하는지를 결정할 수 있다. 일 실시예에서, 이는 내장형 A/D 변환기의 디지털 출력에 대한 최대 비트 카운트를 설정함으로써 결정될 수 있다. 10 비트의 A/D 변환기가 이용되는 상기 예에 따라, 풀 스케일 디지털 출력은 1023 카운트일 것이다.

- <53> 버퍼 구역을 제공하기 위하여, 자동 범위조정 또는 이득 스위치 소프트웨어는 본 발명의 일 실시예에 따라 최대 카운트를 1000으로 설정한다. 이 숫자는 설정가능하며, 입력 이득을 정정하는 이득 선택 루틴 전에 유효하게 될 아날로그 신호를 위한 영역을 간단히 제공하기에 적합하도록 용이하게 구성될 수 있다. 아날로그-디지털 변환에 따라, 마이크로제어기는 내부적으로 A/D 변환기의 디지털 출력을 검사하고 그것이 최대 카운트보다 큰지 여부를 판단한다. 만약 더 크다면, 마이크로제어기는 업스트림 연산 증폭기의 이득을 다음으로 낮은 이득 설정까지 감소시키도록 동작한다. 만약 A/D 변환기의 디지털 출력이 최대 카운트보다 크지 않다면, 이득 선택 루틴을 실행하는 마이크로제어기는 다음으로 높은 이득의 A/D 변환기 출력이 최대 카운트보다 작은지 여부를 판단할 수 있다. 만약 최대 카운트보다 작다면, 마이크로제어기는 이득을 다음으로 높은 설정까지 증가시키도록 동작한다. 이러한 조건들 중 어느 것에도 해당하지 않는다면, 이득은 그대로 유지될 것이다.
- <54> 다른 실시예에서, 본 명세서에 기술된 자동 범위조정 기능을 이용하여 구현된 마이크로제어기는 상위 문턱값 및 하위 문턱값(예컨대, 500 및 1000카운트)을 설정할 수 있다. 이러한 포인트들은 각각의 단계에서 두배가 될 수 있는 이득의 증가 또는 감소가 관독값을 A/D 변환기의 범위로부터 벗어나지 않도록 하거나 또는 요구되는 분해능을 벗어나지 않게 이득을 감소시키도록 선택된다. 예를 들어, 10 비트의 A/D 변환기의 출력이 490이라면, 이득은 다음으로 높은 설정값까지 증가될 수 있다. 한편, A/D 변환기의 출력이 1009라면, 이득은 감소될 수 있다. A/D 변환기의 출력이 500비트와 1000 비트 사이라면, 이득은 그대로 유지될 수 있다.
- <55> 본 발명의 실시예들은 많은 이점들을 제공할 수 있다. 예를 들어, 본 발명의 실시예들에서, 디지털 출력 신호의 비트 카운트가 특정 양 초과로 증가하는 경우, 이득은 낮춰질 수 있어, 동일한 압력에 대한 후속 비트 카운트를 낮출 수 있다. 한편, 출력 디지털 신호의 비트 카운트가 특정 문턱값 아래로 떨어진다면, 이득은 증가되어, 동일한 압력 관독값에 대한 비트 카운트 및 분해능을 증가시킬 수 있다. 마이크로프로세서에 의한 정밀한 이득 제어는 회로의 검교정은 선택적인 것이 되게 한다. 또한, 본 발명의 실시예들은 비용을 증가시키지 않거나, 물리적 공간을 차지하지 않거나, 또는 비교기, 피드백 회로, 및/또는 추가의 A/D 변환기와 같은 외부 하드웨어를 요구하지 않고 내장형 A/D 변환기의 분해능을 증가시킬 수 있다.
- <56> 도 4는 이득 정정이 없는 압력 출력의 일례를 도시한 그래프이다. 도 5는 본 명세서에 기술된 자동 범위조정 기능(200)을 구현하는 자동 범위조정 시스템(100)의 일 실시예를 이용하는, 이득 정정을 갖는 압력 출력의 일례를 도시한 그래프이다. 도 6은 (필터링되지 않은) 아날로그 자동 이득 및 처리하지 않은 A/D 디지털 출력의 일례를 도시한 그래프이다. 이 예에서, 압력 입력은 1 psi/sec로 설정된 드루케(Druke) 압력 제어기 램프에 의해 공급된다.
- <57> 본 발명의 실시예들에서, A/D 변환기의 아날로그 신호가 아닌 디지털 출력에 기초하여, 이득이 변화한다. 게다가, 마이크로제어기 및 A/D 변환기 양쪽 모두는 증폭기로부터의 다운스트림 경로에 있다. 따라서, 본 발명의 실시예들은 증폭기의 종류 및/또는 A/D 변환기의 분해능과 무관할 수 있다. 이는 본 명세서에 개시된 자동 범위조정 시스템 및 방법의 실시예들은 0-10, 0-5, +1-5 또는 임의의 아날로그 입력 구성을 갖는 A/D 변환기뿐만 아니라, 8, 12, 16 비트의 A/D 변환기를 구현할 수 있다는 것을 의미한다. 일 실시예에서, 증폭기(120)는 리니어 테크놀로지사에 의해 제조된 차동 입력 증폭기(모델 넘버 LTC6915)이다.
- <58> 당업자는 본 발명의 실시예들이 다양한 애플리케이션들에 용이하게 적합화될 수 있다는 것을 인식할 것이다. 예를 들어, 본 발명의 일부 실시예들은 (예컨대, 유동 제어기의 변형 게이지를 통해) 압력을 관독할 때 특히 유용할 수 있다. 당업자는 본 발명의 실시예들이 본 발명의 범위 및 정신을 벗어나지 않고 다양한 방법으로 구현될 수 있다는 것 또한 인식할 수 있다. 예를 들어, 증폭기의 이득이 증가하면, 잡음의 양 또한 증가한다. 따라서, 몇몇 실시예들에서, 내부 디지털 필터는 높은 주파수 잡음을 필터링하는데 이용될 수 있다. 다양한 잡음 필터링 방식(예컨대, 가중치된 평균을 이용하는 방식 등)은 당업자들에게 알려진 대로 이용될 수 있다. 또한, 자동 범위조정 알고리즘은, 따라서 프로그래밍된 마이크로제어기가 다시 관독하기 전에 자동 범위조정 시스템에 설정할 약간의 시간을 주기 위한 시스템 시간을 포함할 수 있다. 한 사이클에서 과도한 범위조정이 발생한다면, 그것은 당업자들에게 알려진 대로 필터링될 수 있다.
- <59> 본 발명이 예시적 실시예들을 참조하여 본 명세서에 상세히 기술되었지만, 이 설명은 오직 예시를 위한 것이며

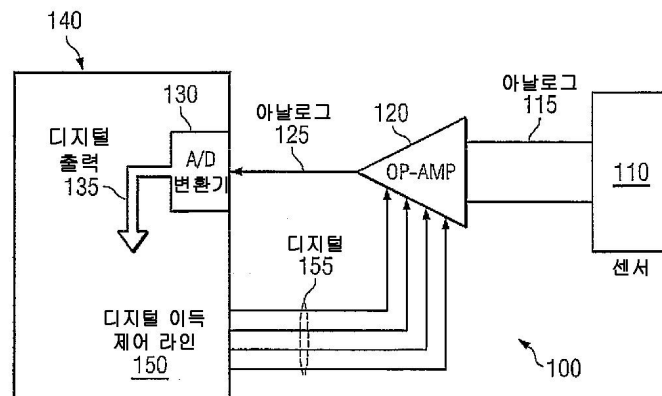
제한의 의미로 해석되지 않는다는 것을 이해해야 한다. 따라서, 본 발명의 실시예들의 상세부분의 다양한 변경들 및 본 발명의 추가 실시예들은, 당업자들에게 명백할 것이고 본 설명을 참조하여 당업자들에 의해 행해질 수 있다는 것 또한 이해되어야 한다. 이와 같은 모든 변경 및 추가 실시예들은 본 발명의 범위 내에 있는 것으로 간주된다. 따라서, 본 발명의 범위는 후속하는 청구범위 및 그들의 합법적 등가물들에 의해 결정되어야 한다.

도면의 간단한 설명

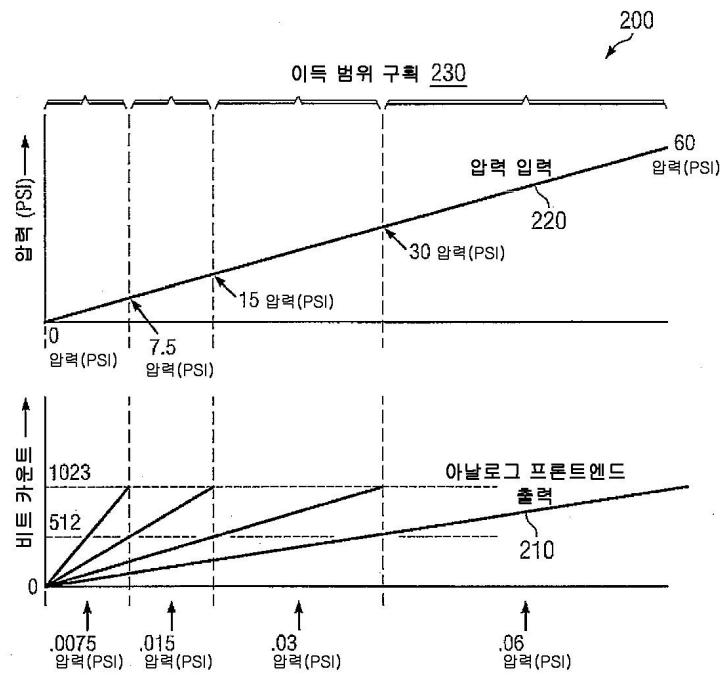
- <27> 본 발명의 더욱 완전한 이해 및 본 발명의 이점들은 첨부한 도면들과 함께 취해지는 후속하는 설명을 참조함으로써 얻어질 수 있으며, 도면에서 동일한 참조 번호는 동일한 특징요소를 가리킨다.
- <28> 도 1은 본 발명의 일 실시예에 따른 예시적 자동 범위조정 시스템의 개략적인 도면이다.
- <29> 도 2는 본 발명의 일 실시예에 따른 예시적 자동 범위조정 기능의 개략적인 도이다.
- <30> 도 3은 본 발명의 일 실시예를 구현하는 예시적 마이크로제어기의 단순화된 블럭도이다.
- <31> 도 4는 이득 정정이 없는 압력 출력의 일례를 도시한 그래프이다.
- <32> 도 5는 이득 정정이 있는 압력 출력의 일례를 도시한 그래프이다.
- <33> 도 6은 아날로그 자동 이득 및 처리하지 않은 A/D 디지털 출력의 일례를 도시한 그래프이다.

도면

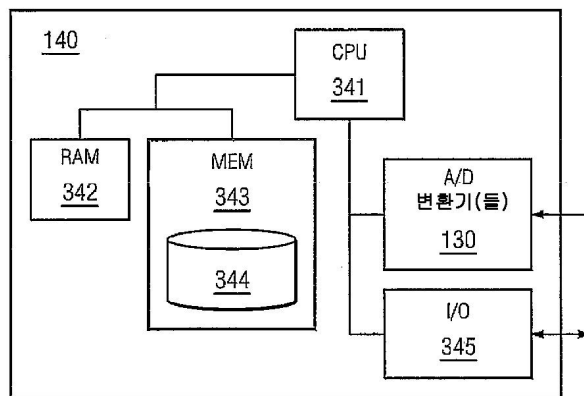
도면1



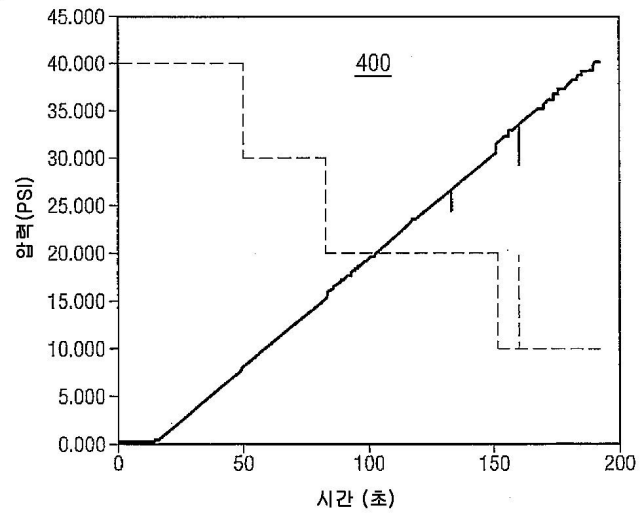
도면2



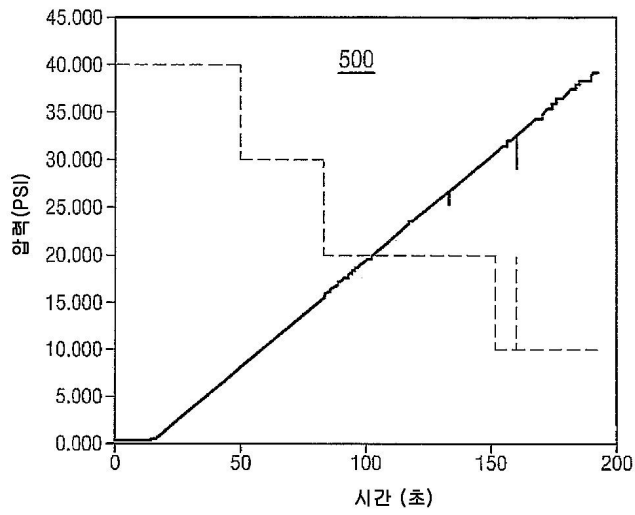
도면3



도면4



도면5



도면6

