



# [12] 发明专利说明书

[21] ZL 专利号 99124898.8

[45] 授权公告日 2004 年 3 月 24 日

[11] 授权公告号 CN 1143435C

[22] 申请日 1999. 11. 25 [21] 申请号 99124898. 8

[30] 优先权

[32] 1998. 11. 25 [33] US [31] 09/200338

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 J·施尼尔

审查员 郭新志

[74] 专利代理机构 中国专利代理(香港)有限公司

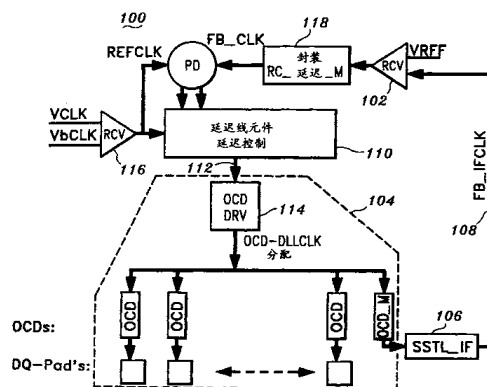
代理人 邹光新 王忠忠

权利要求书 4 页 说明书 8 页 附图 5 页

[54] 发明名称 改进的延迟锁定环

[57] 摘要

一种延迟锁定环电路包括：接收装置，接收一系统时钟信号并输出第一时钟信号；延迟锁定环，接收使该延迟锁定环与一相位检测器同步的第一时钟信号；和一芯片外驱动电路，接收第一时钟信号并根据由第一时钟信号得到的第二时钟信号输出数据。提供一反馈环将芯片外驱动电路耦合到相位检测器上。该反馈环包括一芯片上延迟电路和一封装延迟电路。该反馈环使系统时钟信号与从芯片外驱动电路输出的数据之间同步。



1. 一种延迟锁定环电路, 包括:
  - 一系统时钟接收装置, 用来接收一系统时钟信号, 并且输出由该系统时钟信号得到的第一时钟信号;
  - 5 一延迟锁定环, 用来接收第一时钟信号, 第一时钟信号用来使该延迟锁定环与一相位检测器同步;
  - 一芯片外驱动电路, 用来接收延迟锁定环的输出并根据由第一时钟信号得到的第二时钟信号输出数据; 和
  - 一反馈环, 它将芯片外驱动电路耦合到相位检测器上; 该反馈环包括一芯片上延迟电路和一封装延迟电路, 该芯片上延迟电路用来模仿芯片上延迟, 该封装延迟电路用来模仿芯片封装延迟, 该反馈环使系统时钟信号与从芯片外驱动电路输出的数据之间同步。
- 10 2. 如权利要求 1 所述的延迟锁定环, 其中芯片外驱动电路包括多个芯片外驱动装置, 这些芯片外驱动装置接收第二时钟信号, 并且根据第二时钟信号输出数据。
- 15 3. 如权利要求 2 所述的延迟锁定环, 其中多个芯片外驱动装置中的一个耦合到反馈环上。
4. 如权利要求 3 所述的延迟锁定环, 其中多个芯片外驱动装置中的一个包括其尺寸减小到 1/50 的晶体管, 以节省功率。
- 20 5. 如权利要求 4 所述的延迟锁定环, 其中芯片上延迟电路包括无源 RC 装置, 所述无源 RC 装置的数值增大 50 倍以与所述多个芯片外驱动装置中的一个芯片外驱动装置的减小尺寸的晶体管相对应, 以实现从芯片上延迟电路中输出一适当的输出电压。
- 25 6. 如权利要求 1 所述的延迟锁定环, 其中芯片上延迟电路包括一接口逻辑电路, 该接口逻辑电路用来输出第三时钟信号, 该第三时钟信号根据芯片上电路延迟。
7. 如权利要求 6 所述的延迟锁定环, 其中接口逻辑电路包括一按比例调整的短线串行端接逻辑接口。
8. 如权利要求 1 所述的延迟锁定环, 其中封装延迟电路输出第四时钟信号, 该第四时钟信号根据封装延迟而延迟。
- 30 9. 如权利要求 1 所述的延迟锁定环, 其中封装延迟电路包括一反相器链以提供延迟。

10. 如权利要求 1 所述的延迟锁定环, 其中反馈环包括一附加接收装置, 以模仿第一接收装置的延迟。

11. 如权利要求 1 所述的延迟锁定环, 其中封装延迟电路包括可调延迟元件, 在这些可调延迟元件中, 由可调熔线进行调整以提供适当的  
5 延迟。

12. 如权利要求 11 所述的延迟锁定环, 其中可调熔线以至少 100ps 的增量提供延迟调整。

13. 一种延迟锁定环电路, 包括:

第一接收装置, 用来接收一系统时钟信号, 并且输出由该系统时钟  
10 信号得到的第一时钟信号;

一延迟锁定环, 用来接收第一时钟信号, 第一时钟信号用来使该延迟锁定环与一相位检测器同步;

一驱动器件, 用来接收第二时钟信号, 第二时钟信号由第一时钟信号通过所述延迟锁定环得到, 第二时钟信号用来控制该驱动器件;

15 多个驱动装置, 用来驱动输出信号, 这多个驱动装置接收第三时钟信号, 第三时钟信号由第二时钟信号在驱动器件中得到;

一模仿驱动装置, 用来接收第三时钟信号, 并且耦合到驱动器件上;

一逻辑接口电路, 它电耦合到模仿驱动装置上, 其中逻辑接口和模仿驱动装置通过延迟由第三时钟信号得到第四时钟信号;

20 第二接收装置, 用来接收第四信号;

一封装延迟电路, 用来从第二接收装置接收一输出信号, 并且输出由第四时钟信号得到的第五时钟信号, 该封装延迟电路电耦合到相位检测器上; 以及

25 模仿驱动装置、逻辑接口、第二接收装置和封装延迟电路构成一反馈环, 该反馈环用来使来自多个驱动装置的输出信号与系统时钟信号同步。

14. 如权利要求 13 所述的延迟锁定环, 模仿驱动装置包括其尺寸减小到 1/50 的驱动晶体管, 以节省功率。

15. 如权利要求 14 所述的延迟锁定环, 其中逻辑接口包括包括无源 RC 装置, 所述无源 RC 装置的数值增大 50 倍以与所述模仿驱动装置的减小尺寸的晶体管相对应, 以实现从逻辑接口电路中输出一适当的  
30 输出电压。

16. 如权利要求 13 所述的延迟锁定环, 其中接口逻辑电路输出第四时钟信号, 第四时钟信号根据芯片上电路延迟。

17. 如权利要求 13 所述的延迟锁定环, 其中接口逻辑电路包括一按比例调整的短线串行端接逻辑接口。

5 18. 如权利要求 13 所述的延迟锁定环, 其中封装延迟电路输出第五时钟信号, 第五时钟信号根据封装延迟而延迟。

19. 如权利要求 13 所述的延迟锁定环, 其中封装延迟电路包括一反相器链以提供延迟。

10 20. 如权利要求 13 所述的延迟锁定环, 其中封装延迟电路包括可调延迟元件, 在这些可调延迟元件中, 由可调熔线进行调整以提供适当的延迟。

21. 如权利要求 20 所述的延迟锁定环, 其中可调熔线以至少 100ps 增量提供延迟调整。

22. 一种延迟锁定环电路, 包括:

15 一接收装置, 用来接收一系统时钟信号, 并且输出由该系统时钟信号得到的第一时钟信号;

一延迟锁定环, 用来接收第一时钟信号, 第一时钟信号用来使该延迟锁定环与一相位检测器同步;

20 一芯片外驱动电路, 用来接收第一时钟信号, 并且根据由第一时钟信号得到的第二时钟信号输出数据;

25 一反馈环, 它将芯片外驱动电路耦合到相位检测器上; 该反馈环包括一芯片上延迟电路和一封装延迟电路, 该芯片上延迟电路包括短线串行端接逻辑, 用来模仿芯片上延迟, 而该封装延迟电路用来模仿芯片封装延迟, 该反馈环使系统时钟信号与从芯片外驱动电路输出的数据之间同步; 以及

芯片外驱动电路使一模仿芯片外驱动装置耦合到芯片上延迟电路上以形成该反馈环, 模仿芯片外驱动电路和芯片上延迟电路的大小以一比例因子按比例调整, 以调整来自芯片上延迟电路的输出信号。

30 23. 如权利要求 22 所述的延迟锁定环, 其中模仿芯片外驱动装置包括以该比例因子减小的元件, 而芯片上延迟电路包括以该比例因子增大的元件。

24. 如权利要求 22 所述的延迟锁定环, 其中比例因子为 50。

25. 如权利要求 22 所述的延迟锁定环, 其中芯片上延迟电路包括其数值以该比例因子增大的无源 RC 装置, 而模仿芯片外驱动装置包括其尺寸以该比例因子减小的晶体管。

5 26. 如权利要求 22 所述的延迟锁定环, 其中封装延迟电路包括一反相器链以提供延迟。

27. 如权利要求 22 所述的延迟锁定环, 其中反馈环包括一附加接收装置, 以模仿第一接收装置的延迟。

10 28. 如权利要求 22 所述的延迟锁定环, 其中封装延迟电路包括可调延迟元件, 在这些可调延迟元件中, 由可调熔线进行调整以提供适当的延迟。

29. 如权利要求 22 所述的延迟锁定环, 其中可调熔线以至少 100ps 的增量提供延迟调整。

## 改进的延迟锁定环

### 5 技术领域

本公开内容涉及半导体存储器，更具体地说，涉及一种改进的延迟锁定环，该延迟锁定环包括使系统时钟与数据输出线同步的反馈。

### 背景技术

10 诸如同步动态随机存取存储器 (SDRAM) 和特定双数据率 (specific Double Data Rate) (DDR) 存储器之类的半导体存储器通常包括延迟锁定环 (DLL)。DLL 用来取消芯片上 (on-chip) 的放大作用和缓冲延迟，而且 DLL 改进了输入/输出定时界限。将 DDR SDRAM 设计成使输出线 (DQ 管脚) 上的读/写 (READ/WRITE) 数据与系统时钟如 VCLK 同步。

15 按照惯例，在一 DLL 反馈环中“模仿 (model)”芯片上的延迟，以匹配“真实”电路元件如接收装置、驱动装置、芯片外驱动装置 (OCD) 和芯片封装的延迟。利用“模仿”延迟的传统存储器芯片经常采用一种反相器链或者类似技术来构成延迟。匹配延迟的精确度是输入时钟信号 VCLK 与 DQ 之间相位校准 (phase alignment) 中的重要参数。象所述  
20 那些那样的传统技术根据工艺变化和温度变化受到来自“真实”电路延迟的失配的影响。另外，传统的技术很少能匹配键合线、引线电感和电容以及模块/板级接口 (module/board level interface) (例如短线串行端接逻辑 (Stub Series Terminated Logic) (SSTL)) 引起的封装延迟部件 (components)。

25 参见图 1 和 2，示出一种传统的 DLL 方案。以方框图的方式示出系统时钟同步的 DQ/QS (芯片的数据输出焊点)。图 3 中示出一理想的时序图。在芯片级 (chip level) (图 1) 与封装和/或模块/板级 (图 2) 之间分开时钟通路 (clock path)，模块/板电平包括接口如 SSTL 接口。时钟延迟通路包括以下部分：

30 1. 在芯片级处 (图 1)，通过接收装置 RCV 将芯片 V<sub>PC</sub> 上焊点处的输入差分时钟 (vclk, vbclk) 放大到一参考时钟 (refclk) 信号 (REFCLK)，并且进一步在一 DLL (DLLCLK) 中延迟，在一驱动

装置 DRV 处重新驱动以控制芯片外驱动电路 (OCD) 和芯片 DQ-PC 上的 DQ 焊点 (DQ/QS)。

2. 在封装和模块/板 (接口) 级 (图 2) 处, 从芯片焊点 DQ\_PC 起, 延迟通路包括键合线 (BW) 和引线框架 (引线) 电感延迟  $L_{BW+Lead}$ , 直到一模块 DQP 的 DQ-管脚, 该模块 DQP 带有含 Rstub (板级处的短线电阻, 可能约为  $25\Omega$ ) 和 Tterm (板级处的端接电阻) 的接口 SSTL、TL (传输线阻抗  $Z_0$ , 可能约为  $50\Omega$ ) 和容性负载的 CL。VTT 或者  $V_{term}$  是端接电压。如果使系统同步, 那么使时钟 vclk/bclk 如图 3 的时序图中线 A 所示那样与管脚 DQP 上的信号 DQ/QS 对齐。

10 参见图 4, 图中示出具有接收装置 RCV 和方框 30 中芯片外驱动装置 OCD 模仿电路的传统 DLL 电路方框图。其他部件包括含方框 32 中延迟线元件的延迟线、相位检测器 (PD)、延迟控制部分 (DL 控制部分)、滤波器 33 和模仿延迟反馈环 34。输入参考时钟 (REFCLK) 驱动 DLL 的延迟线 32, 而通过方框 30 中的 RC-延迟-模仿反馈电路将输出 (DLLCLK) 反馈给相位检测器 PD。相位检测器 PD 的输出去向滤波器 33, 滤波器 33 包括提供滤波器加 (increase) (inc) 信号和减 (decrease) (dec) 信号的逻辑电路。滤波器的 inc 信号和 dec 信号控制延迟线 32, 并且调整 REFCLK 与 DLLCLK 之间的可变延迟, 以使 REFCLK 和 FB\_CLK 同步/对准。

20 RC-延迟-模仿电路模仿接收装置 RCV 的延迟、驱动装置 DRV、OCD 和封装 P (见图 1 和 2) 的延迟。RC-延迟-模仿电路通常包括一反相器链, 以匹配“真实”电路的延迟。如上所述, 该技术的一个缺点在于, 反相电路根据工艺变化和温度变化并不与“真实”电路延迟完全匹配。另外, 反相电路很少能匹配键合线、引线电感和电容以及模块/板级接口引起的封装延迟部件。

#### 发明内容

因此, 存在对一种带反馈的改进延迟锁定环的需要, 该锁定环能够更精确地模仿延迟。还存在对一种能避免因工艺和温度影响在延迟方面引起偏差的改进延迟锁定环的另一需要。

30 根据本发明的一种延迟锁定环电路包括: 一系统时钟接收装置, 用来接收一系统时钟信号, 并且输出由该系统时钟信号推导得到的第一时钟信号; 一延迟锁定环, 用来接收第一时钟信号, 第一时钟信号用来使

该延迟锁定环与一相位检测器同步；和一芯片外驱动电路，用来接收所述延迟锁定环的输出信号，并且根据由第一时钟信号推导得到的第二时钟信号输出数据。提供一反馈环，它将芯片外驱动电路耦合到相位检测器上。该反馈环包括一芯片上延迟电路和一封装延迟电路，该芯片上延迟电路用来模仿芯片上延迟，而该封装延迟电路用来模仿芯片封装延迟。该反馈环使系统时钟信号与从芯片外驱动电路输出的数据之间同步。

在其他的实施例中，芯片外驱动电路优选包括多个芯片外驱动装置，这些装置接收第二时钟信号，并且根据第二时钟信号输出数据。多个芯片外驱动装置中的一个优选耦合到反馈环上。上述多个芯片外驱动装置中的一个可以包括其尺寸可以减小到约 1/50 的晶体管，以节省功率。芯片上延迟电路可以包括其数值增大约 50 倍以与上述减小尺寸的晶体管相对应的无源 RC 装置，以实现从芯片上延迟电路中输出一适当的输出电压。芯片上延迟电路可以包括一接口逻辑电路，该接口逻辑电路用来输出第三时钟信号，第三时钟信号根据芯片上电路延迟。接口逻辑电路可以包括 SSTL 接口逻辑。封装延迟电路可以输出第四时钟信号，该第四时钟信号根据封装延迟而延迟。封装延迟电路可以包括一反相器链以提供延迟。反馈环可以包括一附加接收装置，以模仿第一接收装置的延迟。封装延迟电路可以包括可调延迟元件，在这些可调延迟元件中，由可调熔线进行调整以提供适当的延迟。可调熔线可以以至少 100ps 的增量提供延迟调整。

根据本发明的另一种延迟锁定环电路包括：第一接收装置，用来接收一系统时钟信号，并且输出由该系统时钟信号推导得到的第一时钟信号；一延迟锁定环，用来接收第一时钟信号，第一时钟信号用来使该延迟锁定环与一相位检测器同步；一驱动器件，用来接收第二时钟信号，第二时钟信号在所述延迟锁定环中由第一时钟信号推导得到，第二时钟信号用来控制该驱动器件；和多个驱动装置，用来驱动输出信号，这多个驱动装置接收第三时钟信号，第三时钟信号在驱动器件中由第二输出信号推导得到。还包括一模仿驱动装置，它用来接收第三时钟信号，并且耦合到驱动器件上。一逻辑接口电路电耦合到模仿驱动装置上，其中逻辑接口和模仿驱动装置通过延迟由第三时钟信号推导得到第四时钟信号。提供第二接收装置以接收第四信号。还包括一封装延迟电路，它用

来接收从第二接收装置的一输出信号，并且输出由第四时钟信号推导得到的第五时钟信号，该封装延迟电路电耦合到相位检测器上。模仿驱动装置、逻辑接口、第二接收装置和封装延迟电路构成一反馈环，该反馈环用来使来自多个驱动装置的输出信号与系统时钟信号同步。

- 5 在其他实施例中，模仿驱动装置优选包括其尺寸可以减小到约 1/50 的驱动晶体管，以节省功率。逻辑接口可以包括其数值增大约 50 倍的无源 RC 装置，以实现从逻辑接口电路中输出一适当的输出电压。接口逻辑电路可以输出第四时钟信号，可以根据芯片上电路延迟第四时钟信号。接口逻辑电路还可以包括 SSTL 接口逻辑。封装延迟电路可以输出
- 10 第五时钟信号，第五时钟信号可以根据封装延迟而延迟。封装延迟电路可以包括一反相器链以提供延迟。封装延迟电路可以包括可调延迟元件，在这些可调延迟元件中，由可调熔线进行调整以提供适当的延迟。可调熔线可以以至少 100ps 增量提供延迟调整。

又一种延迟锁定环电路包括：一接收装置，用来接收一系统时钟信号，

15 并且输出由该系统时钟信号推导得到的第一时钟信号，

- 一延迟锁定环，用来接收第一时钟信号，第一时钟信号用来使该延迟锁定环与一相位检测器同步；一芯片外驱动电路，用来接收第一时钟信号，并且根据由第一时钟信号推导得到的第二时钟信号输出数据；
- 20 和一反馈环，它将芯片外驱动电路耦合到相位检测器上；该反馈环包括一芯片上延迟电路和一封装延迟电路，该芯片上延迟电路包括短线串行端接逻辑，用来模仿芯片上延迟，而该封装延迟电路用来模仿芯片封装延迟，该反馈环使系统时钟信号与从芯片外驱动电路输出的数据之间同步。芯片外驱动电路使一模仿芯片外驱动装置耦合到芯片上延迟电路上以形成该反馈环，模仿芯片外驱动电路和芯片上延迟电路的大小以一比例
- 25 因子按比例调整，以调整来自芯片上延迟电路的输出信号。

- 在其他的实施例中，模仿芯片外驱动装置可以包括以该比例因子减小的元件，而芯片上延迟电路包括以该比例因子增大的元件。比例因子优选约为 50。芯片上延迟电路可以包括其数值以该比例因子增大的无源 RC 装置，而模仿芯片外驱动装置可以包括其尺寸以该比例因子减小的
- 30 晶体管。封装延迟电路可以包括一反相器链以提供延迟。反馈环可以包括一附加接收装置，以模仿第一接收装置的延迟。封装延迟电路可以包括可调延迟元件，在这些可调延迟元件中，由可调熔线进行调整以提供

适当的延迟。可调熔线可以以至少 100ps 的增量提供延迟调整。

根据以下结合附图所要读到的对本发明的详细描述，本发明的这些和其他目的、特征和优点将变得很明显。

本公开内容将详细展示出参照以下附图对优选实施例的以下描述。

5 附图说明

图 1 是一芯片电平时钟通路的方框图，该通路用于一种根据已有技术的动态随机存取存储器；

图 2 是一模块/板级时钟通路的方框图，该通路用于一种根据已有技术的动态随机存取存储器；

10 图 3 是一时序图，示出用于理想时钟同步的时序图；

图 4 是一传统延迟锁定环电路的方框图，示出一种根据已有技术的模仿延迟电路；

15 图 5 是根据本发明改进的延迟锁定环电路的方框图，该电路具有一反馈环，该反馈环包括具有按比例调整尺寸的电路元件，该电路用来改进对延迟的模仿；

图 6 是一方框图，更详细地示出根据本发明的一芯片上的逻辑接口；

图 7 是图 5 中改进的延迟锁定环的方框图，该电路具有根据本发明的可调熔线延迟元件；

20 图 8 是根据本发明的真实芯片外驱动信号与(如图 2 中所示)DQ\_PC 的模仿芯片外驱动信号之间的延迟曲线图；

图 9 是根据本发明的真实芯片外驱动信号与(如图 2 中所示)D\_QT 的模仿芯片外驱动信号之间的延迟曲线图。

具体实施方式

25 本公开内容涉及半导体存储器，更具体地说，涉及一种改进的延迟锁定环，该延迟锁定环包括使系统时钟与数据输出线同步的反馈。本发明将模仿延迟精确度改进得更接近地表现出“真实”电路的延迟。本发明实现了这样一些电路，即这些电路使芯片上的延迟发生于一延迟锁定环(DLL)的反馈环中。这样，避免了“真实”电路与“模仿”电路之间的任何工艺和温度延迟偏差。

30 现在具体详细地参见附图，其中在这几幅图中类似的参考数字表示类似或相同的元件，首先，图 5 示出一个改进的 DLL 电路 100。DLL100 包括接收装置 102、芯片外驱动(OCD)电路 104 和接口逻辑 106 或

SSTL\_IF, 包括例如短线串行端接逻辑 (SSTL) 和反馈通路或反馈环 108 中的封装延迟电路 118。为简单起见, 如上所述的延迟线元件、延迟控制与滤波器表示于 110 所标注的单独一个延迟锁定环方框中。DLL110 的输出 112 驱动 OCD 驱动装置 114。OCD 驱动装置 114 输出一 OCD  
5 DLLCLK, 并且如图 5 所示通过 OCD 将该 OCD DLLCLK 信号分配给多个 DQ 焊点。

芯片外驱动装置 OCD\_M 并不接至一 DQ-焊点。反而是 OCD\_M 的输出驱动接口逻辑 106。在一优选实施例中, 接口逻辑包括一 SSTL 接口逻辑方框 107 (见图 6)。接口逻辑 106 产生一电压电平, 该电压  
10 电平例如是一 SSTL 电压电平, 标注为反馈接口时钟 FB\_IFCLK。将 FB\_IFCLK 输入给接收装置 102。接收装置 102 与系统时钟接收装置 116 相同或相似。接收装置 102 上输入一参考电压 VREF 和 FB\_IFCLK。如以上参照图 1 和 4 所述, 系统时钟接收装置 116 接收 VCLK 和 VbCLK, 产生 VCLK 的放大与延迟信号即 REFCLK, REFCLK 用来  
15 使一相位检测器 PD 和 DLL110 同步。

接收装置 102 输出至一封装延迟电路或 RC\_延迟\_M118。延迟电路 118 包括在反馈环 108 中。延迟电路 118 可以是一 RC 延迟元件和/或一延迟反相器链, 用来模仿如图 6 中所示封装的电感、电容和电阻 (LRC) 元件。

20 参见图 5 和 6, 在本发明的一个优选实施例中, 使包括 OCD 驱动装置 114 的 OCD 电路 104 和反馈通路 108 中的 OCD 以及逻辑接口 106 的尺寸不同于上述图 1-4 的传统电路。为了节省包括驱动晶体管的 OCD 驱动装置 114 的功率, 使驱动晶体管的尺寸减小, 优选约为传统驱动装置尺寸的 1/50。接口装置如 Cpad、Rstub、CL 和 Rterm 的封装增加了  
25 相同的数值, 用以实现从逻辑接口 106 中输出适当的电压电平。如本领域所公知的那样, Vterm 电压由一芯片上电压发生器产生。本发明的一个重要方面在于, 相对于传统的电路来说, 按比例调整 OCD-M 和芯片上接口逻辑电路 106 各自的装置尺寸。两个电路的比例因子优选相同, 不过, OCD\_M 电路使其装置尺寸按比例缩小, 而芯片上接口逻辑电路  
30 106 以相同的比例因子使其装置尺寸按比例增大。比例因子例如约为 50, 不过其他的比例因子要根据本发明考虑, 这取决于电路设计方案的功耗要求。

继续参见图 6，图中示出一芯片上接口逻辑电路 106。接口逻辑电路 106 优选包括 SSTL 逻辑。SSTL 电路提供一电压电平，该电压电平其在特性上就象模块/板，因为如上文所述，包括调整接口装置。SSTL 电路由 OCD\_M 驱动。还有，除了如上文所述对 OCD 进行任何调整之外，接收装置和 OCD 电路匹配“真实”电路。本发明的布局有利于将一 OCD\_M（模仿）电路置于其他 OCD 旁，用以与其他 OCD 共享相同的时钟分配树（clock distribution tree）OCD-DLLCLK。OCD\_M 电路还有利于与 OCD 使用相同的电源电压（即，VDDQ、VSSQ），因此暴露于相同的噪音环境。

10 参见图 7，在模仿封装延迟中，键合线和引线架（leadframe）的电感连同焊点电容一起构成 LC 部分，该 LC 部分可能难以用芯片上可用的 RC 元件或延迟元件如电阻或 MOS 电容等模仿。在本发明的一个实施例中，一组熔线可调延迟元件包括在方框 140 中。方框 140 包括可调熔线，这些可调熔线优选提供约  $\pm 1\text{ns}$  的延迟精确度和约为 100ps 步长的调整。这样，将熔线调整为能够实现基于模块/板级下测量的理想延迟。将所计算的熔线值调整到基于这些测量的封装延迟 LC 元件的定时延迟（timing delay）。

参见图 8 和 9，同根据本发明具有减小 OCD 驱动装置尺寸电路（OCD\_M）的芯片 SSTL-接口相比，OCD 的一个 HSPICE 模拟（这里表示为 OCD\_R（真））配备有模块级的一个 SSTL-接口（见图 6）。表 1 示出用来生成该模拟的参数。

表 1

	OCD/模块接口 OCD_R	OCD_M/芯片上 接口 OCD_M
驱动装置	原始大小	$\times 1/50$
Rstub	20 欧姆	$\times 50$
Rterm	50 欧姆	$\times 50$
Vterm 或 VTT	1.1 伏	1.1 伏

在图 8 和 9 中示出 OCD\_R 与 OCD\_M 的 DQ\_PC（图 8）与 D\_QT（图 9）处比较信号。电路中 DQ\_PC（图 8）与 D\_QT（图 9）的位置示于图 6 中。HSPICE 模拟在图 8 中的 DQ\_PC（示于图 6 中）和图 9 中的 DQT（示于图 6 中）这两个测量点处对模块级 SSTL 接口信号

(OCD\_R)与按比例调整的芯片上 SSTL 接口信号 (OCD\_M) 进行比较,用以评价本发明的性能。模块接口的 HSPICE 模拟输出曲线特性 (OCD\_M)与芯片上接口 (OCD\_R)几乎相同。VTT (Vterm)电平处两信号之间的延迟约为 200ps。因此,本发明对 DQ 和系统时钟 VCLK 5 提供了改进的同步作用。

尽管以上描述了半导体存储器新颖的延迟锁定环的优选实施例(这只是说明但并未限制),可是应指出的是,根据以上的教导,本领域的普通技术人员可以作修改和变换。因此,应理解的是,在所公开的本发明的具体实施例中可以作修改,如所附的权利要求书所描述的那样,这些修改在本发明的范围和实质之内。因而,尽管已经详细描述了本发明 10 以及专利法所要求的特质,不过在所附的权利要求书中列出了本专利所要求和期望保护的方案。

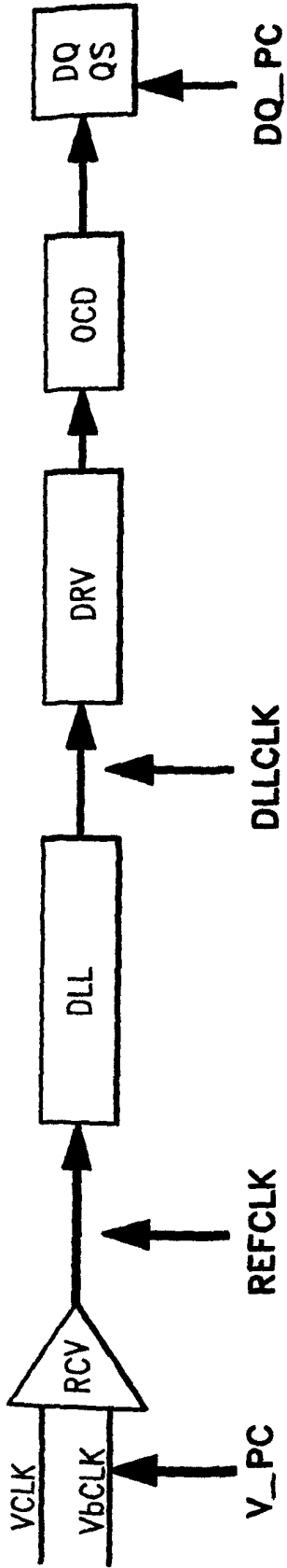


图 1 (现有技术)

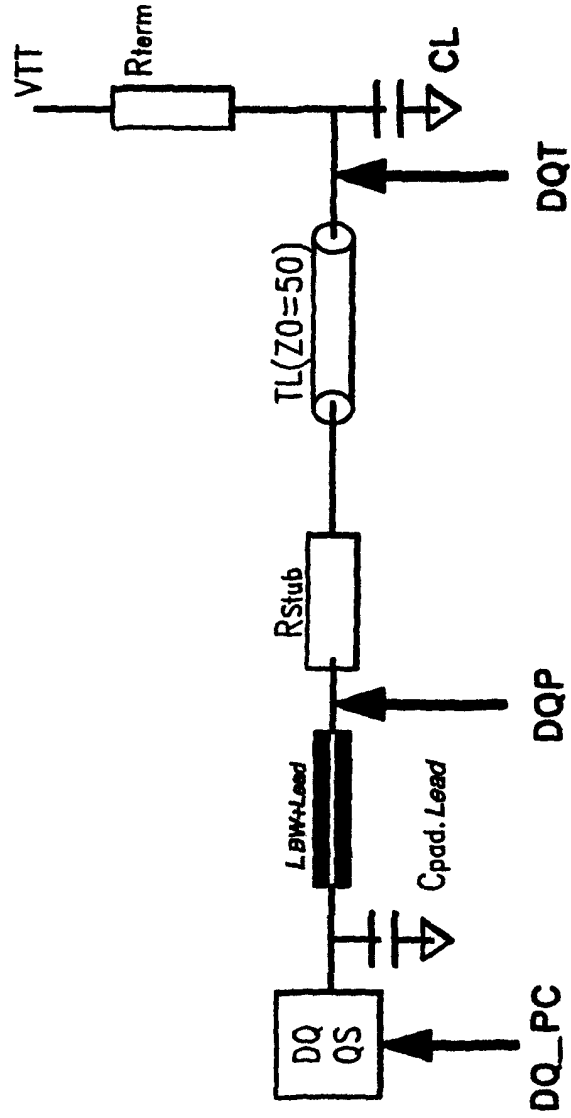


图 2 (现有技术)

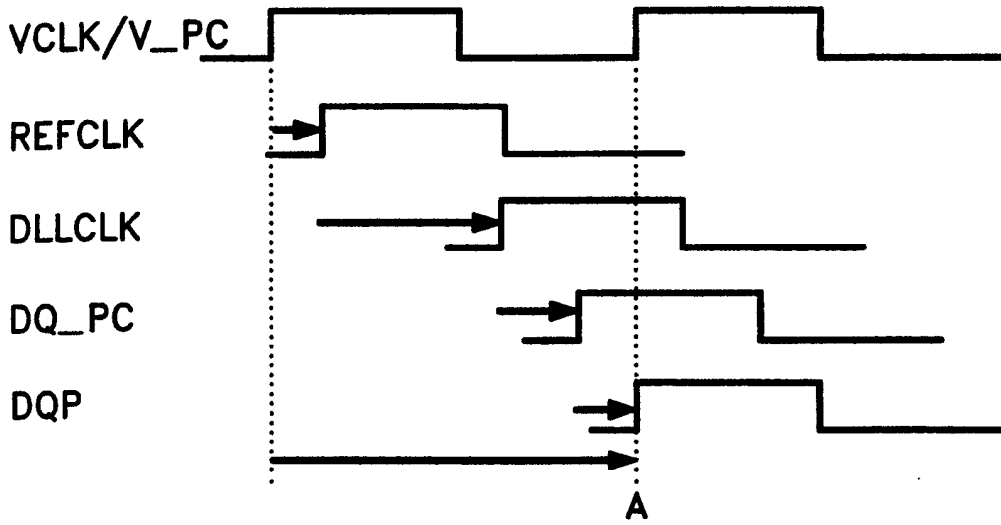


图 3

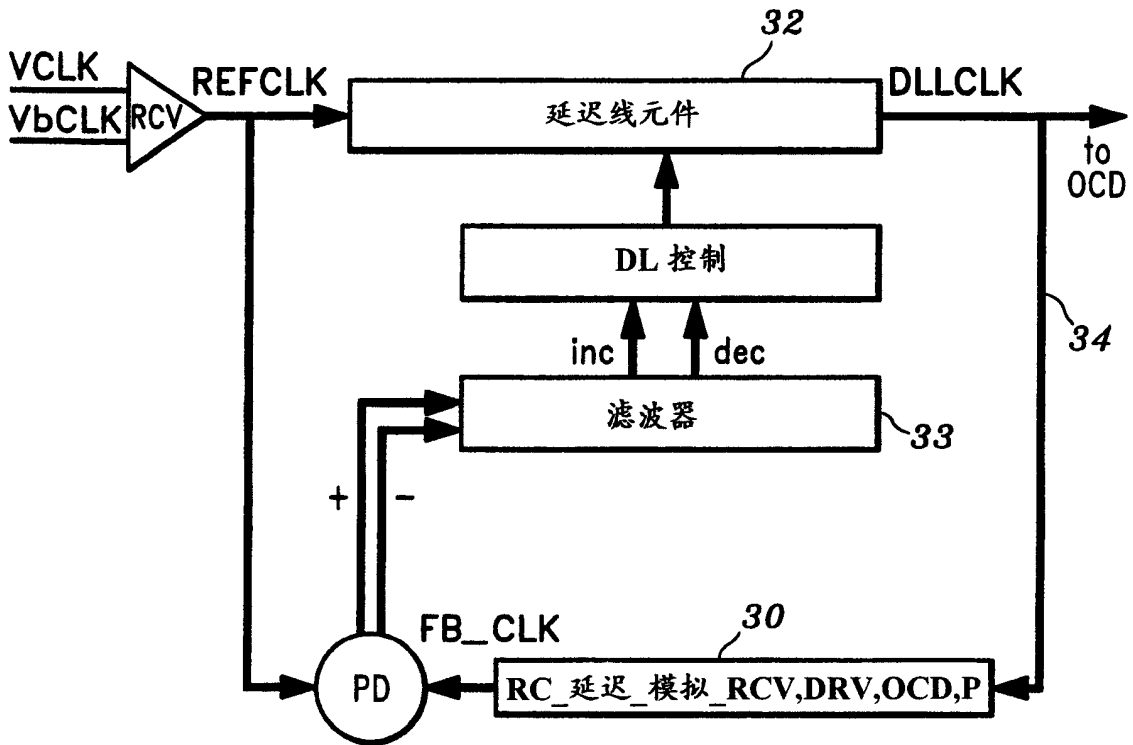


图 4 (现有技术)

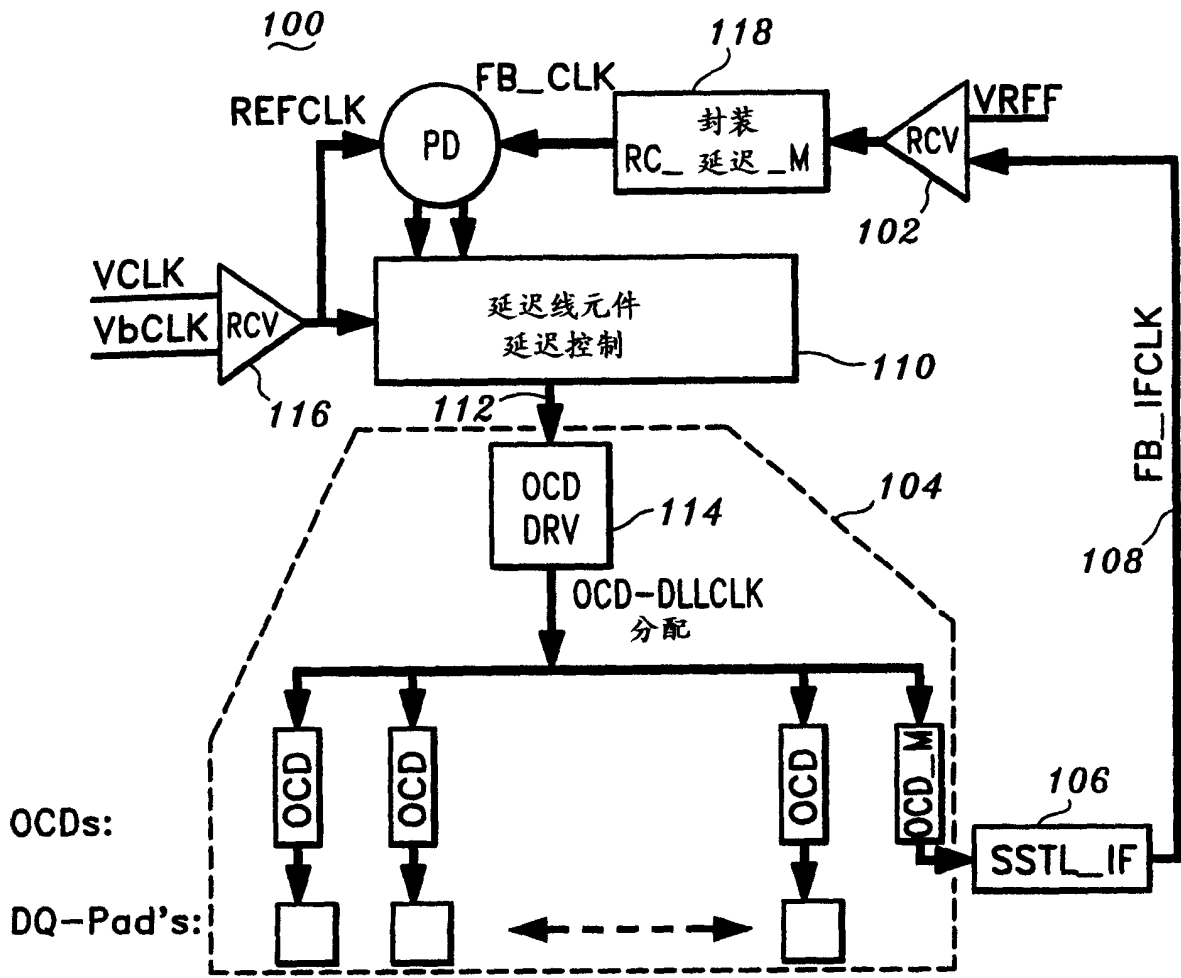


图 5

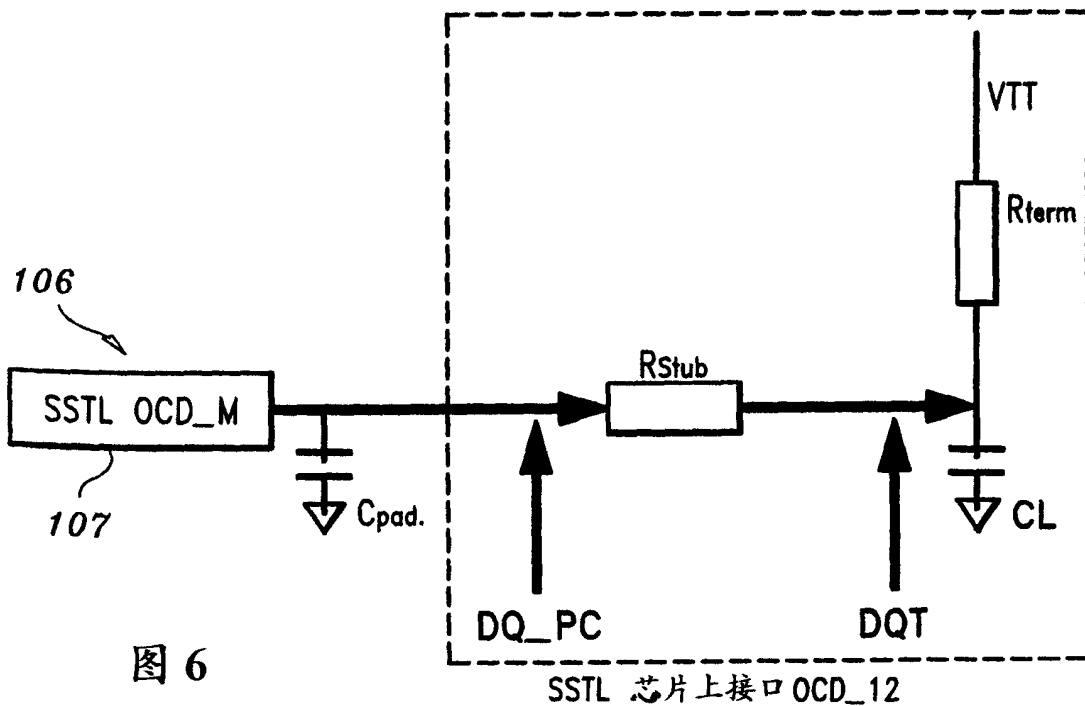


图 6

SSTL 芯片上接口 OCD\_12

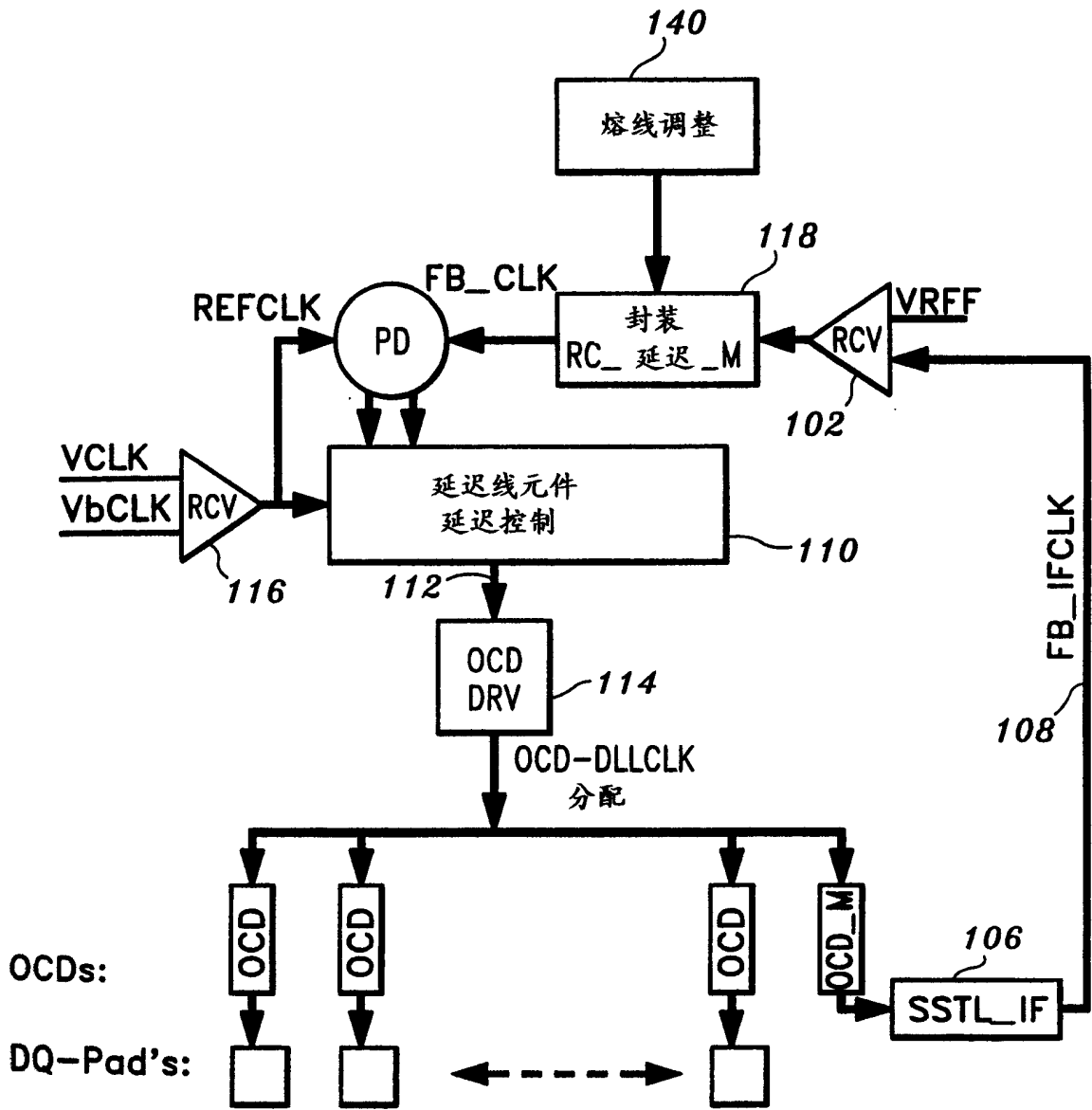


图 7

