

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-92009

(P2019-92009A)

(43) 公開日 令和1年6月13日(2019.6.13)

(51) Int. Cl.		F I		テーマコード (参考)	
H03F	1/07	(2006.01)	H03F	1/07	5 J 5 0 0
H03F	3/24	(2006.01)	H03F	3/24	
H03F	3/68	(2006.01)	H03F	3/68	B
H03F	1/30	(2006.01)	H03F	1/30	A

審査請求 未請求 請求項の数 10 O L (全 15 頁)

(21) 出願番号	特願2017-218488 (P2017-218488)	(71) 出願人	000002130
(22) 出願日	平成29年11月13日 (2017.11.13)		住友電気工業株式会社
			大阪府大阪市中央区北浜四丁目5番33号
		(74) 代理人	100088155
			弁理士 長谷川 芳樹
		(74) 代理人	100113435
			弁理士 黒木 義樹
		(74) 代理人	100136722
			弁理士 ▲高▼木 邦夫
		(74) 代理人	100174399
			弁理士 寺澤 正太郎
		(72) 発明者	田能村 昌宏
			大阪府大阪市中央区北浜四丁目5番33号
			住友電気工業株式会社内

最終頁に続く

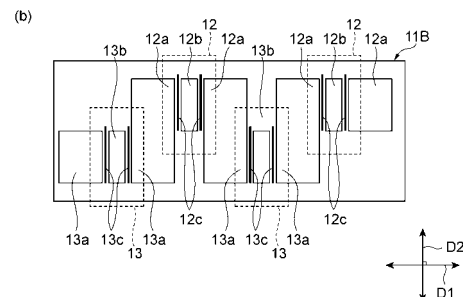
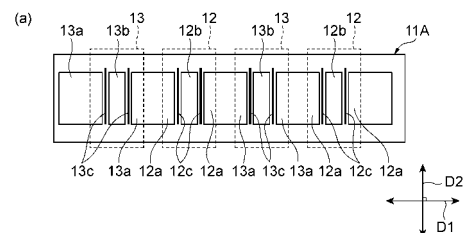
(54) 【発明の名称】 半導体増幅素子及び半導体増幅装置

(57) 【要約】

【課題】ドハティ型の増幅器におけるキャリア増幅器の温度上昇を緩和できる半導体増幅素子及び半導体増幅装置を提供する。

【解決手段】半導体増幅素子は、ドハティ型の増幅動作を行う。半導体増幅素子は、キャリア増幅器としての複数の第1のトランジスタと、ピーク増幅器としての複数の第2のトランジスタと、を備える。互いに隣り合う第1のトランジスタの間に少なくとも1つの第2のトランジスタが配置されている。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

ドハティ型の増幅動作を行う半導体増幅素子であって、
キャリア増幅器としての複数の第 1 のトランジスタと、
ピーク増幅器としての複数の第 2 のトランジスタと、
を備え、

互いに隣り合う前記第 1 のトランジスタの間に少なくとも 1 つの前記第 2 のトランジスタが配置されている、半導体増幅素子。

【請求項 2】

前記複数の第 1 のトランジスタと前記複数の第 2 のトランジスタとが共通の半導体基板に形成されている、請求項 1 に記載の半導体増幅素子。

10

【請求項 3】

信号入力端と、
信号出力端と、

前記信号入力端から延びる第 1 入力線路、並びに前記第 1 入力線路から分岐された第 2 入力線路及び第 3 入力線路を含み、前記第 2 入力線路が前記複数の第 1 のトランジスタの制御端子に接続され、前記第 3 入力線路が前記複数の第 2 のトランジスタの制御端子に接続された信号入力配線と、

前記複数の第 1 のトランジスタの電流出力端子から延びる第 1 出力線路、前記複数の第 2 のトランジスタの電流出力端子から延びる第 2 出力線路、並びに第 2 出力線路及び第 3 出力線路を結合して前記信号出力端へ延びる第 3 出力線路を含む信号出力配線と、
を備える、請求項 1 または 2 に記載の半導体増幅素子。

20

【請求項 4】

前記第 2 入力線路と前記第 3 入力線路との線路長差、及び前記第 1 出力線路と前記第 2 出力線路との線路長差が、入力信号の周期の $1/4$ である、請求項 3 に記載の半導体増幅素子。

【請求項 5】

前記第 2 入力線路及び前記第 3 入力線路のうち一方の線路の少なくとも一部が他方の線路とは異なる層に設けられることにより、前記第 2 入力線路と前記第 3 入力線路とが立体的に交差している、請求項 3 または 4 に記載の半導体増幅素子。

30

【請求項 6】

前記第 1 出力線路及び前記第 2 出力線路のうち一方の線路の少なくとも一部が他方の線路とは異なる層に設けられることにより、前記第 1 出力線路と前記第 2 出力線路とが立体的に交差している、請求項 3 または 4 に記載の半導体増幅素子。

【請求項 7】

前記少なくとも一部が設けられる層と、前記他方の線路が設けられる層との間に設けられた基準電位層を更に備える、請求項 5 または 6 に記載の半導体増幅素子。

【請求項 8】

前記第 1 のトランジスタの並び方向と交差する方向における前記複数の第 1 のトランジスタの位置と、同方向における前記複数の第 2 のトランジスタの位置とが互いに揃っている、請求項 1 ～ 7 のいずれか 1 項に記載の半導体増幅素子。

40

【請求項 9】

前記第 1 のトランジスタの並び方向と交差する方向における前記複数の第 1 のトランジスタの位置と、同方向における前記複数の第 2 のトランジスタの位置とが互いにずれている、請求項 1 ～ 7 のいずれか 1 項に記載の半導体増幅素子。

【請求項 10】

請求項 1 ～ 9 のいずれか 1 項に記載の半導体増幅素子と、
前記半導体増幅素子を搭載する基板と、
を備え、

前記複数の第 1 のトランジスタ及び前記複数の第 2 のトランジスタが形成されている側

50

の前記半導体増幅素子の面が前記基板と対向する、半導体増幅装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体増幅素子及び半導体増幅装置に関する。

【背景技術】

【0002】

特許文献1には、電力増幅器回路に関する技術が記載されている。この電力増幅器回路は、ドハティ(Doherty)型の増幅器であって、入力信号に対して線形に動作するキャリア増幅器と、キャリア増幅器の飽和の後に動作するピーク増幅器とを含む。この電力増幅器回路では、増幅器の出力をさらに高めるためにピーク増幅器が複数設けられている。

10

【0003】

特許文献2には、ドハティ型の高周波電力増幅器に関する技術が記載されている。この高周波電力増幅器では、キャリア増幅器を構成するFETチップの出力端子には出力高調波反射回路が接続される。出力高調波反射回路は、該出力端子における出力信号の偶数次高調波負荷を短絡あるいは短絡に近接する低インピーダンスとし、且つ、該出力端子における出力信号の奇数次高調波負荷を開放あるいは開放に近接する高インピーダンスとする。また、ピーク増幅器を構成するFETチップの出力端子には出力高調波反射回路が接続される。出力高調波反射回路は、該出力端子における出力信号の偶数次高調波負荷を開放あるいは開放に近接する高インピーダンスとし、且つ、該出力端子における出力信号の奇

20

【0004】

特許文献3には、ドハティ型の増幅器に関する技術が記載されている。この増幅器は、半導体パッケージを備える。半導体パッケージは、GNDプレーンを有する。GNDプレーン上には、キャリア増幅器およびピーク増幅器が、互いに近接して設けられる。キャリア増幅器とピーク増幅器との間には、導電性材料からなる隔離壁が設けられる。隔離壁は、半導体パッケージの動作中にキャリア増幅器とピーク増幅器との間の誘導結合を低減する。

【0005】

特許文献4には、複数の半導体チップを備える半導体装置に関する技術が記載されている。この半導体装置では、半導体チップの発熱領域が集中して配置されることによる熱抵抗の増大を防止するために、複数の半導体チップが互いに前後して配置されている。

30

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特表2006-525749号公報

【特許文献2】特開2005-303771号公報

【特許文献3】特開2015-115960号公報

【特許文献4】特開2007-274181号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0007】

通信システムにおいては、低コスト化の観点から、増幅器の効率を向上することが期待されている。増幅器の効率が向上することによって、増幅器自体の消費電力だけでなく、冷却に要する消費電力も低減することが可能になるからである。増幅器の高効率化のための一つの方式として、ドハティ型の増幅器を採用することが考えられる。ドハティ型の増幅器は、入力信号に対して線形に動作するキャリア増幅器と、キャリア増幅器の飽和の後に動作するピーク増幅器とを含む。このようなドハティ型の増幅器によれば、ピーク出力時の効率を高めるだけでなく、最も使用頻度が高い中出力時の効率を高めることが可能となる。

50

【 0 0 0 8 】

一方、通信システムにおいては、伝送速度の増大に伴い、信号周波数が例えばミリ波帯といった極めて高い周波数帯に移りつつある。このような高い周波数帯で増幅器を動作させると、増幅器の発熱が顕著となる。ドハティ型の増幅器においてピーク増幅器は高出力領域以外ではオン状態とならないので、中出力領域ないし低出力領域では専らキャリア増幅器のみが動作する。従って、キャリア増幅器の発熱が顕著に増大し、キャリア増幅器が高温にさらされることとなる。

【 0 0 0 9 】

本発明は、このような問題点に鑑みてなされたものであり、ドハティ型の増幅器におけるキャリア増幅器の温度上昇を緩和できる半導体増幅素子及び半導体増幅装置を提供することを目的とする。

10

【課題を解決するための手段】

【 0 0 1 0 】

上述した課題を解決するために、一実施形態に係る半導体増幅素子は、ドハティ型の増幅動作を行う半導体増幅素子であって、キャリア増幅器としての複数の第1のトランジスタと、ピーク増幅器としての複数の第2のトランジスタと、を備え、互いに隣り合う第1のトランジスタの間に少なくとも1つの第2のトランジスタが配置されている。

【発明の効果】

【 0 0 1 1 】

本発明による半導体増幅素子及び半導体増幅装置によれば、ドハティ型の増幅器におけるキャリア増幅器の温度上昇を緩和できる。

20

【図面の簡単な説明】

【 0 0 1 2 】

【図1】図1は、一実施形態に係る半導体増幅装置1Aの構成を示す側断面図である。

【図2】図2は、配線層20の表面20aを示す平面図である。

【図3】図3の(a)は、信号増幅部11の構成の一例として信号増幅部11Aを示す平面図である。図3の(b)は、信号増幅部11の構成の別の例として信号増幅部11Bを示す平面図である。

【図4】図4は、配線層20の内部構成を示す平面図であって、配線層20に含まれる各金属配線の形状を示している。

30

【図5】図5は、図4に示される各金属配線を層毎に分解して示す平面図であって、第1層M1すなわち半導体基板10に最も近い層を表す。

【図6】図6は、図4に示される各金属配線を層毎に分解して示す平面図であって、第1層M1上の第2層M2を表す。

【図7】図7は、図4に示される各金属配線を層毎に分解して示す平面図であって、第2層M2上の第3層M3を表す。

【図8】図8は、図4に示される各金属配線を層毎に分解して示す平面図であって、第3層M3上の第4層M4を表す。

【発明を実施するための形態】

【 0 0 1 3 】

40

本発明の実施形態に係る半導体増幅素子及び半導体増幅装置の具体例を、以下に図面を参照しつつ説明する。なお、本発明はこれらの例示に限定されるものではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。以下の説明では、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【 0 0 1 4 】

図1は、一実施形態に係る半導体増幅装置1Aの構成を示す側断面図である。図1に示されるように、本実施形態の半導体増幅装置1Aは、実装基板2と、実装基板2上に搭載された半導体増幅素子3とを備える。実装基板2は、誘電体からなる絶縁性の平板状の基体2aと、基体2aの一方の板面2b上に設けられた金属膜である配線パターン2dと、

50

基体 2 a の他方の板面 2 c の全面にわたって設けられた金属膜 2 e とを有する。配線パターン 2 d は、半導体増幅素子 3 と対向しており、基準電位 (G N D) パターン 2 d 1 と、信号配線パターン 2 d 2 と、信号配線パターン 2 d 3 と、を含む。 G N D パターン 2 d 1 は、基体 2 a を厚さ方向に貫通する複数のビア 2 f を介して金属膜 2 e と導通している。金属膜 2 e は、基準電位 (G N D) に規定される。信号配線パターン 2 d 2 は、伝送線路であって、半導体増幅素子 3 へ入力される高周波の入力信号を伝送する。信号配線パターン 2 d 3 は、伝送線路であって、半導体増幅素子 3 から出力される高周波の出力信号を伝送する。

【 0 0 1 5 】

半導体増幅素子 3 は、ドハティ型の増幅動作を行う M M I C (Monolithic Microwave I n t e g r a t e d C i r c u i t) 増幅器であって、実装基板 2 にフリップチップ実装されている。半導体増幅素子 3 は、半導体基板 1 0 と、配線層 2 0 と、複数のパンプ電極 3 0 とを備える。半導体基板 1 0 は、主面 1 0 a 及び裏面 1 0 b を有する平板状の部材である。主面 1 0 a の略中央部には、複数のトランジスタを含む信号増幅部 1 1 が形成されている。配線層 2 0 は、主面 1 0 a 上の全面にわたって設けられている。配線層 2 0 の表面 2 0 a は、基体 2 a の一方の板面 2 b と対向する。配線層 2 0 は、信号入力端 2 1 、信号出力端 2 2 、信号入力配線 2 3 、信号出力配線 2 4 、及び基準電位 (G N D) パターン 2 5 を有する。信号入力端 2 1 、信号出力端 2 2 、信号入力配線 2 3 、信号出力配線 2 4 、及び G N D パターン 2 5 は、絶縁膜 2 6 の内部若しくは表面に設けられた金属膜である。

【 0 0 1 6 】

信号入力端 2 1 は、実装基板 2 の信号配線パターン 2 d 2 と電氣的に接続され、信号配線パターン 2 d 2 を介して高周波 (R F) 信号を入力する。例えば、信号入力端 2 1 は、配線層 2 0 の最上層に設けられ、配線層 2 0 の表面 2 0 a において絶縁膜 2 6 から露出している。そして、信号入力端 2 1 は、一のパンプ電極 3 0 を介して実装基板 2 の信号配線パターン 2 d 2 と導電接合されている。信号出力端 2 2 は、実装基板 2 の信号配線パターン 2 d 3 と電氣的に接続される。例えば、信号出力端 2 2 は、配線層 2 0 の最上層に設けられ、配線層 2 0 の表面 2 0 a において絶縁膜 2 6 から露出している。そして、信号出力端 2 2 は、一のパンプ電極 3 0 を介して実装基板 2 の信号配線パターン 2 d 3 と導電接合され、増幅後の R F 信号を信号配線パターン 2 d 3 へ出力する。 G N D パターン 2 5 は、配線層 2 0 の最上層に設けられ、配線層 2 0 の表面 2 0 a において絶縁膜 2 6 から露出している。 G N D パターン 2 5 は、複数のパンプ電極 3 0 を介して実装基板 2 の G N D パターン 2 d 1 と導電接合されている。

【 0 0 1 7 】

図 2 は、配線層 2 0 の表面 2 0 a を示す平面図である。図 2 に示されるように、半導体増幅素子 3 は四角形状といった平面形状を有する。表面 2 0 a もまた四角形状を呈しており、一对の辺 2 0 b , 2 0 c と、一对の辺 2 0 d , 2 0 e とを有する。辺 2 0 b , 2 0 c は、或る方向 D 1 に沿って延びており、方向 D 1 と交差 (例えば直交) する方向 D 2 において互いに対向する。辺 2 0 d , 2 0 e は、辺 2 0 b と辺 2 0 c との間において方向 D 2 に沿って延びており、方向 D 1 において互いに対向する。

【 0 0 1 8 】

信号入力端 2 1 は、方向 D 2 において辺 2 0 b 寄りに配置され、方向 D 1 において辺 2 0 d と辺 2 0 e との中間に位置する。信号出力端 2 2 は、方向 D 2 において辺 2 0 c 寄りに配置され、方向 D 1 において辺 2 0 d と辺 2 0 e との中間に位置する。 G N D パターン 2 5 は、信号入力端 2 1 及び信号出力端 2 2 を除く表面 2 0 a の全面に設けられている。 G N D パターン 2 5 は、辺 2 0 b ~ 2 0 e にそれぞれ沿う 4 つの直線状の縁 2 5 b ~ 2 5 e を有する。 G N D パターン 2 5 の辺 2 0 b に沿う縁 2 5 b の中央には切り欠き部 2 5 f が形成されており、切り欠き部 2 5 f の内側には信号入力端 2 1 が設けられる。 G N D パターン 2 5 の辺 2 0 c に沿う縁 2 5 c の中央には切り欠き部 2 5 g が形成されており、切り欠き部 2 5 g の内側には信号出力端 2 2 が設けられる。 G N D パターン 2 5 と信号入力端 2 1 , 信号出力端 2 2 との間には間隙が設けられる。

【 0 0 1 9 】

信号入力端 2 1 上には一のバンプ電極 3 0 が設けられている。信号出力端 2 2 上には別のバンプ電極 3 0 が設けられている。GND パターン 2 5 上には複数のバンプ電極 3 0 が設けられている。これらのバンプ電極 3 0 は、配線層 2 0 の表面 2 0 a 上において正方格子状に配列されている。

【 0 0 2 0 】

図 3 の (a) は、信号増幅部 1 1 の構成の一例として信号増幅部 1 1 A を示す平面図である。図 3 の (b) は、信号増幅部 1 1 の構成の別の例として信号増幅部 1 1 B を示す平面図である。信号増幅部 1 1 A , 1 1 B は、複数の第 1 のトランジスタ 1 2 と、複数の第 2 のトランジスタ 1 3 とを有する。例として、図 3 の (a) 及び (b) では、2 つのトランジスタ 1 2 と、2 つのトランジスタ 1 3 とが示されている。これらのトランジスタ 1 2 , 1 3 は、共通のパッケージ内に収容される。一例では、これらのトランジスタ 1 2 , 1 3 は、共通の半導体基板 1 0 に形成されている。更に、半導体基板 1 0 におけるこれらのトランジスタ 1 2 , 1 3 の活性領域が一体に形成されてもよい。

【 0 0 2 1 】

前述したように、半導体増幅素子 3 はドハティ型の増幅動作を行う。トランジスタ 1 2 はキャリア増幅器 (Carrier Amplifier : C A) であり、入力信号に対して線形に動作する。トランジスタ 1 2 には A 級又は A B 級動作のためのバイアスが外部から印加される。トランジスタ 1 3 はピーク増幅器 (Peak Amplifier : P A) であり、キャリア増幅器の飽和の後に動作する。トランジスタ 1 3 には B 級 (または C 級) 動作のためのバイアスが外部から印加される。

【 0 0 2 2 】

本実施形態では、複数のトランジスタ 1 2 と複数のトランジスタ 1 3 とが方向 D 1 に沿って並んでおり、互いに隣り合うトランジスタ 1 2 の間には、少なくとも 1 つのトランジスタ 1 3 が配置されている。例えば、図 3 の (a) 及び (b) に示される例では、複数のトランジスタ 1 2 と複数のトランジスタ 1 3 とが方向 D 1 において交互に配置されている。また、図 3 の (a) に示される例では、方向 D 2 における複数の第 1 のトランジスタ 1 2 の位置と、同方向における複数のトランジスタ 1 3 の位置とが互いに揃っている。一方、図 3 の (b) に示される例では、方向 D 2 における複数の第 1 のトランジスタ 1 2 の位置と、同方向における複数のトランジスタ 1 3 の位置とが互いにずれている。より詳細には、複数のトランジスタ 1 2 と複数のトランジスタ 1 3 とが、方向 D 2 において互いに重ならない位置に配置されている。

【 0 0 2 3 】

各トランジスタ 1 2 は、一对のソース電極 1 2 a と、一对のソース電極 1 2 a の間に挟まれたドレイン電極 1 2 b と、ソース電極 1 2 a とドレイン電極 1 2 b との間に挟まれた一对のゲート電極 1 2 c とを有する。各電極 1 2 a ~ 1 2 c は、方向 D 2 を長手方向とし、方向 D 1 を短手方向とする細長形状を有しており、方向 D 1 に沿って並んでいる。各トランジスタ 1 3 は、一对のソース電極 1 3 a と、一对のソース電極 1 3 a の間に挟まれたドレイン電極 1 3 b と、ソース電極 1 3 a とドレイン電極 1 3 b との間に挟まれた一对のゲート電極 1 3 c とを有する。各電極 1 3 a ~ 1 3 c は、方向 D 2 を長手方向とし、方向 D 1 を短手方向とする細長形状を有しており、方向 D 1 に沿って並んでいる。そして、互いに隣接するトランジスタ 1 2 , 1 3 のソース電極 1 2 a , 1 3 a は互いに一体化されている。

【 0 0 2 4 】

ここで、配線層 2 0 の詳細な構成について説明する。図 4 は、配線層 2 0 の内部構成を示す平面図であって、絶縁膜 2 6 を省き、配線層 2 0 に含まれる各金属配線の形状を示している。図 5 ~ 図 8 は、図 4 に示される各金属配線を層毎に分解して示す平面図である。図 5 は第 1 層 M 1 すなわち半導体基板 1 0 に最も近い層を表しており、図 6 は第 1 層 M 1 上の第 2 層 M 2 を表しており、図 7 は第 2 層 M 2 上の第 3 層 M 3 を表しており、図 8 は第 3 層 M 3 上の第 4 層 M 4 を表している。なお、図 1 及び図 2 に示された信号入力端 2 1 、

10

20

30

40

50

信号出力端 2 2、及び GND パターン 2 5 は、第 4 層 M 4 の更に上層（再表層）に配置される。これらの層間には、図示しない絶縁膜 2 6 が介在している。

【 0 0 2 5 】

図 4 に示されるように、配線層 2 0 は、複数（例えば 5 つ）のソース配線 4 1 と、複数（例えば 4 つ）の電流出力端子としてのドレイン配線 4 2 と、複数（例えば 4 つ）の制御端子としてのゲート配線 4 3 とを含む。ソース配線 4 1、ドレイン配線 4 2、及びゲート配線 4 3 は、図 5 に示される第 1 層 M 1 に設けられている。各ソース配線 4 1 は、互いに一体化されたソース電極 1 2 a、1 3 a（図 3 を参照）上に設けられ、ソース電極 1 2 a、1 3 a と接触する。複数のドレイン配線 4 2 のうち一部のドレイン配線 4 2 a は、キャリア増幅部であるトランジスタ 1 2 のドレイン電極 1 2 b（図 3 を参照）上に設けられ、ドレイン電極 1 2 b と接触する。残りのドレイン配線 4 2 b は、ピーク増幅部であるトランジスタ 1 3 のドレイン電極 1 3 b（図 3 を参照）上に設けられ、ドレイン電極 1 3 b と接触する。これらのドレイン配線 4 2 a、4 2 b は、信号増幅部 1 1 に対して方向 D 2 の一端側（信号出力端 2 2 側）に延出している。

10

【 0 0 2 6 】

複数のゲート配線 4 3 のうち一部のゲート配線 4 3 a は、方向 D 2 に沿って延出する一対のゲート電極 1 2 c を含む。上述したように、ゲート電極 1 2 c は、キャリア増幅部であるトランジスタ 1 2 のゲート電極である。ゲート電極 1 2 c は、ソース配線 4 1 とドレイン配線 4 2 a との間を方向 D 2 に沿って延びている。複数のゲート配線 4 3 のうち残りのゲート配線 4 3 b は、方向 D 2 に沿って延出する一対のゲート電極 1 3 c を含む。上述したように、ゲート電極 1 3 c は、キャリア増幅部であるトランジスタ 1 3 のゲート電極である。ゲート電極 1 3 c は、ソース配線 4 1 とドレイン配線 4 2 b との間を方向 D 2 に沿って延びている。

20

【 0 0 2 7 】

信号入力配線 2 3 は、信号入力端 2 1 から延びる第 1 入力線路 2 3 1 と、第 1 入力線路 2 3 1 から分岐された第 2 入力線路 2 3 2 及び第 3 入力線路 2 3 3 とを含む。第 2 入力線路 2 3 2 及び第 3 入力線路 2 3 3 は、RF 信号は均等なパワーで分岐される。第 2 入力線路 2 3 2 は、各トランジスタ 1 2 の制御端子（ゲート配線 4 3 a）に接続されている。第 3 入力線路 2 3 3 は、複数のトランジスタ 1 3 の制御端子（ゲート配線 4 3 b）に接続されている。

30

【 0 0 2 8 】

第 2 入力線路 2 3 2 は、トランジスタ 1 2 に対する入力インピーダンス整合のため、配線層 2 0 の辺 2 0 d 側に U 字状に張り出しており、その長さを確保している。トランジスタ 1 2 側の第 2 入力線路 2 3 2 の一端には、複数のゲート配線 4 3 a に向けて分岐する部分 2 3 2 b が設けられている。その部分 2 3 2 b に、複数のゲート配線 4 3 a と層間接続されるための複数の接続部 2 3 2 a が接続している。また、第 2 入力線路 2 3 2 には、入力バイアスを印加するための入力バイアス配線 2 3 4 が繋がっている。入力バイアス配線 2 3 4 は、複数のゲート配線 4 3 a に向けて分岐した後の第 2 入力線路 2 3 2 の部分 2 3 2 b に接続されている。

【 0 0 2 9 】

第 3 入力線路 2 3 3 は、トランジスタ 1 3 に対する入力インピーダンス整合のため、配線層 2 0 の辺 2 0 b 側に U 字状に張り出し、その長さを確保している。なお、トランジスタ 1 2、1 3 の寸法形状は互いに同一であるため、入力インピーダンスもほぼ同等である。従って、第 3 入力線路 2 3 3 における入力インピーダンス整合のための回路部分は第 2 入力線路 2 3 2 とほぼ同様である。

40

【 0 0 3 0 】

但し、第 3 入力線路 2 3 3 は、第 2 入力線路 2 3 2 よりも長い。例えば、第 2 入力線路 2 3 2 と第 3 入力線路 2 3 3 との線路長差は入力信号の周期の $1/4$ である。第 3 入力線路 2 3 3 は、第 2 入力線路 2 3 2 に対して線路長差を稼ぐための余長部分 2 3 3 c を含む。余長部分 2 3 3 c は、第 3 入力線路 2 3 3 において辺 2 0 e 側に張り出した U 字状の部

50

分を構成する。余長部分 2 3 3 c の線幅は、第 3 入力線路 2 3 3 の他の部分の線幅よりもわずかに広い。

【 0 0 3 1 】

トランジスタ 1 3 側の第 3 入力線路 2 3 3 の一端には、複数のゲート配線 4 3 b に向けて分岐する部分 2 3 3 b が設けられている。その部分 2 3 3 b に、複数のゲート配線 4 3 b と層間接続されるための複数の接続部 2 3 3 a が接続している。また、第 3 入力線路 2 3 3 には、入力バイアスを印加するための入力バイアス配線 2 3 5 が繋がっている。入力バイアス配線 2 3 5 は、複数のゲート配線 4 3 b に向けて分岐した後の第 3 入力線路 2 3 3 の部分 2 3 3 b に接続されている。なお、トランジスタ 1 3 をピーク増幅器として動作させるため、入力バイアス配線 2 3 5 に印加される入力バイアスの大きさは、入力バイアス配線 2 3 4 に印加される入力バイアスの大きさと異なる。

10

【 0 0 3 2 】

本実施形態では、第 2 入力線路 2 3 2 及び第 3 入力線路 2 3 3 のうち一方の線路の少なくとも一部が他方の線路とは異なる配線層に設けられることにより、第 2 入力線路 2 3 2 と第 3 入力線路 2 3 3 とが立体的に交差している。例えば、図 8 に示されるように、第 3 入力線路 2 3 3 の部分 2 3 3 b 及び入力バイアス配線 2 3 5 が第 4 層 M 4 に設けられ、図 6 に示されるように、第 3 入力線路 2 3 3 の残部が第 2 層 M 2 に設けられる。第 4 層 M 4 に設けられた第 3 入力線路 2 3 3 の部分 2 3 3 b と、第 2 層 M 2 に設けられた第 3 入力線路 2 3 3 の残部とは、層間配線によって相互に接続される。また、図 6 に示されるように、第 2 入力線路 2 3 2 の全部及び入力バイアス配線 2 3 4 は第 2 層 M 2 に設けられる。そして、第 3 入力線路 2 3 3 のうち第 4 層 M 4 に設けられた部分 2 3 3 b と、第 2 層 M 2 に設けられた第 2 入力線路 2 3 2 の部分 2 3 2 b とが、立体的に交差する。これにより、交互に配設されたゲート配線 4 3 a , 4 3 b それぞれに第 2 入力線路 2 3 2 及び第 3 入力線路 2 3 3 それぞれを接続することができる。

20

【 0 0 3 3 】

信号出力配線 2 4 は、複数のトランジスタ 1 2 の電流出力端子（ドレイン配線 4 2 a ）から延びる第 1 出力線路 2 4 1 と、複数のトランジスタ 1 3 の電流出力端子（ドレイン配線 4 2 b ）から延びる第 2 出力線路 2 4 2 と、第 1 出力線路 2 4 1 及び第 2 出力線路 2 4 2 を結合して信号出力端 2 2 へ延びる第 3 出力線路 2 4 3 とを含む。第 3 出力線路 2 4 3 は、信号出力端 2 2 に接続されている。

30

【 0 0 3 4 】

第 1 出力線路 2 4 1 は、第 3 入力線路 2 3 3 と同等の長さを有しており、トランジスタ 1 2 に対する出力インピーダンス整合のため、配線層 2 0 の辺 2 0 c 側に U 字状に張り出し、その長さを確保している。トランジスタ 1 2 側の第 1 出力線路 2 4 1 の端には、複数のドレイン配線 4 2 a と層間接続されるための複数の接続部 2 4 1 a が設けられている。第 1 出力線路 2 4 1 は、これらの接続部 2 4 1 a を相互に結合する部分 2 4 1 b を含む。また、第 1 出力線路 2 4 1 には、出力バイアスを印加するための出力バイアス配線 2 4 4 が繋がっている。出力バイアス配線 2 4 4 は、複数の接続部 2 4 1 a を結合する前の第 1 出力線路 2 4 1 の部分 2 4 1 b に接続されている。

40

【 0 0 3 5 】

第 2 出力線路 2 4 2 は、第 2 入力線路 2 3 2 と同等の長さを有しており、トランジスタ 1 3 に対する出力インピーダンス整合のため、配線層 2 0 の辺 2 0 e 側に張り出でその長さを確保している。なお、トランジスタ 1 2 , 1 3 の寸法形状は互いに同一であるため、出力インピーダンスもほぼ同等である。従って、第 2 出力線路 2 4 2 における出力インピーダンス整合のための回路部分は第 1 出力線路 2 4 1 とほぼ同様である。

【 0 0 3 6 】

但し、第 1 出力線路 2 4 1 は第 2 出力線路 2 4 2 よりも長い。例えば、第 1 出力線路 2 4 1 と第 2 出力線路 2 4 2 との線路長差は入力信号の周期の $1/4$ である。第 1 出力線路 2 4 1 は、第 2 出力線路 2 4 2 に対して線路長差を稼ぐための余長部分 2 4 1 c を含む。余長部分 2 4 1 c は、第 1 出力線路 2 4 1 のうち辺 2 0 d 側に U 字状に張り出した部分を

50

構成する。余長部分 2 4 1 c の線幅は、第 1 出力線路 2 4 1 の他の部分の線幅よりもわずかに広い。

【 0 0 3 7 】

トランジスタ 1 3 側の第 2 出力線路 2 4 2 の端には、複数のドレイン配線 4 2 b と層間接続されるための複数の接続部 2 4 2 a が設けられている。第 2 出力線路 2 4 2 は、これらの接続部 2 4 2 a を相互に結合する部分 2 4 2 b を含む。また、第 2 出力線路 2 4 2 には、出力バイアスを印加するための出力バイアス配線 2 4 5 が繋がっている。出力バイアス配線 2 4 5 は、複数の接続部 2 4 2 a を結合する前の第 2 出力線路 2 4 2 の部分 2 4 2 b に接続されている。なお、トランジスタ 1 3 をピーク増幅器として動作させるため、出力バイアス配線 2 4 5 に印加される出力バイアスの大きさは、出力バイアス配線 2 4 4 に印加される出力バイアスの大きさと異なる。

10

【 0 0 3 8 】

本実施形態では、第 1 出力線路 2 4 1 及び第 2 出力線路 2 4 2 のうち一方の線路の少なくとも一部が他方の線路とは異なる配線層に設けられることにより、第 1 出力線路 2 4 1 と第 2 出力線路 2 4 2 とが立体的に交差している。例えば、図 8 に示されるように、第 2 出力線路 2 4 2 の部分 2 4 2 b 及び出力バイアス配線 2 4 5 が第 4 層 M 4 に設けられ、図 6 に示されるように、第 2 出力線路 2 4 2 の残部が第 2 層 M 2 に設けられる。第 4 層 M 4 に設けられた第 2 出力線路 2 4 2 の部分 2 4 2 b と、第 2 層 M 2 に設けられた第 2 出力線路 2 4 2 の残部とは、層間配線によって相互に接続される。また、図 6 に示されるように、第 1 出力線路 2 4 1 の全部及び出力バイアス配線 2 4 4 は第 2 層 M 2 に設けられる。そして、第 2 出力線路 2 4 2 のうち第 4 層 M 4 に設けられた部分 2 4 2 b と、第 2 層 M 2 に設けられた第 1 出力線路 2 4 1 の部分 2 4 1 b とが、立体的に交差する。これにより、交互に配設されたドレイン配線 4 2 a , 4 2 b それぞれに第 1 出力線路 2 4 1 及び第 2 出力線路 2 4 2 それぞれを接続することができる。

20

【 0 0 3 9 】

図 7 に示されるように、配線層 2 0 は基準電位 (G N D) 層 2 7 を更に有する。G N D 層 2 7 は、第 3 入力線路 2 3 3 の部分 2 3 3 b 及び第 2 出力線路 2 4 2 の部分 2 4 2 b が設けられる第 4 層 M 4 と、第 3 入力線路 2 3 3 の残部及び第 2 入力線路 2 3 2 、並びに第 2 出力線路 2 4 2 の残部及び第 1 出力線路 2 4 1 が設けられる第 2 層 M 2 との間の第 3 層 M 3 に設けられる。配線層 2 0 の厚さ方向から見て、G N D 層 2 7 は少なくとも第 3 入力線路 2 3 3 の部分 2 3 3 b 及び第 2 出力線路 2 4 2 の部分 2 4 2 b と重なる。G N D 層 2 7 は、層間配線を介して G N D パターン 2 5 と導通する。これにより、G N D 層 2 7 は基準電位に規定される。

30

【 0 0 4 0 】

G N D 層 2 7 は、トランジスタ 1 3 の個数に応じた複数の開口 2 7 a と、トランジスタ 1 3 の個数に応じた複数の開口 2 7 b とを有する。各開口 2 7 a は、第 4 層 M 4 に設けられた第 3 入力線路 2 3 3 の各接続部 2 3 3 a と、第 1 層 M 1 に設けられた各ゲート配線 4 3 b とを接続する層間配線を通す。各開口 2 7 b は、第 4 層 M 4 に設けられた第 2 出力線路 2 4 2 の各接続部 2 4 2 a と、第 1 層 M 1 に設けられた各ドレイン配線 4 2 b とを接続する層間配線を通す。なお、ソース配線 4 1 は、G N D 層 2 7 に形成された図示しない開口を介して G N D パターン 2 5 に接続されている。

40

【 0 0 4 1 】

以上に説明した、本実施形態の半導体増幅装置 1 A 及び半導体増幅素子 3 によって得られる効果について説明する。ドハティ型の増幅器においては、キャリア増幅器が入力信号に対して線形に動作し、ピーク増幅器がキャリア増幅器の飽和の後に動作する。ピーク増幅器は高出力領域以外ではオン状態とならないので、中出力領域ないし低出力領域では専らキャリア増幅器のみが動作する。従って、キャリア増幅器の発熱が顕著に増大し、キャリア増幅器が高温にさらされることとなる。更に、近年の伝送速度の増大に伴い、信号周波数が例えばミリ波帯といった極めて高い周波数帯に移行しつつある。このような高い周波数帯で増幅器を動作させると、増幅器の発熱が顕著となる。

50

【 0 0 4 2 】

この課題に対し、本実施形態の半導体増幅素子 3 では、キャリア増幅器である複数のトランジスタ 1 2 が方向 D 1 に沿って並んでおり、互いに隣り合うトランジスタ 1 2 の間に、ピーク増幅器であるトランジスタ 1 3 が少なくとも 1 つ配置されている。この配置により、トランジスタ 1 2 , 1 3 の実装密度を維持しつつ、トランジスタ 1 2 同士の間隔を広げて、トランジスタ 1 2 が放熱する際の熱抵抗を低減することができる。なお、上述したように、ピーク増幅器であるトランジスタ 1 3 は高出力領域以外ではオン状態とならないので、トランジスタ 1 2 の放熱を妨げることは殆どない。故に、本実施形態の半導体増幅素子 3 によれば、ドハティ型の増幅器におけるキャリア増幅器の温度上昇を緩和することができる。

10

【 0 0 4 3 】

下の表 1 ~ 表 3 は、本実施形態の半導体増幅素子 3 による上述した効果を検証した結果を示す表である。表 1 ~ 表 3 において、C 1 ~ C 4 は方向 D 1 に沿って順に付与されたトランジスタ番号を表す。表 1 は、比較例として、C 1 , C 2 がピーク増幅器であり、C 3 , C 4 がキャリア増幅器である場合を示す。表 2 及び表 3 は、本実施形態のように C 1 , C 3 がキャリア増幅器であり、C 2 , C 4 がピーク増幅器である場合を示す。なお、表 2 は図 3 の (a) に示された配置の場合であり、表 3 は図 3 の (b) に示された配置の場合である。各表 1 ~ 3 には、半導体増幅素子 3 を最大出力で動作させた時 (すなわちキャリア増幅器及びピーク増幅器の双方が動作している時) の各トランジスタ C 1 ~ C 4 の温度 (単位 :) と、半導体増幅素子 3 を中出力で動作させた時 (すなわちキャリア増幅器のみが動作している時) の各トランジスタ C 1 ~ C 4 の温度 (単位 :) とが示されている。

20

【表 1】

	C 1	C 2	C 3	C 4
最大出力時	1 9 . 0	2 0 . 9	2 0 . 9	1 9 . 0
中出力時	—	—	1 9 . 2	1 8 . 0

【表 2】

	C 1	C 2	C 3	C 4
最大出力時	1 9 . 0	2 0 . 9	2 0 . 9	1 9 . 0
中出力時	1 6 . 9	—	1 6 . 9	—

30

【表 3】

	C 1	C 2	C 3	C 4
最大出力時	1 8 . 0	1 9 . 2	1 9 . 2	1 8 . 1
中出力時	1 6 . 5	—	1 6 . 5	—

40

上の表 1 ~ 表 3 に示されるように、2 つのキャリア増幅器を隣接させた比較例において各キャリア増幅器の中出力時の温度上昇が 1 9 . 2 及び 1 8 . 0 であるのに対し、本実施形態では、各キャリア増幅器の中出力時の温度上昇が 1 6 . 9 (表 2) 若しくは 1 6 . 5 (表 3) まで低下している。この結果からも、上述した本実施形態による効果は明らかである。

【 0 0 4 4 】

なお、従来はドハティ増幅器を構成するキャリア増幅器及びピーク増幅器を個別にパッケージングし、回路基板上にこれらを実装することが一般的であった。しかしながら、近年、ドハティ増幅器を例えばミリ波帯若しくは準ミリ波帯の増幅器として応用することが検討されている。このような高い周波数帯においては、各増幅器を個別のパッケージとす

50

る構成では増幅器同士の間隔が開きすぎてしまい周波数特性に暴れが生じてしまう。従って、各増幅器を一つのパッケージに収納して互いに近接させ、該パッケージ内に信号入出力配線をも納めることが望まれる。しかし、各増幅器を近接して配置すると、各増幅器（特にキャリア増幅器）からの放熱が問題となる。特に、半導体増幅素子3を実装基板2にフリップチップ実装する場合、パンプ電極30の最小間隔は、一般的に数百 μm 程度である。他方、ミリ波帯の信号周期の1/4の線路長差は、例えば周波数80GHzにおいて約300 μm である。従って、放熱経路としてのパンプ電極30の個数が制限されてしまう。本実施形態の半導体増幅素子3によれば、キャリア増幅器としてのトランジスタ12の間に少なくとも1つのピーク増幅器としてのトランジスタ13を配置することによって、このような問題を解決し、キャリア増幅器の温度上昇を緩和することができる。

10

【0045】

本実施形態のように、トランジスタ12とトランジスタ13とは方向D1に沿って交互に配置されてもよい。これにより、トランジスタ12に接続される第2入力線路232及び第1出力線路241の線路長と、トランジスタ13に接続される第3入力線路233及び第2出力線路242とを、互いに対称な形状とすることができる。

【0046】

本実施形態のように、トランジスタ12とトランジスタ13とは共通の半導体基板10に形成されてもよい。これにより、ドハティ型の半導体増幅素子3を小型化することができる。

【0047】

本実施形態のように、第2入力線路232と第3入力線路233との線路長差、及び第1出力線路241と第2出力線路242との線路長差が、入力信号の周期の1/4であってもよい。このような線路長差が設けられることによって、ドハティ増幅器としての動作をより好適に行うことができる。また、例えば入力信号の周波数がミリ波帯である場合、入力信号の周期の1/4は300 μm 程度と短い。故に、第2入力線路232及び第3入力線路233、並びに第1出力線路241及び第2出力線路242を半導体基板10上の配線層20に収めることができる。

20

【0048】

本実施形態のように、第2入力線路232及び第3入力線路233のうち一方の線路の少なくとも一部（例えば部分233b）が他方の線路とは異なる層に設けられることにより、第2入力線路232と第3入力線路233とが立体的に交差してもよい。例えばこのような構成によって、キャリア増幅器としてのトランジスタ12に挟まれたピーク増幅器としてのトランジスタ13に対し、トランジスタ12とは異なる経路で入力信号を伝達するとともに、トランジスタ12とは異なる大きさの入力バイアスを提供することができる。

30

【0049】

本実施形態のように、第1出力線路241及び第2出力線路242のうち一方の線路の少なくとも一部（例えば部分242b）が他方の線路とは異なる層に設けられることにより、第1出力線路241と第2出力線路242とが立体的に交差してもよい。例えばこのような構成によって、キャリア増幅器としてのトランジスタ12に挟まれたピーク増幅器としてのトランジスタ13に対し、トランジスタ12とは異なる経路で出力信号を取り出すとともに、トランジスタ12とは異なる大きさの出力バイアスを提供することができる。

40

【0050】

本実施形態のように、第2入力線路232及び第3入力線路233のうち一方の線路の少なくとも一部（例えば部分233b）が設けられる第4層M4と、他方の線路が設けられる第2層M2との間の第3層M3に、GND層27が設けられてもよい。これにより、第2入力線路232を伝送される信号と、第3入力線路233を伝送される信号との立体交差による相互漏洩（リーク）を抑制して、出力信号に含まれる雑音を低減できる。同様に、第1出力線路241及び第2出力線路242のうち一方の線路の少なくとも一部（例

50

例えば部分 2 4 2 b) が設けられる第 4 層 M 4 と、他方の線路が設けられる第 2 層 M 2 との間の第 3 層 M 3 に、GND 層 2 7 が設けられてもよい。これにより、第 1 出力線路 2 4 1 を伝送される信号と、第 2 出力線路 2 4 2 を伝送される信号との立体交差による相互漏洩（リーク）を抑制して、出力信号に含まれる雑音を低減できる。

【0051】

図 3 の (a) に示されたように、方向 D 2 における複数のトランジスタ 1 2 の位置と、同方向における複数のトランジスタ 1 3 の位置とは、互いに揃っていてもよい。これにより、方向 D 2 における信号増幅部 1 1 の省スペース化を図ることができる。

【0052】

図 3 の (b) に示されたように、方向 D 2 における複数のトランジスタ 1 2 の位置と、同方向における複数のトランジスタ 1 3 の位置とは、互いにずれていてもよい。これにより、方向 D 1 における信号増幅部 1 1 の全幅を抑えつつ、トランジスタ 1 2 とトランジスタ 1 3 との距離を広げてトランジスタ 1 2 の放熱効率をより高めることができる。

10

【0053】

本実施形態の半導体増幅装置 1 A のように、トランジスタ 1 2 , 1 3 が形成されている側の半導体増幅素子 3 の面が実装基板 2 と対向してもよい。これにより、トランジスタ 1 2 , 1 3 から生じる熱を実装基板 2 に逃がしやすくなり、放熱効率より高めることができる。

【0054】

本発明による半導体増幅素子及び半導体増幅装置は、上述した実施形態に限られるものではなく、他に様々な変形が可能である。例えば、上述した実施形態では 2 つのキャリア増幅器と 2 つのピーク増幅器とが交互に配置された例を示したが、2 つのキャリア増幅器の間に 2 つのピーク増幅器が配置されてもよい。上述した実施形態ではキャリア増幅器の個数とピーク増幅器の個数とが等しい場合を例示したが、キャリア増幅器の個数とピーク増幅器の個数とは互いに異なっていてもよい。また、キャリア増幅器及びピーク増幅器の個数は 2 個に限られず、3 個以上であってもよい。

20

【符号の説明】

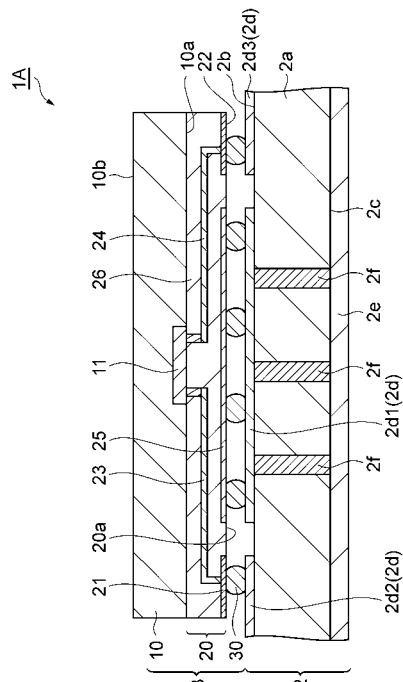
【0055】

1 A ... 半導体増幅装置、2 ... 実装基板、2 a ... 基体、2 b , 2 c ... 板面、2 d ... 配線パターン、2 d 1 ... GND パターン、2 d 2 , 2 d 3 ... 信号配線パターン、2 e ... 金属膜、2 f ... ビア、3 ... 半導体増幅素子、1 0 ... 半導体基板、1 0 a ... 主面、1 0 b ... 裏面、1 1 , 1 1 A , 1 1 B ... 信号増幅部、1 2 , 1 3 ... トランジスタ、1 2 a , 1 3 a ... ソース電極、1 2 b , 1 3 b ... ドレイン電極、1 2 c , 1 3 c ... ゲート電極、2 0 ... 配線層、2 0 a ... 表面、2 0 b ~ 2 0 e ... 辺、2 1 ... 信号入力端、2 2 ... 信号出力端、2 3 ... 信号入力配線、2 4 ... 信号出力配線、2 5 ... GND パターン、2 5 b ~ 2 5 e ... 縁、2 5 f , 2 5 g ... 切り欠き部、2 6 ... 絶縁膜、2 7 ... GND 層、2 7 a , 2 7 b ... 開口、3 0 ... バンプ電極、4 1 ... ソース配線、4 2 , 4 2 a , 4 2 b ... ドレイン配線、4 3 , 4 3 a , 4 3 b ... ゲート配線、2 3 1 ... 第 1 入力線路、2 3 2 ... 第 2 入力線路、2 3 3 ... 第 3 入力線路、2 3 4 , 2 3 5 ... 入力バイアス配線、2 4 1 ... 第 1 出力線路、2 4 2 ... 第 2 出力線路、2 4 3 ... 第 3 出力線路、2 4 4 , 2 4 5 ... 出力バイアス配線、D 1 , D 2 ... 方向、M 1 ... 第 1 層、M 2 ... 第 2 層、M 3 ... 第 3 層、M 4 ... 第 4 層。

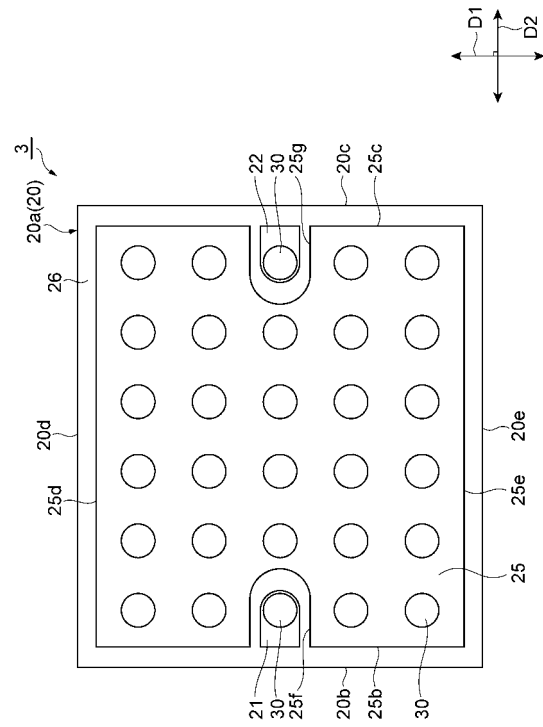
30

40

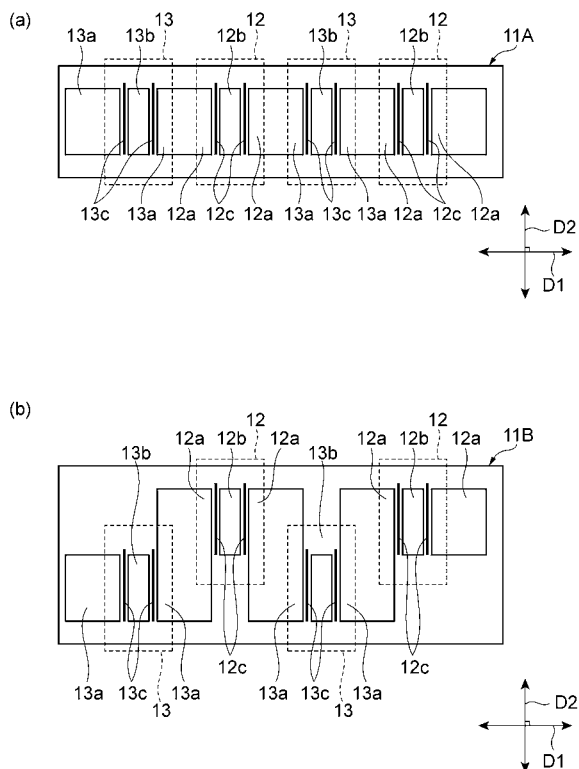
【 図 1 】



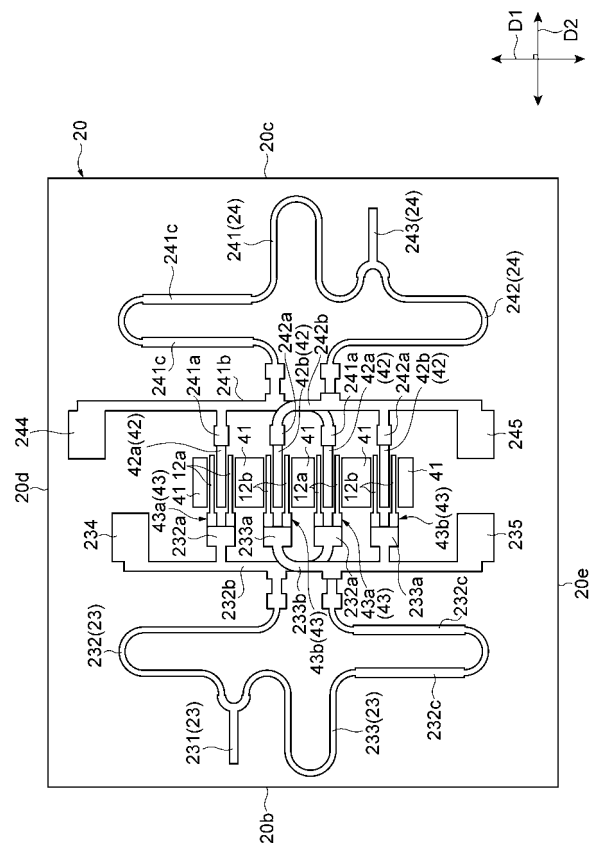
【 図 2 】



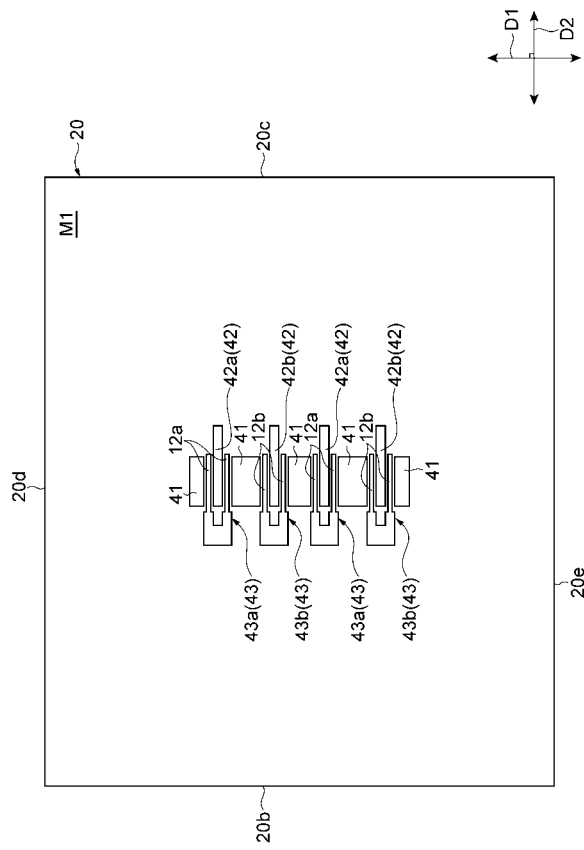
【 図 3 】



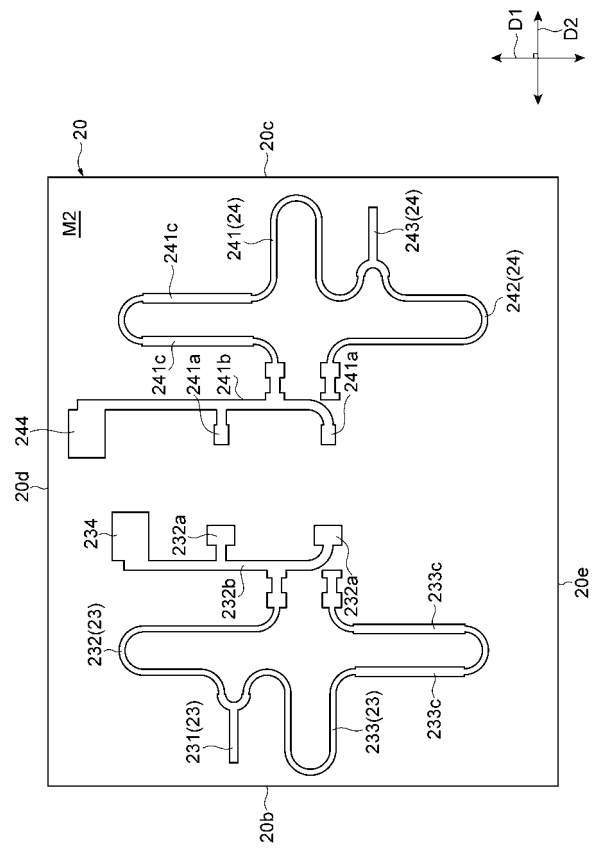
【 図 4 】



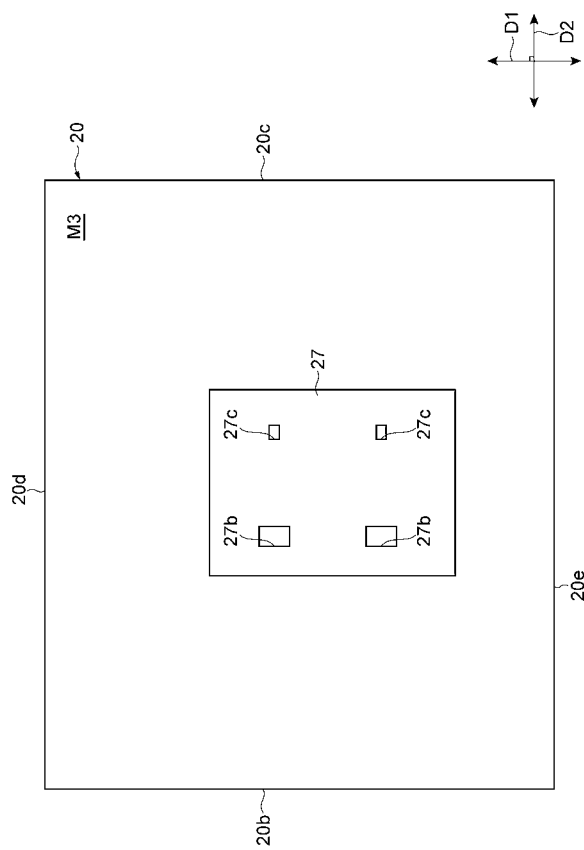
【図 5】



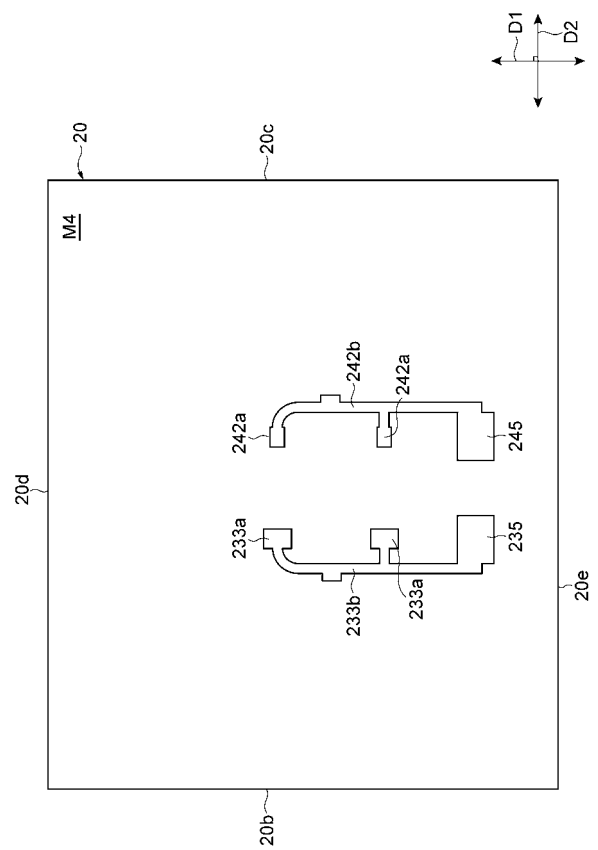
【図 6】



【図 7】



【図 8】



フロントページの続き

F ターム(参考) 5J500 AA01 AA21 AA41 AA62 AA63 AA64 AA65 AC52 AC81 AC86
AC92 AF14 AF16 AK12 AK29 AM19 AQ02 AQ03 AQ04 AS14
AT04 NF00 NH23