



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0136385
(43) 공개일자 2014년11월28일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/31 (2006.01)
H01L 21/336 (2006.01)
(21) 출원번호 10-2014-0058561
(22) 출원일자 2014년05월15일
심사청구일자 없음
(30) 우선권주장
JP-P-2013-106223 2013년05월20일 일본(JP)
JP-P-2013-106253 2013년05월20일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
스자와 히데오미
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
양영준, 박충범

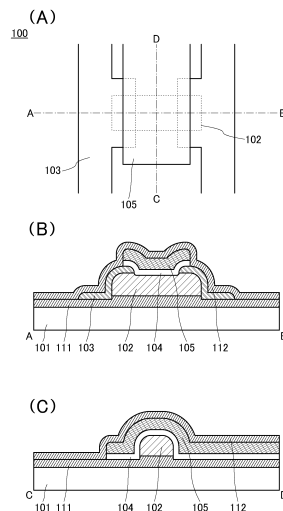
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 **반도체 장치**

(57) 요약

본 발명은, 산화물 반도체를 사용한 반도체 장치이며, 신뢰성이 높은 반도체 장치를 제공한다. 또는, 산화물 반도체를 사용한 반도체 장치이며, 양호한 전기 특성을 유지하면서, 미세화를 달성한 반도체 장치를 제공한다. 제 1 보호 절연층과, 제1 보호 절연층 위에, 산화물 반도체층과, 산화물 반도체층과 전기적으로 접속하는 소스 전극 및 드레인 전극과, 소스 전극 및 드레인 전극 위에 위치하고, 산화물 반도체층과 중첩하는 게이트 절연층과, 게이트 절연층을 개재하여 산화물 반도체층과 중첩하는 게이트 전극과, 소스 전극, 드레인 전극 및 게이트 전극을 덮는 제2 보호 절연층을 갖는 구성으로 한다. 또한 제1 보호 절연층 및 제2 보호 절연층은, 산소 과잉 영역을 갖는 산화 알루미늄막을 포함하고, 또한 소스 전극, 드레인 전극 및 게이트 전극이 존재하지 않는 영역에서 서로 접하는 영역을 갖는다.

대표도 - 도1



(72) 발명자

오카자키 유타카

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

미야이리 히데카즈

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

반도체 장치로서,

산화 알루미늄을 포함하는 제1 절연층;

상기 제1 절연층 위의 산화물 반도체층;

상기 산화물 반도체층에 전기적으로 접속된 소스 전극 및 드레인 전극;

상기 소스 전극 및 상기 드레인 전극 위에 있고, 상기 산화물 반도체층과 중첩하는 게이트 절연층;

상기 게이트 절연층을 개재하여 상기 산화물 반도체층과 중첩하는 게이트 전극; 및

상기 소스 전극, 상기 드레인 전극 및 상기 게이트 전극을 덮는 산화 알루미늄을 포함하는 제2 절연층을 포함하고,

상기 제1 절연층 및 상기 제2 절연층 각각은 산소 과잉 영역을 포함하고,

상기 제1 절연층 및 상기 제2 절연층은, 상기 소스 전극, 상기 드레인 전극 및 상기 게이트 전극이 제공되지 않은 영역에서 서로 접하는, 반도체 장치.

청구항 2

제1항에 있어서,

상기 게이트 전극은, 상기 게이트 절연층을 개재하여 상기 산화물 반도체층의 상면 및 측면을 덮는, 반도체 장치.

청구항 3

제1항에 있어서,

상기 산화물 반도체층의 두께는 채널 폭의 0.1배 이상 10배 이하인, 반도체 장치.

청구항 4

제1항에 있어서,

상기 제1 절연층과 상기 산화물 반도체층 사이의 제1 산화물층으로서, 상기 산화물 반도체층에 포함된 적어도 하나의 금속 원소를 포함하는 상기 제1 산화물층; 및

상기 산화물 반도체층과 상기 게이트 절연층 사이의 제2 산화물층으로서, 상기 산화물 반도체층에 포함된 적어도 하나의 금속 원소를 포함하는 상기 제2 산화물층

을 더 포함하고,

상기 제1 산화물층의 전도대 하단부와 상기 제2 산화물층의 전도대 하단부는, 상기 산화물 반도체층의 전도대 하단부보다 각각 진공 준위에 가깝고,

상기 제1 산화물층의 상기 전도대 하단부의 에너지와 상기 산화물 반도체층의 상기 전도대 하단부의 에너지 사이의 차는 0.05 eV 이상 2 eV 이하이고,

상기 제2 산화물층의 상기 전도대 하단부의 에너지와 상기 산화물 반도체층의 상기 전도대 하단부의 에너지 사이의 차는 0.05 eV 이상 2 eV 이하인, 반도체 장치.

청구항 5

제4항에 있어서,

상기 제2 산화물층의 상면은 상기 소스 전극의 하면, 상기 드레인 전극의 하면, 및 상기 게이트 절연층의 하면

과 접하는, 반도체 장치.

청구항 6

제4항에 있어서,

상기 제2 산화물층의 하면은, 상기 소스 전극 및 상기 드레인 전극이 제공되지 않은 영역에서 상기 소스 전극의 상면, 상기 드레인 전극의 상면, 및 상기 산화물 반도체층의 상면 및 측면과 접하는, 반도체 장치.

청구항 7

제1항에 있어서,

상기 소스 전극 및 상기 드레인 전극이 증착하지 않는 상기 산화물 반도체층의 두께는, 상기 소스 전극 또는 상기 드레인 전극이 증착하는 상기 산화물 반도체층의 두께보다 작은, 반도체 장치.

청구항 8

제1항에 있어서,

상기 제1 절연층과 상기 산화물 반도체층 사이의 제3 절연층을 더 포함하는, 반도체 장치.

청구항 9

제1항에 있어서,

상기 산화물 반도체층은 결정을 포함하는, 반도체 장치.

청구항 10

제9항에 있어서,

상기 결정의 c축은 상기 산화물 반도체층이 형성되어 있는 표면 또는 상기 산화물 반도체층의 표면에 실질적으로 수직인, 반도체 장치.

청구항 11

반도체 장치로서,

홈부(groove)를 포함하는 제1 절연층;

상기 홈부의 측면 및 저면을 덮는 산화 알루미늄을 포함하는 제2 절연층;

상기 제2 절연층 위에 있고, 상기 홈부를 매립하는 산화물 반도체층;

상기 산화물 반도체층에 전기적으로 접속된 소스 전극 및 드레인 전극;

상기 소스 전극 및 상기 드레인 전극 위에 있고, 상기 산화물 반도체층과 중첩하는 게이트 절연층;

상기 게이트 절연층을 개재하여 상기 산화물 반도체층과 중첩하는 게이트 전극; 및

상기 소스 전극, 상기 드레인 전극, 및 상기 게이트 전극을 덮는 산화 알루미늄을 포함하는 제3 절연층을 포함하고,

상기 제2 절연층 및 상기 제3 절연층 각각은 산소 과잉 영역을 포함하고,

상기 제2 절연층 및 상기 제3 절연층은, 상기 소스 전극, 상기 드레인 전극 및 상기 게이트 전극이 제공되지 않은 영역에서 서로 접하는, 반도체 장치.

청구항 12

제11항에 있어서,

상기 제2 절연층과 상기 산화물 반도체층 사이의 제1 산화물층으로서, 상기 산화물 반도체층에 포함된 적어도 하나의 금속 원소를 포함하는 상기 제1 산화물층; 및

상기 산화물 반도체층과 상기 게이트 절연층 사이의 제2 산화물층으로서, 상기 산화물 반도체층에 포함된 적어도 하나의 금속 원소를 포함하는 상기 제2 산화물층

을 더 포함하고,

상기 제1 산화물층의 전도대 하단부와 상기 제2 산화물층의 전도대 하단부는, 상기 산화물 반도체층의 전도대 하단부보다 각각 진공 준위에 가깝고,

상기 제1 산화물층의 상기 전도대 하단부의 에너지와 상기 산화물 반도체층의 상기 전도대 하단부의 에너지 사이의 차는 0.05 eV 이상 2 eV 이하이고,

상기 제2 산화물층의 상기 전도대 하단부의 에너지와 상기 산화물 반도체층의 상기 전도대 하단부의 에너지 사이의 차는 0.05 eV 이상 2 eV 이하인, 반도체 장치.

청구항 13

제12항에 있어서,

상기 제2 산화물층의 하면은, 상기 소스 전극 및 상기 드레인 전극이 제공되지 않은 영역에서 상기 소스 전극의 상면, 상기 드레인 전극의 상면, 및 상기 산화물 반도체층의 상면과 접하는, 반도체 장치.

청구항 14

제11항에 있어서,

상기 소스 전극 및 상기 드레인 전극이 중첩하지 않는 상기 산화물 반도체층의 두께는, 상기 소스 전극 또는 상기 드레인 전극이 중첩하는 상기 산화물 반도체층의 두께보다 작은, 반도체 장치.

청구항 15

제11항에 있어서,

상기 제2 절연층과 상기 산화물 반도체층 사이의 제4 절연층을 더 포함하는, 반도체 장치.

청구항 16

제11항에 있어서,

상기 산화물 반도체층은 결정을 포함하는, 반도체 장치.

청구항 17

제16항에 있어서,

상기 결정의 c축은 상기 산화물 반도체층이 형성되어 있는 표면 또는 상기 산화물 반도체층의 표면에 실질적으로 수직인, 반도체 장치.

명세서

기술분야

[0001] 본 명세서 등에서 개시하는 발명은, 반도체 장치, 및 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서 등에서, 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 트랜지스터, 반도체 회로, 연산 장치, 기억 장치, 활상 장치, 전기 광학 장치, 발전 장치(박막 태양 전지, 유기 박막 태양 전지 등을 포함함), 및 전자 기기는 반도체 장치의 일 형태이다.

배경기술

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 해당 트랜지스터는 집적 회로(IC)나 화상 표시 장치(간단히 표시 장치라고도 표기함)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용 가능한 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만,

그 밖의 재료로서 산화물 반도체가 주목받고 있다.

[0004] 예를 들어, 산화물 반도체로서, 산화아연, In-Ga-Zn계 산화물 반도체를 사용하여 트랜지스터를 제작하는 기술이 개시되어 있다(특허문헌 1 및 특허문헌 2 참조).

[0005] 또한, 트랜지스터의 캐리어 이동도의 향상을 목적으로, 전자 친화력(또는 전도대 하단부 준위)이 서로 다른 산화물 반도체층을 적층시키는 기술이 개시되어 있다(특허문헌 3 및 특허문헌 4 참조).

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허 공개 제2007-123861호 공보

(특허문헌 0002) 일본 특허 공개 제2007-96055호 공보

(특허문헌 0003) 일본 특허 공개 제2011-124360호 공보

(특허문헌 0004) 일본 특허 공개 제2011-138934호 공보

발명의 내용

해결하려는 과제

[0007] 산화물 반도체를 사용한 트랜지스터를 갖는 반도체 장치에 있어서, 고신뢰성의 달성은, 제품화를 향한 중요 사항이다. 특히, 반도체 장치의 전기 특성 변동이나 저하는 신뢰성의 저하를 초래하는 요인의 하나이다.

[0008] 이러한 문제를 감안하여, 본 발명의 일 형태는, 산화물 반도체를 사용한 반도체 장치이며, 신뢰성이 높은 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0009] 또한, 트랜지스터의 동작 고속화, 트랜지스터의 저소비 전력화, 저가격화, 고집적화 등을 달성하기 위해서는 트랜지스터의 미세화가 필수적이다.

[0010] 따라서, 본 발명의 일 형태는, 산화물 반도체를 사용한 반도체 장치이며, 양호한 전기 특성을 유지하면서, 미세화를 달성한 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0011] 또한, 이들 과제의 기재는, 다른 과제의 존재를 방해하는 것이 아니다. 본 발명의 일 형태는, 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 상기 이외의 과제는, 명세서 등의 기재로부터 저절로 밝혀지는 것이며, 명세서 등의 기재로부터 상기 이외의 과제를 추출하는 것이 가능하다.

과제의 해결 수단

[0012] 본 발명의 일 형태의 반도체 장치는, 제1 보호 절연층과, 제1 보호 절연층 위에, 산화물 반도체층과, 산화물 반도체층과 전기적으로 접속하는 소스 전극 및 드레인 전극과, 소스 전극 및 드레인 전극 위에 위치하고, 산화물 반도체층과 중첩하는 게이트 절연층과, 게이트 절연층을 개재하여 산화물 반도체층과 중첩하는 게이트 전극과, 소스 전극, 드레인 전극 및 게이트 전극을 덮는 제2 보호 절연층을 갖는다. 또한 제1 보호 절연층 및 제2 보호 절연층은, 산소 과잉 영역을 갖는 산화 알루미늄막을 포함하고, 또한 소스 전극, 드레인 전극 및 게이트 전극이 존재하지 않는 영역에서 서로 접하는 영역을 갖는다.

[0013] 또한, 상기 게이트 전극은, 게이트 절연층을 개재하여 산화물 반도체층의 상면 및 측면을 덮는 구성으로 하는 것이 바람직하다.

[0014] 또한, 상기 산화물 반도체층은, 채널 폭에 대하여 두께가 0.1배 이상 10배 이하인 것이 바람직하다.

[0015] 또한 상기에서, 제1 보호 절연층과 산화물 반도체층의 사이에 설치되고, 산화물 반도체층의 금속 원소 중 적어도 하나를 포함하여 구성되는 제1 산화물층과, 산화물 반도체층과 게이트 절연층의 사이에 설치되고, 산화물 반도체층의 금속 원소 중 적어도 하나를 포함하여 구성되는 제2 산화물층을 갖는 구성으로 해도 된다. 여기서 제1 산화물층 및 제2 산화물층의 전도대 하단부의 에너지는, 산화물 반도체층의 전도대 하단부의 에너지보다, 0.05eV 이상 2eV 이하의 범위에서 진공 준위에 가까운 구성으로 하는 것이 바람직하다.

[0016] 또한, 제2 산화물층의 상면은, 소스 전극의 하면, 드레인 전극의 하면, 및 게이트 절연층의 하면에 접하는 구성으로 해도 된다.

[0017] 또는, 제2 산화물층의 하면은, 소스 전극의 상면, 드레인 전극의 상면, 및 소스 전극 및 드레인 전극이 설치되지 않는 영역에서의 산화물 반도체층의 상면 및 측면에 접하는 구성으로 해도 된다.

[0018] 또한, 본 발명의 다른 일 형태의 반도체 장치는, 홈부를 갖는 절연층과, 홈부의 측면 및 저면을 덮도록 설치된 제1 보호 절연층과, 제1 보호 절연층 위에 홈부에 매립하도록 설치된 산화물 반도체층과, 산화물 반도체층에 전기적으로 접속하는 소스 전극 및 드레인 전극과, 소스 전극 및 드레인 전극 위에 위치하고, 산화물 반도체층과 중첩하는 게이트 절연층과, 게이트 절연층을 개재하여 산화물 반도체층과 중첩하는 게이트 전극과, 소스 전극, 드레인 전극, 및 게이트 전극을 덮는 제2 보호 절연층을 갖는 구성으로 한다. 또한, 제1 보호 절연층 및 제2 보호 절연층은, 산소 과잉 영역을 갖는 산화 알루미늄막을 포함하고, 또한 소스 전극, 드레인 전극, 및 게이트 전극이 존재하지 않는 영역에서 서로 접하는 영역을 갖는다.

발명의 효과

[0019] 본 발명의 일 형태에 의하면, 산화물 반도체를 사용한 반도체 장치이며, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0020] 또한, 본 발명의 일 형태에 의하면, 산화물 반도체를 사용한 반도체 장치이며, 양호한 전기 특성을 유지하면서, 미세화를 달성한 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

- [0021] 도 1은 실시 형태에 따른 반도체 장치의 구성예이다.
- 도 2는 실시 형태에 따른 반도체 장치의 제작 방법예를 설명하는 도면이다.
- 도 3은 실시 형태에 따른 반도체 장치의 구성예이다.
- 도 4는 실시 형태에 따른 반도체 장치의 구성예이다.
- 도 5는 실시 형태에 따른 반도체 장치의 구성예이다.
- 도 6은 실시 형태에 따른 반도체 장치의 제작 방법예를 설명하는 도면이다.
- 도 7은 실시 형태에 따른 반도체 장치의 구성예이다.
- 도 8은 실시 형태에 따른 반도체 장치의 구성예이다.
- 도 9는 실시 형태에 따른 반도체 장치의 구성예 및 회로도이다.
- 도 10은 실시 형태에 따른 반도체 장치의 구성예이다.
- 도 11은 실시 형태에 따른 밴드 도를 설명하는 도면이다.
- 도 12는 실시 형태에 따른 반도체 장치의 구성예이다.
- 도 13은 실시 형태에 따른 반도체 장치의 구성예이다.
- 도 14는 실시 형태에 따른 반도체 장치의 구성예이다.
- 도 15는 실시 형태에 따른 반도체 장치의 구성예이다.
- 도 16은 실시 형태에 따른 반도체 장치의 구성예 및 회로도이다.
- 도 17은 실시 형태에 따른 반도체 장치의 구성예이다.
- 도 18은 실시 형태에 따른 반도체 장치의 등가 회로도이다.
- 도 19는 실시 형태에 따른 반도체 장치의 회로도이다.
- 도 20은 실시 형태에 따른 반도체 장치의 블록도이다.
- 도 21은 실시 형태에 따른 기억 장치를 설명하는 회로도이다.

도 22는 실시 형태에 따른 전자 기기이다.

도 23은 산화물 반도체의 단면 TEM상 및 국소적인 푸리에 변환상이다.

도 24는 산화물 반도체막의 나노 빔 전자 회절 패턴을 도시하는 도면, 및 투과 전자 회절 측정 장치의 일례를 나타내는 도이다.

도 25는 투과 전자 회절 측정에 의한 구조 해석의 일례를 나타내는 도, 및 평면 TEM상이다.

도 26은 실시 형태에 따른 반도체 장치의 구성예이다.

도 27은 실시 형태에 따른 반도체 장치의 구성예이다.

도 28은 실시 형태에 따른 반도체 장치의 구성예이다.

도 29는 실시 형태에 따른 반도체 장치의 구성예이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 실시 형태에 대해서, 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시 형태의 기재 내용에 한정하여 해석되는 것이 아니다.
- [0023] 또한, 이하에 설명하는 발명의 구성에 있어서, 동일 부분 또는 마찬가지로의 기능을 갖는 부분에는 동일한 부호를 서로 다른 도면간에서 공통적으로 사용하고, 그 반복 설명은 생략한다. 또한, 마찬가지로의 기능을 가리키는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0024] 또한, 본 명세서에서 설명하는 각 도면에 있어서, 각 구성의 크기, 층의 두께, 또는 영역은, 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지는 않는다.
- [0025] 또한, 본 명세서 등에서의 「제1」, 「제2」 등의 서수사는, 구성 요소의 혼동을 피하기 위해 붙이는 것이며, 수적으로 한정하는 것이 아니다.
- [0026] 트랜지스터는 반도체 소자의 일종이며, 전류나 전압의 증폭이나, 도통 또는 비도통을 제어하는 스위칭 동작 등을 실현할 수 있다. 본 명세서에서의 트랜지스터는, IGFET(Insulated Gate Field Effect Transistor)나 박막 트랜지스터(TFT: Thin Film Transistor)를 포함한다.
- [0027] (실시 형태 1)
- [0028] 본 실시 형태에서는, 본 발명의 일 형태의 반도체 장치의 예로서, 트랜지스터의 구성에 및 제작 방법예에 대해서 도면을 참조하여 설명한다.
- [0029] 산화물 반도체를 사용하여 트랜지스터를 제작하는 경우, 산화물 반도체의 캐리어 공급원의 하나로서 산소 결손을 들 수 있다. 트랜지스터의 채널 형성 영역을 포함하는 산화물 반도체에 산소 결손이 많이 존재하면, 채널 형성 영역에 전자를 발생시켜버려, 트랜지스터의 노멀리 온화, 누설 전류의 증대, 스트레스 인가에 의한 임계값 전압의 변동(시프트) 등, 전기 특성의 불량을 야기하는 요인이 된다.
- [0030] 또한, 산화물 반도체층에 있어서, 수소, 실리콘, 질소, 탄소 및 주성분 이외의 금속 원소는 불순물이 된다. 예를 들어, 산화물 반도체층 중에서 수소의 일부는 도너 준위를 형성하여, 캐리어 밀도를 증대시킨다.
- [0031] 그로 인해, 산화물 반도체를 사용한 반도체 장치에 있어서 안정된 전기 특성을 얻기 위해서는, 산화물 반도체층에 충분한 산소를 공급함으로써 산소 결손을 저감하고, 또한, 수소 등의 불순물 농도를 저감하는 조치를 강구할 것이 요구된다.
- [0032] 따라서, 본 발명의 일 형태의 반도체 장치에서는, 산화물 반도체층을 둘러싸도록, 산소 과잉 영역을 갖는 산화 알루미늄막을 포함하는 보호 절연층을 설치하고, 당해 보호 절연층으로부터 채널 형성 영역에 산소를 공급함으로써 채널 형성 영역에 형성될 수 있는 산소 결손을 보충한다. 또한, 보호 절연층에 의해 산화물 반도체층으로부터의 산소의 방출을 억제하여, 산소 결손의 형성을 억제한다.
- [0033] 본 발명의 일 형태에 있어서, 채널 형성 영역에 산소를 공급하기 위한 보호 절연층으로서, 과잉 산소를 포함하는 산화 알루미늄막을 갖는 절연층을 적용하는 것으로 한다. 여기서, 과잉 산소란, 예를 들어, 화학양론적 조성을 초과해서 포함되는 산소, 또는, 반도체 장치의 제작 공정 중에 가해지는 열 처리 온도 이하의 온도의 가

열로부터 방출될 수 있는 산소를 말한다. 예를 들어, 과잉 산소를 포함하는 산화 알루미늄막으로서, AlO_x (x 는 3/2보다 크다)막을 사용할 수 있다. 산화 알루미늄막에 포함되는 과잉 산소는, 가열에 의해 방출되어 산화물 반도체층에 공급하는 것이 가능하기 때문에, 이러한 산화 알루미늄막을 포함하는 절연층을 산화물 반도체층의 하측 및 상측에 설치함으로써, 채널 형성 영역에 효과적으로 산소를 공급할 수 있다.

- [0034] 또한, 과잉 산소를 포함하는 산화 알루미늄막은, 예를 들어, 산소를 포함하는 분위기에서 스퍼터링법 등에 의해 성장함으로써 형성할 수 있다.
- [0035] 또한, 산화 알루미늄막은, 산화 실리콘막, 산화질화 실리콘막 등의 절연층, 또는 산화물 반도체층과 비교하여 산소 및 수소에 대한 투과성이 낮은 절연층이다. 환언하면, 산소 및 수소에 대한 배리어성을 갖는 절연층이다. 따라서, 산화 알루미늄막을 포함하는 절연층을 형성함으로써, 당해 절연층으로 둘러싸인 영역의 산소 탈리에 의한 산소 결손의 형성을 억제하고, 또한, 수소 또는 수소 화합물의 혼입을 억제하는 것이 가능하게 된다.
- [0036] 본 발명의 일 형태에 있어서, 산화물 반도체층의 상측 및 하측에 설치된 보호 절연층은, 산화물 반도체층과, 해당 산화물 반도체층과 전기적으로 접촉하는 소스 전극 및 드레인 전극이 존재하지 않는 영역에서, 서로 접하는 영역을 갖는다. 즉, 본 발명의 일 형태의 반도체 장치는, 산화물 반도체층을 감싸도록 산화 알루미늄막이 설치된 구성을 갖는다. 이와 같은 구성을 가짐으로써, 산화물 반도체층의 프론트 채널측 및 백 채널측 계면 외에도, 산화물 반도체층 측면에서의 산소의 탈리 및/또는 수소 등의 불순물의 혼입을 억제하고, 또한 산소의 공급을 행하는 것이 가능하게 된다. 따라서, 당해 산화물 반도체층에 채널이 형성되는 트랜지스터의 전기 특성 변동을 억제하여, 신뢰성이 높은 반도체 장치를 형성하는 것이 가능하게 된다.
- [0037] 그 때문에 본 발명의 일 형태의 반도체 장치에서는, 채널 형성 영역의 산소 결손을 저감함으로써, 양호한 전기 특성을 갖고, 또한 전기 특성의 변동이 억제된 신뢰성이 높은 반도체 장치를 실현할 수 있다.
- [0038] 본 발명의 일 형태에 관한 구성의 효과는, 예를 들어 이하와 같이 설명할 수 있다.
- [0039] 본 발명의 일 형태의 반도체 장치는, 과잉 산소를 갖는 산화 알루미늄막을 포함하는 절연층을, 산화물 반도체층을 감싸도록 설치한다. 산화 알루미늄막에 포함되는 과잉 산소는, 반도체 장치의 제작 공정에서의 가열 처리에 의해, 채널이 형성되는 산화물 반도체층에 공급된다. 또한, 산화 알루미늄막은, 산소 및 수소에 대한 배리어성을 갖기 때문에, 산화 알루미늄막을 포함하는 절연층으로 싸여진 산화물 반도체층으로부터의 산소의 탈리, 및 산화물 반도체층으로의 수소 등의 불순물의 혼입을 억제하는 것이 가능하게 된다. 충분히 산소가 공급되고, 또한 수소 등의 불순물의 혼입이 억제된 산화물 반도체층은, 고순도 진성화된 산화물 반도체층이다.
- [0040] 또한, 상기의 반도체 장치에 있어서, 게이트 절연층을 개재하여 산화물 반도체층과 중첩하는 게이트 전극은, 산화물 반도체층의 채널 형성 영역의 측면 및 상면과 중첩하도록 설치하는 것이 바람직하다. 이러한 구성으로 함으로써, 산화물 반도체층에 대하여 측면에 수직인 방향 및 상면에 수직인 방향으로부터 전계가 인가되기 때문에, 트랜지스터의 임계값 전압을 양호하게 제어하고, 또한 서브 임계값 계수(S값이라고도 함)를 향상시킬 수 있다.
- [0041] 여기서, 반도체 장치의 고밀도화(고집적화)를 달성하기 위해서는, 트랜지스터의 미세화가 필수적이다. 한편, 트랜지스터의 미세화에 의해 트랜지스터의 전기 특성이 악화되는 경우가 있는 것으로 알려져 있다.
- [0042] 예를 들어, 실리콘을 사용한 트랜지스터에서는, 채널 길이를 단축하면, 서브 임계값 계수(S값)의 열화, 임계값 전압의 변동 등의 단채널 효과가 발생하는 것으로 알려져 있다.
- [0043] 그러나, 산화물 반도체를 사용한 트랜지스터는, 전자를 다수 캐리어로 하는 축적형 트랜지스터이기 때문에, 실리콘 등의 반전형 트랜지스터와 비교하여 단채널에서의 DIBL(Drain-Induced Barrier Lowering)이 일어나기 어렵다. 산화물 반도체를 사용한 트랜지스터는, 단채널 효과에 대한 내성을 가진다고 바꿔말할 수도 있다.
- [0044] 또한, 트랜지스터의 채널 폭을 축소하면, 온 전류의 저하가 염려된다. 온 전류의 향상을 목적으로, 활성층의 측면에도 채널이 형성되도록 활성층을 후막화하는 방법도 알려져 있지만, 채널이 형성되는 표면적이 증대함으로써, 채널 형성 영역과 게이트 절연층의 계면에 캐리어의 산란이 증가하기 때문에, 충분한 온 전류의 향상을 기대하는 것은 용이하지 않다.
- [0045] 그러나, 본 발명의 일 형태의 트랜지스터에서는, 채널이 형성되는 산화물 반도체층을 감싸는 형태로, 과잉 산소를 함유하는 산화 알루미늄막을 포함하는 절연층을 가짐으로써, 산화 알루미늄막에 포함되는 과잉 산소를 산화물 반도체층에 공급하고, 또한, 산화물 반도체층으로부터의 산소의 탈리 및 수소 등의 불순물의 혼입을 억제할

수 있다. 산화물 반도체층에 있어서, 산소 결손 및 수소는 캐리어의 생성 요인이 되기 때문에, 과잉 산소를 포함하는 산화 알루미늄막을 설치함으로써, 채널이 형성되는 산화물 반도체층의 계면에서 발생할 수 있는 캐리어의 산란을 억제할 수 있다.

- [0046] 따라서, 채널 폭을 축소할 경우에도, 산화물 반도체층의 막 두께를 후막화하여 게이트 전극과 중첩하는 표면적을 증가시킴으로써, 온 전류를 충분히 향상시키는 것이 가능하게 된다. 산화물 반도체층의 측면 방향으로 게이트 전극으로부터의 전계를 충분히 인가하기 위해서는, 산화물 반도체층의 막 두께를 채널 폭 이상으로 하는 것이 바람직하다.
- [0047] 또한, 산화물 반도체층에 접하고, 산화물 반도체층의 금속 원소 중 적어도 하나를 포함하여 구성되는 산화물층을 형성함으로써, 상술한 캐리어의 산란을 보다 억제할 수 있기 때문에 효과적이다.
- [0048] 또한, 트랜지스터의 채널 길이 및 채널 폭을 미세화하면, 레지스트 마스크를 사용하여 가공되는 배선, 반도체층 등의 단부면이 둥그스름한(곡면을 갖는) 경우가 있다. 후막화한 산화물 반도체층을 덮도록, 박막의 절연층(예를 들어, 게이트 절연층)을 형성하는 경우, 피복성의 저하에 의한 형상 불량을 초래하여, 안정된 전기적 특성을 얻을 수 없는 경우가 있는데, 산화물 반도체층의 단부면이 곡면을 가짐으로써, 산화물 반도체층 위에 설치되는 절연층의 피복성을 향상시킬 수 있기 때문에 바람직하다.
- [0049] 또한, 산화물 반도체층 중의 수소의 일부는, 산소 결손에 포획되어, 산화물 반도체층을 n형화하기 때문에, 페르미 준위(E_f)가 전도대 하단부(E_c)에 가까워진다. 따라서, 수소가 다량으로 포함된 산화물 반도체층은, 전기 특성의 변동이 우려되는 한편, 트랜지스터의 전계 효과 이동도의 향상이 기대된다. 한편, 산화물 반도체층을 진성 또는 실질적으로 진성으로 하면, 산화물 반도체층의 페르미 에너지는 미드 갭(산화물 반도체층의 에너지 갭의 중간 에너지)과 일치하거나, 또는 끝없이 가까워진다. 이 경우, 산화물 반도체층에 포함되는 캐리어수의 감소에 의해, 전계 효과 이동도의 저하가 우려된다.
- [0050] 그러나, 본 발명의 일 형태의 트랜지스터에서는, 산화물 반도체층에 수직 방향으로부터의 게이트 전계 외에도, 측면 방향으로부터의 게이트 전계가 인가된다. 즉, 산화물 반도체층의 전체에 게이트 전계가 인가되게 되어, 전류는 산화물 반도체층의 벌크를 흐른다. 이에 의해, 고순도 진성화에 의한, 전기 특성의 변동 억제를 달성하면서, 트랜지스터의 전계 효과 이동도의 향상을 도모하는 것이 가능하게 된다.
- [0051] 보다 구체적으로는, 예를 들어 이하의 구성으로 할 수 있다.
- [0052] [구성예 1]
- [0053] 도 1의 (A)에, 본 구성예에서 예시하는 트랜지스터(100)의 상면 개략도를 나타낸다. 또한 도 1의 (B), (C)는 각각, 도 1의 (A) 중의 절단선 A-B, C-D에서의 단면 개략도를 나타낸다. 또한, 도 1의 (A)에서는 명료화를 위해 일부의 구성 요소는 명시하지 않았다.
- [0054] 트랜지스터(100)는 기판(101) 위에 설치되고, 섬 형상의 반도체층(102)과, 반도체층(102)과 전기적으로 접속하는 한 쌍의 전극(103)과, 한 쌍의 전극(103) 위에 위치하고, 반도체층(102)과 중첩하는 게이트 절연층(104)과, 게이트 절연층(104) 위에 위치하고, 반도체층(102)과 중첩하는 게이트 전극(105)을 갖는다.
- [0055] 또한, 기판(101)과 반도체층(102)의 사이에는, 제1 보호 절연층(111)이 설치되어 있다. 또한, 한 쌍의 전극(103) 및 게이트 전극(105) 위에 제2 보호 절연층(112)이 설치되어 있다. 또한 제1 보호 절연층(111)과 제2 보호 절연층(112)은, 한 쌍의 전극(103) 및 게이트 전극(105)이 설치되어 있지 않은 영역에서 서로 접하여 설치되어 있다.
- [0056] 반도체층(102)은 산화물 반도체를 포함한다. 또한 반도체층(102)은, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또는, In과 Zn 양쪽을 포함하는 것이 바람직하다. 보다 바람직하게는, In-M-Zn계 산화물(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce 또는 Hf 등의 금속)로 표기되는 산화물을 포함한다.
- [0057] 한 쌍의 전극(103) 중, 한쪽은 트랜지스터(100)의 소스 전극으로서 기능하고, 다른 쪽은 드레인 전극으로서 기능한다. 또한 도 1의 (B)에서는, 한 쌍의 전극(103)은 각각, 반도체층(102)의 상면 및 측면에 접하여 설치되어 있다.
- [0058] 게이트 전극(105)은 게이트 절연층(104)을 개재하여 반도체층(102)의 상면 및 측면을 둘러싸도록 하여 설치되어 있다.
- [0059] 여기서, 트랜지스터의 채널 길이(L 길이)란, 대향하는 소스-드레인간이 거리로 한다. 또한 트랜지스터의 채널

폭(W 길이)이란, 채널 길이 방향에 직교하는 방향에서의 반도체층의 폭으로 한다. 또한, 트랜지스터의 소스 전극, 드레인 전극, 게이트 전극, 및 반도체층의 형상에 따라서는, 채널 길이 및 채널 폭이 영역(위치)에 따라 상이한 경우가 있다. 그 경우에는, 이 평균값, 또는 최소값 등을, 트랜지스터의 채널 길이 또는 채널 폭으로서 적용할 수 있다.

[0060] 게이트 전극(105)은, 반도체층(102)의 측면도 둘러싸도록 설치되기 때문에, 반도체층(102)의 측면도 채널 형성 영역으로서 기능시킬 수 있다. 이때, 반도체층(102)의 채널 폭에 대하여, 반도체층(102)의 두께를 0.05배 이상 20배 이하, 바람직하게는 0.1배 이상 10배 이하로 하는 것이 바람직하다. 이러한 형상으로 함으로써, 채널 폭을 작게 한 경우라도 온 전류의 저하가 억제되어, 보다 미세하고 또한 고속 동작이 가능한 트랜지스터를 실현할 수 있다.

[0061] 이와 같이, 트랜지스터의 반도체층의 상면 및 측면을 둘러싸도록 하여 게이트 전극이 설치되고, 반도체층의 측면 근방에 형성되는 채널을 적극적으로 사용함으로써 온 전류가 높아진 트랜지스터의 구조를, Surrounded Channel(S-Channel) 구조라고 칭할 수도 있다.

[0062] 제1 보호 절연층(111) 및 제2 보호 절연층(112)은, 산소 과잉 영역을 갖고, 또한 산소의 확산을 억제하는 기능(산소에 대한 블로킹성이라고도 함)을 갖는 절연 재료를 사용할 수 있다. 예를 들어, 제1 보호 절연층(111) 및 제2 보호 절연층(112)으로서, 산화 알루미늄막을 포함하는 층을 사용할 수 있다. 그 밖에, 산화 알루미늄, 산화질화 알루미늄, 산화갈륨, 산화질화 갈륨, 산화이트륨, 산화질화 이트륨, 산화하프늄, 산화질화 하프늄, 이트리아 안정화 지르코니아(YSZ) 등의 산소를 포함하는 절연 재료를 포함하는 막을 적용할 수도 있다.

[0063] 산소 과잉 영역을 갖는 절연막으로서, 예를 들어 화학양론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막을 사용하는 것이 바람직하다. 화학양론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막은, 가열에 의해 일부의 산소가 탈리된다.

[0064] 또한, 제1 보호 절연층(111) 및 제2 보호 절연층(112)에는, 수소의 함유량이 매우 낮은 절연 재료를 사용하는 것이 바람직하다. 예를 들어, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 검출되는 수소의 함유량이, $5 \times 10^{21} \text{ atoms/cm}^3$ 미만, 바람직하게는 $2 \times 10^{21} \text{ atoms/cm}^3$ 미만, 보다 바람직하게는 $1 \times 10^{21} \text{ atoms/cm}^3$ 미만인 영역을 포함하는 절연 재료를 사용할 수 있다.

[0065] 또한, 제1 보호 절연층(111) 및 제2 보호 절연층(112)에 적용하는 절연 재료로서, 상술한 산화물에 산화 실리콘을 함유시킨 재료를 사용할 수도 있다. 예를 들어 산화 실리콘을 0.1중량% 내지 30중량%의 범위(예를 들어 5중량%, 또는 10중량% 등)에서 함유시킨 산화알루미늄을 사용할 수 있다. 산화 실리콘을 이 범위에서 포함시킴으로써, 산소에 대한 블로킹성을 저하시키지 않고, 가열에 의해 탈리되는 산소의 양을 증대시키고, 또한 막의 응력을 저감할 수 있다.

[0066] [각 구성 요소에 대해서]

[0067] 이하에서는, 트랜지스터(100)의 각 구성 요소에 대하여 설명한다.

[0068] [반도체층]

[0069] 반도체층(102)에 포함되는 산화물 반도체로서, 실리콘보다 밴드 갭이 넓고, 또한 캐리어 밀도가 작은 산화물 반도체를 사용하면, 트랜지스터의 오프 상태에서의 전류를 저감할 수 있기 때문에 바람직하다.

[0070] 또한, 반도체층(102)에 사용하는 반도체의 결정성으로서는, 비정질 반도체, 결정성을 갖는 반도체(미결정 반도체, 다결정 반도체, 단결정 반도체, 또는 일부 또는 모두에 결정부를 갖는 반도체) 중 어느 것을 사용해도 된다. 반도체층(102)에 결정성을 갖는 반도체를 사용하면, 트랜지스터의 특성 열화가 억제되기 때문에 바람직하다.

[0071] 특히, 반도체층(102)으로서, 복수의 결정부를 갖고, 당해 결정부는 c축이 반도체층(102)의 피형성면(도 1에서는 제1 보호 절연층(111)의 상면) 또는 반도체층(102)의 상면에 대하여 대략 수직으로 배향하고, 또한 인접하는 결정부간에는 입계를 갖지 않는 층을 사용하는 것이 바람직하다.

[0072] 반도체층(102)으로서, 이러한 재료를 사용함으로써 전기 특성의 변동이 억제되어, 신뢰성이 높은 트랜지스터(100)를 실현할 수 있다.

[0073] 또한, 반도체층(102)은 단층 구조 또는 2층 이상의 적층 구조로 해도 된다. 적층 구조로 하는 경우에는, 서로

다른 조성의 산화물 반도체막을 2 이상 조합해도 된다.

[0074] 또한, 반도체층(102)에 적용 가능한 산화물 반도체의 바람직한 형태와 그 형성 방법에 대해서는, 후의 실시 형태에서 상세하게 설명한다.

[0075] [기판]

[0076] 기판(101)의 재질 등에 큰 제한은 없지만, 적어도 공정 중의 열처리에 견딜 수 있을 정도의 내열성을 갖는 재료를 사용한다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판, 이트리아 안정화 지르코니아(YSZ) 기판 등을, 기판(101)으로서 사용해도 된다. 또한, 실리콘이나 탄화 실리콘 등의 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수도 있다.

[0077] 또한, 각종 반도체 기판이나 SOI 기판 위에 반도체 소자가 설치된 것을, 기판(101)으로서 사용해도 된다. 그 경우, 기판(101) 위에 층간 절연층을 개재하여 트랜지스터(100)를 형성한다. 이때, 당해 층간 절연층에 매립된 접속 전극에 의해, 트랜지스터(100)의 게이트 전극(105), 한 쌍의 전극(103) 중 적어도 하나가, 상기 반도체 소자와 전기적으로 접속하는 구성으로 하면 된다. 반도체 소자 위에 층간 절연층을 개재하여 트랜지스터(100)를 설치함으로써, 트랜지스터(100)를 부가함으로써 인한 면적의 증대를 억제할 수 있다.

[0078] [게이트 전극]

[0079] 게이트 전극(105)은, 알루미늄, 크롬, 구리, 탄탈륨, 티타늄, 몰리브덴, 텅스텐에서 선택된 금속, 또는 상술한 금속을 성분으로 하는 합금이나, 상술한 금속을 조합한 합금 등을 사용하여 형성할 수 있다. 또한, 망간, 지르코늄 중 어느 하나 또는 복수에서 선택된 금속을 사용해도 된다. 또한, 인 등의 불순물 원소를 도핑한 다결정 실리콘으로 대표되는 반도체, 니켈 실리사이드 등의 실리사이드를 사용해도 된다. 또한, 게이트 전극(105)은 단층 구조나 2층 이상의 적층 구조로 해도 된다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 위에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 위에 텅스텐막을 적층하는 2층 구조, 질화 탄탈막 또는 질화 텅스텐막 위에 텅스텐막을 적층하는 2층 구조, 티타늄막과, 그 티타늄막 위에 알루미늄막을 적층하고, 또한 그 위에 티타늄막을 형성하는 3층 구조 등이 있다. 또한, 알루미늄, 티타늄, 탄탈륨, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐에서 선택된 하나 또는 복수의 금속을 조합한 합금막, 또는 이 질화막을 사용해도 된다.

[0080] 또한, 게이트 전극(105)은, 인듐 주석 산화물, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티타늄을 포함하는 인듐 산화물, 산화티타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 적용할 수도 있다. 또한, 상기 투광성을 갖는 도전성 재료와, 상기 금속의 적층 구조로 할 수도 있다.

[0081] 또한, 게이트 전극(105)과 게이트 절연층(104)의 사이에, In-Ga-Zn계 산질화물 반도체막, In-Sn계 산질화물 반도체막, In-Ga계 산질화물 반도체막, In-Zn계 산질화물 반도체막, Sn계 산질화물 반도체막, In계 산질화물 반도체막, 금속 질화막(InN, ZnN 등) 등을 설치해도 된다. 이 막은 5eV 이상, 바람직하게는 5.5eV 이상의 일함수를 갖고, 산화물 반도체의 전자 친화력보다 큰 값이기 때문에, 산화물 반도체를 사용한 트랜지스터의 임계값 전압을 플러스로 시프트할 수 있어, 소위 노멀리 오프 특성의 스위칭 소자를 실현할 수 있다. 예를 들어, In-Ga-Zn계 산질화물 반도체막을 사용하는 경우, 적어도 반도체층(102)보다 높은 질소 농도, 구체적으로는 7원자% 이상의 In-Ga-Zn계 산질화물 반도체막을 사용한다.

[0082] [게이트 절연층]

[0083] 게이트 절연층(104)은, 예를 들어 산화실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화알루미늄, 산화하프늄, 산화갈륨 또는 Ga-Zn계 금속 산화물, 질화실리콘 등을 사용하면 되고, 적층 또는 단층으로 설치한다.

[0084] 또한, 게이트 절연층(104)으로서, 하프늄 실리케이트(HfSiO_x), 질소가 첨가된 하프늄 실리케이트(HfSi_xO_yN_z), 질소가 첨가된 하프늄 알루미늄네이트(HfAl_xO_yN_z), 산화하프늄, 산화이트륨 등의 high-k 재료를 사용함으로써 트랜지스터의 게이트 누설을 저감할 수 있다.

[0085] [한 쌍의 전극]

[0086] 한 쌍의 전극(103)은, 도전 재료로서, 알루미늄, 티타늄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈륨, 또는 텅스텐을 포함하는 단체 금속, 또는 이것을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로서 사용할 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층

하는 2층 구조, 티타늄막 위에 구리막을 적층하는 2층 구조, 텅스텐막 위에 티타늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 티타늄막 또는 질화 티타늄막과, 그 티타늄막 또는 질화 티타늄막 위에 중첩하여 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 티타늄막 또는 질화 티타늄막을 형성하는 3층 구조, 몰리브덴막 또는 질화 몰리브덴막과, 그 몰리브덴막 또는 질화 몰리브덴막 위에 중첩하여 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 몰리브덴막 또는 질화 몰리브덴막을 형성하는 3층 구조 등이 있다. 또한, 산화인듐, 산화주석 또는 산화아연을 포함하는 투명 도전 재료를 사용해도 된다.

- [0087] 이상이, 트랜지스터(100)의 구성예, 및 각 구성 요소에 관한 설명이다.
- [0088] [제작 방법에 1]
- [0089] 이하에서는, 도 1에 예시한 트랜지스터(100)의 제작 방법의 일례에 대해서, 도면을 참조하여 설명한다. 도 2는, 이하에 예시하는 제작 방법에서의 각 공정에서의 단면 개략도이다.
- [0090] [제1 보호 절연층의 형성]
- [0091] 먼저, 기판(101) 위에 제1 보호 절연층(111)을 형성한다(도 2의 (A)).
- [0092] 제1 보호 절연층(111)의 성막은, 예를 들어 산소를 포함하는 분위기에서 스퍼터링법 등에 의해 성막할 수 있다. 그 밖에, 산소를 포함하는 분위기에서, CVD(Chemical Vapor Deposition)법, MBE(Molecular Beam Epitaxy)법, ALD(Atomic Layer Deposition)법, 또는 PLD(Pulsed Laser Deposition)법 등에 의해 성막해도 된다.
- [0093] 예를 들어, 제1 보호 절연층(111)으로서, 산화 알루미늄막을 사용하는 경우에는, 산화알루미늄을 스퍼터링 타깃으로 하여, 산소를 포함하는 분위기 하에서 성막할 수 있다. 또한 성막 가스에 희가스 등의 불활성 가스를 포함시켜도 된다. 예를 들어 성막 가스 전체의 유량에 대한 산소의 유량을 20% 이상, 바람직하게는 30% 이상, 보다 바람직하게는 40% 이상으로 하는 것이 바람직하다. 또한, 알루미늄을 스퍼터링 타깃으로 한 반응성 스퍼터링법에 의해 산화 알루미늄막을 성막해도 되지만, 산화 알루미늄을 스퍼터링 타깃에 사용한 것이, 보다 더 많은 산소를 막 중에 함유시킬 수 있기 때문에 바람직하다.
- [0094] [반도체층의 형성]
- [0095] 계속해서, 제1 보호 절연층(111) 위에 반도체막을 성막한다. 그 후 포토리소그래피법 등을 사용하여 반도체막 위에 레지스트 마스크를 형성하고, 반도체막이 불필요한 부분을 에칭에 의해 제거한다. 그 후 레지스트 마스크를 제거함으로써, 섬 형상의 반도체층(102)을 형성할 수 있다(도 2의 (B)).
- [0096] 반도체막의 성막은, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법 등을 사용할 수 있다. 또는, 졸겔법이나 스프레이법, 미스트법 등, 액상의 재료를 사용한 박막 형성 기술을 사용할 수도 있다. 반도체막의 성막은, 스퍼터링법을 사용하는 것이 바람직하다. 스퍼터링법으로서는, RF 스퍼터링법, DC 스퍼터링법, AC 스퍼터링법 등을 사용할 수 있다. 특히, 성막 시에 발생하는 먼지를 저감할 수 있고, 또한 막 두께 분포도 균일하게 하는 점에서, DC 스퍼터링법을 사용하는 것이 바람직하다.
- [0097] 반도체막의 성막 후, 가열 처리를 행해도 된다. 가열 처리는, 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하의 온도에서, 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기, 또는 감압 상태에서 행하면 된다. 또한, 가열 처리의 분위기는, 불활성 가스 분위기에서 가열 처리한 후에, 탈리된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상 포함하는 분위기에서 행해도 된다. 가열 처리에 의해, 제1 보호 절연층(111)으로부터 반도체막(또는 반도체층(102))에 산소가 공급되어, 반도체층(102)에 포함되는 산화물 반도체 중의 산소 결손을 저감할 수 있다. 또한, 가열 처리는, 반도체막을 성막한 직후에 행해도 되고, 반도체막을 가공하여 섬 형상의 반도체층(102)을 형성한 후에 행해도 된다.
- [0098] 레지스트 마스크의 형성에 사용하는 광은, 예를 들어 i선(파장 365nm), g선(파장 436nm), h선(파장 405nm), 또는 이들을 혼합시킨 광을 사용할 수 있다. 그 밖에, 자외선이나 KrF 레이저광, 또는 ArF 레이저광 등을 사용할 수도 있다. 또한, 액침 노광 기술에 의해 노광을 행해도 된다. 또한, 노광에 사용하는 광으로서, 극단 자외광(EUV: Extreme Ultra-violet)이나 X선을 사용해도 된다. 또한, 노광에 사용하는 광 대신에, 전자 빔을 사용할 수도 있다. 극단 자외광, X선 또는 전자 빔을 사용하면, 극히 미세한 가공이 가능하게 되기 때문에 바람직하다. 또한, 전자 빔 등의 빔을 주사함으로써 노광을 행하는 경우에는, 포토마스크는 불필요하다.
- [0099] 여기서, 도 2의 (B)에 도시한 바와 같이, 반도체막의 에칭시에 제1 보호 절연층(111)의 일부가 에칭되어, 반도체층(102)과 중첩하지 않는 영역에서 박막화하는 경우가 있다. 반도체층(102)의 하면보다, 반도체층(102)의 주

위에서의 제1 보호 절연층(111)의 상면이 낮아짐으로써, 후에 형성되는 게이트 전극(105)이 반도체층(102)의 측면 하부를 둘러싸는 구성으로 할 수 있다. 그 결과, 반도체층(102)의 측면 하부에까지 게이트 전극(105)에 의한 전계가 충분히 걸려, 트랜지스터(100)의 온 전류를 증대시킬 수 있다. 마찬가지로, 도 26에 도시한 바와 같이, 반도체층(102)의 하면보다 게이트 전극(105)의 하면이 낮아지도록 제1 보호 절연층(111)의 일부를 에칭하면, 보다 트랜지스터(100)의 온 전류를 증대시킬 수 있기 때문에 바람직하다.

[0100] 또한, 제1 보호 절연층(111)에 사용하는 재료나, 반도체막의 에칭 조건에 따라서는, 제1 보호 절연층(111)이 에칭되지 않는 경우도 있다. 이때, 반도체층(102) 위에 성막되는 막의 피복성이 향상되기 때문에 바람직하다.

[0101] 또한, 도 2의 (B)에 도시한 바와 같이 반도체층(102)은, 그 상부의 코너부가 완만한 곡면이 되도록 가공하는 것이 바람직하다. 특히 반도체층(102)을 미세하게 가공했을 경우에는, 이러한 형상으로 되는 경우가 많다. 이러한 형상의 반도체층(102)으로 함으로써, 그 상부에 설치되는 막의 피복성이 향상되기 때문에, 트랜지스터(100)의 전기 특성의 편차나 변동을 억제할 수 있으므로 바람직하다.

[0102] [한 쌍의 전극 형성]

[0103] 계속해서, 제1 보호 절연층(111) 및 반도체층(102) 위에 도전막을 성막한다. 그 후 포토리소그래피법 등을 사용하여 도전막 위에 레지스트 마스크를 형성하고, 도전막이 불필요한 부분을 에칭에 의해 제거한다. 그 후 레지스트 마스크를 제거함으로써, 한 쌍의 전극(103)을 형성할 수 있다(도 2의 (C)).

[0104] 도전막은, 예를 들어 스퍼터링법, 증착법, CVD법 등에 의해 성막할 수 있다.

[0105] 여기서, 도 2의 (C)에 도시한 바와 같이, 도전막의 에칭 시에 반도체층(102)의 상부의 일부가 에칭되어, 한 쌍의 전극(103)과 중첩하지 않는 부분이 박막화하는 경우가 있다. 따라서, 반도체층(102)으로 되는 반도체막의 두께를, 에칭되는 깊이를 고려하여 미리 두껍게 형성해 두는 것이 바람직하다.

[0106] 또한, 도면에는 명시하지 않지만, 도전막의 에칭 시에도, 상기와 마찬가지로 제1 보호 절연층(111)의 일부가 에칭되어 박막화하는 경우가 있다.

[0107] [게이트 절연층, 게이트 전극의 형성]

[0108] 계속해서, 반도체층(102), 한 쌍의 전극(103), 제1 보호 절연층(111) 위에 절연막을 성막한다. 또한, 당해 절연막 위에 도전막을 성막한다. 그 후 포토리소그래피법 등을 사용하여 도전막 위에 레지스트 마스크를 형성하고, 도전막 및 절연막이 불필요한 부분을 에칭에 의해 제거한다. 그 후 레지스트 마스크를 제거함으로써, 게이트 전극(105) 및 게이트 절연층(104)을 형성할 수 있다(도 2의 (D)).

[0109] 게이트 절연층(104)이 되는 절연막은, 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법 등을 사용하여 형성할 수 있다. 특히, 당해 절연막을 CVD법, 바람직하게는 플라즈마 CVD법에 의해 성막하면, 피복성을 향상시킬 수 있기 때문에 바람직하다.

[0110] 또한, 게이트 전극(105)이 되는 도전막은, 예를 들어 스퍼터링법, 증착법, CVD법 등에 의해 성막할 수 있다.

[0111] 또한, 여기에서는 게이트 절연층(104)을 게이트 전극(105)의 형성 시에 동시에 에칭하고, 게이트 전극(105)과 마찬가지로의 상면 형상이 되도록 게이트 절연층(104)을 가공하는 경우에 대하여 설명하지만, 게이트 절연층(104)이 게이트 전극(105)보다 외측으로 연장되는 상면 형상이 되도록, 각각을 개별적으로 가공해도 된다. 또한 이때, 포토리소그래피법 등에 사용하는 노광 마스크로서, 그레이톤 마스크나 하프톤 마스크 등의 다계조 마스크를 사용하면, 공정을 간략화할 수 있기 때문에 바람직하다.

[0112] [제2 보호 절연층의 형성]

[0113] 계속해서, 제1 보호 절연층(111), 한 쌍의 전극(103), 게이트 절연층(104), 및 게이트 전극(105) 위에 제2 보호 절연층(112)을 형성한다(도 2의 (E)).

[0114] 제2 보호 절연층(112)은, 제1 보호 절연층(111)과 마찬가지로의 방법에 의해 형성할 수 있다.

[0115] 여기서, 제2 보호 절연층(112)은, 한 쌍의 전극(103) 및 게이트 전극(105)이 설치되어 있지 않은 영역에서, 제1 보호 절연층(111)과 접하도록 설치된다. 따라서, 제1 보호 절연층(111) 및 제2 보호 절연층(112)에 의해 반도체층(102)을 둘러쌀 수 있다.

[0116] 이상의 공정에 의해, 트랜지스터(100)를 제작할 수 있다.

- [0117] [가열 처리]
- [0118] 제2 보호 절연층(112)의 형성 후, 가열 처리를 행해도 된다. 가열 처리에 의해, 제1 보호 절연층(111) 및 제2 보호 절연층(112)으로부터 반도체층(102)에 대해 산소를 공급하여, 반도체층(102) 중의 산소 결손을 저감할 수 있다. 또한 이때, 제1 보호 절연층(111) 및 제2 보호 절연층(112)에 의해, 반도체층(102)으로부터의 산소의 방출을 억제하여, 반도체층(102) 중의 산소 결손의 형성을 억제할 수 있다.
- [0119] 이상이 트랜지스터(100)의 제작 공정예에 관한 설명이다.
- [0120] [구성예 1의 변형예]
- [0121] 이하에서는, 상기 구성예 1에서 예시한 트랜지스터와는 구성의 일부가 상이한 트랜지스터의 구성예에 대하여 설명한다. 또한, 상기와 중복되는 부분에 대해서는 설명을 생략하고, 상위점에 대해서만 상세하게 설명한다. 또한, 위치나 형상이 상이한 구성 요소라도, 그 기능이 동일한 경우에는, 동일한 부호를 부여하고 설명을 생략하는 경우가 있다.
- [0122] [변형예 1]
- [0123] 도 3의 (A), (B)에, 이하에서 예시하는 트랜지스터의 단면 개략도를 나타낸다. 또한, 상면 개략도는 도 1의 (A)를 원용할 수 있다. 도 3에 도시하는 트랜지스터는, 주로, 반도체층(102)과 제1 보호 절연층(111)의 사이에 절연층(106)을 갖고 있는 점에서 상이하다.
- [0124] 반도체층(102)의 하부에 설치된 절연층(106)으로서, 가열에 의해 산소를 방출하는 산화물 절연 재료를 포함하는 것이 바람직하다. 반도체층(102)의 하부에 절연층(106)을 설치함으로써, 트랜지스터의 제작 공정 중의 가열 처리 등에서 가해지는 열에 의해, 보다 많은 산소를 반도체층(102)에 공급하는 것이 가능하게 된다. 또한 절연층(106)과 반도체층(102)을 포함하는 구성을, 제1 보호 절연층(111)과 제2 보호 절연층(112)으로 둘러싸는 구성으로 함으로써, 절연층(106)으로부터 방출된 산소가 외부(기판(101)측 또는 제2 보호 절연층(112)보다 상방)로 방출되는 것이 억제되어, 더 효과적으로 반도체층(102)에 산소를 공급할 수 있다.
- [0125] 또한, 절연층(106)은, 제1 보호 절연층(111)의 상면을 덮도록 설치할 수도 있지만, 도 3에 도시한 바와 같이, 반도체층(102)과 절연층(106)의 상면 형상이 대략 일치하도록, 동일한 레지스트 마스크에 의해 가공되어 있는 것이 바람직하다. 이러한 구성으로 함으로써, 제1 보호 절연층(111)과 제2 보호 절연층(112)이 게이트 전극(105) 및 한 쌍의 전극(103)이 설치되지 않는 영역에서 접하기 때문에, 산소의 확산 경로를 차단하여, 효과적으로 반도체층(102)에 산소를 공급할 수 있다.
- [0126] 절연층(106)은, 화학양론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막을 사용하는 것이 바람직하다. 화학양론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막은, 가열에 의해 일부의 산소가 탈리된다. 화학양론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막은, 승온 탈리 가스 분광법(TDS: Thermal Desorption Spectroscopy) 분석에서, 산소 원자로 환산한 산소의 탈리량이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물 절연막이다.
- [0127] 절연층(106)으로서 산화 실리콘막 또는 산화질화 실리콘막을 플라즈마 CVD법에 의해 형성하는 경우, 원료 가스로서는, 실리콘을 포함하는 퇴적성 기체 및 산화성 기체를 사용하는 것이 바람직하다. 실리콘을 포함하는 퇴적성 기체의 대표예로서는, 실란, 디실란, 트리실란, 불화실란 등이 있다. 산화성 기체로서는, 산소, 오존, 일산화이질소, 이산화질소 등이 있다.
- [0128] 예를 들어, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 적재된 기판을 180℃ 이상 260℃ 이하, 더욱 바람직하게는 200℃ 이상 240℃ 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내에서의 압력을 100Pa 이상 250Pa 이하, 더욱 바람직하게는 100Pa 이상 200Pa 이하로 하고, 처리실 내에 설치되는 전극에 0.17W/cm^2 이상 0.5W/cm^2 이하, 더욱 바람직하게는 0.25W/cm^2 이상 0.35W/cm^2 이하의 고주파 전력을 공급하는 조건에 의해, 산화 실리콘막 또는 산화질화 실리콘막을 형성한다.
- [0129] 성막 조건으로서, 상기 압력의 처리실에서 상기 파워 밀도의 고주파 전력을 공급함으로써, 플라즈마 중에서 원료 가스의 분해 효율이 높아지고, 산소 라디칼이 증가하여, 원료 가스의 산화가 진행되기 때문에, 산화물 절연막 중에서의 산소 함유량이 화학양론비보다 많아진다. 그러나, 기판 온도가 상기 온도이면, 실리콘과 산소의 결합력이 약하기 때문에, 가열에 의해 산소의 일부가 탈리된다. 그 결과, 화학양론적 조성을 만족하는 산소보

다 많은 산소를 포함하여, 가열에 의해 산소의 일부가 탈리되는 산화물 절연막을 형성할 수 있다.

- [0130] [변형예 2]
- [0131] 도 4에는, 트랜지스터(100)에 인접하여 용량 소자(120)를 형성한 예를 나타내고 있다.
- [0132] 용량 소자(120)는, 트랜지스터(100)의 한 쌍의 전극(103) 중 한쪽과, 게이트 전극(105)과 동일한 도전막을 가공하여 형성된 전극(125)과의 사이에, 게이트 절연층(104)과 동일한 절연막을 가공하여 형성된 유전체층(124)을 갖는다.
- [0133] 이와 같이, 용량 소자(120)를 트랜지스터(100)의 제작에 사용하는 막을 가공하여 형성함으로써, 공정을 증가시키지 않고, 트랜지스터(100)의 제작과 동시에 용량 소자(120)를 제작할 수 있다.
- [0134] 또한, 도 4에서는, 트랜지스터(100)의 한 쌍의 전극(103) 중 한쪽을, 용량 소자(120)의 한쪽 전극으로서 사용하는 구성을 나타냈지만, 이것에 한정되지 않고, 용량 소자(120)의 한쪽 전극으로서, 트랜지스터(100)의 한 쌍의 전극(103)과 동일한 도전막을 가공하여 형성된 상이한 전극을 사용해도 된다. 또한, 게이트 전극(105)과 전극(125), 및 게이트 절연층(104)과 유전체층(124) 중 적어도 어느 하나를 연속된 일체물로 해서, 공통으로 사용해도 된다.
- [0135] 여기서, 게이트 절연층(104) 및 유전체층(124)을 구성하는 절연막에 사용하는 재료로서는, 산화알루미늄, 산화하프늄, 산화지르코늄, 산화탄탈, 산화티타늄, 티타늄산스트론튬, 티타늄산바륨 등의 고유전율 재료를 사용하는 것이 바람직하다. 또한, 이들 재료에 탄탄, 알루미늄, 이트륨, 또는 텅스텐 등의 금속이나, 이들 금속의 산화물을 포함하는 재료를 사용해도 된다. 또한, 상술한 재료를 포함하는 막을 적층하여 사용해도 된다.
- [0136] 또한, 당해 절연막은, 화학양론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막을 사용하는 것이 바람직하다. 이러한 절연막을 사용함으로써, 트랜지스터의 제작 공정 중의 가열 처리 등에서 가해지는 열에 의해, 게이트 절연층(104)으로부터 반도체층(102)에 산소를 공급할 수 있다.
- [0137] 이상이 변형예에 관한 설명이다.
- [0138] [구성에 2]
- [0139] 이하에서는, 상기 구성예 1 등과는 구성의 일부가 상이한 트랜지스터의 구성예에 대하여 설명한다. 또한, 상기 와 중복되는 부분에 대해서는 설명을 생략하는 경우가 있다.
- [0140] 도 5의 (A)에, 본 구성예에서 예시하는 트랜지스터(200)의 상면 개략도를 나타낸다. 또한 도 5의 (B), (C)에는 각각, 도 5의 (A) 중의 절단선 E-F, G-H에서의 단면 개략도를 나타낸다. 또한, 도 5의 (A)에서는 명료화를 위해 일부의 구성 요소는 명시하지 않았다.
- [0141] 트랜지스터(200)는, 기판(201) 위에 형성된 홈부를 갖는 절연층(207)과, 절연층(207) 위에 설치되고, 홈부를 매립하도록 설치된 반도체층(202)과, 반도체층(202) 위에 설치되고, 반도체층(202)과 전기적으로 접속하는 한 쌍의 전극(203)과, 한 쌍의 전극(203) 위에 위치하고, 반도체층(202)과 중첩하는 게이트 절연층(204)과, 게이트 절연층(204) 위에 위치하고, 반도체층(202)과 중첩하는 게이트 전극(205)을 갖는다.
- [0142] 또한, 반도체층(202)보다 하방에, 절연층(207)의 홈부 측면 및 저면을 덮도록 제1 보호 절연층(211)이 설치되어 있다. 제1 보호 절연층(211)은, 도 5에 도시하는 바와 같이 절연층(207)의 홈부가 형성되지 않은 영역에서의 상면을 덮어 설치되어 있는 것이 바람직하다. 또한, 한 쌍의 전극(203) 및 게이트 전극(205)을 덮도록 제2 보호 절연층(212)이 설치되어 있다. 또한 제1 보호 절연층(211)과 제2 보호 절연층(212)은, 한 쌍의 전극(203) 및 게이트 전극(205)이 설치되어 있지 않은 영역에서, 서로 접하여 설치되어 있다.
- [0143] 반도체층(202), 한 쌍의 전극(203), 게이트 절연층(204), 게이트 전극(205) 등은, 각각 구성예 1에서의 반도체층(102), 한 쌍의 전극(103), 게이트 절연층(104), 게이트 전극(105) 등과 마찬가지로 재료를 사용할 수 있다. 또한 제1 보호 절연층(211) 및 제2 보호 절연층(212)은, 구성예 1에서의 제1 보호 절연층(111) 및 제2 보호 절연층(112)과 마찬가지로 재료를 사용할 수 있다.
- [0144] 제1 보호 절연층(211)은, 절연층(207)에 형성된 홈부의 측면 및 저면을 덮어 설치되고, 또한 반도체층(202)이 당해 홈부에 매립되도록 설치되어 있다. 반도체층(202)의 측면 및 하면이 제1 보호 절연층(211)에 의해 둘러싸여 있는 구성이기 때문에, 절연층(207)으로부터 반도체층(202)에 수소 등의 불순물이 확산되는 것이 억제됨과 함께, 반도체층(202)으로부터 절연층(207)을 향해 산소가 방출되어버리는 것이 억제된다.

- [0145] 또한, 홈부의 깊이를 조정함으로써 반도체층(202)의 두께를 두껍게 할 수 있기 때문에, 트랜지스터(200)의 온전류의 증대나, 소스-드레인간의 내압을 향상시키는 것이 용이하게 된다. 예를 들어, 평탄면 위에 두꺼운 반도체층을 형성한 경우에는, 그 상층에 설치되는 막이 반도체층을 피복하는 것이 곤란해지고, 막이 분단되어버리거나, 또는 막 중에 저밀도의 영역이 형성되어버릴 우려가 있다. 한편, 본 구성예에서는, 홈부를 매립하도록 반도체층(202)이 설치되고, 그 상면의 높이와 제1 보호 절연층(211)의 상면 높이가 대략 일치하도록 형성된다. 따라서, 그 상층에 설치되는 막의 피복성에 악영향을 미치지 않고, 반도체층(202)을 두껍게 형성할 수 있다.
- [0146] 이상이 트랜지스터(200)의 구성예에 관한 설명이다.
- [0147] [제작 방법에 2]
- [0148] 이하에서는, 도 5에 예시한 트랜지스터(200)의 제작 방법의 일례에 대해서, 도면을 참조하여 설명한다. 도 6은, 이하에 예시하는 제작 방법에서의 각 공정에서의 단면 개략도이다.
- [0149] [절연층의 형성]
- [0150] 먼저, 기판(201) 위에 절연층(207)을 형성한다.
- [0151] 절연층(207)은, 스퍼터링법, CVD법, 또는 증착법 등으로 형성할 수 있다.
- [0152] 절연층(207)으로서는, 산화실리콘, 산화질화 실리콘, 질화실리콘, 질화산화 실리콘, 산화알루미늄, 산화질화 알루미늄, 산화갈륨, 산화질화 갈륨, 산화이트륨, 산화질화 이트륨, 산화하프늄, 산화질화 하프늄 등의 절연 재료를 사용할 수 있다.
- [0153] 또한, 절연층(207)으로서, 서로 다른 절연 재료를 포함하는 막을 적층하여 사용해도 된다. 절연층(207)을 적층 구조로 함으로써, 하방에 설치되는 막을, 후의 홈부의 형성 시에 있어서의 에칭 스톱퍼로서 기능시킬 수 있다.
- [0154] [홈부의 형성]
- [0155] 계속해서, 포토리소그래피법 등을 사용하여 절연층(207) 위에 레지스트 마스크를 형성하고, 절연층(207)의 상부를 에칭에 의해 제거한다. 그 후 레지스트 마스크를 제거함으로써, 절연층(207)에 홈부를 형성할 수 있다.
- [0156] 여기서, 상술한 바와 같이, 절연층(207)을 서로 다른 재료를 포함하는 다층 구조로 함으로써, 에칭을 용이한 것으로 할 수 있다. 또한, 하방에 설치되는 층을 에칭 스톱퍼로서 사용함으로써, 홈부의 저면을 평탄한 것으로 할 수 있기 때문에 바람직하다.
- [0157] 또한, 홈부의 깊이를 깊은 것으로 하는 경우에는, 에칭 도중에 레지스트 마스크가 소실되어버릴 우려가 있다. 그 경우에는, 절연층(207)의 에칭 시에 에칭되기 어려운 재료(즉, 박막에 대한 절연층(207)의 선택비가 큰 재료)를 포함하는 박막을 미리 형성하고, 레지스트 마스크에 의해 당해 박막을 에칭한다. 그 후, 박막을 하드 마스크로서 사용하여 절연층(207)의 상부를 에칭함으로써 홈부를 형성해도 된다. 하드 마스크로서 사용하는 박막이 절연성인 경우에는, 홈부의 형성 후, 하드 마스크를 그대로 잔존시켜도 된다.
- [0158] [제1 보호 절연층의 형성]
- [0159] 계속해서, 절연층(207) 위에 홈부의 측면 및 저면을 덮도록 제1 보호 절연층(211)을 형성한다(도 6의 (A)).
- [0160] 제1 보호 절연층(211)의 성막은, 제작 방법에 1에서의 제1 보호 절연층(111)과 마찬가지로 형성한다.
- [0161] [반도체층의 형성]
- [0162] 계속해서, 제1 보호 절연층(211) 위에 반도체막을 성막한다. 홈부를 반도체막에 의해 완전히 매립하는 경우에는, 반도체막의 홈부와 중첩하는 부분의 상면의 높이가, 제1 보호 절연층(211)의 홈부와 중첩하지 않는 부분의 높이와 동등하거나 그 이상이 되도록 성막하는 것이 바람직하다.
- [0163] 반도체막의 성막은, 상기 제작 방법에 1과 마찬가지로 성막할 수 있다.
- [0164] 반도체막의 성막 후, 가열 처리를 행해도 된다. 가열 처리는 상기 제작 방법에 1과 마찬가지로 행할 수 있다. 가열 처리에 의해, 제1 보호 절연층(211)으로부터 반도체막(또는 반도체층(202))에 산소가 공급되어, 반도체층(202)에 포함되는 산화물 반도체 중의 산소 결손을 저감할 수 있다. 또한, 가열 처리는, 반도체막을 성막한 직후에 행해도 되고, 반도체막을 가공하여 섬 형상의 반도체층(202)을 형성한 후에 행해도 된다.
- [0165] 계속해서, 평탄화 처리를 행하고, 반도체막의 상면이 제1 보호 절연층(211)의 홈부와 중첩하지 않는 부분의 상

면과 일치하도록 가공함으로써, 홈부에 매립된 섬 형상의 반도체층(202)을 형성할 수 있다(도 6의 (B)).

- [0166] 평탄화 처리로서는, 예를 들어 CMP(Chemical Mechanical Polishing) 등의 연마 처리나 에칭 처리를 사용하면 된다.
- [0167] 여기서, 제1 보호 절연층(211)으로서 산화 알루미늄 등을 사용하고, 평탄화 처리로서 CMP 등의 연마 처리를 사용한 경우, 제1 보호 절연층(211)을 에칭 스톱퍼로서 기능시킬 수 있다. 따라서, 평탄화 처리에 의해 반도체층(202)의 두께가 얇아지는 것을 억제할 수 있고, 나아가 그 두께의 편차도 저감시킬 수 있다.
- [0168] [한 쌍의 전극 형성]
- [0169] 계속해서, 제1 보호 절연층(211) 및 반도체층(202) 위에 도전막을 성막한다. 그 후 포토리소그래피법 등을 사용하여 도전막 위에 레지스트 마스크를 형성하고, 도전막이 불필요한 부분을 에칭에 의해 제거한다. 그 후 레지스트 마스크를 제거함으로써, 한 쌍의 전극(203)을 형성할 수 있다(도 6의 (C)).
- [0170] 도전막은, 예를 들어 스퍼터링법, 증착법, CVD법 등에 의해 성막할 수 있다.
- [0171] 여기서, 도 6의 (C)에 도시한 바와 같이, 도전막의 에칭 시에 반도체층(202)의 상부의 일부가 에칭되어, 한 쌍의 전극(203)과 중첩하지 않는 부분이 박막화하는 경우가 있다. 따라서, 반도체층(202)이 되는 반도체막의 두께(즉, 홈부의 깊이)를 에칭되는 깊이를 고려하여 미리 두껍게 형성해 두는 것이 바람직하다.
- [0172] 또한, 도면에는 명시하지 않지만, 도전막의 에칭 시에 제1 보호 절연층(211)의 일부도 에칭되어 박막화하는 경우가 있다.
- [0173] [게이트 절연층, 게이트 전극의 형성]
- [0174] 계속해서, 반도체층(202), 한 쌍의 전극(203), 제1 보호 절연층(211) 위에 절연막을 성막한다. 또한 당해 절연막 위에 도전막을 성막한다. 그 후 포토리소그래피법 등을 사용하여 도전막 위에 레지스트 마스크를 형성하고, 도전막 및 절연막이 불필요한 부분을 에칭에 의해 제거한다. 그 후 레지스트 마스크를 제거함으로써, 게이트 전극(205) 및 게이트 절연층(204)을 형성할 수 있다(도 6의 (D)).
- [0175] 게이트 절연층(204)이 되는 절연막, 게이트 전극(205)이 되는 도전막은, 상기 제작 방법에 1과 마찬가지로의 방법에 의해 형성할 수 있다.
- [0176] 또한, 여기에서는 게이트 절연층(204)을 게이트 전극(205)의 형성 시에 동시에 에칭하여, 게이트 전극(205)과 마찬가지로의 상면 형상이 되도록 게이트 절연층(204)을 가공하는 경우에 대하여 설명하지만, 게이트 절연층(204)이 게이트 전극(205)보다 외측으로 연장되는 상면 형상이 되도록, 각각을 개별적으로 가공해도 된다. 또한 이때, 포토리소그래피법 등에 사용하는 노광 마스크로서, 그레이톤 마스크나 하프톤 마스크 등의 다계조 마스크를 사용하면, 공정을 간략화할 수 있기 때문에 바람직하다.
- [0177] [제2 보호 절연층의 형성]
- [0178] 계속해서, 제1 보호 절연층(211), 한 쌍의 전극(203), 게이트 절연층(204), 및 게이트 전극(205) 위에 제2 보호 절연층(212)을 형성한다(도 6의 (E)).
- [0179] 제2 보호 절연층(212)은, 제1 보호 절연층(211)과 마찬가지로의 방법에 의해 형성할 수 있다.
- [0180] 여기서, 제2 보호 절연층(212)은, 한 쌍의 전극(203) 및 게이트 전극(205)이 설치되어 있지 않은 영역에서, 제1 보호 절연층(211)과 접하도록 설치된다. 따라서, 제1 보호 절연층(211) 및 제2 보호 절연층(212)에 의해 반도체층(202)을 둘러쌀 수 있다.
- [0181] 이상의 공정에 의해, 트랜지스터(200)를 제작할 수 있다.
- [0182] [가열 처리]
- [0183] 제2 보호 절연층(212)의 형성 후, 가열 처리를 행해도 된다. 가열 처리에 의해, 제1 보호 절연층(211) 및 제2 보호 절연층(212)으로부터 반도체층(202)에 대하여 산소를 공급하여, 반도체층(202) 중의 산소 결손을 저감할 수 있다. 또한 이때, 제1 보호 절연층(211) 및 제2 보호 절연층(212)에 의해, 반도체층(202)으로부터의 산소의 방출을 억제하여, 반도체층(202) 중의 산소 결손의 형성을 억제할 수 있다.
- [0184] 이상이 트랜지스터(200)의 제작 공정에 관한 설명이다.

- [0185] [구성예 2의 변형예]
- [0186] 이하에서는, 상기 구성예 2에서 예시한 트랜지스터와는 구성의 일부가 상이한 트랜지스터의 구성예에 대하여 설명한다. 또한, 상기와 중복되는 부분에 대해서는 설명을 생략하고, 상위점에 대해서만 상세하게 설명한다. 또한, 위치나 형상이 상이한 구성 요소라도, 그 기능이 동일한 경우에는 동일한 부호를 부여하고, 설명을 생략하는 경우가 있다.
- [0187] [변형예 1]
- [0188] 도 7의 (A), (B)에, 이하에서 예시하는 트랜지스터의 단면 개략도를 나타낸다. 또한, 상면 개략도는 도 5의 (A)를 원용할 수 있다. 도 7에 나타내는 트랜지스터는, 주로, 반도체층(202)과 제1 보호 절연층(211)의 사이에 절연층(206)을 갖고 있는 점에서 상이하다.
- [0189] 절연층(207)에 형성된 홈부에 있어서, 절연층(206)은 제1 보호 절연층(211)의 측면 및 상면을 덮어 설치되어 있다. 또한 절연층(206)은 반도체층(202)의 측면 및 하면을 덮어 설치되어 있다.
- [0190] 반도체층(202)의 하부에 설치된 절연층(206)으로서는, 가열에 의해 산소를 방출하는 산화물 절연 재료를 포함하는 것이 바람직하다. 반도체층(202)의 하부에 절연층(206)을 설치함으로써, 트랜지스터의 제작 공정 중의 가열 처리 등에서 가해지는 열에 의해, 보다 많은 산소를 반도체층(202)에 공급하는 것이 가능하게 된다. 또한 절연층(206)과 반도체층(202)을 포함하는 구성을, 제1 보호 절연층(211)과 제2 보호 절연층(212)으로 둘러싸는 구성으로 함으로써, 절연층(206)으로부터 방출된 산소가 외부(절연층(207)측 또는 제2 보호 절연층(212)보다 상방)로 방출되는 것이 억제되어, 더 효과적으로 반도체층(202)에 산소를 공급할 수 있다.
- [0191] 또한, 절연층(206)은, 제1 보호 절연층(211)의 홈부와 중첩하지 않는 영역의 상면도 덮도록 설치할 수도 있지만, 평탄화 처리에 의해 홈부의 내측에 설치되도록 가공되어 있는 것이 바람직하다. 이러한 구성으로 함으로써, 제1 보호 절연층(211)과 제2 보호 절연층(212)이 게이트 전극(205) 및 한 쌍의 전극(203)이 설치되지 않는 영역에서 접하기 때문에, 산소의 확산 경로를 차단하여, 효과적으로 반도체층(202)에 산소를 공급할 수 있다.
- [0192] 절연층(206)은 상기 절연층(106)과 마찬가지로, 화학양론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막을 사용하는 것이 바람직하다.
- [0193] [변형예 2]
- [0194] 도 8에는, 트랜지스터(200)에 인접하여 용량 소자(220)를 형성한 예를 나타내고 있다.
- [0195] 용량 소자(220)는, 트랜지스터(200)의 한 쌍의 전극(203) 중 한쪽과, 게이트 전극(205)과 동일한 도전막을 가공하여 형성된 전극(225)과의 사이에, 게이트 절연층(204)과 동일한 절연막을 가공하여 형성된 유전체층(224)을 갖는다.
- [0196] 이와 같이, 용량 소자(220)를 트랜지스터(200)의 제작에 사용하는 막을 가공하여 형성함으로써, 공정을 증가시키지 않고, 트랜지스터(200)의 제작과 동시에 용량 소자(220)를 제작할 수 있다.
- [0197] 또한, 도 8에서는, 트랜지스터(200)의 한 쌍의 전극(203) 중 한쪽을, 용량 소자(220)의 한쪽으로서 사용하는 구성을 나타냈지만, 이것에 한정되지 않고, 용량 소자(220)의 한쪽 전극으로서, 트랜지스터(200)의 한 쌍의 전극(203)과 동일한 도전막을 가공하여 형성된 상이한 전극을 사용해도 된다. 또한, 게이트 전극(205)과 전극(225), 및 게이트 절연층(204)과 유전체층(224) 중 적어도 어느 하나를 연속된 일체물로 하여, 공통으로 사용해도 된다.
- [0198] 여기서, 게이트 절연층(204) 및 유전체층(224)을 구성하는 절연막에 사용하는 재료로서는, 산화알루미늄, 산화하프늄, 산화지르코늄, 산화탄탈, 산화티타늄, 티타늄산스트론튬, 티타늄산바륨 등의 고유전율 재료를 사용하는 것이 바람직하다. 또한, 이들 재료에 란탄, 알루미늄, 이트륨, 또는 텅스텐 등의 금속이나, 이들 금속의 산화물을 포함하는 재료를 사용해도 된다. 또한, 상술한 재료를 포함하는 막을 적층하여 사용해도 된다.
- [0199] 또한, 당해 절연막은, 화학양론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막을 사용하는 것이 바람직하다. 이러한 절연막을 사용함으로써 트랜지스터의 제작 공정 중의 가열 처리 등에서 가해지는 열에 의해, 게이트 절연층(204)으로부터도 반도체층(202)에 산소를 공급할 수 있다.
- [0200] [변형예 3]

- [0201] 기관 위에 복수의 트랜지스터를 배치하는 경우, 하나의 트랜지스터에 대하여 하나의 홈부를 형성하는 것이 아니고, 복수의 트랜지스터에 대하여 하나의 홈부를 형성하는 구성으로 함으로써, 트랜지스터를 보다 고밀도로 집적할 수 있다.
- [0202] 그 일례로서, 도 9에서는, 4개의 트랜지스터(200)를 직렬로 접속하는 경우에 있어서, 절연층(207)에 형성된 하나의 홈부의 상부에 4개의 트랜지스터(200)를 형성하는 경우를 나타내고 있다. 도 9의 (A)는 상면 개략도이며, 도 9의 (B)는 도 9의 (A) 중의 절단선 I-J에서의 단면 개략도이다.
- [0203] 도 9의 (B)에 도시한 바와 같이, 절연층(207)에 형성된 하나의 홈부의 상부에, 4개의 트랜지스터(200)가 형성되어 있다. 또한 인접하는 2개의 트랜지스터(200)에 있어서, 공통의 전극(203)이 설치되어 있음으로써, 당해 2개의 트랜지스터(200)가 직렬로 접속되어 있다. 한편 게이트 전극(205)은 각각의 트랜지스터(200)에 독립적으로 설치되어 있다.
- [0204] 제1 보호 절연층(211)과 제2 보호 절연층(212)은, 양단에 설치된 전극(203)보다 외측의 영역에서 접하고, 4개의 트랜지스터(200)를 둘러싸도록 설치되어 있다.
- [0205] 이러한 직렬 접속된 트랜지스터(200)를 적용 가능한 회로 구성의 일례를, 도 9의 (C)에 나타내었다. 도 9의 (C)에 나타내는 회로는, 4개 트랜지스터와 3개의 용량 소자를 갖는다. 인접하는 2개의 트랜지스터에 있어서, 한쪽 트랜지스터의 소스 또는 드레인이, 다른 쪽 트랜지스터의 소스 또는 드레인과 전기적으로 접속되어 노드를 형성하고, 당해 노드에, 용량 소자의 한쪽 전극이 전기적으로 접속되어 있다.
- [0206] 예를 들어, 용량 소자는 상기 변형예 2에서 예시한 용량 소자(220)의 구성을 적용할 수 있다.
- [0207] 도 9의 (C)에 나타내는 회로는, 이하에 나타낸 바와 같은 전위를 부여함으로써 예를 들어 시프트 레지스터로서 기능시킬 수 있다.
- [0208] 3개의 용량 소자의 각각의 다른 쪽 전극에는, 공통 전위가 부여된다. 또한, 4개의 트랜지스터 중, 좌측에서부터 1번째와 3번째의 트랜지스터의 게이트에는 동일한 클럭 신호(CLK1)가 부여되고, 2번째와 4번째의 트랜지스터의 게이트에는 동일한 클럭 신호(CLK2)가 부여된다. 또한 1번째의 트랜지스터의 소스 또는 드레인 중 한쪽을 입력 전위(IN)가 부여되는 입력 단자, 4번째의 트랜지스터의 소스 또는 드레인 중 한쪽을 출력 전위(OUT)가 출력되는 출력 단자로 한다. CLK1과 CLK2로서, 각각 중복되지 않고 교대로 트랜지스터를 온 상태로 하는 전위(예를 들어 하이 레벨 전위)가 되는 클럭 신호를 사용함으로써, 입력 단자에 부여되는 전위의 정보를 좌측에서부터 우측으로 시프트시킬 수 있다.
- [0209] 또한, 도 9의 (D)에 나타내는 구성은, 도 9의 (C)의 회로에 직렬 접속된 복수의 판독용의 트랜지스터(260)를 부가한 구성이다. 트랜지스터(260)의 각각은, 용량 소자의 한쪽 전극의 노드에 전기적으로 접속되어 있다. 또한, 각각의 용량 소자의 다른 쪽 전극에는 판독용의 전위가 부여된다. 이러한 구성으로 함으로써, 도 9의 (D)에 나타내는 회로를 용량 소자의 한쪽 전극이 접속된 노드에 유지된 전위의 정보를 수시 판독 가능한 NAND형의 기억 장치로서 기능시킬 수 있다. 여기서, 예를 들어 트랜지스터(260)는, 트랜지스터(200)와 마찬가지로 산화물 반도체가 적용된 트랜지스터를 사용해도 되고, 이하의 실시 형태에서 예시한 바와 같이, 상이한 반도체가 적용된 트랜지스터를 사용해도 된다.
- [0210] 이상이 변형예에 관한 설명이다.
- [0211] 본 실시 형태는, 본 명세서 중에 기재하는 다른 실시 형태와 적절히 조합하여 실시할 수 있다.
- [0212] (실시 형태 2)
- [0213] 본 실시 형태에서는, 실시 형태 1에서 예시한 트랜지스터와는 구성의 일부가 상이한 트랜지스터의 구성예에 대하여 설명한다. 또한, 상기와 중복되는 부분에 대해서는 설명을 생략하고, 상위점에 대해서만 상세하게 설명한다. 또한, 위치나 형상이 상이한 구성 요소라도, 그 기능이 동일한 경우에는 동일한 부호를 부여하고, 설명을 생략하는 경우가 있다.
- [0214] 본 발명의 일 형태의 반도체 장치는, 산화물 반도체층과, 해당 산화물 반도체층과 중첩하는 게이트 절연층 및 보호 절연층과의 사이에, 산화물 반도체층을 구성하는 금속 원소 중, 적어도 하나의 금속 원소를 구성 원소로서 포함하는 산화물층을 갖는 것이 바람직하다. 이에 의해, 산화물 반도체층과, 해당 산화물 반도체층과 중첩하는 절연층과의 계면에 트랩 준위가 형성되는 것을 억제할 수 있기 때문에, 트랜지스터의 전기 특성 열화를 억제할 수 있다.

- [0215] 즉, 본 발명의 일 형태는, 산화물 반도체층의 적어도 상면 및 하면이 산화물 반도체층의 계면 준위 형성 방지를 위한 배리어막으로서 기능하는 산화물층에 의해 덮이고, 채널 폭 방향에서의 산화물 반도체층의 상면 및 측면이 게이트 절연층을 개재하여 게이트 전극에 의해 덮이고, 또한, 산화물 반도체층을 감싸도록 산화 알루미늄막을 포함하는 절연층을 형성한 구성으로 하는 것이 보다 바람직하다. 이러한 구성으로 함으로써, 산화물 반도체층 중 및 계면에 있어서 캐리어의 생성 요인이 되는 산소 결손의 생성 및 불순물의 혼입을 억제하는 것이 가능하게 되기 때문에, 산화물 반도체층을 고순도 진성화할 수 있다. 고순도 진성화란, 산화물 반도체층을 진성 또는 실질적으로 진성으로 하는 것을 말한다. 따라서, 당해 산화물 반도체층을 포함하는 트랜지스터의 전기 특성 변동을 억제하여, 신뢰성이 높은 반도체 장치를 제공하는 것이 가능하게 된다.
- [0216] 또한, 본 명세서 등에서 실질적으로 진성이라고 하는 경우, 산화물 반도체층의 캐리어 밀도는, $1 \times 10^{17}/\text{cm}^3$ 미만, $1 \times 10^{15}/\text{cm}^3$ 미만, 또는 $1 \times 10^{13}/\text{cm}^3$ 미만이다.
- [0217] 산화물 반도체층을 고순도 진성화함으로써, 트랜지스터에 안정된 전기 특성을 부여할 수 있다.
- [0218] 보다 구체적으로는, 예를 들어 이하의 구성으로 할 수 있다.
- [0219] [구성에 1]
- [0220] 도 10의 (A), (B)에, 이하에서 예시하는 트랜지스터(150)의 단면 개략도를 나타낸다. 또한, 상면 개략도에 대해서는, 도 1의 (A)를 원용할 수 있다. 도 10에 도시하는 트랜지스터(150)는, 주로 제1 산화물층(151) 및 제2 산화물층(152)을 갖고 있는 점에서, 실시 형태 1에서 예시한 트랜지스터(100)와 상이하다.
- [0221] 제1 산화물층(151)은, 제1 보호 절연층(111)과 반도체층(102)의 사이에 설치되어 있다. 또한, 제2 산화물층(152)은 반도체층(102)과 게이트 절연층(104)의 사이에 설치되어 있다.
- [0222] 보다 구체적으로는, 제2 산화물층(152)은, 그 상면이 한 쌍의 전극(103)의 하면, 및 게이트 절연층(104)의 하면에 접하여 설치되어 있다.
- [0223] 제1 산화물층(151) 및 제2 산화물층(152)은, 각각 반도체층(102)과 동일한 금속 원소를 1종 이상 포함하는 산화물을 포함한다.
- [0224] 또한, 반도체층(102)과 제1 산화물층(151)의 경계, 또는 반도체층(102)과 제2 산화물층(152)의 경계는 불명료한 경우가 있다.
- [0225] 예를 들어, 제1 산화물층(151) 및 제2 산화물층(152)은, In 또는 Ga를 포함하고, 대표적으로는, In-Ga계 산화물, In-Zn계 산화물, In-M-Zn계 산화물(M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd 또는 Hf)이며, 또한 반도체층(102)보다 전도대의 하단부 에너지가 진공 준위에 가까운 재료를 사용한다. 대표적으로는, 제1 산화물층(151) 또는 제2 산화물층(152)의 전도대 하단부 에너지와, 반도체층(102)의 전도대 하단부 에너지의 차가, 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상, 또한 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하로 하는 것이 바람직하다.
- [0226] 반도체층(102)을 개재하도록 설치되는 제1 산화물층(151) 및 제2 산화물층(152)에, 반도체층(102)에 비해 스테빌라이저로서 기능하는 Ga의 함유량이 많은 산화물을 사용함으로써, 반도체층(102)으로부터의 산소의 방출을 억제할 수 있다.
- [0227] 반도체층(102)으로서, 예를 들어 In:Ga:Zn=1:1:1 또는 3:1:2의 원자수비의 In-Ga-Zn계 산화물을 사용한 경우, 제1 산화물층(151) 또는 제2 산화물층(152)으로서, 예를 들어 In:Ga:Zn=1:3:2, 1:3:4, 1:3:6, 1:6:4, 1:6:8, 1:6:10, 또는 1:9:6 등의 원자수비의 In-Ga-Zn계 산화물을 사용할 수 있다. 또한, 반도체층(102), 제1 산화물층(151) 및 제2 산화물층(152)의 원자수비는 각각, 오차로서 상기의 원자수비의 $\pm 20\%$ 의 변동을 포함한다. 또한, 제1 산화물층(151)과 제2 산화물층(152)은 조성이 동일한 재료를 사용해도 되고, 상이한 조성의 재료를 사용해도 된다.
- [0228] 또한, 반도체층(102)으로서 In-M-Zn계 산화물을 사용한 경우, 반도체층(102)이 되는 반도체막을 성막하기 위해 사용하는 타깃은, 해당 타깃이 함유하는 금속 원소의 원자수비를 $\text{In:M:Zn}=\text{x}_1:\text{y}_1:\text{z}_1$ 로 했을 때에, x_1/y_1 의 값이 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하이고, z_1/y_1 이 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하의 원자수비의 산화물을 사용하는 것이 바람직하다. 또한, z_1/y_1 을 6 이하로 함으로써, 후술하는 CAAC-OS막이 형성

되기 쉬워진다. 타깃의 금속 원소 원자수비의 대표예로서는, In:M:Zn=1:1:1, 3:1:2 등이 있다.

- [0229] 또한, 제1 산화물층(151), 제2 산화물층(152)으로서 In-M-Zn계 산화물을 사용한 경우, 제1 산화물층(151), 제2 산화물층(152)이 되는 산화물막을 성막하기 위해 사용하는 타깃은, 해당 타깃이 함유하는 금속 원소의 원자수비를 In:M:Zn= $x_2:y_2:z_2$ 로 했을 때에, $x_2/y_2 < x_1/y_1$ 이며, z_2/y_2 의 값이 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하의 원자수비의 산화물을 사용하는 것이 바람직하다. 또한, z_2/y_2 를 6 이하로 함으로써, 후술하는 CAAC-OS막이 형성되기 쉬워진다. 타깃의 금속 원소 원자수비의 대표예로서는, In:M:Zn=1:3:4, 1:3:6, 1:3:8 등이 있다.
- [0230] 또한, 제1 산화물층(151) 및 제2 산화물층(152)에, 반도체층(102)에 비해 전도대의 하단부 에너지가 진공 준위에 가까운 재료를 사용함으로써, 반도체층(102)에 주로 채널이 형성되어, 반도체층(102)이 주된 전류 경로가 된다. 이와 같이, 채널이 형성되는 반도체층(102)을 동일한 금속 원소를 포함하는 제1 산화물층(151) 및 제2 산화물층(152)으로 끼움 지지함으로써, 이 계면 준위의 생성이 억제되어, 트랜지스터의 전기 특성에서의 신뢰성이 향상된다.
- [0231] 또한, 이들에 한정되지 않고, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 임계값 전압 등)에 따라서 적절한 조성의 것을 사용하면 된다. 또한, 필요로 하는 트랜지스터의 반도체 특성을 얻기 위해서, 반도체층(102), 제1 산화물층(151), 제2 산화물층(152)의 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0232] 여기서, 반도체층(102)의 두께는, 적어도 제1 산화물층(151)보다 두껍게 형성하는 것이 바람직하다. 반도체층(102)이 두꺼울수록, 트랜지스터의 온 전류를 높일 수 있다. 또한, 제1 산화물층(151)은, 반도체층(102)의 계면 준위의 생성을 억제하는 효과가 상실되지 않을 정도의 두께이면 된다. 예를 들어, 반도체층(102)의 두께는, 제1 산화물층(151)의 두께에 대하여 1배보다 크고, 바람직하게는 2배 이상, 보다 바람직하게는 4배 이상, 보다 바람직하게는 6배 이상으로 하면 된다.
- [0233] 또한, 제2 산화물층(152)도 제1 산화물층(151)과 마찬가지로, 반도체층(102)의 계면 준위의 생성을 억제하는 효과가 상실되지 않을 정도의 두께이면 된다. 예를 들어, 제1 산화물층(151)과 동등 또는 그 이하의 두께로 하면 된다. 제2 산화물층(152)이 두꺼우면, 게이트 전극(105)에 의한 전계가 반도체층(102)에 도달되기 어려워질 우려가 있기 때문에, 제2 산화물층(152)은 얇게 형성하는 것이 바람직하다. 또한 이것에 한정되지 않고, 제2 산화물층(152)의 두께는 게이트 절연층(104)의 내압을 고려하여, 트랜지스터(150)를 구동시키는 전압에 따라서 적절히 설정하면 된다.
- [0234] 또한, 도 10의 (B)에 도시한 바와 같이, 산화물층(151)의 하면보다, 산화물층(151)의 주위에서의 제1 보호 절연층(111)의 상면을 낮게 하여, 게이트 전극(105)이 반도체층(102)의 측면 하부를 둘러싸는 구성으로 하는 것이 바람직하다. 그 결과, 반도체층(102)의 측면의 하부에까지 게이트 전극(105)에 의한 전계가 충분히 걸려, 트랜지스터(150)의 온 전류를 증대시킬 수 있다. 마찬가지로, 도 27에 도시한 바와 같이, 산화물층(151)의 하면보다 게이트 전극(105)의 하면을 낮게 하면, 보다 트랜지스터(150)의 온 전류를 증대시킬 수 있기 때문에 바람직하다.
- [0235] 여기서, 트랜지스터(150)의 채널 형성 영역에서의 밴드 구조에 대하여 설명한다.
- [0236] 도 11의 (A), (B)는, 채널 형성 영역의 두께 방향에서의 에너지 밴드 구조를 모식적으로 도시하고 있다.
- [0237] 도 11의 (A), (B)에서, EcI1, EcS1, EcS2, EcS3, EcI2는 각각 제1 보호 절연층(111), 제1 산화물층(151), 반도체층(102), 제2 산화물층(152), 게이트 절연층(104)의 전도대 하단부의 에너지를 모식적으로 도시하고 있다. 또한 여기에서는 편의상, 각각의 층의 두께는 고려하지 않았다.
- [0238] 여기서, 진공 준위와 전도대 하단부의 에너지와의 차(전자 친화력이라고도 함)는, 진공 준위와 가전자대 상단부의 에너지와의 차(이온화 포텐셜이라고도 함)에서 에너지 갭을 뺀 값이 된다. 또한, 에너지 갭은, 분광 엘립소미터(예를 들어 HORIBA JOBIN YVON사 UT-300)를 사용하여 측정할 수 있다. 또한, 진공 준위와 가전자대 상단부의 에너지 차는, 자외선 광전자 분광 분석(UPS: Ultraviolet Photoelectron Spectroscopy) 장치(예를 들어 PHI사 VersaProbe)를 사용하여 측정할 수 있다.
- [0239] 도 11의 (A)에 도시한 바와 같이, 제1 산화물층(151), 반도체층(102), 제2 산화물층(152)에 있어서, 전도대 하단부의 에너지는 이들 사이에 장벽이 없어 연속적으로 변화한다. 이것은, 제1 산화물층(151), 반도체층(102), 제2 산화물층(152)의 조성이 근사함으로써 산소가 서로 확산되기 쉬워, 2층의 사이에 혼합층이라고도 칭할 만한

층이 형성되어 있기 때문이라고 이해할 수 있다.

- [0240] 또한, 도 11의 (A)에서는, 제1 산화물층(151) 및 제2 산화물층(152)이 마찬가지로의 에너지 갭을 갖는 산화물 층인 경우에 대하여 나타냈지만, 각각이 서로 다른 에너지 갭을 갖는 산화물층이어도 상관없다. 예를 들어, EcS1보다 EcS3이 높은 에너지를 갖는 경우, 밴드 구조의 일부는, 도 11의 (B)와 같이 나타난다. 또한, 도시하지 않지만, EcS3보다 EcS1이 높은 에너지를 갖고 있어도 상관없다.
- [0241] 도 11의 (A), (B)로부터, 채널 형성 영역에서 반도체층(102)이 웰(우물)로 되어, 채널이 반도체층(102)에 형성되는 것을 알 수 있다. 또한, 제1 산화물층(151), 반도체층(102), 및 제2 산화물층(152)은, 전도대 하단부의 에너지가 연속적으로 변화하고 있기 때문에, U자형 웰(U Shape Well)이라고도 칭할 수 있다. 또한 이와 같은 구성으로 형성된 채널을 매립 채널이라고 할 수도 있다.
- [0242] 제1 산화물층(151) 및 제2 산화물층(152)은, 반도체층(102)을 구성하는 금속 원소를 1종 이상 포함하는 산화물이기 때문에, 제1 산화물층(151), 반도체층(102) 및 제2 산화물층(152)이 적층된 적층 구조는 주성분이 공통되게 적층된 산화물 적층이라고도 할 수 있다. (이하, 제1 산화물층(151), 반도체층(102) 및 제2 산화물층(152)이 적층된 적층 구조를 산화물 적층이라고도 표기함) 주성분을 공통으로 하여 적층된 산화물 적층은, 각 층을 단순히 적층하는 것이 아니라, 연속 접합(여기서는, 특히 전도대 하단부의 에너지가 각 층의 사이에서 연속적으로 변화하는 U자형의 웰 구조)이 형성되도록 제작하는 것이 바람직하다. 왜냐하면, 각 층의 계면에 트랩 중심이나 재결합 중심과 같은 결함 준위를 형성하는 불순물이 혼재하고 있으면, 에너지 밴드의 연속성이 상실되어, 계면에서 캐리어가 트랩 또는 재결합에 의해 소멸되어버리기 때문이다.
- [0243] 연속 접합을 형성하기 위해서는, 로드 로크실을 구비한 멀티 챔버 방식의 성막 장치(예를 들어 스퍼터링 장치)를 사용하여 각 층을 대기에 접촉시키지 않고 연속해서 적층하는 것이 바람직하다. 스퍼터링 장치에서의 각 챔버는, 산화물 반도체에 있어서 불순물이 되는 물 등을 가능한 한 제거하기 위해 크라이오 펌프와 같은 흡착식의 진공 배기 펌프를 사용하여 고진공 배기(5×10^{-7} Pa 내지 1×10^{-4} Pa 정도까지)하는 것이 바람직하다. 또는, 터보 분자 펌프와 콜드 트랩을 조합하여 배기계로부터 챔버 내에 기체가 역류하지 않도록 해 두는 것이 바람직하다.
- [0244] 고순도 진성 산화물 반도체를 얻기 위해서는, 챔버 내를 고진공 배기할 뿐만 아니라 스퍼터 가스의 고순도화도 필요하다. 스퍼터 가스로서 사용하는 산소 가스나 아르곤 가스는, 노점이 -40°C 이하, 바람직하게는 -80°C 이하, 보다 바람직하게는 -100°C 이하로까지 고순도화한 가스를 사용함으로써 산화물 반도체에 수분 등이 도입되는 것을 가능한 한 방지할 수 있다.
- [0245] 반도체층(102)의 상층 또는 하층에 설치되는 제1 산화물층(151) 및 제2 산화물층(152)은 배리어층으로서 기능하여, 산화물 적층에 접하는 절연층(제1 보호 절연층(111) 및 게이트 절연층(104))과, 산화물 적층과의 계면에 형성되는 트랩 준위의 영향이, 트랜지스터의 캐리어의 주된 경로(캐리어 패스)가 되는 반도체층(102)에 미치는 것을 억제할 수 있다.
- [0246] 예를 들어, 반도체층에 포함되는 산소 결손은, 산화물 반도체의 에너지 갭 내의 깊은 에너지 위치에 존재하는 국제 준위로서 현재화한다. 이러한 국제 준위에 캐리어가 트랩됨으로써, 트랜지스터의 신뢰성이 저하되기 때문에, 반도체층에 포함되는 산소 결손을 저감하는 것이 필요해진다. 산화물 적층에 있어서는, 반도체층(102)과 비교하여 산소 결손이 발생하기 어려운 산화물층을 반도체층(102)의 상하에 접하여 설치함으로써, 반도체층(102)에서의 산소 결손을 저감할 수 있다. 예를 들어, 반도체층(102)은, 일정 전류 측정법(CPM: Constant Photocurrent Method)에 의해 측정된 국제 준위에 의한 흡수 계수를 $1 \times 10^{-3}/\text{cm}$ 미만, 바람직하게는 $1 \times 10^{-4}/\text{cm}$ 미만으로 할 수 있다.
- [0247] 또한, 반도체층(102)이 구성 원소가 서로 다른 절연층(예를 들어 산화 실리콘막을 포함하는 절연층)과 접하는 경우, 2층의 계면에 계면 준위가 형성되고, 해당 계면 준위는 채널을 형성하는 경우가 있다. 이러한 경우, 임계값 전압이 서로 다른 제2 트랜지스터가 출현하여, 트랜지스터의 외관상의 임계값 전압이 변동하는 경우가 있다. 그러나, 산화물 적층에서는 반도체층(102)을 구성하는 금속 원소를 1종 이상 포함하여 제1 산화물층(151)을 갖고 있기 때문에, 제1 산화물층(151)과 반도체층(102)의 계면에 계면 준위를 형성하기 어려워진다. 따라서 제1 산화물층(151)을 설치함으로써, 트랜지스터의 임계값 전압 등의 전기 특성의 변동을 저감할 수 있다.
- [0248] 또한, 게이트 절연층(104)과 반도체층(102)의 계면에 채널이 형성되는 경우, 해당 계면에서 계면 산란이 일어나, 트랜지스터의 전계 효과 이동도가 저하된다. 그러나, 산화물 적층에서는, 반도체층(102)을 구성하는 금속 원소를 1종 이상 포함하여 제2 산화물층(152)을 갖고 있기 때문에, 반도체층(102)과 제2 산화물층(152)의

계면에서는 캐리어의 산란이 일어나기 어려워, 트랜지스터의 전계 효과 이동도를 높게 할 수 있다.

- [0249] [구성예 2]
- [0250] 도 12의 (A), (B)에, 이하에서 예시하는 트랜지스터(160)의 단면 개략도를 나타낸다. 또한, 상면 개략도에 대해서는, 도 1의 (A)를 원용할 수 있다. 도 12에 나타내는 트랜지스터(160)는, 주로 제2 산화물층(152)의 형상이 상이한 점에서, 상기 트랜지스터(150)와 상이하다.
- [0251] 트랜지스터(160)에 있어서, 제2 산화물층(152)은, 그 하면이 한 쌍의 전극(103)의 각각의 상면에 접하여 설치되어 있다. 또한, 한 쌍의 전극(103)이 설치되어 있지 않은 영역에서, 반도체층(102)의 상면 및 측면에 접하여 설치되어 있다.
- [0252] 도 12에 나타내는 구성에서는, 제2 산화물층(152) 및 게이트 절연층(104)의 상면 형상이, 게이트 전극(105)의 상면 형상과 대략 일치하도록, 동일한 포토마스크를 사용하여 가공되어 있다. 또한, 제2 보호 절연층(112)이 제2 산화물층(152) 및 게이트 절연층(104)의 각각의 단부에 접하여 설치되어 있다. 이러한 구성으로 함으로써, 제2 산화물층(152) 및 게이트 절연층(104)의 단부를 통해, 반도체층(102)으로부터 산소가 탈리되는 것을 억제할 수 있다.
- [0253] 또한, 도 12의 (B)에 도시한 바와 같이, 트랜지스터(160)의 반도체층(102)은, 그 상면뿐만 아니라, 측면도 제2 산화물층(152)과 접하여 설치되어 있다. 즉, 반도체층(102)의 채널 형성 영역이 제1 산화물층(151)과 제2 산화물층(152)으로 둘러싸인 구성으로 되어 있다.
- [0254] 이러한 구성으로 함으로써, 반도체층(102)의 측면에 접하여 설치되는 제2 산화물층(152)에 의해, 반도체층(102)의 측면에서도 계면 준위의 형성을 억제할 수 있다. 그 결과, 반도체층(102)의 측면 근방에 형성되는 채널을 적극적으로 사용하는 경우에도 트랜지스터의 전기 특성 변동을 억제할 수 있어, 높은 온 전류와, 높은 신뢰성을 겸비한 트랜지스터를 실현할 수 있다.
- [0255] 또한, 도 12의 (B)에 도시한 바와 같이, 산화물층(151)의 하면보다, 산화물층(151)의 주위에서의 제1 보호 절연층(111)의 상면을 낮게 하여, 게이트 전극(105)이 반도체층(102)의 측면 하부를 둘러싸는 구성으로 하는 것이 바람직하다. 그 결과, 반도체층(102)의 측면 하부에까지 게이트 전극(105)에 의한 전계가 충분히 걸려, 트랜지스터(160)의 온 전류를 증대시킬 수 있다. 마찬가지로, 도 28에 도시한 바와 같이, 산화물층(151)의 하면보다 게이트 전극(105)의 하면을 낮게 하면, 보다 트랜지스터(160)의 온 전류를 증대시킬 수 있기 때문에 바람직하다.
- [0256] 또한, 실시 형태 1에서 예시한, 가열에 의해 산소를 방출하는 절연층(106)을 적용할 수도 있다.
- [0257] 도 13의 (A), (B)에, 상기 트랜지스터(160)와는 상이한 구성의 트랜지스터(170)의 단면 개략도를 나타낸다.
- [0258] 트랜지스터(170)는 주로, 제1 산화물층(151)과 제1 보호 절연층(111)의 사이에 절연층(106)을 갖고 있는 점에서, 트랜지스터(160)와 상이하다.
- [0259] 도 13의 (A), (B)에 도시한 바와 같이, 반도체층(102), 제1 산화물층(151), 및 절연층(106)을 섬 형상으로 가공하고, 이들을 덮도록 제2 산화물층(152)을 설치하고, 또한 하측에 제1 보호 절연층(111)을 설치함으로써, 절연층(106)이 방출하는 산소를 더 효과적으로, 제1 산화물층(151)을 통해 반도체층(102)에 공급할 수 있다.
- [0260] 또한, 도 13의 (B)에 도시한 바와 같이, 절연층(106)의 하면보다, 절연층(106)의 주위에서의 제1 보호 절연층(111)의 상면을 낮게 하여, 게이트 전극(105)이 반도체층(102)의 측면 하부를 둘러싸는 구성으로 하는 것이 바람직하다. 그 결과, 반도체층(102)의 측면 하부에까지 게이트 전극(105)에 의한 전계가 충분히 걸려, 트랜지스터(170)의 온 전류를 증대시킬 수 있다. 마찬가지로, 도 29의 (A) (B)에 도시한 바와 같이, 산화물층(151)의 하면보다 게이트 전극(105)의 하면을 낮게 하면, 보다 트랜지스터(170)의 온 전류를 증대시킬 수 있기 때문에 바람직하다.
- [0261] 또한, 도 13의 (C), (D)에, 트랜지스터(170)와는 일부의 구성이 서로 다른 트랜지스터(180)의 단면 개략도를 나타내고 있다. 트랜지스터(180)는, 섬 형상으로 가공되지 않은 절연층(106), 제1 산화물층(151), 및 제2 산화물층(152)을 갖고 있다. 제1 산화물층(151) 및 제2 산화물층(152)으로서, 밴드 갭이 충분히 큰 재료를 사용함으로써 이와 같은 구성을 실현할 수 있다.
- [0262] 또한, 트랜지스터(180)의 구성으로 하는 경우, 도시하지 않은 영역에서, 절연층(106), 제1 산화물층(151), 및 제2 산화물층(152)이 에칭되어, 제1 보호 절연층(111)과 제2 보호 절연층(112)이 접촉하는 영역을 형성하는 것

이 바람직하다. 예를 들어, 제1 보호 절연층(111)과 제2 보호 절연층(112)에 둘러싸이는 영역에 복수의 트랜지스터를 설치하는 구성으로 해도 된다.

- [0263] 또한, 도 13의 (D)에 도시한 바와 같이, 반도체층(102)의 하면보다, 반도체층(102)의 주위에서의 제1 보호 절연층(111)의 상면을 낮게 하여, 게이트 전극(105)이 반도체층(102)의 측면 하부를 둘러싸는 구성으로 하는 것이 바람직하다. 그 결과, 반도체층(102)의 측면 하부에까지 게이트 전극(105)에 의한 전계가 충분히 걸려, 트랜지스터(180)의 온 전류를 증대시킬 수 있다. 마찬가지로, 도 29의 (C) (D)에 도시한 바와 같이, 반도체층(102)의 하면보다 게이트 전극(105)의 하면을 낮게 하면, 보다 트랜지스터(180)의 온 전류를 증대시킬 수 있기 때문에 바람직하다.
- [0264] [구성예 3]
- [0265] 도 14의 (A), (B)에, 이하에서 예시하는 트랜지스터(250)의 단면 개략도를 나타낸다. 또한, 상면 개략도에 대해서는, 도 1의 (A)를 원용할 수 있다. 도 14에 도시하는 트랜지스터(250)는, 주로 제1 산화물층(251) 및 제2 산화물층(252)을 갖고 있는 점에서, 실시 형태 1에서 예시한 트랜지스터(200)와 상이하다.
- [0266] 제1 산화물층(251)은, 제1 보호 절연층(211)과 반도체층(202)의 사이에 설치되어 있다. 또한, 제2 산화물층(252)은, 반도체층(202)과 게이트 절연층(204)의 사이에 설치되어 있다.
- [0267] 보다 구체적으로는, 절연층(207)에 형성된 홈부에 있어서, 제1 산화물층(251)은 제1 보호 절연층(211)의 측면 및 상면을 덮어 설치되어 있다. 또한 제1 산화물층(251)은 반도체층(202)의 하면 및 측면에 접하여 설치되어 있다.
- [0268] 또한, 제2 산화물층(252)은, 그 하면이 한 쌍의 전극(203)의 각각의 상면에 접하여 설치되어 있다. 또한, 한 쌍의 전극(203)이 설치되어 있지 않은 영역에서, 반도체층(202)에 상면에 접하여 설치되어 있다.
- [0269] 제1 산화물층(251) 및 제2 산화물층(252)은, 각각 반도체층(202)과 동일한 금속 원소를 1종 이상 포함하는 산화물을 포함한다.
- [0270] 또한, 반도체층(202)과 제1 산화물층(251)의 경계, 또는 반도체층(202)과 제2 산화물층(252)의 경계는 불명료한 경우가 있다.
- [0271] 제1 산화물층(251) 및 제2 산화물층(252)으로서는, 예를 들어 상기 제1 산화물층(151) 및 제2 산화물층(152)과 마찬가지로의 재료를 사용할 수 있다.
- [0272] 도 14에 도시하는 구성에서는, 제2 산화물층(252) 및 게이트 절연층(204)의 상면 형상이, 게이트 전극(205)의 상면 형상과 대략 일치하도록, 동일한 포토마스크를 사용하여 가공되어 있다. 또한, 제2 보호 절연층(212)이, 제2 산화물층(252) 및 게이트 절연층(204)의 각각의 단부에 접하여 설치되어 있다. 이러한 구성으로 함으로써, 제2 산화물층(252) 및 게이트 절연층(204)의 단부를 통해, 반도체층(202)으로부터 산소가 탈리되는 것을 억제할 수 있다.
- [0273] 또한, 도 14의 (B)에 도시한 바와 같이, 트랜지스터(250)의 반도체층(202)은, 그 하면뿐만 아니라 측면이 제1 산화물층(251)과 접하여 설치되고, 또한, 반도체층(202)의 상면이 제2 산화물층(252)과 접하여 설치되어 있다. 즉, 반도체층(202)의 채널 형성 영역이 제1 산화물층(251)과 제2 산화물층(252)으로 둘러싸인 구성으로 되어 있다.
- [0274] 이러한 구성으로 함으로써, 반도체층(202)의 채널 형성 영역에서, 그 표면의 계면 준위의 형성을 억제할 수 있다. 따라서, 트랜지스터의 전기 특성 변동을 억제할 수 있어, 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0275] 여기서, 반도체층(202)의 두께는, 적어도 제1 산화물층(251)보다 두껍게 형성하는 것이 바람직하다. 반도체층(202)이 두꺼울수록, 트랜지스터의 온 전류를 높일 수 있다. 또한, 제1 산화물층(251)은, 반도체층(202)의 계면 준위의 생성을 억제하는 효과가 상실되지 않을 정도의 두께이면 된다. 예를 들어, 반도체층(202)의 두께는, 제1 산화물층(251)의 두께에 대하여 1배보다 크고, 바람직하게는 2배 이상, 보다 바람직하게는 4배 이상, 보다 바람직하게는 6배 이상으로 하면 된다.
- [0276] 또한, 절연층(207)에 설치되는 홈부의 깊이는, 제1 보호 절연층(211), 제1 산화물층(251) 및 반도체층(202)의 각각의 가공 후의 두께를 고려하여 적절히 설정하면 된다. 또한 홈부의 폭은, 트랜지스터(250)의 채널 길이 및 채널 폭에 따라 적절히 설정하면 된다.

- [0277] 또한, 제2 산화물층(252)도 제1 산화물층(251)과 마찬가지로, 반도체층(202)의 계면 준위의 생성을 억제하는 효과가 상실되지 않을 정도의 두께이면 된다. 예를 들어, 제1 산화물층(251)과 동등 또는 그 이하의 두께로 하면 된다. 제2 산화물층(252)이 두꺼우면, 게이트 전극(205)에 의한 전계가 반도체층(202)에 도달되기 어려워질 우려가 있기 때문에, 제2 산화물층(252)은 얇게 형성하는 것이 바람직하다. 또한 이것에 한정되지 않고, 제2 산화물층(252)의 두께는 게이트 절연층(204)의 내압을 고려하여, 트랜지스터(250)를 구동시키는 전압에 따라서 적절히 설정하면 된다.
- [0278] 또한, 실시 형태 1의 변형예 1에서 예시한, 가열에 의해 산소를 방출하는 절연층(206)을 적용할 수도 있다.
- [0279] 도 14의 (C), (D)에, 상기 트랜지스터(250)와는 상이한 구성의 트랜지스터(270)의 단면 개략도를 나타낸다.
- [0280] 트랜지스터(270)는 주로, 제1 산화물층(251)과 제1 보호 절연층(211)의 사이에 절연층(206)을 갖는 점, 및 반도체층(202)이 홈부를 덮어서 설치되어 있는 점에서, 트랜지스터(250)와는 상이하다.
- [0281] 이와 같이, 홈부를 매립하도록 제1 산화물층(251)을 설치함으로써, 채널 형성 영역에서, 반도체층(202)과 절연층(206)의 물리적인 거리를 크게 취할 수 있다. 따라서, 채널 형성 영역에서, 반도체층(202)의 계면에 형성되는 계면 준위를 보다 저감할 수 있다.
- [0282] 도 15에는, 상기 트랜지스터(250 및 270)와는 상이한 구성의 트랜지스터(280)를 직렬로 접속했을 경우에 대하여 나타내고 있다. 트랜지스터(280)는 주로, 제1 산화물층(251)이 홈부를 덮어서 설치되어 있는 점에서, 트랜지스터(270)와 상이하다.
- [0283] 이와 같이, 홈부에 절연층(206)을 매립하고, 그 상층에 제1 산화물층(251) 및 반도체층(202)을 설치하는 구성으로 함으로써, 절연층(206)의 체적을 용이하게 증가시킬 수 있고, 그 결과, 반도체층(202)에 공급되는 산소의 양을 증대시킬 수 있다. 또한, 이러한 구성으로 함으로써, 절연층(206)의 상면에 단차가 형성되지 않기 때문에, 그 상층에 설치되는 제1 산화물층(251)이나 반도체층(202) 등의 피복성을 저하시키지 않고, 절연층(206)의 두께를 두껍게 형성할 수 있다.
- [0284] 본 실시 형태는, 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시 형태와 적절히 조합하여 실시할 수 있다.
- [0285] (실시 형태 3)
- [0286] 본 실시 형태에서는, 본 발명의 일 형태의 반도체 장치에 적절하게 사용할 수 있는 산화물 반도체에 대하여 설명한다.
- [0287] 산화물 반도체는, 에너지 갭이 3.0eV 이상으로 크고, 산화물 반도체를 적절한 조건에서 가공하여, 그 캐리어 밀도를 충분히 저감시켜 얻어진 산화물 반도체막이 적용된 트랜지스터에 있어서는, 오프 상태에서의 소스와 드레인간의 누설 전류(오프 전류)를, 종래의 실리콘을 사용한 트랜지스터와 비교하여 매우 낮은 것으로 할 수 있다.
- [0288] 적용 가능한 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn을 포함하는 것이 바람직하다. 또한, 해당 산화물 반도체를 사용한 트랜지스터의 전기 특성의 변동을 저감시키기 위한 스테빌라이저로서, 그것들 외에도 갈륨(Ga), 주석(Sn), 하프늄(Hf), 지르코늄(Zr), 티타늄(Ti), 스칸듐(Sc), 이트륨(Y), 란타노이드(예를 들어, 세륨(Ce), 네오디뮴(Nd), 가돌리늄(Gd))에서 선택된 1종, 또는 복수종이 포함되어 있는 것이 바람직하다.
- [0289] 예를 들어, 산화물 반도체로서, 산화인듐, 산화주석, 산화아연, In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-Zr-Zn계 산화물, In-Ti-Zn계 산화물, In-Sc-Zn계 산화물, In-Y-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.
- [0290] 여기서, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 주성분으로서 갖는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 상관없다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어 있어도 된다.

- [0291] 또한, 산화물 반도체로서, $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$, 또한, m 은 정수가 아니다)으로 표기되는 재료를 사용해도 된다. 또한, M 은, Ga, Fe, Mn 및 Co에서 선택된 하나의 금속 원소 또는 복수의 금속 원소, 또는 상기의 스테빌라이저로서의 원소를 나타낸다. 또한, 산화물 반도체로서, $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$, 또한, n 은 정수)으로 표기되는 재료를 사용해도 된다.
- [0292] 예를 들어, $\text{In:Ga:Zn}=1:1:1$, $\text{In:Ga:Zn}=1:3:2$, $\text{In:Ga:Zn}=1:3:4$, $\text{In:Ga:Zn}=1:3:6$, $\text{In:Ga:Zn}=3:1:2$ 또는 $\text{In:Ga:Zn}=2:1:3$ 의 원자수비의 In-Ga-Zn계 산화물이나 그 조성 근방의 산화물을 사용하면 된다.
- [0293] 산화물 반도체막에 수소가 다량으로 포함되면, 산화물 반도체와 결합함으로써 수소의 일부가 도너가 되어, 캐리어인 전자를 발생해버린다. 이에 의해, 트랜지스터의 임계값 전압이 마이너스 방향으로 시프트해버린다. 그로 인해, 산화물 반도체막의 형성 후에 있어서, 탈수화 처리(탈수소화 처리)를 행하여 산화물 반도체막으로부터, 수소, 또는 수분을 제거해서 불순물이 최대한 포함되지 않도록 고순도화하는 것이 바람직하다.
- [0294] 또한, 산화물 반도체막에 대한 탈수화 처리(탈수소화 처리)에 의해, 산화물 반도체막으로부터 산소도 동시에 감소되어버리는 경우가 있다. 따라서, 산화물 반도체막에 대한 탈수화 처리(탈수소화 처리)에 의해 증가한 산소 결손을 보충하기 위하여 산소를 산화물 반도체막에 첨가하는 처리를 행하는 것이 바람직하다. 본 명세서 등에서, 산화물 반도체막에 산소를 공급하는 경우를, 가산소화 처리라 기재하는 경우가 있거나, 또는 산화물 반도체막에 포함되는 산소를 화학양론적 조성보다 많게 하는 경우를 과산소화 처리라 기재하는 경우가 있다.
- [0295] 이와 같이, 산화물 반도체막은, 탈수화 처리(탈수소화 처리)에 의해 수소 또는 수분이 제거되고, 가산소화 처리에 의해 산소 결손을 보충함으로써, i형(진성)화 또는 i형에 끝없이 가까워 실질적으로 i형(진성)인 산화물 반도체막으로 할 수 있다. 또한, 실질적으로 진성이란, 산화물 반도체막 중에 도너에서 유래되는 캐리어가 매우 적어(제로에 가까워), 캐리어 밀도가 $1 \times 10^{17}/\text{cm}^3$ 이하, $1 \times 10^{16}/\text{cm}^3$ 이하, $1 \times 10^{15}/\text{cm}^3$ 이하, $1 \times 10^{14}/\text{cm}^3$ 이하, $1 \times 10^{13}/\text{cm}^3$ 이하인 것을 말한다.
- [0296] 또한 이렇게, i형 또는 실질적으로 i형인 산화물 반도체막을 구비하는 트랜지스터는, 매우 우수한 오프 전류 특성을 실현할 수 있다. 예를 들어, 산화물 반도체막을 사용한 트랜지스터가 오프 상태일 때의 드레인 전류를, 실온(25℃ 정도)에서 $1 \times 10^{-18}\text{A}$ 이하, 바람직하게는 $1 \times 10^{-21}\text{A}$ 이하, 더욱 바람직하게는 $1 \times 10^{-24}\text{A}$ 이하, 또는 85℃에서 $1 \times 10^{-15}\text{A}$ 이하, 바람직하게는 $1 \times 10^{-18}\text{A}$ 이하, 더욱 바람직하게는 $1 \times 10^{-21}\text{A}$ 이하로 할 수 있다. 또한, 트랜지스터가 오프 상태란, n 채널형의 트랜지스터의 경우, 게이트 전압이 임계값 전압보다 충분히 작은 상태를 말한다. 구체적으로는, 게이트 전압이 임계값 전압보다 1V 이상, 2V 이상 또는 3V 이상 작으면, 트랜지스터는 오프 상태로 된다.
- [0297] 이하에서는, 산화물 반도체막의 구조에 대하여 설명한다.
- [0298] 산화물 반도체막은, 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 크게 구별된다. 비단결정 산화물 반도체막이란, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다.
- [0299] 우선은, CAAC-OS막에 대하여 설명한다.
- [0300] 또한, 본 명세서에서, 「평행」이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 포함된다. 또한, 「수직」이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 포함된다.
- [0301] 또한, 본 명세서에서, 결정이 3방정 또는 능면체정일 경우, 육방정계로서 나타낸다.
- [0302] CAAC-OS막은, c축 배향한 복수의 결정부를 갖는 산화물 반도체막의 하나이다.
- [0303] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의해 관찰하면, 명확한 결정부끼리의 경계, 즉 결정립계(그레인 바운더리라고도 함)를 확인할 수 없다. 그로 인해, CAAC-OS막은, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0304] CAAC-OS막을, 시료면과 대략 평행한 방향에서 TEM에 의해 관찰(단면 TEM 관찰)하면, 결정부에 있어서, 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은, CAAC-OS막의 막을 형성하는 면(피형성면이라고도 함) 또는 상면의 요철을 반영한 형상이며, CAAC-OS막의 피형성면 또는 상면과 평행하게 배열한다.

- [0305] 한편, CAAC-OS막을, 시료면과 대략 수직인 방향에서 TEM에 의해 관찰(평면 TEM 관찰)하면, 결정부에 있어서, 금속 원자가 삼각 형상 또는 육각형 형상으로 배열되어 있는 것을 확인할 수 있다. 그러나, 서로 다른 결정부간에서, 금속 원자의 배열에 규칙성은 나타나지 않는다.
- [0306] 도 23의 (A)는 CAAC-OS막의 단면 TEM상이다. 또한, 도 23의 (B)는, 도 23의 (A)를 더 확대한 단면 TEM상이며, 이해를 용이하게 하기 위하여 원자 배열을 강조 표시하고 있다.
- [0307] 도 23의 (C)는, 도 23의 (A)의 A-O-A"간에서, 원으로 둘러싼 영역(직경 약 4nm)의 국소적인 푸리에 변환상이다. 도 23의 (C)로부터, 각 영역에서 c축 배향성을 확인할 수 있다. 또한, A-O간과 O-A"간에서는, c축의 방향이 상이하기 때문에, 서로 다른 그레인인 것이 시사된다. 또한, A-O간에서는, c축의 각도가 14.3°, 16.6°, 26.4° 와 같이 조금씩 연속적으로 변화하고 있는 것을 알 수 있다. 마찬가지로, O-A"간에서는, c축의 각도가 -18.3°, -17.6°, -15.9° 로 조금씩 연속적으로 변화하고 있는 것을 알 수 있다.
- [0308] 또한, CAAC-OS막에 대하여 전자 회절을 행하면, 배향성을 나타내는 스폿(회절점)이 관측된다. 예를 들어, CAAC-OS막의 상면에 대하여 예를 들어 1nm 이상 30nm 이하의 전자선을 사용하는 전자 회절(나노 빔 전자 회절이라고도 함)을 행하면, 스폿이 관측된다(도 24의 (A) 참조).
- [0309] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖고 있는 것을 알 수 있다.
- [0310] 또한, CAAC-OS막에 포함되는 대부분의 결정부는, 한 변이 100nm 미만의 입방체 내에 수용되는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는, 한 변이 10nm 미만, 5nm 미만 또는 3nm 미만의 입방체 내에 수용되는 크기의 경우도 포함된다. 단, CAAC-OS막에 포함되는 복수의 결정부가 연결됨으로써, 하나의 큰 결정 영역을 형성하는 경우가 있다. 예를 들어, 평면 TEM상에 있어서, 2500nm² 이상, 5 μ m² 이상 또는 1000 μ m² 이상이 되는 결정 영역이 관찰되는 경우가 있다.
- [0311] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 행하면, 예를 들어 InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2 θ)이 31° 근방에 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO₄의 결정의 (009)면에 귀속되므로, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향을 향하고 있는 것을 확인할 수 있다.
- [0312] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2 θ 가 56° 근방에 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO₄의 결정의 (110)면에 귀속된다. InGaZnO₄의 단결정 산화물 반도체막이라면, 2 θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(ϕ 축)으로 해서 시료를 회전시키면서 분석(ϕ 스캔)을 행하면, (110)면과 등가인 결정면에 귀속되는 피크가 6개 관찰된다. 이에 반해, CAAC-OS막의 경우에는, 2 θ 를 56° 근방에 고정하여 ϕ 스캔한 경우에도, 명료한 피크가 나타나지 않는다.
- [0313] 이상으로부터, CAAC-OS막에서는, 서로 다른 결정부간에서는 a축 및 b축의 배향은 불규칙하지만, c축 배향성을 갖고, 또한 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향을 향하고 있는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰에서 확인된 층상으로 배열한 금속 원자의 각 층은, 결정의 ab면에 평행한 면이다.
- [0314] 또한, 결정부는, CAAC-OS막을 성막했을 때, 또는 가열 처리 등의 결정화 처리를 행했을 때에 형성된다. 상술한 바와 같이, 결정의 c축은, CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어, CAAC-OS막의 형상을 에칭 등에 의해 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터와 평행하게 되지 않는 경우도 있다.
- [0315] 또한, CAAC-OS막 중에 있어서, c축 배향한 결정부의 분포가 균일하지 않아도 된다. 예를 들어, CAAC-OS막의 결정부가, CAAC-OS막의 상면 근방으로부터의 결정 성장에 의해 형성되는 경우, 상면 근방의 영역은, 피형성면 근방의 영역보다 c축 배향한 결정부의 비율이 높아지는 경우가 있다. 또한, 불순물이 첨가된 CAAC-OS막은, 불순물이 첨가된 영역이 변질되어, 부분적으로 c축 배향한 결정부의 비율이 상이한 영역이 형성되는 경우도 있다.
- [0316] 또한, InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2 θ 가 31° 근방의 피크 이외에, 2 θ 가 36° 근방에도 피크가 나타나는 경우가 있다. 2 θ 가 36° 근방의 피크는, CAAC-OS막 내의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 나타내고 있다. CAAC-OS막은, 2 θ 가 31° 근방에 피크를 나타내고, 2 θ 가 36° 근방에 피크를 나타내지 않는 것이 바람직하다.

- [0317] CAAC-OS막은, 불순물 농도가 낮은 산화물 반도체막이다. 불순물은, 수소, 탄소, 실리콘, 전이 금속 원소 등의 산화물 반도체막의 주성분 이외의 원소이다. 특히, 실리콘 등의, 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는, 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 어지럽혀, 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은, 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체막 내부에 포함되면, 산화물 반도체막의 원자 배열을 어지럽혀, 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체막에 포함되는 불순물은, 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.
- [0318] 또한, CAAC-OS막은, 결합 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어, 산화물 반도체막 내의 산소 결손은, 캐리어 트랩이 되는 것이나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.
- [0319] 불순물 농도가 낮고, 결합 준위 밀도가 낮은(산소 결손이 적은) 것을, 고순도 진성 또는 실질적으로 고순도 진성이라 칭한다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은, 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮게 할 수 있다. 따라서, 당해 산화물 반도체막을 사용한 트랜지스터는, 임계값 전압이 마이너스가 되는 전기 특성(노멀리 온이라고도 함)으로 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은, 캐리어 트랩이 적다. 그로 인해, 당해 산화물 반도체막을 사용한 트랜지스터는, 전기 특성의 변동이 작아, 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는, 방출될 때까지 필요로 하는 시간이 길어, 마치 고정 전하와 같이 행동하는 경우가 있다. 그로 인해, 불순물 농도가 높고, 결합 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는, 전기 특성이 불안정해지는 경우가 있다.
- [0320] 또한, CAAC-OS막을 사용한 트랜지스터는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.
- [0321] 이어서, 미결정 산화물 반도체막에 대하여 설명한다.
- [0322] 미결정 산화물 반도체막은, TEM에 의한 관찰상에서는, 명확하게 결정부를 확인할 수 없는 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부는, 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을, nc-OS(nanocrystalline Oxide Semiconductor)막이라고 칭한다. 또한, nc-OS막은, 예를 들어, TEM에 의한 관찰상에서는, 결정립계를 명확하게 확인할 수 없는 경우가 있다.
- [0323] nc-OS막은, 미소한 영역(예를 들어, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은, 서로 다른 결정부간에서 결정 방위에 규칙성이 나타나지 않는다. 그로 인해, 막 전체에서 배향성이 나타나지 않는다. 따라서, nc-OS막은, 분석 방법에 따라서는, 비정질 산화물 반도체막과 구별이 가지 않는 경우가 있다. 예를 들어, nc-OS막에 대하여 결정부보다 큰 직경의 X선을 사용하는 XRD 장치를 사용하여 구조 해석을 행하면, out-of-plane법에 의한 해석에서는, 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS막에 대하여 결정부보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자 회절(제한 시야 전자 회절이라고도 함)을 행하면, 할로 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여 결정부의 크기와 가깝거나 결정부보다 작은 프로브 직경의 전자선을 사용하는 나노 빔 전자 회절을 행하면, 스폿이 관측된다. 또한, nc-OS막에 대하여 나노 빔 전자 회절을 행하면, 원을 그리듯(링 형상으로) 휘도가 높은 영역이 관측되는 경우가 있다. 또한, nc-OS막에 대하여 나노 빔 전자 회절을 행하면, 링 형상의 영역 내에 복수의 스폿이 관측되는 경우가 있다.
- [0324] nc-OS막은, 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 그로 인해, nc-OS막은, 비정질 산화물 반도체막보다 결합 준위 밀도가 낮아진다. 단, nc-OS막은, 서로 다른 결정부간에서 결정 방위에 규칙성이 나타나지 않는다. 그로 인해, nc-OS막은, CAAC-OS막과 비교하여 결합 준위 밀도가 높아진다.
- [0325] 또한, 산화물 반도체막은, 예를 들어, 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종 이상을 갖는 적층막이어도 된다.
- [0326] 산화물 반도체막이 복수의 구조를 갖는 경우, 나노 빔 전자 회절을 사용함으로써 구조 해석이 가능하게 되는 경우가 있다.
- [0327] 도 24의 (C)에, 전자총실(10)과, 전자총실(10) 아래의 광학계(12)와, 광학계(12) 아래의 시료실(14)과, 시료실(14) 아래의 광학계(16)와, 광학계(16) 아래의 관찰실(20)과, 관찰실(20)에 설치된 카메라(18)와, 관찰실(20) 아래의 필름실(22)을 갖는 투과 전자 회절 측정 장치를 나타낸다. 카메라(18)는, 관찰실(20) 내부를 향하여 설

치된다. 또한, 필름실(22)을 갖지 않아도 상관없다.

- [0328] 또한, 도 24의 (D)에, 도 24의 (C)에서 나타난 투과 전자 회절 측정 장치 내부의 구조를 나타낸다. 투과 전자 회절 측정 장치 내부에서는, 전자총실(10)에 설치된 전자총으로부터 방출된 전자가, 광학계(12)를 통해 시료실(14)에 배치된 물질(28)에 조사된다. 물질(28)을 통과한 전자는, 광학계(16)를 통해 관찰실(20) 내부에 설치된 형광관(32)에 입사한다. 형광관(32)에서는, 입사된 전자의 강도에 따른 패턴이 나타남으로써 투과 전자 회절 패턴을 측정할 수 있다.
- [0329] 카메라(18)는, 형광관(32)을 향하여 설치되어 있고, 형광관(32)에 나타난 패턴을 촬영하는 것이 가능하다. 카메라(18)의 렌즈 중앙, 및 형광관(32)의 중앙을 통과하는 직선과 형광관(32)의 상면이 이루는 각도는, 예를 들어, 15° 이상 80° 이하, 30° 이상 75° 이하, 또는 45° 이상 70° 이하로 한다. 해당 각도가 작을수록, 카메라(18)로 촬영되는 투과 전자 회절 패턴은 왜곡이 커진다. 단, 미리 해당 각도를 알고 있으면, 얻어진 투과 전자 회절 패턴의 왜곡을 보정하는 것도 가능하다. 또한, 카메라(18)를 필름실(22)에 설치해도 상관없는 경우가 있다. 예를 들어, 카메라(18)를 필름실(22)에, 전자(24)의 입사 방향과 대향하도록 설치해도 된다. 이 경우, 형광관(32)의 이면으로부터 왜곡이 적은 투과 전자 회절 패턴을 촬영할 수 있다.
- [0330] 시료실(14)에는, 시료인 물질(28)을 고정하기 위한 홀더가 설치되어 있다. 홀더는, 물질(28)을 통과하는 전자를 투과하는 구조를 하고 있다. 홀더는, 예를 들어, 물질(28)을 X축, Y축, Z축 등으로 이동시키는 기능을 가져도 된다. 홀더의 이동 기능은, 예를 들어, 1nm 이상 10nm 이하, 5nm 이상 50nm 이하, 10nm 이상 100nm 이하, 50nm 이상 500nm 이하, 100nm 이상 1μm 이하 등의 범위에서 이동시키는 정밀도를 가지면 된다. 이 범위는, 물질(28)의 구조에 따라 최적의 범위를 설정하면 된다.
- [0331] 이어서, 상술한 투과 전자 회절 측정 장치를 사용하여, 물질의 투과 전자 회절 패턴을 측정하는 방법에 대하여 설명한다.
- [0332] 예를 들어, 도 24의 (D)에 도시한 바와 같이 물질에서의 나노 빔인 전자(24)의 조사 위치를 변화시킴(스캔함)으로써, 물질의 구조가 변화해 가는 모습을 확인할 수 있다. 이때, 물질(28)이 CAAC-OS막이라면, 도 24의 (A)에 도시된 바와 같은 회절 패턴이 관측된다. 또는, 물질(28)이 nc-OS막이라면, 도 24의 (B)에 도시된 바와 같은 회절 패턴이 관측된다.
- [0333] 그런데, 물질(28)이 CAAC-OS막이라고 해도, 부분적으로 nc-OS막 등과 마찬가지로의 회절 패턴이 관측되는 경우가 있다. 따라서, CAAC-OS막의 불량은, 일정한 범위에서의 CAAC-OS막의 회절 패턴이 관측되는 영역의 비율(CAAC화율(proportion of CAAC)이라고도 함)로 나타낼 수 있는 경우가 있다. 예를 들어, 양질의 CAAC-OS막이라면, CAAC화율은, 50% 이상, 바람직하게는 80% 이상, 더욱 바람직하게는 90% 이상, 보다 바람직하게는 95% 이상이 된다. 또한, CAAC-OS막과 상이한 회절 패턴이 관측되는 영역을 비CAAC화율이라 표기한다.
- [0334] 일례로서, 성막 직후(as-sputtered라고 표기), 또는 산소를 포함하는 분위기에서의 450℃ 가열 처리 후의 CAAC-OS막을 갖는 각 시료의 상면에 대하여, 스캔하면서 투과 전자 회절 패턴을 취득하였다. 여기에서는, 5nm/초의 속도로 60초간 스캔하면서 회절 패턴을 관측하고, 관측된 회절 패턴을 0.5초마다 정지 화상으로 변환함으로써 CAAC화율을 도출하였다. 또한, 전자선으로서는, 프로브 직경이 1nm인 나노 빔을 사용하였다. 또한, 마찬가지로의 측정은 6 시료에 대해 행하였다. 그리고 CAAC화율의 산출에는, 6 시료에서의 평균값을 사용하였다.
- [0335] 각 시료에서의 CAAC화율을 도 25의 (A)에 나타내었다. 성막 직후의 CAAC-OS막의 CAAC화율은 75.7%(비CAAC화율은 24.3%)이었다. 또한, 450℃ 가열 처리 후의 CAAC-OS막의 CAAC화율은 85.3%(비CAAC화율은 14.7%)이었다. 성막 직후에 비해, 450℃ 가열 처리 후의 CAAC화율이 높은 것을 알 수 있다. 즉, 높은 온도(예를 들어 400℃ 이상)에서의 가열 처리에 의해, 비CAAC화율이 낮아지는(CAAC화율이 높아지는) 것을 알 수 있다. 또한, 500℃ 미만의 가열 처리에서도 높은 CAAC화율을 갖는 CAAC-OS막이 얻어지는 것을 알 수 있다.
- [0336] 여기서, CAAC-OS막과 서로 다른 회절 패턴의 대부분은 nc-OS막과 마찬가지로의 회절 패턴이었다. 또한, 측정 영역에서 비정질 산화물 반도체막은 확인할 수 없었다. 따라서, 가열 처리에 의해, nc-OS막과 마찬가지로의 구조를 갖는 영역이, 인접하는 영역의 구조 영향을 받아서 재배열하여, CAAC화하고 있는 것이 시사된다.
- [0337] 도 25의 (B) 및 도 25의 (C)는, 성막 직후 및 450℃ 가열 처리 후의 CAAC-OS막의 평면 TEM상이다. 도 25의 (B)와 도 25의 (C)를 비교함으로써, 450℃ 가열 처리 후의 CAAC-OS막은, 막질이 보다 균질한 것을 알 수 있다. 즉, 높은 온도에서의 가열 처리에 의해, CAAC-OS막의 막질이 향상되는 것을 알 수 있다.
- [0338] 이러한 측정 방법을 사용하면, 복수의 구조를 갖는 산화물 반도체막의 구조 해석이 가능하게 되는 경우가 있다.

- [0339] (실시 형태 4)
- [0340] 본 실시 형태에서는, 본 발명의 일 형태의 트랜지스터를 이용한 회로의 일례에 대해서, 도면을 참조하여 설명한다.
- [0341] 도 16의 (A)에 반도체 장치의 회로도, 도 16의 (C), (D)에 반도체 장치의 단면도를 각각 나타낸다. 도 16의 (C), (D)는 각각, 좌측에 트랜지스터(100)의 채널 길이 방향의 단면도를 도시하고, 우측에 채널 폭 방향의 단면도를 도시하고 있다. 또한 회로도에는, 산화물 반도체가 적용된 트랜지스터인 것을 명시하기 위해서, 「OS」의 기재를 첨부하고 있다.
- [0342] 도 16의 (C), (D)에 나타내는 반도체 장치는, 하부에 제1 반도체 재료를 사용한 트랜지스터(2200)를 갖고, 상부에 제2 반도체 재료를 사용한 트랜지스터를 갖는다. 여기에서는, 제2 반도체 재료를 사용한 트랜지스터로서, 실시 형태 1에서 예시한 트랜지스터(100)를 적용한 예에 대하여 설명한다.
- [0343] 또한, 도 17의 (A), (B)에는, 제2 반도체 재료를 사용한 트랜지스터로서, 실시 형태 1에서 예시한 트랜지스터(200)를 적용한 경우의 단면 구성예를 나타낸다.
- [0344] 여기서, 제1 반도체 재료와 제2 반도체 재료는 서로 다른 금속대 폭을 갖는 재료로 하는 것이 바람직하다. 예를 들어, 제1 반도체 재료를 산화물 반도체 이외의 반도체 재료(실리콘, 게르마늄, 실리콘 게르마늄, 탄화실리콘, 또는 갈륨비소 등)로 하고, 제2 반도체 재료를 실시 형태 1에서 설명한 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 재료로서 단결정 실리콘 등을 사용한 트랜지스터는, 고속 동작이 용이하다. 한편, 산화물 반도체를 사용한 트랜지스터는, 오프 전류가 낮다.
- [0345] 여기에서는, 트랜지스터(2200)가 p 채널형의 트랜지스터인 것으로 하여 설명하지만, n 채널형의 트랜지스터를 사용하여 상이한 회로를 구성할 수 있음은 물론이다. 또한, 산화물 반도체를 사용한 실시 형태 1에 나타낸 바와 같은 트랜지스터를 사용하는 것 외에는, 반도체 장치에 사용되는 재료나 반도체 장치의 구조 등, 반도체 장치의 구체적인 구성을 여기서 나타내는 것에 한정할 필요는 없다.
- [0346] 도 16의 (A), (C), (D)에 나타내는 구성은, p 채널형의 트랜지스터와 n 채널형의 트랜지스터를 직렬로 접속하고, 또한, 각각의 게이트를 접속한, 소위 CMOS 회로의 구성예에 대하여 나타내고 있다.
- [0347] 본 발명의 일 형태의 산화물 반도체가 적용된 트랜지스터는, 온 전류가 높아지고 있기 때문에, 회로의 고속 동작이 가능하게 된다.
- [0348] 도 16의 (C)에 나타내는 구성에서는, 트랜지스터(2200)의 상부에, 절연층(2201)을 개재하여 트랜지스터(100)가 설치되어 있다. 또한, 트랜지스터(2200)와 트랜지스터(100)의 사이에는 복수의 배선(2202)이 설치되어 있다. 또한 각종 절연층에 매립된 복수의 플러그(2203)에 의해, 상층과 하층에 각각 설치된 배선이나 전극이 전기적으로 접속되어 있다. 또한, 트랜지스터(100)를 덮는 절연층(2204)과, 절연층(2204) 위에 배선(2205)과, 트랜지스터의 한 쌍의 전극과 동일한 도전막을 가공하여 형성된 배선(2206)이 설치되어 있다.
- [0349] 이와 같이, 2개의 트랜지스터를 적층함으로써, 회로의 점유 면적이 저감되어, 보다 고밀도로 복수의 회로를 배치할 수 있다.
- [0350] 도 16의 (C)에서는, 트랜지스터(100)의 소스 또는 드레인 중 한쪽과, 트랜지스터(2200)의 소스 또는 드레인 중 한쪽이 배선(2202)이나 플러그(2203)에 의해 전기적으로 접속되어 있다. 또한, 트랜지스터(100)의 게이트는, 배선(2205), 배선(2206), 플러그(2203) 및 배선(2202) 등을 경유하여, 트랜지스터(2200)의 게이트와 전기적으로 접속되어 있다.
- [0351] 도 16의 (D)에 나타내는 구성에서는, 트랜지스터(100)의 게이트 절연층에 플러그(2203)를 매립하기 위한 개구부가 형성되어, 트랜지스터(100)의 게이트와 플러그(2203)가 접하는 구성으로 되어 있다. 이러한 구성으로 함으로써 회로의 집적화가 용이할 뿐 아니라, 도 16의 (C)에 나타내는 구성과 비교하여 경유하는 배선이나 플러그의 수나 길이를 저감할 수 있기 때문에, 회로를 보다 고속으로 동작시킬 수 있다.
- [0352] 여기서, 도 16의 (C), (D)에 나타내는 구성에 있어서, 트랜지스터(100)나 트랜지스터(2200)의 전극 접속 구성을 상이하게 함으로써, 여러가지 회로를 구성할 수 있다. 예를 들어 도 16의 (B)에 도시한 바와 같이, 각각의 트랜지스터의 소스와 드레인을 접속한 회로 구성으로 함으로써, 소위 아날로그 스위치로서 기능시킬 수 있다.
- [0353] 또한, 실시 형태 1 또는 2 중 어느 하나에서 일례를 나타낸 트랜지스터를 사용하여, 대상물의 정보를 관독하는

이미지 센서 기능을 갖는 반도체 장치를 제작할 수 있다.

- [0354] 도 18에, 이미지 센서 기능을 갖는 반도체 장치의 등가 회로 일례를 나타낸다.
- [0355] 포토 다이오드(602)는, 한쪽 전극이 포토 다이오드 리셋 신호선(658)에, 다른 쪽 전극이 트랜지스터(640)의 게이트에 전기적으로 접속되어 있다. 트랜지스터(640)는, 소스 또는 드레인 중 한쪽이 포토 센서 기준 신호선(672)에, 소스 또는 드레인 중 다른 쪽이 트랜지스터(656)의 소스 또는 드레인 중 한쪽에 전기적으로 접속되어 있다. 트랜지스터(656)는, 게이트가 게이트 신호선(659)에, 소스 또는 드레인 중 다른 쪽이 포토 센서 출력 신호선(671)에 전기적으로 접속되어 있다.
- [0356] 포토 다이오드(602)에는, 예를 들어, p형의 도전형을 갖는 반도체층과, 고저항의(i형의 도전형을 갖는) 반도체층과, n형의 도전형을 갖는 반도체층을 적층하는 pin형의 포토 다이오드를 적용할 수 있다.
- [0357] 포토 다이오드(602)에 입사하는 광을 검출함으로써, 피검출물의 정보를 판독할 수 있다. 또한, 피검출물의 정보를 판독할 때에, 백라이트 등의 광원을 사용할 수 있다.
- [0358] 또한, 트랜지스터(640) 및 트랜지스터(656)에는, 실시 형태 1 또는 2 중 어느 하나에서 일례를 나타낸, 산화물 반도체에 채널이 형성되는 트랜지스터를 사용할 수 있다. 도 18에서는, 트랜지스터(640) 및 트랜지스터(656)가, 산화물 반도체를 포함하는 것을 명확하게 판명할 수 있도록, 트랜지스터의 기호에 「OS」라고 부기하고 있다.
- [0359] 트랜지스터(640) 및 트랜지스터(656)는, 상기 실시 형태에서 일례를 나타낸 트랜지스터이며, 채널이 형성되는 산화물 반도체층을, 과잉 산소를 함유하는 산화 알루미늄막을 포함하는 절연층으로 감싸는 구성을 갖는다. 또한, 산화물 반도체층을 게이트 전극에 의해 전기적으로 에워싸는 구성을 갖는 것이 바람직하다. 따라서, 트랜지스터(640) 및 트랜지스터(656)는, 전기 특성 변동이 억제된 전기적으로 안정된 트랜지스터이다. 해당 트랜지스터를 포함함으로써, 도 18에서 나타내는 이미지 센서 기능을 갖는 반도체 장치로서 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0360] 본 실시 형태는, 본 명세서 중에 기재하는 다른 실시 형태와 적절히 조합하여 실시할 수 있다.
- [0361] (실시 형태 5)
- [0362] 본 실시 형태에서는, 본 발명의 일 형태인 트랜지스터를 사용하여, 전력이 공급되지 않는 상황에서도 기억 내용의 유지가 가능하고, 또한, 기입 횟수에도 제한이 없는 반도체 장치(기억 장치)의 일례를, 도면을 사용하여 설명한다.
- [0363] 도 19에 반도체 장치의 회로도를 나타낸다.
- [0364] 도 19에 나타내는 반도체 장치는, 제1 반도체 재료를 사용한 트랜지스터(3200)와 제2 반도체 재료를 사용한 트랜지스터(3300), 및 용량 소자(3400)를 갖고 있다. 또한, 트랜지스터(3300)로서는, 상기 실시 형태에서 설명한 트랜지스터를 사용할 수 있다.
- [0365] 트랜지스터(3300)는, 산화물 반도체를 갖는 반도체층에 채널이 형성되는 트랜지스터이다. 트랜지스터(3300)는 오프 전류가 작기 때문에, 이것을 사용함으로써 장기에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프레시 동작을 필요로 하지 않거나, 또는, 리프레시 동작의 빈도가 매우 적은 반도체 기억 장치로 하는 것이 가능하게 되기 때문에, 소비 전력을 충분히 저감할 수 있다.
- [0366] 도 19에서, 제1 배선(3001)은 트랜지스터(3200)의 소스 전극과 전기적으로 접속되고, 제2 배선(3002)은 트랜지스터(3200)의 드레인 전극과 전기적으로 접속되어 있다. 또한, 제3 배선(3003)은 트랜지스터(3300)의 소스 전극 또는 드레인 전극 중 한쪽과 전기적으로 접속되고, 제4 배선(3004)은 트랜지스터(3300)의 게이트 전극과 전기적으로 접속되어 있다. 그리고, 트랜지스터(3200)의 게이트 전극, 및 트랜지스터(3300)의 소스 전극 또는 드레인 전극 중 다른 쪽은, 용량 소자(3400)의 전극의 한쪽과 전기적으로 접속되고, 제5 배선(3005)은 용량 소자(3400)의 전극의 다른 쪽과 전기적으로 접속되어 있다.
- [0367] 도 19에 나타내는 반도체 장치에서는, 트랜지스터(3200)의 게이트 전극의 전위가 유지 가능하다는 특징을 살림으로써, 다음과 같이, 정보의 기입, 유지, 판독이 가능하다.
- [0368] 정보의 기입 및 유지에 대하여 설명한다. 먼저, 제4 배선(3004)의 전위를, 트랜지스터(3300)가 온 상태로 되는 전위로 해서, 트랜지스터(3300)를 온 상태로 한다. 이에 의해, 제3 배선(3003)의 전위가, 트랜지스터(3200)의

게이트 전극, 및 용량 소자(3400)에 부여된다. 즉, 트랜지스터(3200)의 게이트 전극에는, 소정의 전하가 부여된다(기입). 여기에서는, 서로 다른 2개의 전위 레벨을 부여하는 전하(이하 Low 레벨 전하, High 레벨 전하라고 함) 중 어느 하나가 부여되는 것으로 한다. 그 후, 제4 배선(3004)의 전위를, 트랜지스터(3300)가 오프 상태로 되는 전위로 해서, 트랜지스터(3300)를 오프 상태로 함으로써, 트랜지스터(3200)의 게이트 전극에 부여된 전하가 유지된다(유지).

[0369] 트랜지스터(3300)의 오프 전류는 매우 작기 때문에, 트랜지스터(3200)의 게이트 전극의 전하는 장시간에 걸쳐 유지된다.

[0370] 다음으로 정보의 관독에 대하여 설명한다. 제1 배선(3001)에 소정의 전위(정전위)를 부여한 상태에서, 제5 배선(3005)에 적절한 전위(관독 전위)를 부여하면, 트랜지스터(3200)의 게이트 전극에 유지된 전하량에 따라, 제2 배선(3002)은 서로 다른 전위를 취한다. 일반적으로, 트랜지스터(3200)를 n 채널형으로 하면, 트랜지스터(3200)의 게이트 전극에 High 레벨 전하가 부여되어 있는 경우의 외관상의 임계값($V_{th,H}$)은, 트랜지스터(3200)의 게이트 전극에 Low 레벨 전하가 부여되어 있는 경우의 외관의 임계값($V_{th,L}$)보다 낮아지기 때문이다. 여기서, 외관상의 임계값 전압이란, 트랜지스터(3200)를 「온 상태」로 하기 위해 필요한 제5 배선(3005)의 전위를 말하는 것으로 한다. 따라서, 제5 배선(3005)의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 의 사이의 전위(V_0)로 함으로써, 트랜지스터(3200)의 게이트 전극에 부여된 전하를 판별할 수 있다. 예를 들어, 기입에 있어서, High 레벨 전하가 부여되고 있었을 경우에는, 제5 배선(3005)의 전위가 $V_0(>V_{th,H})$ 가 되면, 트랜지스터(3200)는 「온 상태」가 된다. Low 레벨 전하가 부여되고 있었을 경우에는, 제5 배선(3005)의 전위가 $V_0(<V_{th,L})$ 가 되어도, 트랜지스터(3200)는 「오프 상태」 그대로이다. 이로 인해, 제2 배선(3002)의 전위를 판별함으로써, 유지되어 있는 정보를 관독할 수 있다.

[0371] 또한, 메모리 셀을 어레이 형상으로 배치하여 사용하는 경우, 원하는 메모리 셀의 정보만을 관독할 수 있는 것이 필요하게 된다. 이렇게 정보를 관독하지 않는 경우에는, 게이트 전극의 상태에 관계없이 트랜지스터(3200)가 「오프 상태」로 되는 전위, 즉, $V_{th,H}$ 보다 작은 전위를 제5 배선(3005)에 부여하면 된다. 또는, 게이트 전극의 상태에 관계없이 트랜지스터(3200)가 「온 상태」로 되는 전위, 즉, $V_{th,L}$ 보다 큰 전위를 제5 배선(3005)에 부여하면 된다.

[0372] 본 실시 형태에 나타내는 반도체 장치에서는, 채널 형성 영역에 산화물 반도체를 사용한 오프 전류가 매우 작은 트랜지스터를 적용함으로써, 매우 장기에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프래시 동작이 불필요하게 되거나, 또는, 리프래시 동작의 빈도를 매우 낮게 하는 것이 가능하게 되기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력의 공급이 없는 경우(단, 전위는 고정되어 있는 것이 바람직하다)라도, 장기에 걸쳐 기억 내용을 유지하는 것이 가능하다.

[0373] 또한, 본 실시 형태에 나타내는 반도체 장치에서는, 정보의 기입에 높은 전압을 필요로 하지 않아, 소자의 열화 문제도 없다. 예를 들어, 종래의 불휘발성 메모리와 같이, 플로팅 게이트로의 전자의 주입이나, 플로팅 게이트로부터의 전자의 인발을 행할 필요가 없기 때문에, 게이트 절연층의 열화와 같은 문제가 완전히 발생하지 않는다. 즉, 개시하는 발명에 관한 반도체 장치에서는, 종래의 불휘발성 메모리에서 문제로 되어 있는 재기입 가능 횟수에 제한이 없어, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태, 오프 상태에 따라 정보의 기입이 행해지기 때문에, 고속의 동작도 용이하게 실현할 수 있다.

[0374] 본 실시 형태는, 본 명세서 중에 기재하는 다른 실시 형태와 적절히 조합하여 실시할 수 있다.

[0375] (실시 형태 6)

[0376] 본 실시 형태에서는, 적어도 실시 형태에서 설명한 트랜지스터를 사용할 수 있고, 상술한 실시 형태에서 설명한 기억 장치를 포함하는 CPU에 대하여 설명한다.

[0377] 도 20은, 실시 형태 1에서 설명한 트랜지스터를 적어도 일부에 사용한 CPU의 일례 구성을 도시하는 블록도이다.

[0378] 도 20에 나타내는 CPU는, 기관(1190) 위에 ALU(1191)(ALU: Arithmetic logic unit, 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198)(Bus I/F), 재기입 가능한 ROM(1199), 및 ROM 인터페이스(1189)(ROM I/F)를 갖고 있다. 기관(1190)은 반도체 기관, SOI 기관, 유리 기관 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 별도 칩에 설치해도 된다. 물론, 도 20에 나타내는 CPU는, 그 구성을 간략화하여 나타낸 일례에 지나지 않고, 실제의 CPU는 그 용도에 따라 다종 다양한 구성을 갖고 있다. 예를 들어, 도 20에 나타내는

CPU 또는 연산 회로를 포함하는 구성을 하나의 코어로 하고, 당해 코어를 복수 포함하여, 각각의 코어가 병렬로 동작하는 구성으로 해도 된다. 또한, CPU가 내부 연산 회로나 데이터 버스에서 취급하는 비트수는, 예를 들어 8비트, 16비트, 32비트, 64비트 등으로 할 수 있다.

- [0379] 버스 인터페이스(1198)를 통해 CPU에 입력된 명령은, 인스트럭션 디코더(1193)에 입력되어, 디코딩된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.
- [0380] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는, 디코딩된 명령에 기초하여 각종 제어를 행한다. 구체적으로 ALU 컨트롤러(1192)는, ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는, CPU의 프로그램 실행 중에, 외부의 입출력 장치나, 주변 회로로부터의 인터럽트 요구를, 그 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는, 레지스터(1196)의 어드레스를 생성하여, CPU의 상태에 따라서 레지스터(1196)의 판독이나 기입을 행한다.
- [0381] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작 타이밍을 제어하는 신호를 생성한다. 예를 들어 타이밍 컨트롤러(1195)는, 기준 클럭 신호(CLK1)를 바탕으로, 내부 클럭 신호(CLK2)를 생성하는 내부 클럭 생성부를 구비하고 있고, 내부 클럭 신호(CLK2)를 상기 각종 회로에 공급한다.
- [0382] 도 20에 나타내는 CPU에서는, 레지스터(1196)에, 메모리 셀이 설치되어 있다. 레지스터(1196)의 메모리 셀로서, 상술한 실시 형태에 나타낸 트랜지스터를 사용할 수 있다.
- [0383] 도 20에 나타내는 CPU에 있어서, 레지스터 컨트롤러(1197)는, ALU(1191)로부터의 지시에 따라, 레지스터(1196)에서의 유지 동작의 선택을 행한다. 즉, 레지스터(1196)가 갖는 메모리 셀에 있어서, 플립플롭에 의한 데이터의 유지를 행할지, 용량 소자에 의한 데이터의 유지를 행할지를 선택한다. 플립플롭에 의한 데이터의 유지가 선택되어 있는 경우, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급이 행하여진다. 용량 소자에서의 데이터의 유지가 선택되어 있는 경우, 용량 소자로의 데이터의 재기입이 행하여져, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.
- [0384] 도 21은, 레지스터(1196)로서 사용할 수 있는 기억 소자의 회로도 일례이다. 기억 소자(700)는, 전원 차단으로 기억 데이터가 휘발되는 회로(701)와, 전원 차단으로 기억 데이터가 휘발되지 않는 회로(702)와, 스위치(703)와, 스위치(704)와, 논리 소자(706)와, 용량 소자(707)와, 선택 기능을 갖는 회로(720)를 갖는다. 회로(702)는, 용량 소자(708)와, 트랜지스터(709)와, 트랜지스터(710)를 갖는다. 또한, 기억 소자(700)는 필요에 따라, 다이오드, 저항 소자, 인덕터 등의 기타 소자를 더 갖고 있어도 된다.
- [0385] 여기서, 회로(702)에는, 상술한 실시 형태에서 설명한 기억 장치를 사용할 수 있다. 기억 소자(700)에 대한 전원 전압의 공급이 정지했을 때, 회로(702)의 트랜지스터(709)의 게이트에는 접지 전위(0V), 또는 트랜지스터(709)가 오프하는 전위가 계속하여 입력되는 구성으로 한다. 예를 들어, 트랜지스터(709)의 게이트가 저항 등의 부하를 통해 접지되는 구성으로 한다.
- [0386] 스위치(703)는, 일 도전형(예를 들어, n 채널형)의 트랜지스터(713)를 사용하여 구성되고, 스위치(704)는 일 도전형과는 역의 도전형(예를 들어, p 채널형)의 트랜지스터(714)를 사용하여 구성한 예를 나타낸다. 여기서, 스위치(703)의 제1 단자는 트랜지스터(713)의 소스와 드레인 중 한쪽에 대응하고, 스위치(703)의 제2 단자는 트랜지스터(713)의 소스와 드레인 중 다른 쪽에 대응하고, 스위치(703)는 트랜지스터(713)의 게이트에 입력되는 제어 신호(RD)에 의해, 제1 단자와 제2 단자의 사이의 도통 또는 비도통(즉, 트랜지스터(713)의 온 상태 또는 오프 상태)이 선택된다. 스위치(704)의 제1 단자는 트랜지스터(714)의 소스와 드레인 중 한쪽에 대응하고, 스위치(704)의 제2 단자는 트랜지스터(714)의 소스와 드레인 중 다른 쪽에 대응하고, 스위치(704)는 트랜지스터(714)의 게이트에 입력되는 제어 신호(RD)에 의해, 제1 단자와 제2 단자의 사이의 도통 또는 비도통(즉, 트랜지스터(714)의 온 상태 또는 오프 상태)이 선택된다.
- [0387] 트랜지스터(709)의 소스와 드레인 중 한쪽은, 용량 소자(708)의 한 쌍의 전극 중 한쪽, 및 트랜지스터(710)의 게이트와 전기적으로 접속된다. 여기서, 접속 부분을 노드(M2)로 한다. 트랜지스터(710)의 소스와 드레인 중 한쪽은, 저전위 전원을 공급할 수 있는 배선(예를 들어 GND선)에 전기적으로 접속되고, 다른 쪽은 스위치(703)의 제1 단자(트랜지스터(713)의 소스와 드레인 중 한쪽)와 전기적으로 접속된다. 스위치(703)의 제2 단자(트랜지스터(713)의 소스와 드레인 중 다른 쪽)는 스위치(704)의 제1 단자(트랜지스터(714)의 소스와 드레인 중 한쪽)와 전기적으로 접속된다. 스위치(704)의 제2 단자(트랜지스터(714)의 소스와 드레인 중 다른 쪽)는 전원 전위(VDD)를 공급할 수 있는 배선과 전기적으로 접속된다. 스위치(703)의 제2 단자(트랜지스터(713)의 소스와

드레인 중 다른 쪽)와, 스위치(704)의 제1 단자(트랜지스터(714)의 소스와 드레인 중 한쪽)와, 논리 소자(706)의 입력 단자와, 용량 소자(707)의 한 쌍의 전극 중 한쪽은 전기적으로 접속된다. 여기서, 접속 부분을 노드(M1)로 한다. 용량 소자(707)의 한 쌍의 전극 중 다른 쪽은, 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저전위 전위(GND 등) 또는 고전위 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(707)의 한 쌍의 전극 중 다른 쪽은, 저전위 전위를 공급할 수 있는 배선(예를 들어 GND선)과 전기적으로 접속된다. 용량 소자(708)의 한 쌍의 전극 중 다른 쪽은, 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저전위 전위(GND 등) 또는 고전위 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(708)의 한 쌍의 전극 중 다른 쪽은, 저전위 전위를 공급할 수 있는 배선(예를 들어 GND선)과 전기적으로 접속된다.

[0388] 또한, 용량 소자(707) 및 용량 소자(708)는, 트랜지스터나 배선의 기생 용량 등을 적극적으로 이용함으로써 생략하는 것도 가능하다.

[0389] 트랜지스터(709)의 제1 게이트(제1 게이트 전극)에는, 제어 신호(WE)가 입력된다. 스위치(703) 및 스위치(704)는, 제어 신호(WE)와는 서로 다른 제어 신호(RD)에 의해 제1 단자와 제2 단자의 사이의 도통 상태 또는 비도통 상태를 선택하여, 한쪽 스위치의 제1 단자와 제2 단자의 사이가 도통 상태일 때 다른 쪽 스위치의 제1 단자와 제2 단자의 사이는 비도통 상태가 된다.

[0390] 트랜지스터(709)의 소스와 드레인 중 다른 쪽에는, 회로(701)에 유지된 데이터에 대응하는 신호가 입력된다. 도 21에서는, 회로(701)로부터 출력된 신호가, 트랜지스터(709)의 소스와 드레인 중 다른 쪽에 입력되는 예를 나타냈다. 스위치(703)의 제2 단자(트랜지스터(713)의 소스와 드레인 중 다른 쪽)로부터 출력되는 신호는, 논리 소자(706)에 의해 그 논리값이 반전된 반전 신호가 되어, 회로(720)를 통해 회로(701)에 입력된다.

[0391] 또한, 도 21에서는, 스위치(703)의 제2 단자(트랜지스터(713)의 소스와 드레인 중 다른 쪽)로부터 출력되는 신호는, 논리 소자(706) 및 회로(720)를 통해 회로(701)에 입력하는 예를 나타냈지만, 이것에 한정되지 않는다. 스위치(703)의 제2 단자(트랜지스터(713)의 소스와 드레인 중 다른 쪽)로부터 출력되는 신호가, 논리값을 반전시키지 않고, 회로(701)에 입력되어도 된다. 예를 들어, 회로(701) 내에, 입력 단자로부터 입력된 신호의 논리값이 반전된 신호가 유지되는 노드가 존재하는 경우에, 스위치(703)의 제2 단자(트랜지스터(713)의 소스와 드레인 중 다른 쪽)로부터 출력되는 신호를 당해 노드에 입력할 수 있다.

[0392] 도 21에서의 트랜지스터(709)는, 실시 형태 1에서 설명한 트랜지스터를 사용할 수 있다. 또한, 반도체층을 개재하여 제1 게이트와는 반대측에 설치되는 제2 게이트(제2 게이트 전극)를 갖는 구성으로 하는 것이 바람직하다. 제1 게이트에는 제어 신호(WE)를 입력하고, 제2 게이트에는 제어 신호(WE2)를 입력할 수 있다. 제어 신호(WE2)는, 일정한 전위의 신호로 하면 된다. 당해 일정한 전위에는, 예를 들어, 접지 전위(GND)나 트랜지스터(709)의 소스 전위보다 작은 전위 등이 선택된다. 제어 신호(WE2)는, 트랜지스터(709)의 임계값 전압을 제어하기 위한 전위 신호이며, 트랜지스터(709)의 I_{cut} 를 보다 저감할 수 있다. 또한, 트랜지스터(709)로서는, 제2 게이트를 갖지 않는 트랜지스터를 사용할 수도 있다.

[0393] 또한, 도 21에서, 기억 소자(700)에 사용되는 트랜지스터 중, 트랜지스터(709) 이외의 트랜지스터는, 산화물 반도체 이외의 반도체를 포함하는 층 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들어, 실리콘층 또는 실리콘 기판에 채널이 형성되는 트랜지스터로 할 수 있다. 또한, 기억 소자(700)에 사용되는 트랜지스터 모두를, 채널이 산화물 반도체층으로 형성되는 트랜지스터로 할 수도 있다. 또는, 기억 소자(700)는, 트랜지스터(709) 이외에도, 채널이 산화물 반도체층으로 형성되는 트랜지스터를 포함하고 있어도 되고, 나머지 트랜지스터는 산화물 반도체 이외의 반도체를 포함하는 층 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수도 있다.

[0394] 도 21에서의 회로(701)에는, 예를 들어 플립플롭 회로를 사용할 수 있다. 또한, 논리 소자(706)로서는, 예를 들어 인버터나 클록된 인버터 등을 사용할 수 있다.

[0395] 본 발명의 일 형태에서의 반도체 장치에서는, 기억 소자(700)에 전원 전압이 공급되지 않는 동안에는, 회로(701)에 기억되어 있던 데이터를, 회로(702)에 설치된 용량 소자(708)에 의해 유지할 수 있다.

[0396] 또한, 산화물 반도체층에 채널이 형성되는 트랜지스터는 오프 전류가 매우 작다. 예를 들어, 산화물 반도체층에 채널이 형성되는 트랜지스터의 오프 전류는, 결정성을 갖는 실리콘에 채널이 형성되는 트랜지스터의 오프 전류에 비해 현저하게 낮다. 그로 인해, 당해 트랜지스터를 트랜지스터(709)로서 사용함으로써, 기억 소자(700)에 전원 전압이 공급되지 않는 동안에도 용량 소자(708)에 유지된 신호는 장기간에 걸쳐 유지된다. 이렇게 해서, 기억 소자(700)는 전원 전압의 공급이 정지한 동안에도 기억 내용(데이터)을 유지하는 것이 가능하다.

- [0397] 또한, 스위치(703) 및 스위치(704)를 설치함으로써, 프리차지 동작을 행하는 것을 특징으로 하는 기억 소자이기 때문에, 전원 전압 공급 재개 후에, 회로(701)가 원래의 데이터를 유지할 때까지의 시간을 짧게 할 수 있다.
- [0398] 또한, 회로(702)에 있어서, 용량 소자(708)에 의해 유지된 신호는 트랜지스터(710)의 게이트에 입력된다. 그로 인해, 기억 소자(700)에 대한 전원 전압의 공급이 재개된 후, 용량 소자(708)에 의해 유지된 신호를, 트랜지스터(710)의 상태(온 상태, 또는 오프 상태)로 변환하여, 회로(702)로부터 판독할 수 있다. 그로 인해, 용량 소자(708)에 유지된 신호에 대응하는 전위가 다소 변동했어도, 원래의 신호를 정확하게 판독하는 것이 가능하다.
- [0399] 이러한 기억 소자(700)를, 프로세서가 갖는 레지스터나 캐시 메모리 등의 기억 장치에 사용함으로써, 전원 전압의 공급 정지에 의한 기억 장치 내의 데이터의 소실을 방지할 수 있다. 또한, 전원 전압의 공급을 재개한 후, 단시간에 전원 공급 정지 전의 상태로 복귀할 수 있다. 따라서, 프로세서 전체, 또는 프로세서를 구성하는 하나, 또는 복수의 논리 회로에 있어서, 짧은 시간으로도 전원 정지를 행할 수 있기 때문에, 소비 전력을 억제할 수 있다.
- [0400] 본 실시 형태에서는, 기억 소자(700)를 CPU에 사용하는 예로서 설명했지만, 기억 소자(700)는, DSP(Digital Signal Processor), 커스텀 LSI, PLD(Programmable Logic Device) 등의 LSI, RF-ID(Radio Frequency Identification)에도 응용 가능하다.
- [0401] 본 실시 형태는, 본 명세서 중에 기재하는 다른 실시 형태와 적절히 조합하여 실시할 수 있다.
- [0402] (실시 형태 7)
- [0403] 본 실시 형태에서는, 상기 실시 형태에서 설명한 트랜지스터, 기억 장치, 또는 CPU 등(DSP, 커스텀 LSI, PLD, RF-ID를 포함함)의 반도체 장치를 사용할 수 있는 전자 기기의 예에 대하여 설명한다.
- [0404] 상기 실시 형태에서 예시한 트랜지스터, 기억 장치, 또는 CPU 등은, 다양한 전자 기기(유기기도 포함함)에 적용할 수 있다. 전자 기기로서는, 텔레비전, 모니터 등의 표시 장치, 조명 장치, 퍼스널 컴퓨터, 워드프로세서, 화상 재생 장치, 포터블 오디오 플레이어, 라디오, 테이프 레코더, 스테레오, 전화, 휴대폰, 휴대 전화, 자동차 전화, 트랜시버, 무선기, 게임기, 전자 계산기, 휴대 정보 단말기, 전자 수첩, 전자 서적, 전자 번역기, 음성 입력 기기, 비디오 카메라, 디지털 스틸 카메라, 전기 면도기, IC 칩, 전자 렌지 등의 고주파 가열 장치, 전기 밥솥, 전기 세탁기, 전기 청소기, 에어 컨디셔너 등의 공조 설비, 식기 세척기, 식기 건조기, 의류 건조기, 이불 건조기, 전기 냉장고, 전기 냉동고, 전기 냉동 냉장고, DNA 보존용 냉동고, 방사선 측정기, 투석 장치, X선 진단 장치 등의 의료 기기 등을 들 수 있다. 또한, 연기 감지기, 열 감지기, 가스 경보 장치, 방범 경보 장치 등의 경보 장치도 들 수 있다. 또한, 유도등, 신호기, 벨트 컨베이어, 엘리베이터, 에스컬레이터, 산업용 로봇, 전력 저장 시스템 등의 산업 기기도 들 수 있다. 또한, 연료를 사용한 엔진이나, 비수계 이차 전지로부터의 전력을 사용하여 전동기에 의해 추진하는 이동체 등도, 전자 기기의 범주에 포함되는 것으로 한다.
- [0405] 상기 이동체로서, 예를 들어, 전기 자동차(EV), 내연 기관과 전동기를 겸비한 하이브리드 차(HEV), 플러그인 하이브리드 차(PHEV), 이러한 타이어 차륜을 무한 궤도로 바꾼 궤도 장착 차량, 전동 어시스트 자전거를 포함하는 소형 오토바이, 오토바이차, 전동 휠체어, 골프용 카트, 소형 또는 대형 선박, 잠수함, 헬리콥터, 항공기, 로켓, 인공 위성, 우주 탐사기나 혹성 탐사기, 우주선을 들 수 있다. 이러한 전자 기기의 일부의 구체예를 도 22에 나타내었다.
- [0406] 도 22의 (A)에 나타내는 텔레비전 장치(8000)는, 하우징(8001)에 표시부(8002)가 내장되어 있어, 표시부(8002)에 의해 영상을 표시하고, 스피커부(8003)로부터 음성을 출력하는 것이 가능하다. 상술한 실시 형태에서 예시한 트랜지스터를 하우징(8001)에 내장된 표시부(8002)를 동작하기 위한 구동 회로 또는 화소에 사용하는 것이 가능하다.
- [0407] 표시부(8002)는, 액정 표시 장치, 유기 EL 소자 등의 발광 소자를 각 화소에 구비한 발광 장치, 전기 영동 표시 장치, DMD(Digital Micromirror Device), PDP(Plasma Display Panel) 등의 반도체 표시 장치를 사용할 수 있다.
- [0408] 텔레비전 장치(8000)는, 수신기나 모뎀 등을 구비하고 있어도 된다. 텔레비전 장치(8000)는, 수신기에 의해 일반 텔레비전 방송의 수신을 행할 수 있고, 또한 모뎀을 통해 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일방향(송신자에서 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자간끼리 등)의 정보 통신을 행하는 것도 가능하다.
- [0409] 또한, 텔레비전 장치(8000)는, 정보 통신을 행하기 위한 CPU(8004)나, 메모리를 구비하고 있어도 된다.

- | | |
|----------------------|--------------------|
| 211 : 보호 절연층 | 212 : 보호 절연층 |
| 220 : 용량 소자 | 224 : 유전체층 |
| 225 : 전극 | 250 : 트랜지스터 |
| 251 : 산화물층 | 252 : 산화물층 |
| 260 : 트랜지스터 | 270 : 트랜지스터 |
| 280 : 트랜지스터 | 602 : 포토 다이오드 |
| 640 : 트랜지스터 | 656 : 트랜지스터 |
| 658 : 포토 다이오드 리셋 신호선 | 659 : 게이트 신호선 |
| 671 : 포토 센서 출력 신호선 | 672 : 포토 센서 기준 신호선 |
| 700 : 기억 소자 | 701 : 회로 |
| 702 : 회로 | 703 : 스위치 |
| 704 : 스위치 | 706 : 논리 소자 |
| 707 : 용량 소자 | 708 : 용량 소자 |
| 709 : 트랜지스터 | 710 : 트랜지스터 |
| 713 : 트랜지스터 | 714 : 트랜지스터 |
| 720 : 회로 | 1189 : ROM 인터페이스 |
| 1190 : 기관 | 1191 : ALU |
| 1192 : ALU 컨트롤러 | 1193 : 인스트럭션 디코더 |
| 1194 : 인터럽트 컨트롤러 | 1195 : 타이밍 컨트롤러 |
| 1196 : 레지스터 | 1197 : 레지스터 컨트롤러 |
| 1198 : 버스 인터페이스 | 1199 : ROM |
| 2200 : 트랜지스터 | 2201 : 절연층 |
| 2202 : 배선 | 2203 : 플러그 |
| 2204 : 절연층 | 2205 : 배선 |
| 2206 : 배선 | 3001 : 배선 |
| 3002 : 배선 | 3003 : 배선 |
| 3004 : 배선 | 3005 : 배선 |
| 3200 : 트랜지스터 | 3300 : 트랜지스터 |
| 3400 : 용량 소자 | 8000 : 텔레비전 장치 |
| 8001 : 하우징 | 8002 : 표시부 |
| 8003 : 스피커부 | 8004 : CPU |
| 8100 : 경보 장치 | 8101 : 마이크로컴퓨터 |
| 8102 : 검출부 | 8200 : 실내기 |
| 8201 : 하우징 | 8202 : 송풍구 |
| 8203 : CPU | 8204 : 실외기 |
| 8300 : 전기 냉동 냉장고 | 8301 : 하우징 |

8302 : 냉장실용 도어

8303 : 냉동실용 도어

8304 : CPU

9700 : 전기 자동차

9701 : 이차 전지

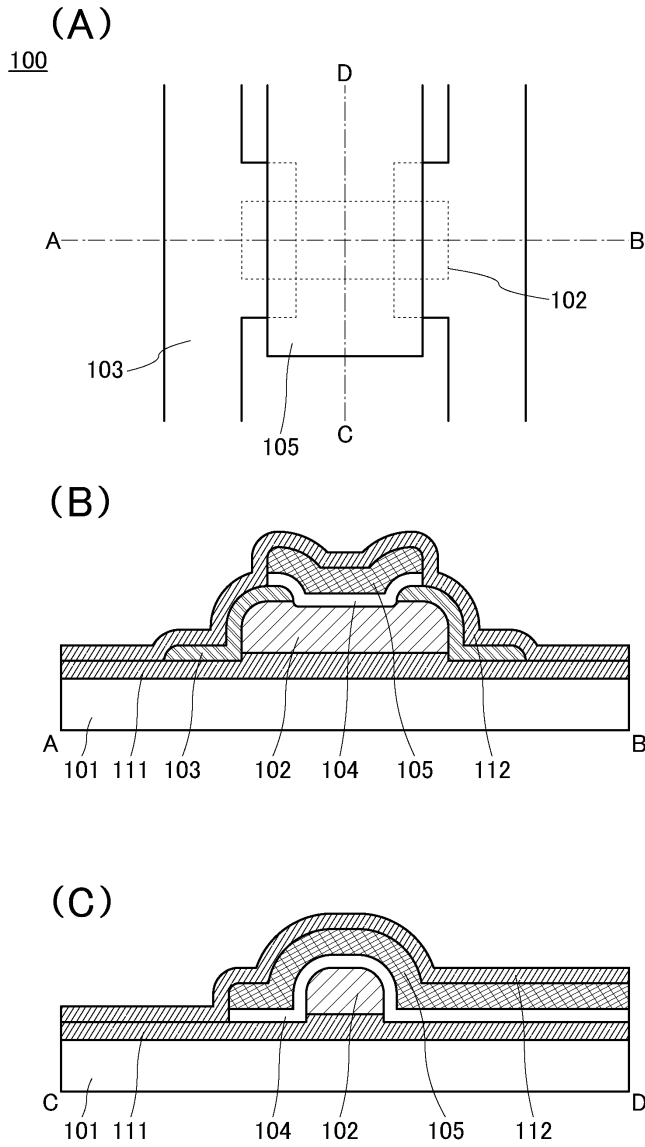
9702 : 회로

9703 : 구동 장치

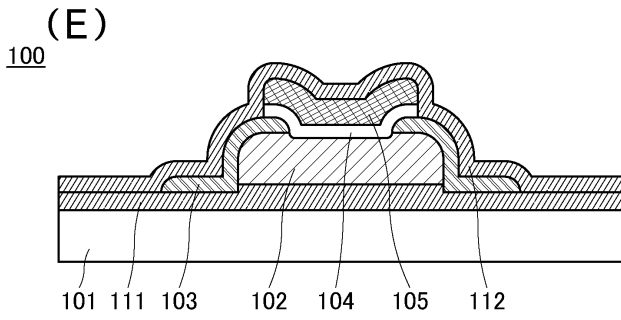
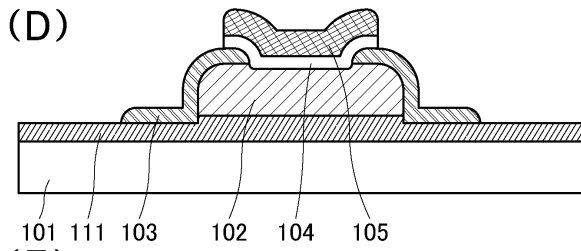
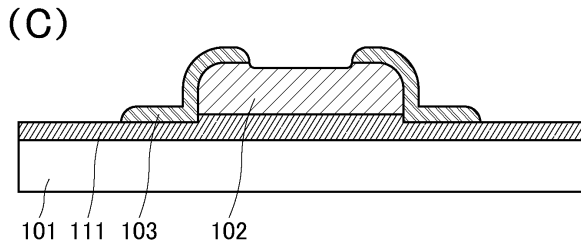
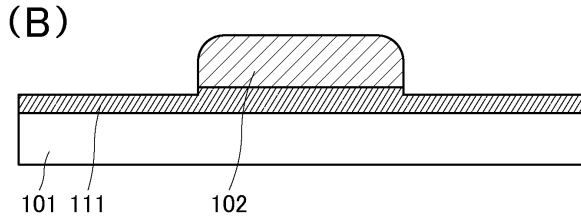
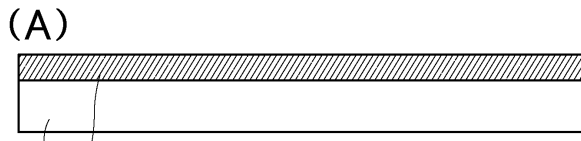
9704 : 처리 장치

도면

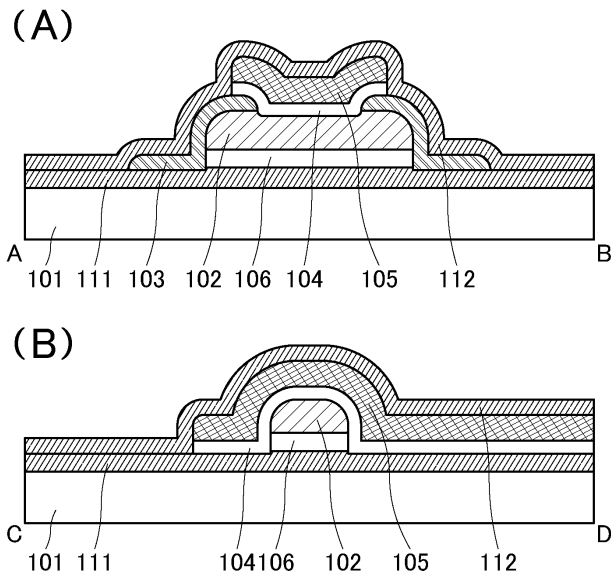
도면1



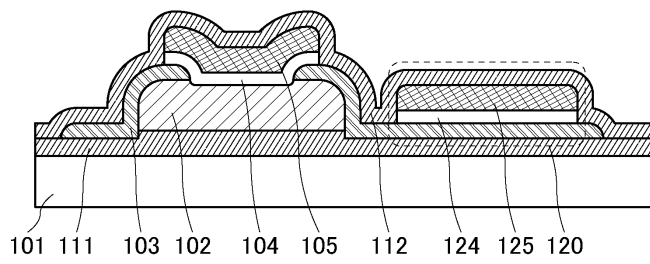
도면2



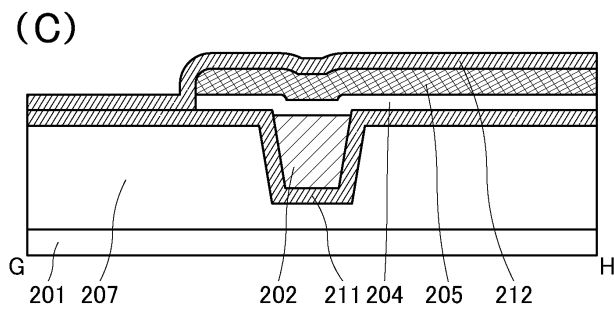
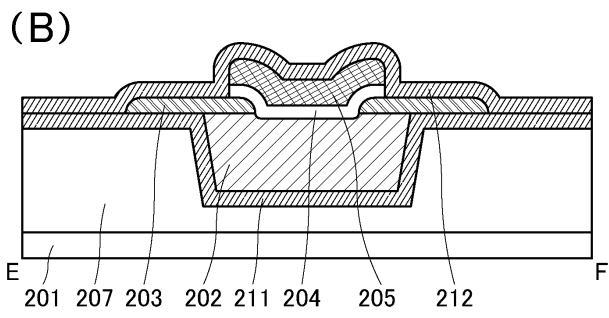
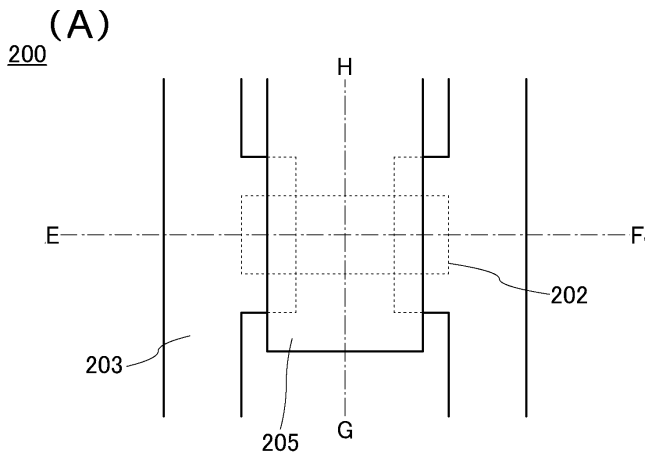
도면3



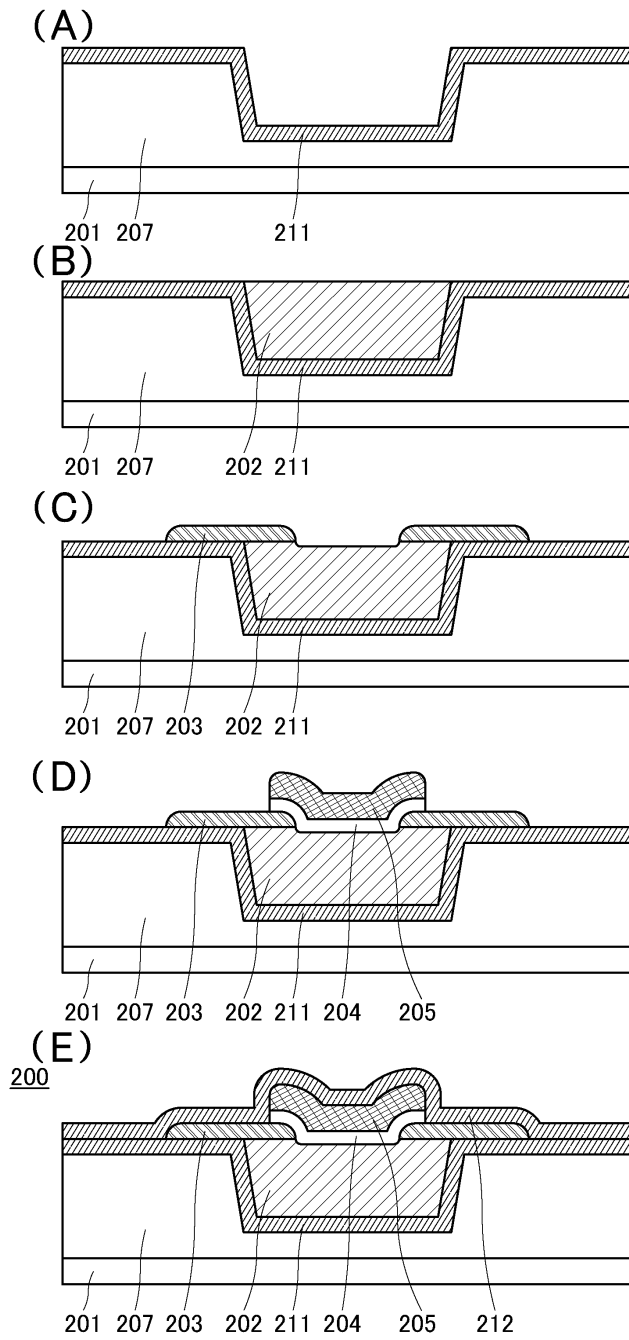
도면4



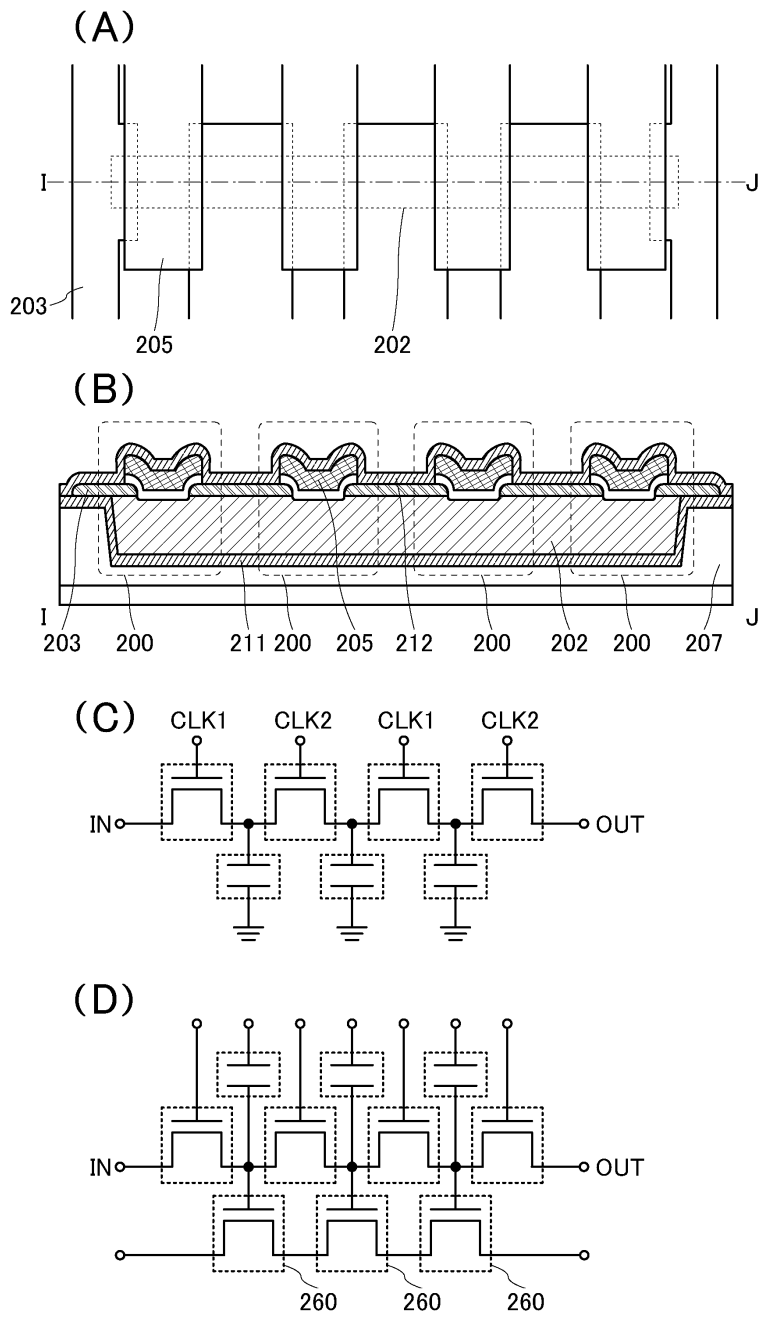
도면5



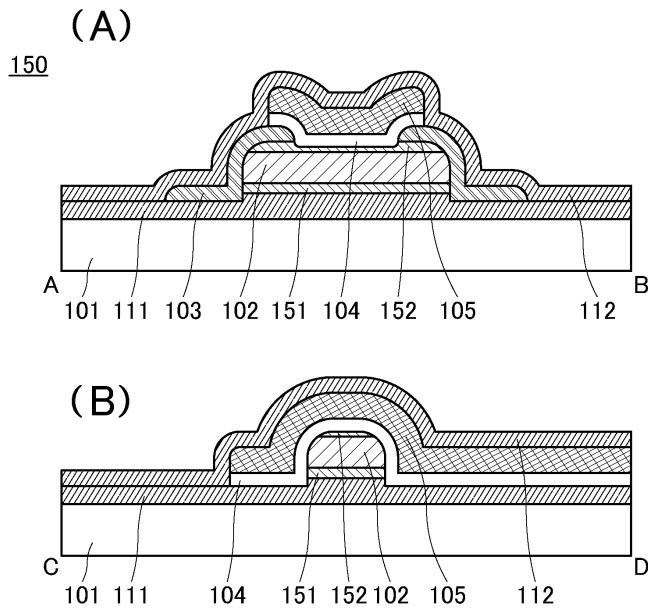
도면6



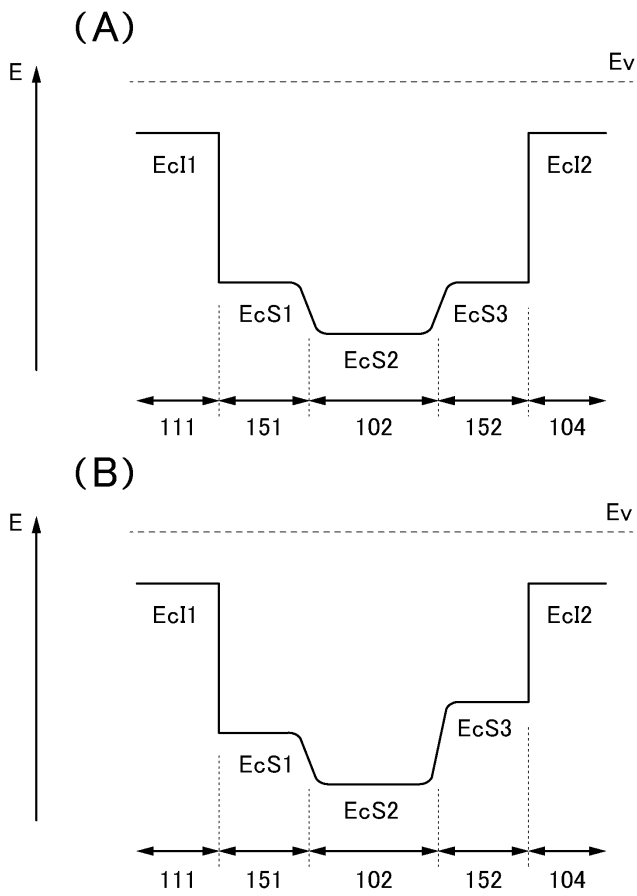
도면9



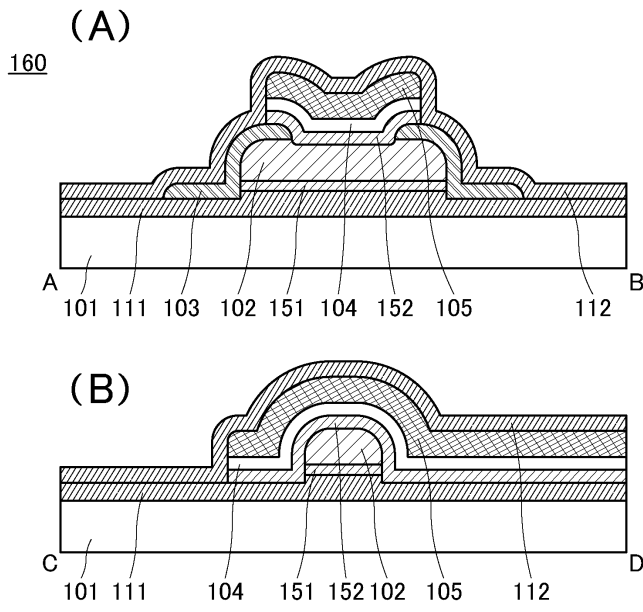
도면10



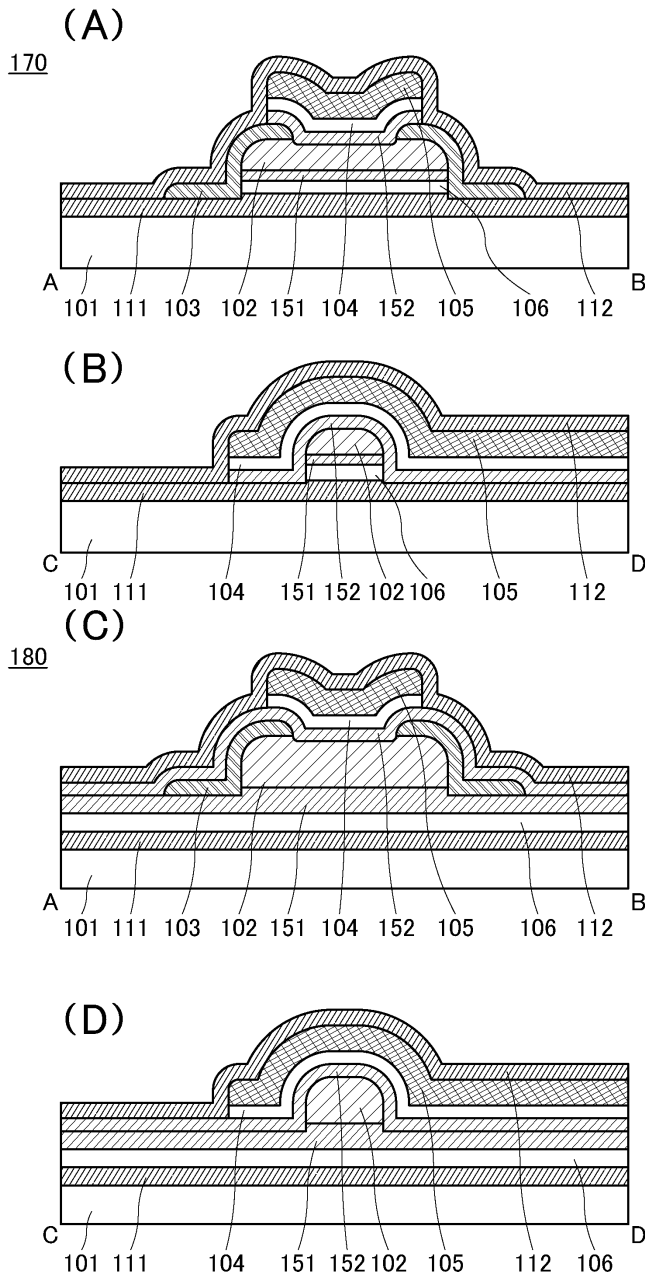
도면11



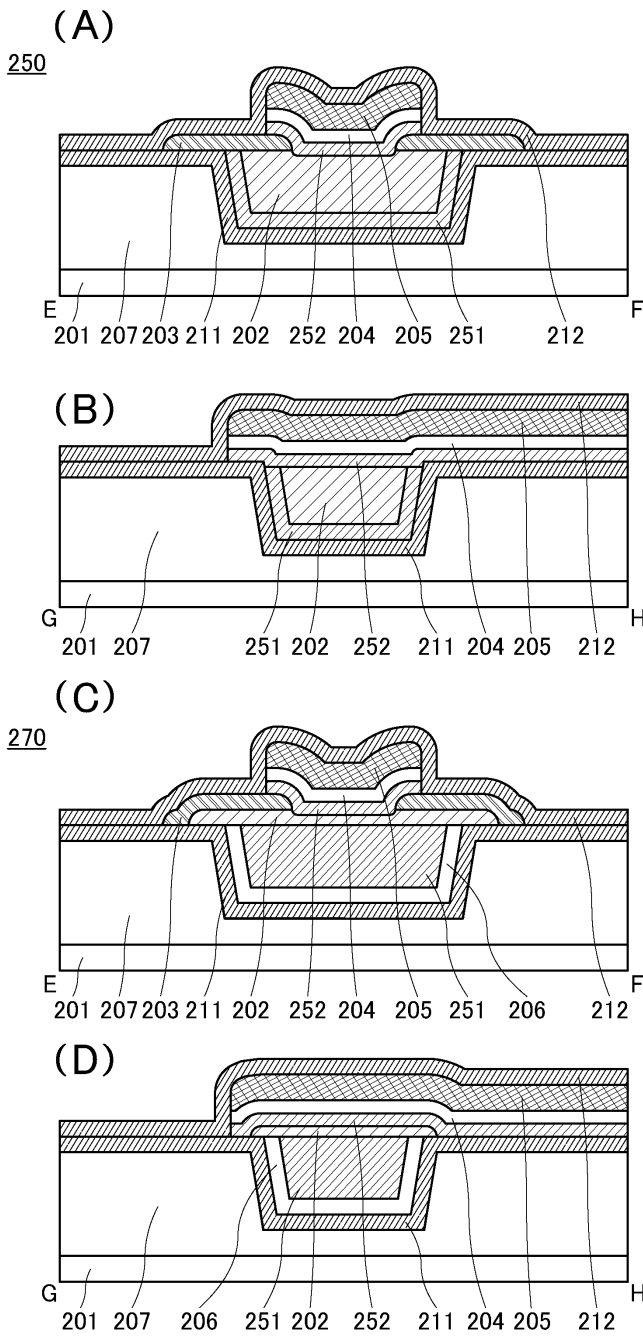
도면12



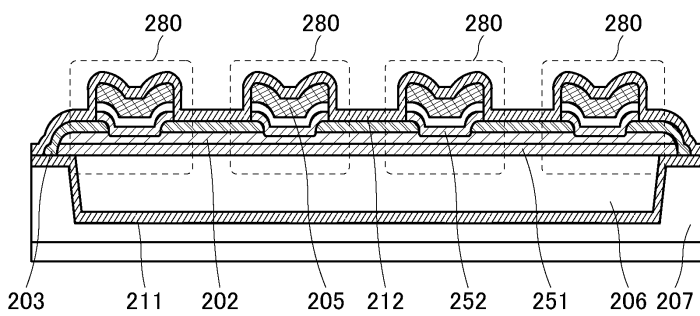
도면13



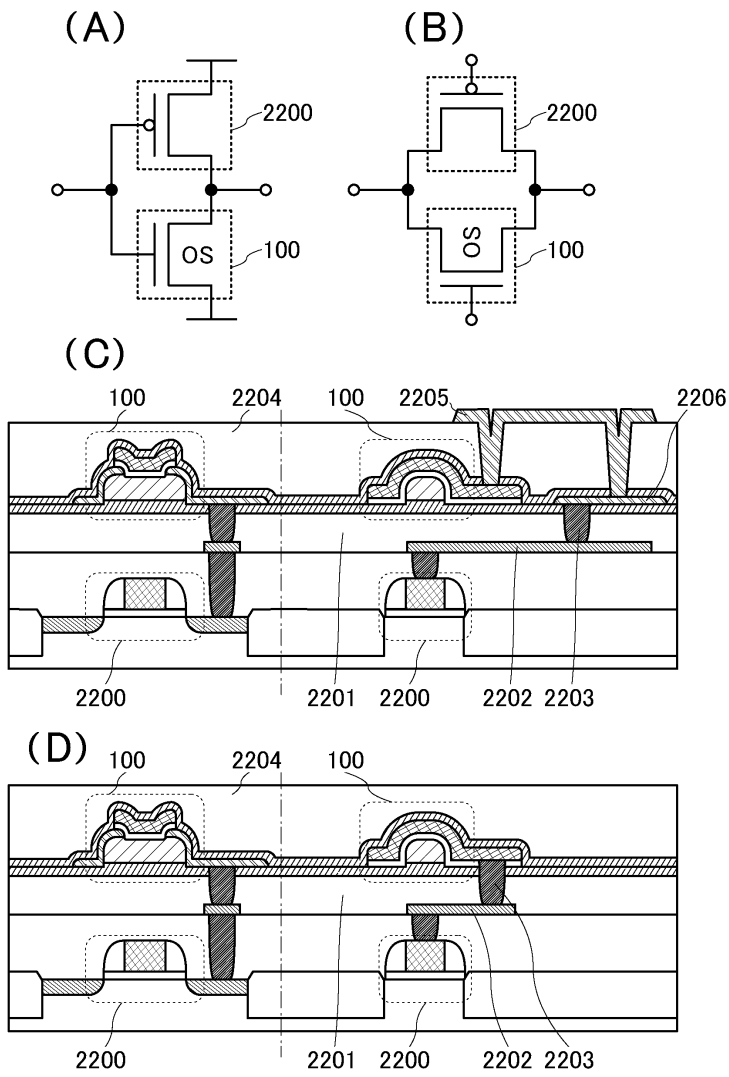
도면14



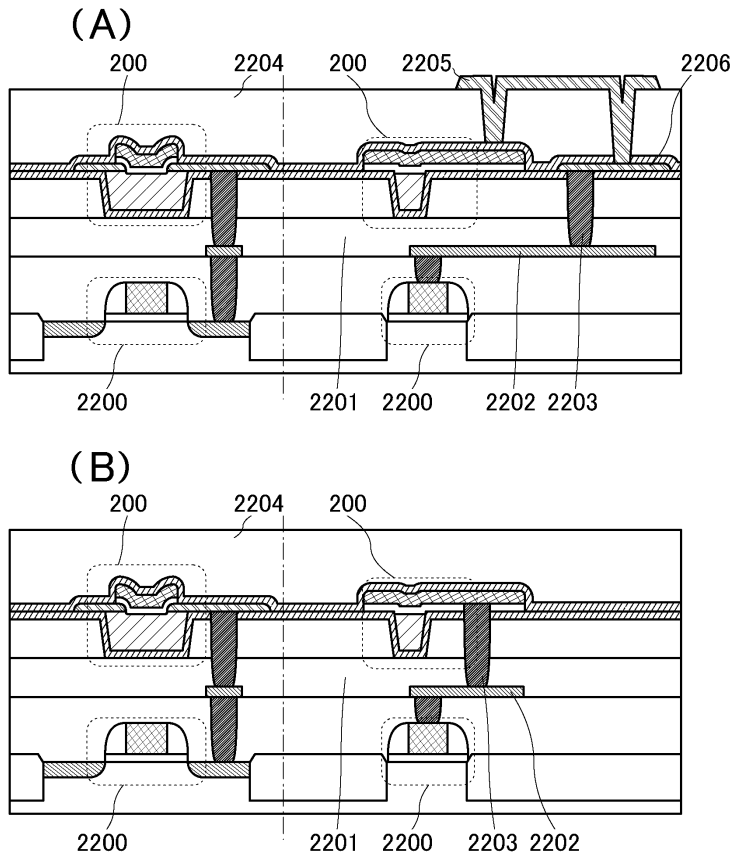
도면15



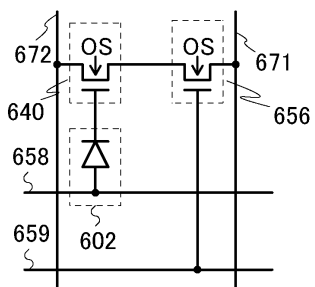
도면16



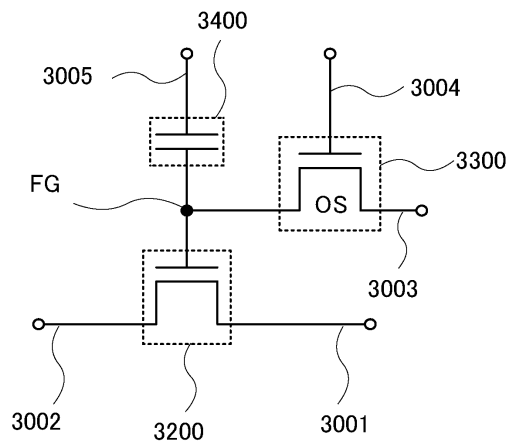
도면17



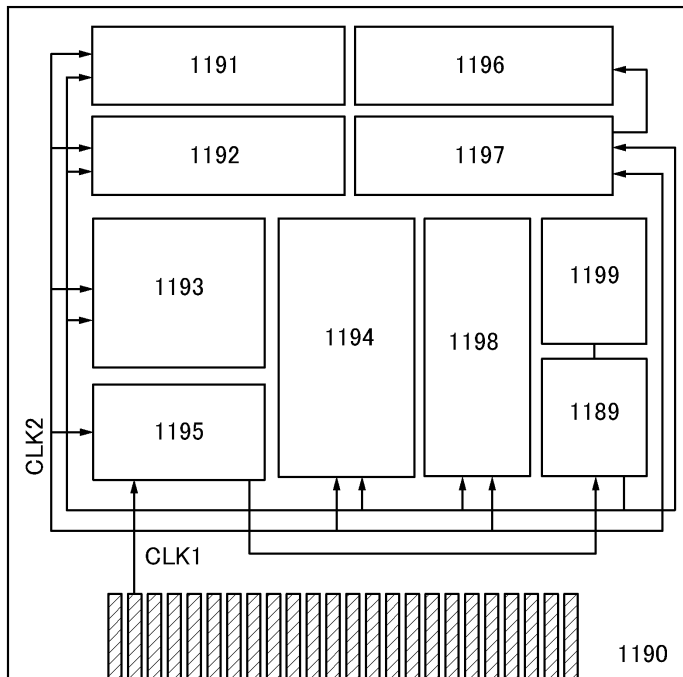
도면18



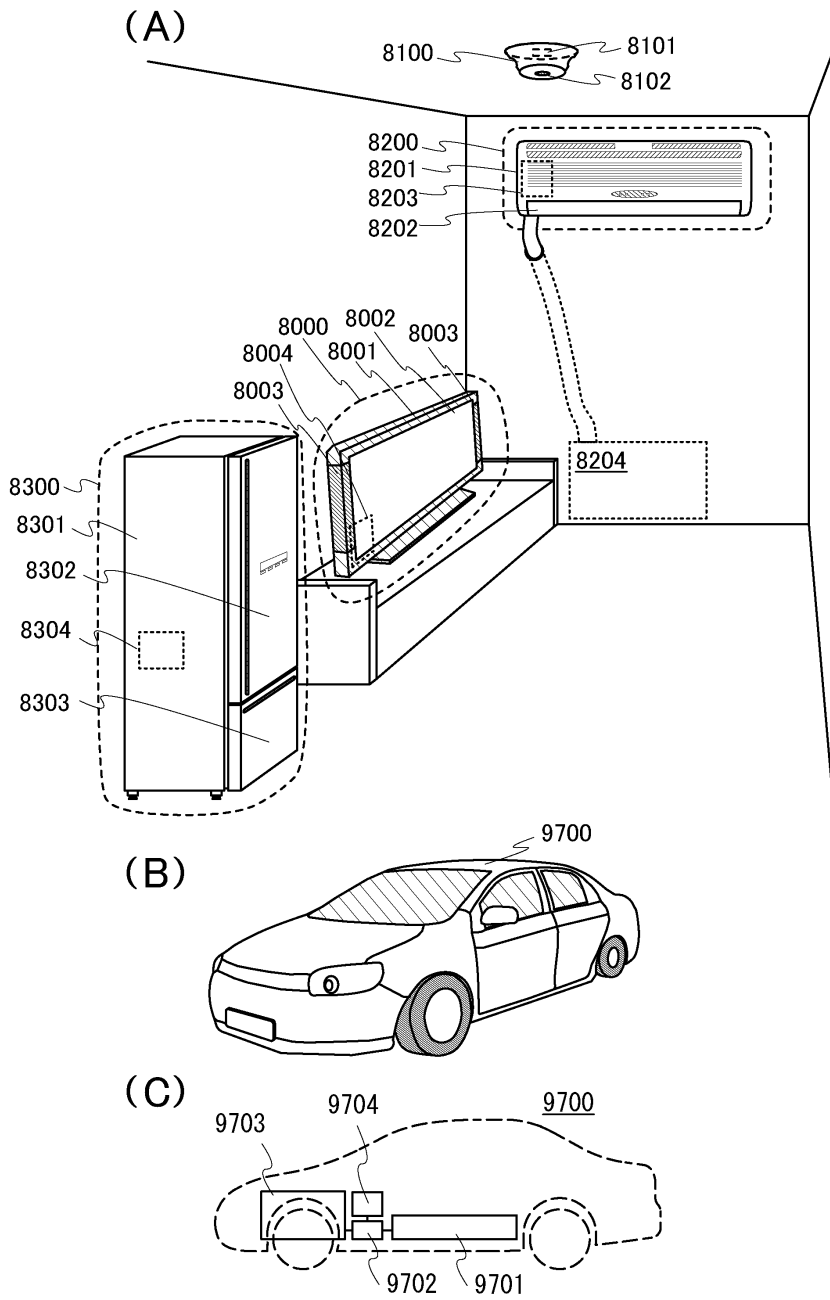
도면19



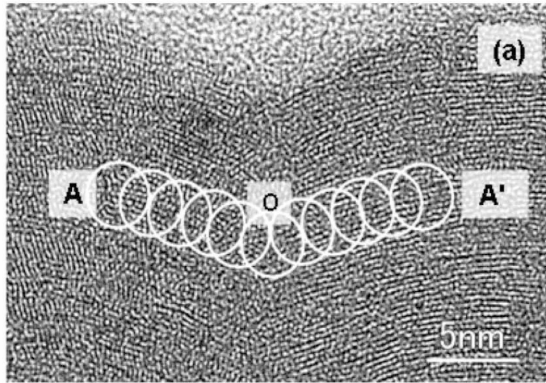
도면20



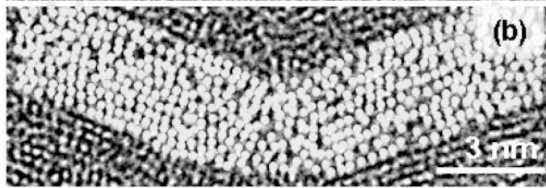
도면22



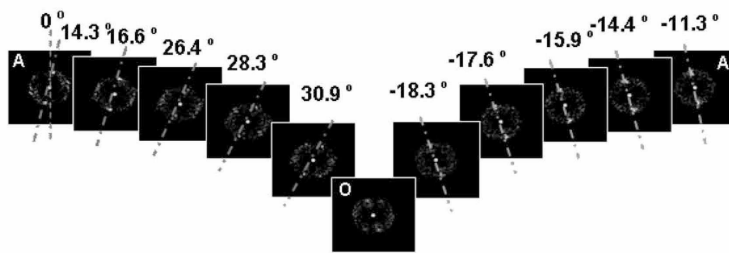
도면23



(A)

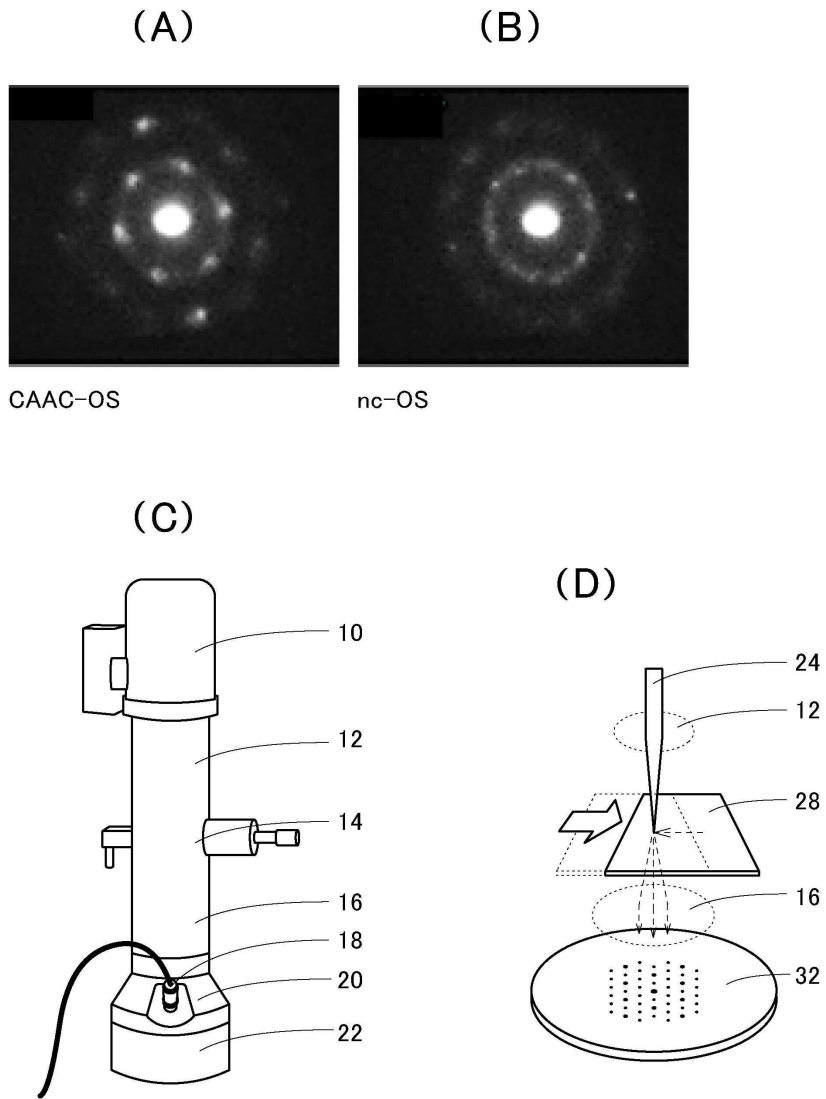


(B)

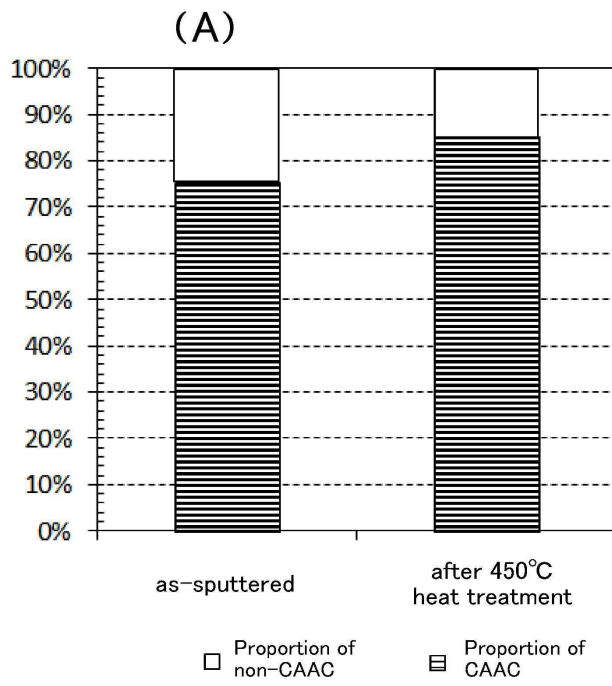


(C)

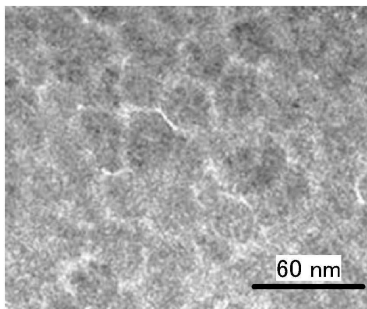
도면24



도면25

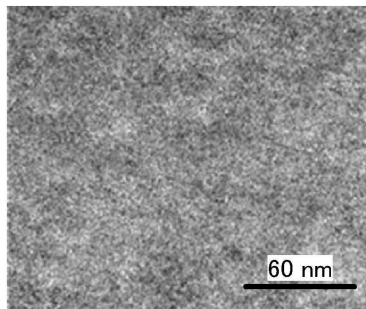


(B)



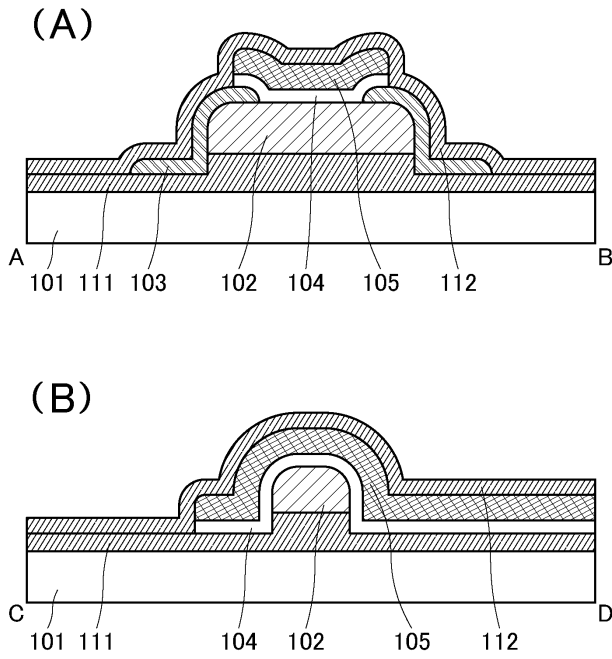
as-sputtered

(C)

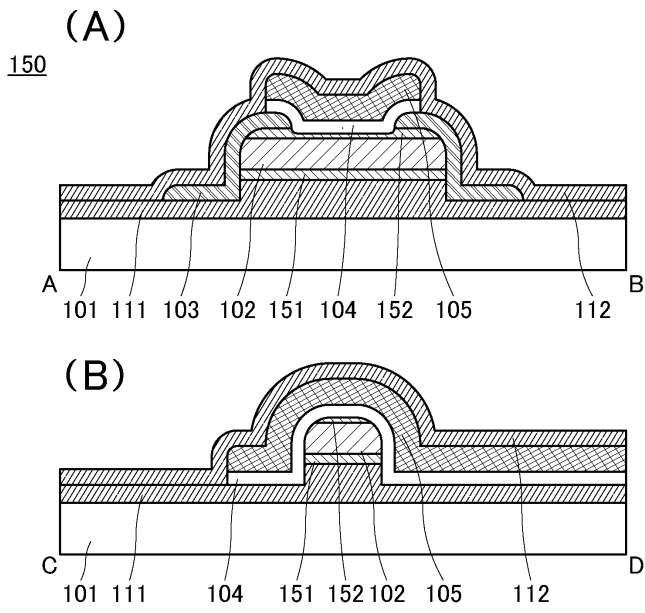


after 450°C heat treatment

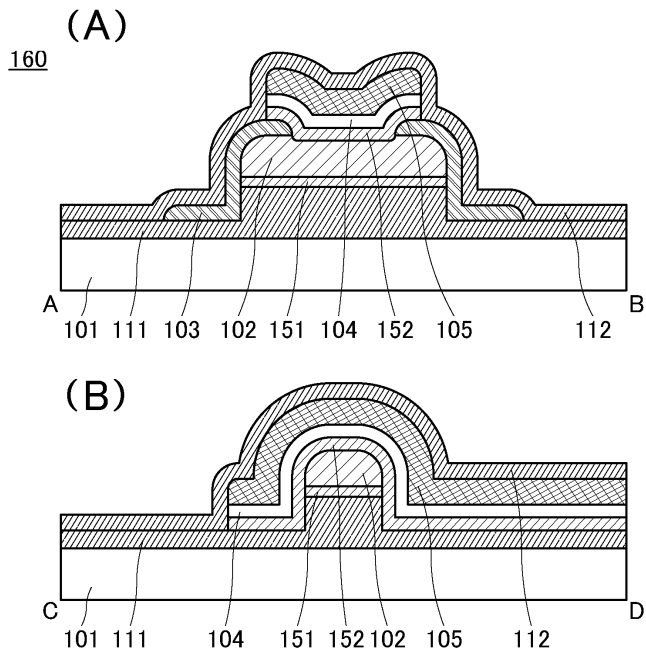
도면26



도면27



도면28



도면29

