



(12)发明专利

(10)授权公告号 CN 104810366 B

(45)授权公告日 2018.09.11

(21)申请号 201410038083.3

H01L 23/482(2006.01)

(22)申请日 2014.01.26

H01L 21/768(2006.01)

H01L 21/8232(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 104810366 A

(43)申请公布日 2015.07.29

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

专利权人 中芯集成电路(宁波)有限公司

(72)发明人 黄河 克里夫·德劳利

(56)对比文件

US 2011143506 A1,2011.06.16,

US 2010190334 A1,2010.07.29,

CN 100536138 C,2009.09.02,

US 2005099839 A1,2005.05.12,

CN 101064307 A,2007.10.31,

US 2011143506 A1,2011.06.16,

审查员 王宝林

(74)专利代理机构 北京市磐华律师事务所

11336

代理人 高伟 赵礼杰

(51)Int.Cl.

H01L 27/06(2006.01)

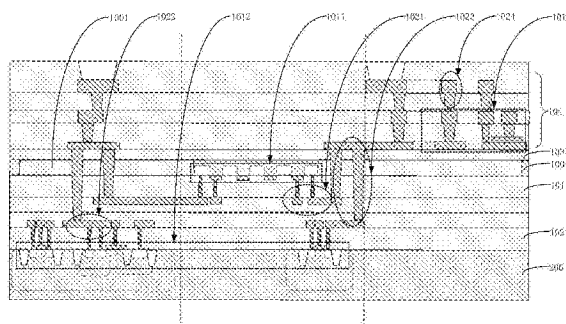
权利要求书2页 说明书7页 附图5页

(54)发明名称

一种集成电路及其制造方法

(57)摘要

本发明提供一种集成电路及其制造方法,涉及半导体技术领域。本发明的集成电路,包括层叠的形成有第一组晶体管的第一半导体衬底与形成有第二组晶体管的第二半导体衬底,可以保证第一组晶体管和第二组晶体管分别具有良好的性能,实现了单片系统集成。本发明的集成电路制造方法,用于制造上述集成电路,可以将形成有第一组晶体管的第一半导体衬底与形成有第二组晶体管的第二半导体衬底通过晶圆键合工艺接合在一起,并利用通孔互连技术实现导通,实现了单片系统集成。



1. 一种集成电路,其特征在于,包括:

第一半导体衬底、位于所述第一半导体衬底上的第一组晶体管、位于所述第一半导体衬底的第一表面上且覆盖所述第一组晶体管的栅极的第一介电层、以及位于所述第一介电层内的与所述第一组晶体管的端极相连的第一组互连件;

第二半导体衬底、位于所述第二半导体衬底上的第二组晶体管、位于所述第二半导体衬底的第一表面且覆盖所述第二组晶体管的栅极的第二介电层,以及位于所述第二介电层内的与所述第二组晶体管的端极相连的第二组互连件;

位于所述第一半导体衬底的与所述第一表面相对的第二表面上的第三介电层,以及贯穿所述第三介电层并连接所述第一组互连件和所述第二组互连件的第三组互连件;

位于所述第三介电层之上的第四介电层、位于所述第四介电层内的由相互连接的电容和电感所组成的集成无源器件、以及位于所述第四介电层内的连接所述集成无源器件和所述第三组互连件中至少一者的第四组互连件;

其中,所述第一半导体衬底层叠于所述第二半导体衬底之上,并通过所述第一介电层与所述第二半导体衬底的形成有所述第二介电层的一侧接合在一起。

2. 如权利要求1所述的集成电路,其特征在于,所述第一组晶体管为半导体射频开关。

3. 如权利要求1所述的集成电路,其特征在于,所述第一组晶体管由一组前后串联、源漏共享的梳状金属氧化物半导体场效应开关晶体管组成。

4. 如权利要求2所述的集成电路,其特征在于,所述第二组晶体管包括与所述射频开关相匹配的逻辑控制电路所需的低压逻辑晶体管以及功率放大电路所需的高压高功率晶体管。

5. 如权利要求1所述的集成电路,其特征在于,所述第二组晶体管为金属氧化物半导体场效应晶体管,其包含至少一个横向扩散金属氧化物半导体场效应晶体管。

6. 如权利要求1所述的集成电路,其特征在于,在所述集成电路中,所述第一半导体衬底以及所述第二半导体衬底在与所述集成无源器件垂直对应的区域内不含有任何半导体晶体管。

7. 如权利要求1所述的集成电路,其特征在于,所述第一半导体衬底和所述第二半导体衬底的材料为单晶硅,所述第一介电层、所述第二介电层和所述第三介电层的材料为含硅介电质材料。

8. 如权利要求1所述的集成电路,其特征在于,所述集成电路还包括位于所述第一半导体衬底内的水平浅沟槽介电质,并且,所述第三组互连件的侧向被所述第三介电层、所述水平浅沟槽介电质、所述第一介电层和所述第二介电层分层环绕绝缘。

9. 如权利要求1所述的集成电路,其特征在于,所述第一组晶体管为全耗尽场效应晶体管。

10. 如权利要求1所述的集成电路,其特征在于,所述第三组互连件的材料选自含硅半导体材料、钨、铜中的至少一种,和/或,所述第一组互连件与所述第二组互连件的材料包括钨。

11. 如权利要求1所述的集成电路,其特征在于,所述第二半导体衬底为面阻值超过每平方微米100欧姆的高阻硅衬底。

12. 一种集成电路的制造方法,其特征在于,所述方法包括:

步骤S101:提供包括承载衬底、埋入绝缘层以及第一半导体衬底的复合半导体衬底,在所述第一半导体衬底内形成水平浅沟槽介电质以及第一组晶体管;

步骤S102:在所述第一半导体衬底的第一表面上形成覆盖所述第一组晶体管的第一介电层,在所述第一介电层的内部和表面形成与所述第一组晶体管的端极相连的第一组互连件;

步骤S103:提供第二半导体衬底,在所述第二半导体衬底的第一表面上形成第二组晶体管,形成覆盖所述第二组晶体管的第二介电层,在所述第二介电层的内部和表面形成与所述第二组晶体管的端极相连的第二组互连件;

步骤S104:利用晶圆键合工艺通过所述第一介电层和所述第二介电层将所述第一半导体衬底与所述第二半导体衬底接合在一起,去除位于所述第一半导体衬底上方的所述承载衬底,并在所述第一半导体衬底的第二表面上形成第三介电层;

步骤S105:形成贯穿所述第三介电层的连接所述第一组互连件和所述第二组互连件的第三组互连件;

步骤S106:在所述第三介电层之上形成第四介电层、位于所述第四介电层内的由相互连接的电容和电感所组成的集成无源器件、以及位于所述第四介电层内的用于连接所述集成无源器件和所述第三组互连件中至少一者的第四组互连件。

13.如权利要求12所述集成电路的制造方法,其特征在于,所述第一组晶体管为半导体射频开关,所述第二组晶体管包括与所述射频开关相匹配的逻辑控制电路所需的低压逻辑晶体管以及功率放大电路所需的高压高功率晶体管。

一种集成电路及其制造方法

技术领域

[0001] 本发明涉及半导体技术领域,具体而言涉及一种集成电路及其制造方法。

背景技术

[0002] 在半导体技术领域中,射频前端模块(Radio Frequency Frond-End Module,简称RF FEM)是无线通信设备(例如手机、平板电脑等)中的关键组件,而射频开关器件及集成电路(RF Switch and integrated circuit)又是射频前端模块的关键器件之一。射频前端模块中的射频开关,需要具有很高的信号保真性和很低的插入损失,良好的线性特征和最小的信号形变。在现有技术中,射频开关通常是采用砷化镓(GaAs)半导体晶体管及电路,其加工制造及封装成本较昂贵。近年来,采用绝缘体上硅金属氧化物薄膜硅半导体场效应晶体管(THIN FILM SILICON-ON-INSULATOR MOSFEM)作为射频开关器件,已经能够接近或达到砷化镓(GaAs)半导体晶体管的开关性能水平。

[0003] 然而,由于SOI衬底中最上层的半导体衬底(也称硅薄膜)的厚度很薄(通常在0.1~0.6微米左右),在同一硅薄膜上制作其他类型的MOS晶体管(例如开关控制电路逻辑器件),尤其是高压大功率MOS晶体管(例如放大器)的难度较大,这就导致了在现有技术中实现与这种薄膜硅半导体场效应晶体管开关的系统集成困难较大。

[0004] 因此,为解决上述问题,本发明提出一种新的集成电路以及该集成电路的制造方法。

发明内容

[0005] 针对现有技术的不足,本发明提出一种新的集成电路以及该集成电路的制造方法,可以实现采用SOI衬底的晶体管开关器件与其他器件(例如:MOS晶体管,包括高压大功率MOS晶体管)的集成。

[0006] 本发明实施例一提供一种集成电路,包括:

[0007] 第一半导体衬底、位于所述第一半导体衬底上的第一组晶体管、位于所述第一半导体衬底的第一表面上且覆盖所述第一组晶体管的栅极的第一介电层、以及位于所述第一介电层内的与所述第一组晶体管的端极相连的第一组互连件;

[0008] 第二半导体衬底、位于所述第二半导体衬底上的第二组晶体管、位于所述第二半导体衬底的第一表面且覆盖所述第二组晶体管的栅极的第二介电层、以及位于所述第二介电层内的与所述第二组晶体管的端极相连的第二组互连件;

[0009] 位于所述第一半导体衬底的与所述第一表面相对的第二表面上的第三介电层,以及贯穿所述第三介电层并连接所述第一组互连件和所述第二组互连件的第三组互连件;

[0010] 其中,所述第一半导体衬底层叠于所述第二半导体衬底之上,并通过所述第一介电层与所述第二半导体衬底的形成有所述第二介电层的一侧接合在一起。

[0011] 可选地,所述第一组晶体管为半导体射频开关。

[0012] 可选地,所述第一组晶体管由一组前后串联、源漏共享的梳状金属氧化物半导体

场效应开关晶体管组成。

[0013] 可选地,所述第二组晶体管包括与所述射频开关器件相匹配的逻辑控制电路所需的低压逻辑晶体管以及功率放大电路所需的高压大功率晶体管。

[0014] 可选地,所述第二组晶体管为金属氧化物半导体场效应晶体管,其包含至少一个横向扩散金属氧化物半导体场效应晶体管。

[0015] 可选地,该集成电路还包括位于所述第三介电层之上的第四介电层、位于所述第四介电层内的由相互连接的电容和电感所组成的集成无源器件、以及位于所述第四介电层内的连接所述集成无源器件和所述第三组互连件中至少一者的第四组互连件。

[0016] 可选地,在所述集成电路中,所述第一半导体衬底以及所述第二半导体衬底在与所述集成无源器件垂直对应的区域内不含有任何半导体晶体管。

[0017] 可选地,所述第一半导体衬底和所述第二半导体衬底的材料为单晶硅,所述第一介电层、所述第二介电层和所述第三介电层的材料为含硅介电质材料。

[0018] 可选地,所述集成电路还包括位于所述第一半导体衬底内的水平浅沟槽介电质,并且,所述第三组互连件的侧向被所述第三介电层、所述水平浅沟槽介电质、所述第一介电层和所述第二介电层分层环绕绝缘。

[0019] 可选地,所述第一组晶体管为全耗尽场效应晶体管。

[0020] 可选地,所述第三组互连件的材料选自含硅半导体材料、钨、铜中的至少一种,和/或,所述第一组互连件与所述第二组互连件的材料包括钨。

[0021] 可选地,所述第二半导体衬底为面阻值超过每平方微米100欧姆的高阻硅衬底。

[0022] 本发明实施例二提供一种集成电路的制造方法,所述方法包括:

[0023] 步骤S101:提供包括承载衬底、埋入绝缘层以及第一半导体衬底的复合半导体衬底,在所述第一半导体衬底内形成水平浅沟槽介电质以及第一组晶体管;

[0024] 步骤S102:在所述第一半导体衬底的第一表面上形成覆盖所述第一组晶体管的第一介电层,在所述第一介电层的内部和表面形成与所述第一组晶体管的端极相连的第一组互连件;

[0025] 步骤S103:提供第二半导体衬底,在所述第二半导体衬底的第一表面上形成第二组晶体管,形成覆盖所述第二组晶体管的第二介电层,在所述第二介电层的内部和表面形成与所述第二组晶体管的端极相连的第二组互连件;

[0026] 步骤S104:利用晶圆键合工艺通过所述第一介电层和所述第二介电质层将所述第一半导体衬底与所述第二半导体衬底接合在一起,去除位于所述第一半导体衬底上方的所述承载衬底,并在所述第一半导体衬底的第二表面上形成第三介电层;

[0027] 步骤S105:形成贯穿所述第三介电层的连接所述第一组互连件和所述第二组互连件的第三组互连件。

[0028] 可选地,在所述步骤S105之后还包括步骤S106:

[0029] 在所述第三介电层之上形成第四介电层、位于所述第四介电层内的由相互连接的电容和电感所组成的集成无源器件、以及位于所述第四介电层内的用于连接所述集成无源器件和所述第三组互连件中至少一者的第四组互连件。

[0030] 可选地,所述第一组晶体管为半导体射频开关,所述第二组晶体管包括与所述射频开关器件相匹配的逻辑控制电路所需的低压逻辑晶体管以及功率放大电路所需的高压

高功率晶体管。

[0031] 本发明的集成电路,包括层叠的形成有第一组晶体管的第一半导体衬底与形成有第二组晶体管的第二半导体衬底,可以保证第一组晶体管和第二组晶体管分别具有良好的性能,实现了单片系统集成。本发明的集成电路制造方法,用于制造上述集成电路,可以将形成有第一组晶体管的第一半导体衬底与形成有第二组晶体管的第二半导体衬底通过晶圆键合工艺接合在一起,并利用通孔互连技术实现导通,实现了单片系统集成。

附图说明

[0032] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0033] 附图中:

[0034] 图1为本发明实施例一的集成电路的一种示意性剖视图;

[0035] 图2A至2C为本发明实施例二的一种集成电路的制造方法的相关步骤形成的图形的示意性剖视图;

[0036] 图3为本发明实施例二的一种集成电路的制造方法的一种示意性流程图。

具体实施方式

[0037] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0038] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0039] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0040] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其

它取向)并且在此使用的空间描述语相应地被解释。

[0041] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用时,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0042] 这里参考作为本发明的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例。这样,可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此,本发明的实施例不应当局限于在此所示的区的特定形状,而是包括由于例如制造导致的形状偏差。例如,显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度,而不是从注入区到非注入区的二元改变。同样,通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此,图中显示的区实质上是示意性的,它们的形状并不意图显示器件的区的实际形状且并不意图限定本发明的范围。

[0043] 为了彻底理解本发明,将在下列的描述中提出详细的步骤以及详细的结构,以便阐释本发明提出的技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0044] 实施例一

[0045] 本实施例提供一种集成电路,如图1所示,包括:第一半导体衬底(也可称为第一半导体器件层)100、位于第一半导体衬底100上的第一组晶体管1011、位于第一半导体衬底100的第一表面上且覆盖第一组晶体管1011的栅极的第一介电层101、以及位于第一介电层101内与第一组晶体管1011的端极(源极、漏极和栅极)相连的第一组互连件1021。

[0046] 本实施例的集成电路还包括:第二半导体衬底(也可称为第二半导体器件层)200、位于第二半导体衬底200上的第二组晶体管1012、位于第二半导体衬底200的第一表面且覆盖第二组晶体管1012的栅极的第二介电层102,以及位于第二介电层102内与第二组晶体管1012的端极(即,源极、漏极和栅极)相连的第二组互连件1022,如图1所示。

[0047] 其中,第一半导体衬底100层叠于第二半导体衬底200之上,并通过第一介电层101与第二半导体衬底200的形成有第二介电层102的一侧接合在一起,如图1所示。示例性地,第二介电层102与第一介电层101通过粘结层相粘接。

[0048] 并且,本实施例的集成电路还包括:位于第一半导体衬底100的与第一表面相对的第二表面上的第三介电层103,以及连接第一组互连件1021和第二组互连件1022的第三组互连件1023,如图1所示。其中,第三组互连件1023通常为通孔垂直互连件。

[0049] 其中,第一组晶体管1011可以为半导体射频开关或其他器件。示例性地,所述第一组晶体管1011由一组前后串联、源漏共享的梳状金属氧化物半导体场效应开关晶体管(MOSFET)组成。

[0050] 第二组晶体管1012通常为与第一组晶体管1011不同的晶体管,当然,在某些情况下,也可以与第一组晶体管相同。当第一组晶体管1011构成射频开关器件时,第二组晶体管1012可以包括与该射频开关器件所匹配的逻辑控制电路所需的低压逻辑晶体管以及功率放大电路所需的高压高功率晶体管。示例性地,第二组晶体管1012为金属氧化物半导体场

效应晶体管,其包含有至少一个横向扩散金属氧化物半导体场效应晶体管。

[0051] 本实施例的集成电路,还可以包括位于第三介电层103之上的第四介电层104、位于第四介电层104内的由相互连接的电容和电感所组成的集成无源器件(也称作被动匹配集成电路,IPD)1013、以及位于第四介电层104内的用于连接集成无源器件(IPD)1013和第三组互连件1023中至少一者的第四组互连件1024,如图1所示。其中,第四介电层104为多层结构,如图1所示。

[0052] 优选地,所述第一半导体衬底100以及第二半导体衬底200在与集成无源器件(IPD)1013垂直对应的区域内不含任何半导体晶体管,如图1所示。这一设计,可以避免集成无源器件(IPD)1013与晶体管之间的相互干扰,提高集成电路的整体性能。

[0053] 在本实施例中,第一半导体衬底和第二半导体衬底的材料、厚度等可以分别根据第一组晶体管、第二组晶体管的需求进行选择,因而可以保证器件性能。

[0054] 示例性地,所述第一半导体衬底100和第二半导体衬底200的材料均为单晶硅,第一介电层101、第二介电层102和第三介电层103均由含硅介电质材料构成。可选地,第四介电层104的材料也为含硅介电质材料。

[0055] 进一步地,所述集成电路还包括位于所述第一半导体衬底100内的水平浅沟槽介电质1001,并且,所述第三组互连件(即,通孔垂直互连件)1023的侧向被第三介电层103、位于第一半导体衬底100内的水平浅沟槽介电质1001、第一介电层101和第二介电层103分层环绕绝缘。

[0056] 进一步地,所述第一组晶体管1011为开关晶体管,并且,所述开关晶体管为全耗尽场效应晶体管。

[0057] 进一步地,所述第三组互连件(即,通孔垂直互连件)1023的材料选自含硅半导体材料、钨、铜中的至少一种。

[0058] 其中,第一组互连件1021和第二组互连件1022的材料为钨或其他合适的材料。

[0059] 在本实施例中,第二半导体衬底200可以为面阻值超过每平方微米100欧姆的高阻硅衬底。

[0060] 本实施例的集成电路,包括形成有第一组晶体管1011的第一半导体衬底100与形成有第二组晶体管1012的第二半导体衬底200,二者通过晶圆键合工艺接合在一起,并利用通孔互连技术实现导通,实现了单片系统集成。由于可以根据需要选择第一半导体衬底和第二半导体衬底的材料与厚度,因此,保证第一组晶体管和第二组晶体管为不同类型的晶体管时各自具有良好的性能,最终保证整个集成电路的性能。本实施例的集成电路,尤其适用于对射频开关集成电路的系统集成,可以降低系统集成难度。

[0061] 实施例二

[0062] 本发明实施例提供一种集成电路的制造方法,用于制造实施例一所述的集成电路。

[0063] 下面,参照图2A-图2C以及图3来描述本发明实施例提出的集成电路的制造方法一个示例性方法的详细步骤。其中,图2A至2C为本发明实施例的一种集成电路的制造方法的相关步骤形成的图形的示意性剖视图;图3为本发明实施例的一种集成电路的制造方法的一种示意性流程图。

[0064] 示例性地,本实施例的集成电路的制造方法,包括如下步骤:

[0065] 步骤A1:提供包括承载衬底120、埋入绝缘层110以及第一半导体衬底(也称第一半导体器件层)100的复合半导体衬底100',在所述第一半导体衬底100内形成水平浅沟槽介电质1001。

[0066] 步骤A2:在所述第一半导体衬底100的第一表面上形成第一组晶体管1011。

[0067] 其中,第一组晶体管1011可以构成射频开关器件。示例性地,第一组晶体管1011由一组前后串联、源漏共享的梳状金属氧化物半导体场效应开关晶体管(MOSFET)组成。

[0068] 步骤A3:在所述第一半导体衬底100的第一表面上形成覆盖第一组晶体管1011的第一介电层101。

[0069] 步骤A4:在所述第一介电层101的内部和表面形成与第一组晶体管1011的端极(源极、漏极、栅极)相连的第一组互连件1021。

[0070] 经过步骤A1至A4,形成的图形如图2A所示。

[0071] 步骤A5:提供第二半导体衬底200,在所述第二半导体衬底200的第一表面上形成第二组晶体管1012。

[0072] 步骤A6:在所述第二半导体衬底200的第一表面上形成覆盖第二组晶体管1012的第二介电层102。

[0073] 步骤A7:在所述第二介电层102的内部和表面形成与第二组晶体管1012的端极(源极、漏极、栅极)相连的第二组互连件1022。

[0074] 步骤A8:利用晶圆键合工艺通过所述第一介电层101和所述第二介电层102将所述第一半导体衬底100与所述第二半导体衬底200接合在一起,去除位于第一半导体衬底100上方的承载衬底120,并在第一半导体衬底100的第二表面上形成第三介电层103。

[0075] 其中,埋入绝缘层110可以随承载衬底120一并被去除,也可以被保留而作为第三介电层103的一部分。

[0076] 步骤A9:形成贯穿第三介电层103的连接第一组互连件1021和第二组互连件1022的第三组互连件1023。

[0077] 其中,第三组互连件1023中的一部分贯穿第三介电层103、第一半导体衬底100(具体地,第一半导体衬底100内的水平浅沟槽介电质1001)、第一介电层101和第二介电层102与第二组互连件1022相连,一部分贯穿第三介电层103、第一半导体衬底100(具体地,第一半导体衬底100内的水平浅沟槽介电质1001)和第一介电层101与第一组互连件1021相连。并且,第三组互连件1023为通孔垂直互连件。

[0078] 经过步骤A5至A9,形成的图形如图2B所示。

[0079] 进一步地,还可以包括步骤A10:在第三介电层103之上形成第四介电层104、位于所述第四介电层104内的由相互连接的电容和电感所组成的集成无源器件(IPD)1013、以及位于第四介电层104内的用于连接集成无源器件(IPD)1013和第三组互连件1023中至少一者的第四组互连件1024。

[0080] 经过步骤A10,形成的图形如图2C所示。

[0081] 在本实施例中,第一介电层101、第二介电层102和第三介电层103可以为单层结构,也可以为多层结构。本实施例的制造方法,用于制造实施例一所述的集成电路,关于各组件的类型、材料以及其他特性,可以参照实施例一的描述,此处不再赘述。需要解释的是,本发明各实施例的“集成电路”一词,不仅包括具有独立功能的集成电路产品,还包括集成

电路中间产品和半成品。

[0082] 本实施例的集成电路的制造方法,可以将形成有第一组晶体管1011的第一半导体衬底100与形成有第二组晶体管1012的第二半导体衬底200通过晶圆键合工艺接合在一起,并利用通孔互连技术实现导通,实现了单片系统集成。由于可以根据需要选择第一半导体衬底和第二半导体衬底,因此,保证第一组晶体管和第二组晶体管为不同类型的晶体管时各自具有良好的性能,最终保证整个集成电路的性能。本实施例的集成电路的制造方法,尤其适用于对射频开关集成电路的系统集成,可以降低系统集成难度。

[0083] 图3示出了本发明实施例提出的一种集成电路的制造方法的一种示意性流程图,用于简要示出该制造方法的典型流程。具体包括:

[0084] 步骤S101:提供包括承载衬底、埋入绝缘层以及第一半导体衬底的复合半导体衬底,在所述第一半导体衬底内形成水平浅沟槽介电质以及第一组晶体管;

[0085] 步骤S102:在所述第一半导体衬底的第一表面上形成覆盖所述第一组晶体管的第一介电层,在所述第一介电层的内部和表面形成与所述第一组晶体管的端极相连的第一组互连件;

[0086] 步骤S103:提供第二半导体衬底,在所述第二半导体衬底的第一表面上形成第二组晶体管,形成覆盖所述第二组晶体管的第二介电层,在所述第二介电层的内部和表面形成与所述第二组晶体管的端极相连的第二组互连件;

[0087] 步骤S104:利用晶圆键合工艺通过所述第一介电层和所述第二介电质层将所述第一半导体衬底与所述第二半导体衬底接合在一起,去除位于所述第一半导体衬底上方的所述承载衬底,并在所述第一半导体衬底的第二表面上形成第三介电层;

[0088] 步骤S105:形成贯穿所述第三介电层的连接所述第一组互连件和所述第二组互连件的第三组互连件。

[0089] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围以内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

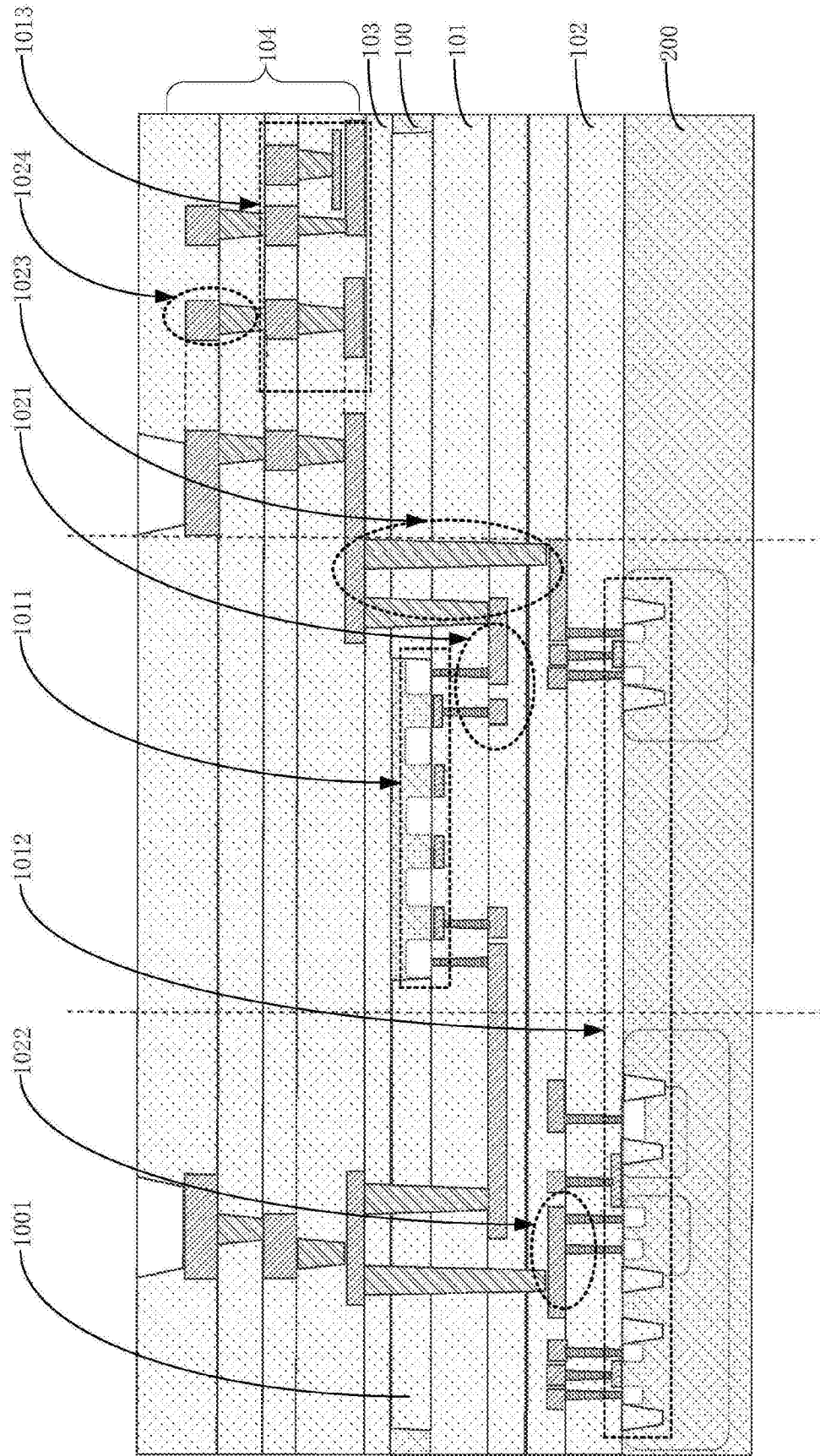


图1

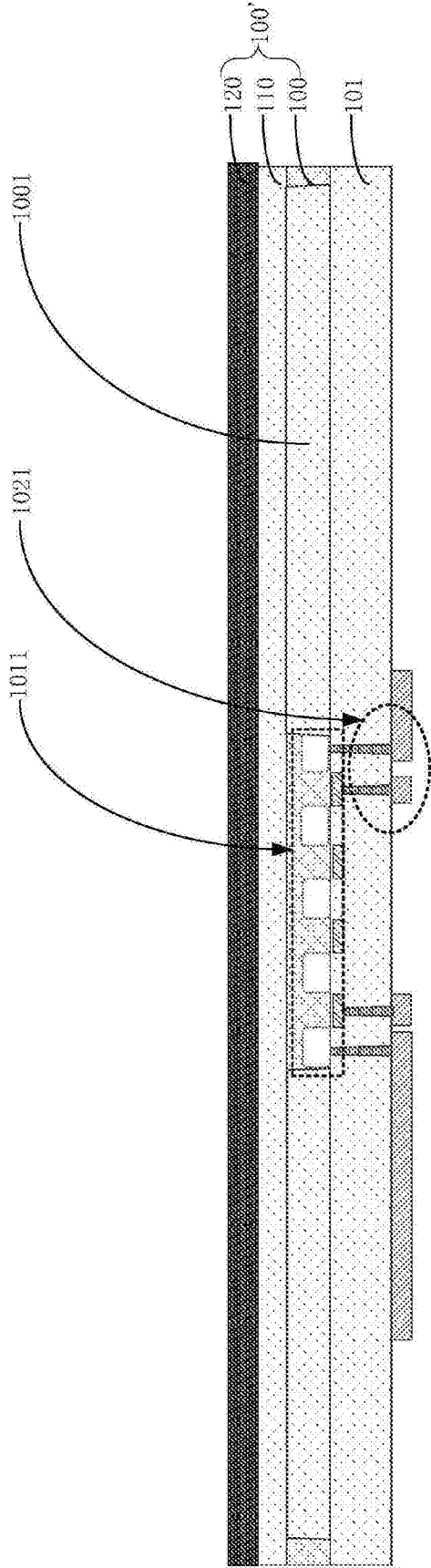


图2A

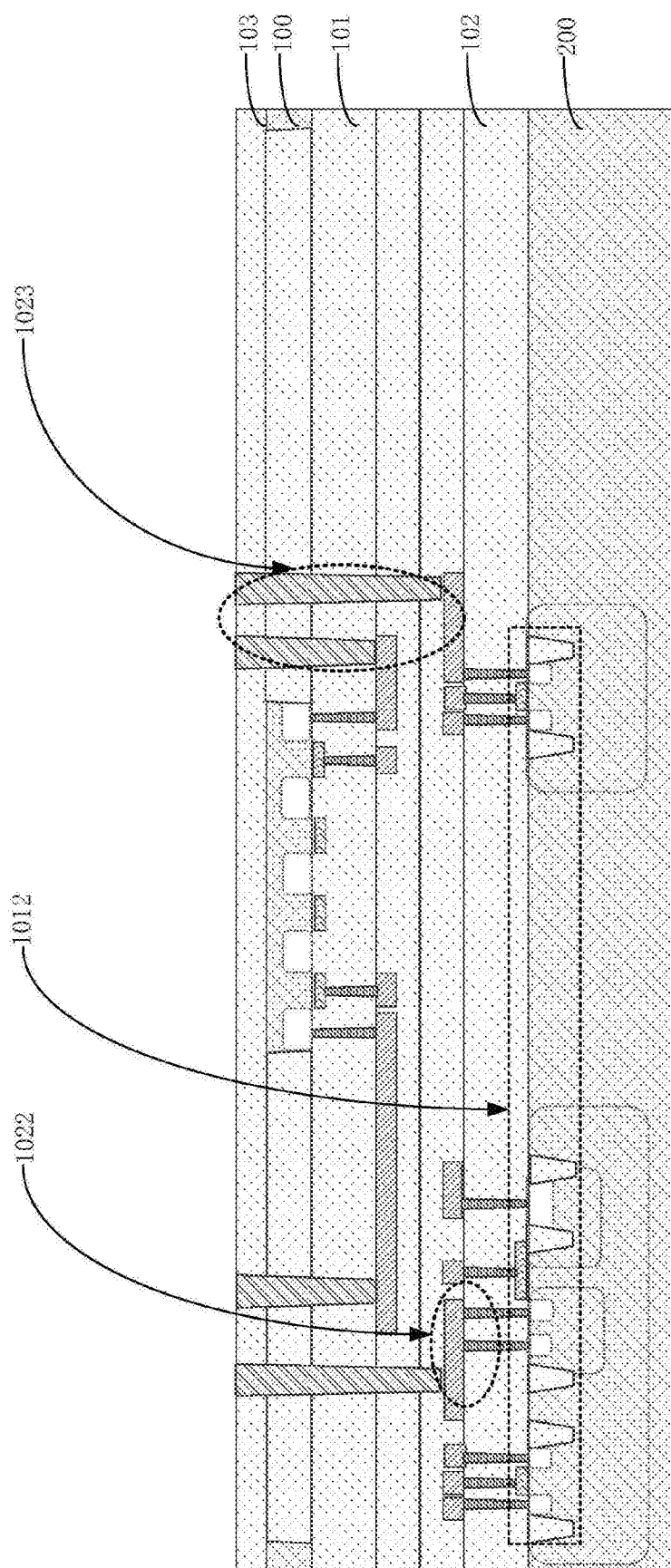


图 2B

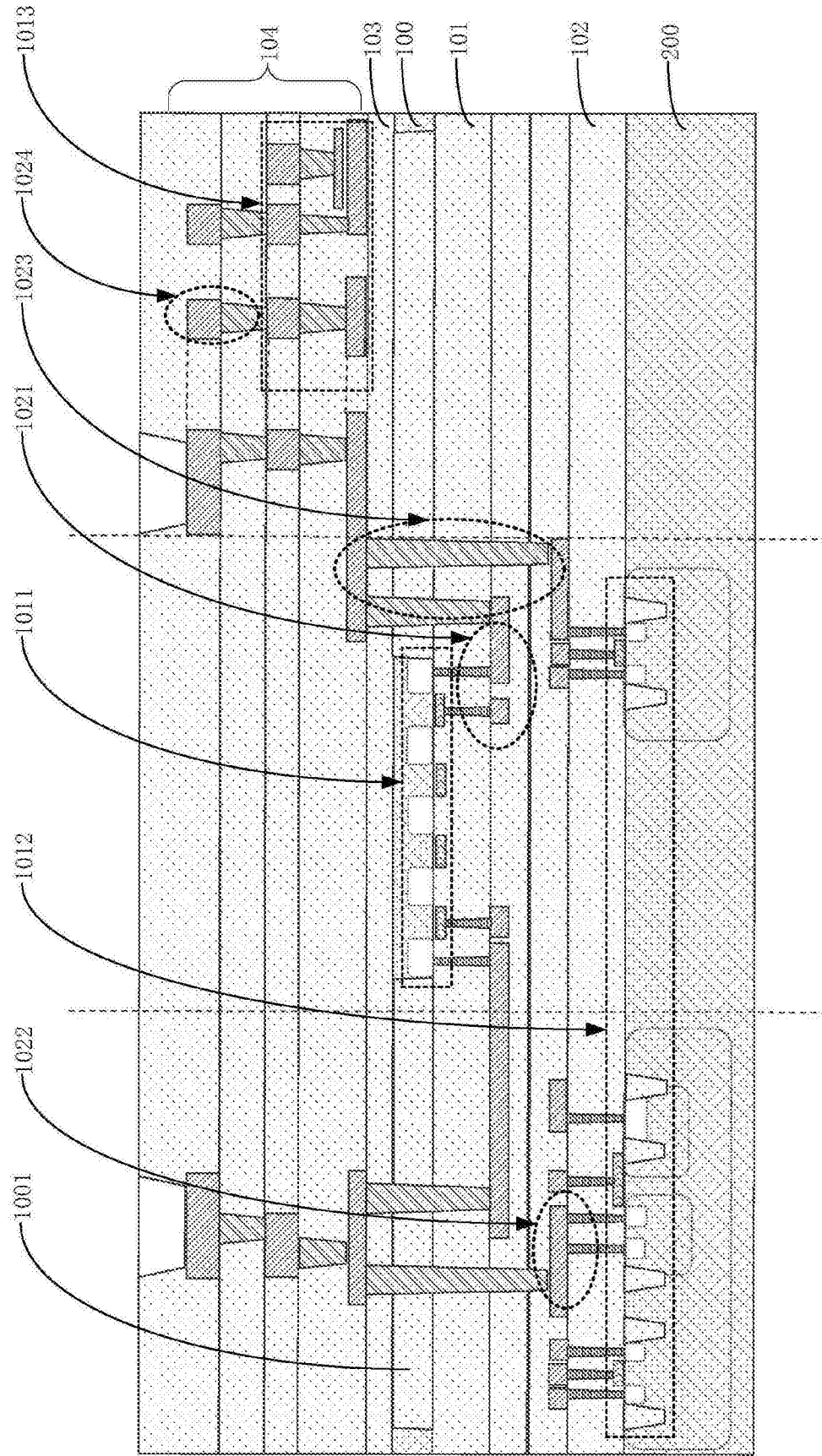


图2C

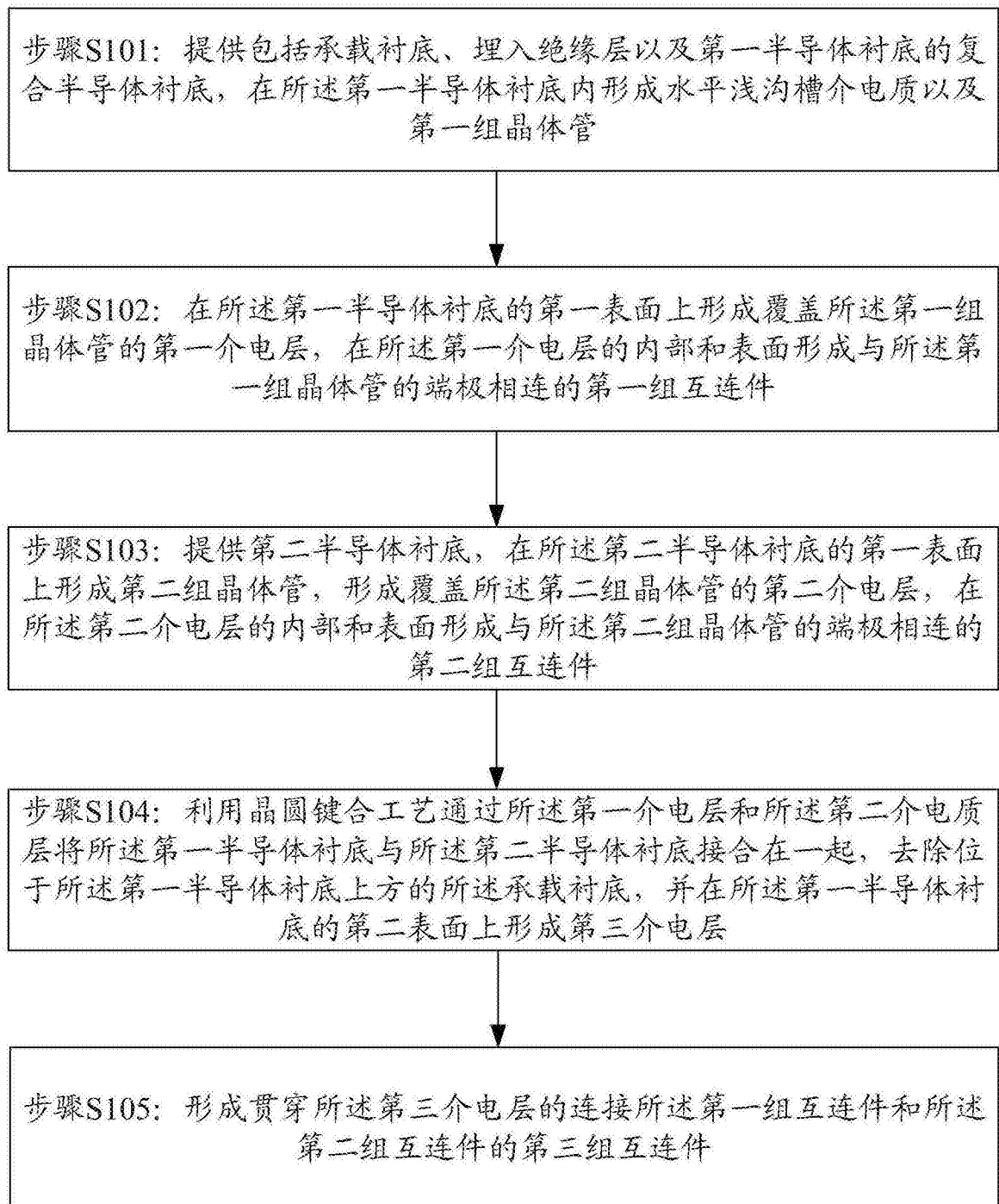


图3