(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4064630号
(P4064630)

(45)発行日　平成20年3月19日(2008.3.19)　(24)登録日　平成20年1月11日(2008.1.11)

(51)Int.Cl.			F I		
H04L	7/033	(2006.01)	H04L	7/02	B
H04L	7/00	(2006.01)	H04L	7/00	Z

請求項の数 27　(全 17 頁)

(21)出願番号	特願2000-545248 (P2000-545248)
(86)(22)出願日	平成11年4月23日 (1999.4.23)
(65)公表番号	特表2002-512468 (P2002-512468A)
(43)公表日	平成14年4月23日 (2002.4.23)
(86)国際出願番号	PCT/US1999/007393
(87)国際公開番号	WO1999/055000
(87)国際公開日	平成11年10月28日 (1999.10.28)
審査請求日	平成17年11月21日 (2005.11.21)
(31)優先権主張番号	60/082,959
(32)優先日	平成10年4月23日 (1998.4.23)
(33)優先権主張国	米国 (US)
(31)優先権主張番号	09/298,369
(32)優先日	平成11年4月22日 (1999.4.22)
(33)優先権主張国	米国 (US)

(73)特許権者　500097016
シリコン・イメージ，インコーポレーテッド
アメリカ合衆国カリフォルニア州９４０８５，サニーベイル，イースト・アークエス・アベニュー・１０６０
(74)代理人　100087642
弁理士　古谷　聡
(74)代理人　100063897
弁理士　古谷　馨
(74)代理人　100076680
弁理士　溝部　孝彦
(72)発明者　リー，キョンホ
大韓民国ソウル，マポ－グ，サンス－ドン，９３－１０２

最終頁に続く

(54)【発明の名称】スキューの影響を受けない低電圧差動受信器

(57)【特許請求の範囲】

【請求項１】

高速差動振動データ信号と関連するクロック信号とのスキューを修正するための装置において、

クロック信号に結合されて、クロック信号を全振動クロック信号に変換し、前記全振動クロック信号から複数のクロック回復信号を生成するための遅延ロックループと、

各データ回復チャンネルが、データ信号と前記複数のクロック回復信号に結合される、データ回復チャンネルであって、

差動データ信号を全振動データ信号に変換するためのコンバータと、

前記全振動データ信号のスキューを調整するためのスキュー調整回路と、

前記遅延ロックループ回路と前記スキュー調整回路に結合され、複数のクロック信号に応答して、前記全振動データ信号をオーバーサンプリングし、サンプリングされたデータ信号及びロック信号を生成するためのサンプラーアレイと、

前記サンプラーアレイから受信した前記オーバーサンプリングされたデータ信号とロック信号に応答して、スキュー制御信号を生成し、前記スキュー調整回路に伝送するための、

前記データ回復チャンネルと前記スキュー調整回路に結合された位相調整回路

からなる、データ回復チャンネル

とからなる装置。

【請求項２】

前記サンプラーアレイが、さらに、

２つの隣接するシリアルデータビット間の遷移をサンプリングし、このサンプリングした遷移に応答して、ロック信号及びサンプリングされた遷移データ信号を生成するための複数の遷移サンプリング回路と、
各シリアルデータビットの中央位置をサンプリングし、このサンプルに応答して中央サンプル信号を生成するための複数の中央サンプリング回路と、
サンプラーアレイから受信した前記中央サンプル信号と、ロック信号と、及びサンプリングされた遷移データ信号とに応答して、前記スキュー制御信号を生成するための位相調整回路
から構成される、請求項１の装置。
【請求項３】
高閾値信号と、低閾値信号と、及び全振動データ信号の理想的な論理閾値に等しい電圧を有する中間閾値信号とを生成するためのスレッシュホールドバイアス回路と、
各シリアルデータビットの前記サンプリングされた中央ポイントの電圧を前記中間閾値と比較して、現在のスキュー信号と次のスキュー信号を生成するための中央サンプリング回路であって、前記スキュー信号は、前記中間閾値信号より高い前記サンプリングされたポイントの電圧に応答して高レベルである、中央サンプリング回路と、
前記サンプリングされた遷移ポイントの電圧と前記中間遷移を比較して、高閾値電圧と低閾値電圧の間の前記サンプリングされた電圧に応答してロック信号を生成し、及び、前記サンプリングされた電圧に応答して高レベル信号を生成し、及び、前記低閾値信号より低いサンプリングされた電圧に応答して低レベル信号を生成するための遷移サンプリング回路
とからさらになる、請求項２の装置。
【請求項４】
前記位相調整回路が、さらに
複数の位相検出セルであって、各位相検出セルが、ロック信号とサンプリングされた遷移データ信号を受信するために前記遷移サンプリング回路の１つに結合され、かつ、中央サンプル信号を受信するために前記中央サンプリング回路の１つに結合されており、ロックしていないことを示すロック信号と、サンプル遷移データ信号と、及び、データ信号がクロック信号より遅れていることを示す中央サンプル信号とに応答してＵＰ位相調整信号を生成し、及び、ロックしていないことを示すロック信号と、遷移データ信号と、及びクロック信号がデータ信号より遅れていることを示す中央サンプル信号とに応答してDOWN位相調整信号を生成し、ロックを示すロック信号に応答して位相非調整信号を生成する、複数の位相検出セルと、
前記複数の位相検出セルによって伝送される前記複数のＵＰ位相調整信号、DOWN位相調整信号、及び位相非調整信号を比較して、位相推奨信号を生成するための位相推奨回路
からなる、請求項２の装置。
【請求項５】
低電圧差動振動（LVDS）データ信号とLVDSクロック信号とのスキューを修正するための装置であって、
LVDSクロック信号に結合されて、LVDSクロック信号を全振動クロック信号に変換し、及び、前記全振動クロック信号から複数のクロック回復信号を生成するための遅延ロックループと、
各データ回復チャンネルが、データ信号と前記複数のクロック回復信号に結合されたデータ回復チャンネルであって、
LVDSデータ信号を全振動データ信号に変換するためのLVDSコンバータと、
前記全振動データ信号のスキューを調整するためのスキュー調整回路と、
前記遅延ロックループと前記スキュー調整回路に結合されて、前記複数のクロック信号に応答して前記全振動データ信号をオーバーサンプリングして、サンプリングされたデータ信号とロック信号を生成するためのサンプラーアレイ
とからなる、データ回復チャンネルと、

前記データ回復チャンネルと前記スキュー調整回路に結合されて、前記サンプラーアレイから受信した前記オーバーサンプリングされたデータ信号とロック信号に応答して、スキュー制御信号を生成し、前記スキュー調整回路に送信するための位相調整回路
とからなる、装置。
【請求項６】
前記サンプラーアレイが、さらに、
２つの隣接するシリアルデータビット間の遷移をサンプリングし、このサンプリングされた遷移に応答して、ロック信号及びサンプリングされた遷移データ信号を生成するための複数の遷移サンプリング回路と、
各シリアルデータビットの中央位置をサンプリングし、このサンプルに応答して中央サンプル信号を生成するための複数の中央サンプリング回路と、
前記サンプラーアレイから受信した前記中央サンプル信号と、ロック信号と、及びサンプリングされた遷移データ信号とに応答して、前記スキュー制御信号を生成するための位相調整回路
からなる、請求項５の装置。
【請求項７】
高閾値信号と、低閾値信号と、及び全振動データ信号の理想的な論理閾値に等しい電圧を有する中間閾値信号とを生成するためのスレッシュホールドバイアス回路と、
各シリアルデータビットの前記サンプリングされた中央ポイントの電圧を前記中間閾値と比較して、現在のスキュー信号と次のスキュー信号を生成するための中央サンプリング回路であって、前記スキュー信号は、前記中間閾値信号より高い前記サンプリングされたポイントの電圧に応答して高レベルである、中央サンプリング回路と、
前記サンプリングされた遷移ポイントの電圧と前記中間遷移を比較し、高閾値電圧と低閾値電圧の間の前記サンプリングされた電圧に応答してロック信号を生成し、及び、前記サンプリングされた電圧に応答して高レベル信号を生成し、及び、前記低閾値信号より低い前記サンプリングされた電圧に応答して低レベル信号を生成するための遷移サンプリング回路
とからさらになる、請求項６の装置。
【請求項８】
前記位相調整回路が、さらに
複数の位相検出セルであって、各位相検出セルが、ロック信号とサンプリングされた遷移データ信号を受信するために前記遷移サンプリング回路の１つに結合され、かつ、中央サンプル信号を受信するために前記中央サンプリング回路の１つに結合されて、ロックしていないことを示すロック信号と、サンプル遷移データ信号と、及び、データ信号がクロック信号より遅れていることを示す中央サンプル信号とに応答してＵＰ位相調整信号を生成し、及び、ロックしていないことを示すロック信号と、遷移データ信号と、及びクロック信号がデータ信号より遅れていることを示す中央サンプル信号とに応答してDOWN位相調整信号を生成し、ロックを示すロック信号に応答して位相非調整信号を生成する、複数の位相検出セルと、
前記複数の位相検出セルによって伝送される前記複数のＵＰ位相調整信号、DOWN位相調整信号、及び位相非調整信号を比較して、位相推奨信号を生成するための位相推奨回路
からなる、請求項６の装置。
【請求項９】
複数の遅延セルであって、各セルが直列に接続され、データサイクルの１／２だけクロック信号を遅延させ、前記LVDSクロック信号を受信し、一組の中央クロック信号と一組の遷移クロック信号を生成する、複数の遅延セル
からさらになる、請求項５の装置。
【請求項１０】
前記複数の遅延セルが、さらに、
前記LVDSクロック信号に結合されて、第１の遷移クロック信号を生成するための第１のバ

ッファと、
前記LVDSクロック信号に結合されて、前記LVDSクロック信号をクロックサイクルの１／２だけ遅延させるための第１の遅延デバイスと、
前記第１の遅延デバイスに結合されて、前記遅延されたクロック信号を受信し、及び、第１の中央クロック信号を生成するための第２のバッファと、
前記第１の遅延デバイスに結合されて、前記LVDSクロック信号をクロックサイクルの１／２だけ遅延させるための第２の遅延デバイスと、
前記第２の遅延セルに結合されて、第２の遷移クロック信号を生成するための第３のバッファであって、遅延デバイスとバッファが繰り返し互いに結合されて、複数の遷移及び中央クロック信号を生成することからなる、第３バッファ
からなる請求項９の装置。
【請求項１１】
遅延セルによってもたらされる遅延量が調整可能な請求項９の装置であって、
第１の中央クロック信号と最後の中央クロック信号に結合された位相検出器であって、クロック信号の立ち上がりエッジを比較し、前記第１の中央クロック信号の立ち上がりエッジより進んでいる前記最後の中央クロック信号の立ち上がりエッジに応答してシフトダウン信号を生成し、前記第１の中央クロック信号の立ち上がりエッジより遅れている前記最後の中央クロック信号の立ち上がりエッジに応答してシフトアップ信号を生成するための位相検出器と、
前記位相検出器に結合された入力と、前記遅延セルに結合された出力を有するチャージポンプ回路であって、シフトアップ信号またはシフトダウン信号の受信に応答して前記遅延セルの遅延を調整するためのチャージポンプ回路
からさらになる、装置。
【請求項１２】
第１の中央クロック信号と最後の中央クロック信号に結合されたロック検出器であって、前記第１の中央クロック信号の立ち上がりエッジが最後の中央クロック信号の立ち上がりエッジと同期していることを検出したことに応答してロック信号を生成し、そうでない場合は、非ロック信号を生成するためのロック検出器からさらになる、請求項９の装置。
【請求項１３】
前記遅延ロックループが、さらに、
LVDSクロック信号に結合された入力と、前記複数の遅延セルに結合された出力を有し、前記LVDSクロック信号に一定量の遅延を加えるためのレプリカスキュー回路からさらになる請求項１２の装置であって、前記データ回復チャンネルが、さらに、
前記スキュー調整回路と前記ロック検出回路に結合されて、前記ロック検出回路からの非ロック信号の受信に応答して、前記スキュー調整回路が前記入力データ信号に一定量の遅延を追加するようにさせるための初期バイアス回路であって、前記スキュー調整回路によって追加される前記一定量の遅延は、前記レプリカスキュー回路によって追加される前記一定量の遅延と等しいことからなる、初期バイアス回路
からなる、装置。
【請求項１４】
高速データ信号と関連するクロック信号とのスキューを修正するため装置であって、
クロック信号に結合されて、クロック信号から複数のクロック回復信号を生成するための遅延ロックループと、
前記データ信号と前記複数のクロック回復信号に結合されたデータ回復チャンネルであって、
全振動データ信号のスキューを調整するためのスキュー調整回路と、
前記遅延ロックループと前記スキュー調整回路に結合されて、複数のクロック信号に応答して前記データ信号をオーバーサンプリングして、前記サンプリングされたデータ信号とロック信号を生成するためのサンプラーアレイ
とからなる、データ回復チャンネルと、

前記データ回復チャンネルと前記スキュー調整回路に結合されて、前記サンプラーアレイから受信した前記オーバーサンプリングされたデータ信号とロック信号に応答して、スキュー制御信号を生成し、前記スキュー調整回路に送信するための位相調整回路
とからなる、装置。
【請求項１５】
前記サンプラーアレイが、さらに、
２つの隣接するシリアルデータビット間の遷移をサンプリングし、このサンプリングされた遷移に応答して、ロック信号とサンプリングされた遷移データ信号を生成するための複数の遷移サンプリング回路と、
各シリアルデータビットの中央位置をサンプリングし、このサンプルに応答して中央サンプル信号を生成するための中央サンプリング回路と、
前記サンプラーアレイから受信した前記中央サンプル信号と、ロック信号と、サンプリングされた遷移データ信号とに応答して、スキュー制御信号を生成する位相調整回路
からなる、請求項１４の装置。
【請求項１６】
前記位相調整回路が、さらに
位相検出回路であって、ロック信号とサンプリングされた遷移データ信号を受信するために前記遷移サンプリング回路の１つに結合され、かつ、中央サンプル信号を受信するために前記中央サンプリング回路に結合されており、ロックしていないことを示すロック信号と、サンプル遷移データ信号と、データ信号がクロック信号より遅れていることを示す中央サンプル信号とに応答してＵＰ位相調整信号を生成し、及び、ロックしていないことを示すロック信号と、遷移データ信号と、クロック信号がデータ信号より遅れていることを示す中央サンプル信号とに応答してDOWN位相調整信号を生成し、ロックを示すロック信号に応答して位相非調整信号を生成する、位相検出回路と、
前記複数の位相検出セルによって伝送される前記ＵＰ位相調整信号、DOWN位相調整信号、及び位相非調整信号を比較して、位相推奨信号を生成するための位相推奨回路
からなる、請求項１５の装置。
【請求項１７】
高速差動振動データ信号と関連するクロック信号とのスキューを修正するための方法であって、
クロック信号を全振動クロック信号に変換するステップと、
前記全振動クロック信号から複数のクロック回復信号を生成するステップと、
前記差動データ信号を全振動データ信号に変換するステップと、
前記複数のクロック信号に応答して、前記全振動データ信号をオーバーサンプリングして、オーバーサンプリングされたデータ信号とロック信号を生成するステップと、
前記オーバーサンプリングされたデータ信号とロック信号に応答して、スキュー制御信号を生成するステップと、
前記スキュー制御信号に応答して前記データ信号のスキューを調整するステップ
からなる方法。
【請求項１８】
前記オーバーサンプリングするステップが、さらに、
２つの隣接するシリアルデータビット間の遷移をサンプリングするステップと、
前記サンプリングされた遷移に応答して、ロック信号とサンプリングされた遷移データ信号を生成するステップと、
各シリアルデータビットの中央ポイントをサンプリングするステップと、
該サンプルに応答して中央サンプル信号を生成するステップ
を含み、
スキュー制御信号を生成する前記ステップが、さらに、前記中央サンプル信号と、ロック信号と、サンプリングされた遷移データ信号とに応答してスキュー制御信号を生成するステップを含む、請求項１７の方法。

【請求項１９】
前記オーバーサンプリングするステップが、さらに、
高閾値信号と、低閾値信号と、及び全振動データ信号の理想的な論理閾値に等しい電圧を有する中間閾値信号とを生成するステップと、
各シリアルデータビットの前記サンプリングされた中央ポイントの電圧を前記中間閾値と比較して、現在のスキュー信号と次のスキュー信号を生成するステップであって、前記スキュー信号は、前記中間閾値信号より高い前記サンプリングされたポイントの電圧に応答して高レベルである、ステップと、
前記サンプリングされた遷移ポイントの電圧と前記中間遷移を比較し、前記中間閾値信号の電圧に等しい前記サンプリングされた電圧に応答してロック信号を生成し、及び、前記高閾値信号より高い前記サンプリングされた電圧に応答して高レベル信号を生成し、及び、前記低閾値信号より低い前記サンプリングされた電圧に応答して低レベル信号を生成するステップ
からなる、請求項１７の方法。
【請求項２０】
前記スキュー制御信号を生成するステップが、さらに、
ロックしていないことを示すロック信号と、サンプル遷移データ信号と、データ信号がクロック信号より遅れていることを示す中央サンプル信号とに応答してＵＰ位相調整信号を生成するステップと、
ロックしていないことを示すロック信号と、遷移データ信号と、クロック信号がデータ信号より遅れていることを示す中央サンプル信号とに応答してDOWN位相調整信号を生成するステップと
ロックを示すロック信号に応答して位相非調整信号を生成するステップと、
前記複数のＵＰ位相調整信号、DOWN位相調整信号、及び位相非調整信号を比較して、スキュー制御信号を生成するステップ
からなる、請求項１７の方法。
【請求項２１】
低電圧差動振動（LVDS）データ信号とLVDSクロック信号とのスキューを修正するための方法であって、
LVDSクロック信号を全振動クロック信号に変換するステップと、
複数のクロック回復信号を前記全振動クロック信号から生成するステップと、
LVDSデータ信号を全振動データ信号に変換するステップと、
複数のクロック信号に応答して前記全振動データ信号をオーバーサンプリングして、オーバーサンプリングされたデータ信号とロック信号を生成するステップと、
前記オーバーサンプリングされたデータ信号とロック信号に応答してスキュー制御信号を生成するステップと、
前記スキュー制御信号に応答して前記データ信号のスキューを調整するステップ
とからなる、方法。
【請求項２２】
前記オーバーサンプリングするステップが、さらに、
２つの隣接するシリアルデータビット間の遷移をサンプリングするステップと、
前記サンプリングされた遷移に応答してロック信号とサンプリングされた遷移データ信号を生成するステップと、
各シリアルデータビットの中央ポイントをサンプリングするステップと、
前記サンプルに応答して中央サンプル信号を生成するステップ
を含み、
スキュー制御信号を生成する前記ステップが、さらに、前記中央サンプル信号、ロック信号、及び、サンプリングされた遷移データ信号に応答して、スキュー制御信号を生成するステップを含む、請求項２１の方法。
【請求項２３】

前記オーバーサンプリングするステップが、さらに、
高閾値信号と、低閾値信号と、及び全振動データ信号の理想的な論理閾値に等しい電圧を有する中間閾値信号とを生成するステップと、
各シリアルデータビットの前記サンプリングされた中央ポイントの電圧を前記高閾値と比較して、現在のスキュー信号を生成し、及び、前記中央ポイントの電圧を前記低閾値と比較して、次のスキュー信号を生成するステップであって、前記スキュー信号が、前記中間閾値信号より高い前記サンプリングされたポイントの電圧に応答して高レベルであり、また、前記中間閾値信号より低い前記サンプリングされたポイントの電圧に応答して低レベルであることからなる、ステップと、
前記サンプリングされた遷移ポイントの電圧と前記中間遷移を比較し、前記中間閾値信号の電圧に等しい前記サンプリングされた電圧に応答してロック信号を生成し、及び、前記高閾値信号より高い前記サンプリングされた電圧に応答して高レベル信号を生成し、及び、前記低閾値信号より低い前記サンプリングされた電圧に応答して低レベル信号を生成するステップ
からなる、請求項２１の方法。
【請求項２４】
スキュー制御信号を生成する前記ステップが、さらに、
ロックしていないことを示すロック信号と、サンプル遷移データ信号と、データ信号がクロック信号より遅れていることを示す中央サンプル信号とに応答してＵＰ位相調整信号を生成するステップと、
ロックしていないことを示すロック信号と、遷移データ信号と、及びクロック信号がデータ信号より遅れていることを示す中央サンプル信号とに応答してDOWN位相調整信号を生成するステップと
ロックを示すロック信号に応答して位相非調整信号を生成するステップと、
前記複数のＵＰ位相調整信号、DOWN位相調整信号、及び位相非調整信号を比較して、スキュー制御信号を生成するステップ
からなる、請求項２１の方法。
【請求項２５】
高速データ信号と関連するクロック信号とのスキューを修正するための方法であって、
複数のクロック回復信号をクロック信号から生成するステップと、
複数のクロック信号に応答して前記データ信号をオーバーサンプリングして、オーバーサンプリングされたデータ信号とロック信号を生成するステップと、
前記オーバーサンプリングされたデータ信号とロック信号に応答してスキュー制御信号を生成するステップと、
前記スキュー制御信号に応答して前記データ信号のスキューを調整するステップ
とからなる、方法。
【請求項２６】
オーバーサンプリングする前記ステップが、さらに、
２つの隣接するシリアルデータビット間の遷移をサンプリングするステップと、
前記サンプリングされた遷移に応答してロック信号とサンプリングされた遷移データ信号を生成するステップと、
各シリアルデータビットの中央ポイントをサンプリングするステップと、
前記サンプルに応答して中央サンプル信号を生成するステップ
を含み、
スキュー制御信号を生成する前記ステップが、さらに、前記中央サンプル信号、ロック信号、及び、サンプリングされた遷移データ信号に応答して、スキュー制御信号を生成するステップを含む、請求項２５の方法。
【請求項２７】
スキュー制御信号を生成する前記ステップが、さらに、
ロックしていないことを示すロック信号と、サンプル遷移データ信号と、データ信号がク

ロック信号より遅れていることを示す中央サンプル信号とに応答してＵＰ位相調整信号を生成するステップと、
ロックしていないことを示すロック信号と、遷移データ信号と、クロック信号がデータ信号より遅れていることを示す中央サンプル信号とに応答してDOWN位相調整信号を生成するステップと、
ロックを示すロック信号に応答して位相非調整信号を生成するステップと、
前記ＵＰ位相調整信号、DOWN位相調整信号、及び位相非調整信号を比較して、スキュー制御信号を生成するステップ
からなる、請求項２６の方法。

【発明の詳細な説明】

【０００１】

「発明の背景」

技術分野

本発明は、データ通信システムに関する。より詳しくは、高速リンクを介して伝送されるディジタルデータの受信システムにおけるLVDSデータ回復に関する。

関連技術の説明

高速低電圧差動振動（LVDS）インターフェースは、ディスプレイインターフェース、特に、フラットパネルディスプレイに広く使用されるようになってきた。LVDSインターフェースを使用することにより、コンピュータシステムの電磁障害（ＥＭＩ）のレベルを十分に低減することができ、これにより、コンピュータシステムは、商用のＥＭＩ規制値をパスすることができる。しかしながら、現在市販されているLVDSチップセットは、帯域幅が十分ではない。例えば、４５５Ｍｂｐｓ（６５ＭＨｚ×７）である、XGA解像度をサポートするだけの帯域幅を有していない。

【従来の技術】

【特許文献１】

米国特許第5,905,769号明細書

【特許文献２】

米国特許第5,974,464号明細書

【特許文献３】

米国特許第5,987,619号明細書

【特許文献４】

米国特許第6,166,572号明細書

【０００２】

要求される帯域幅についての主な制限は、タイミングスキューが原因となっている。スキューは、主として、ケーブル長とボードライン長のミスマッチが原因となって生じる。ケーブル長と要求される帯域幅が増加するに従いさらに状況は悪化する。スキューを適切に修正するか管理しなければ、要求された帯域幅を実現することはできない。従って、データとクロックチャンネル間のタイミングスキューを除去可能なLVDSインターフェース用のスキュー管理手段が必要とされており、これによって、システムの最大帯域幅を増加させて、LVDSチップセット間の互換性を向上させることができる。

「発明の概要」

本発明によれば、LVDSシステムの帯域幅を広げるためのLVDSシステム用スキュー管理手段が開示される。

【０００３】

システム内のデータ信号とクロック信号間のスキューを修正するための装置を開示する。この装置では、データ及びクロック信号を低電圧差動振動を使用して伝送する。１実施態様では、装置は、LVDSクロック信号を全振動（フルスイング：full-swing）クロック信号に変換するための遅延ロックループ、複数のデータ回復チャンネル（各チャンネルは、データ信号に結合されており、LVDSコンバータを構成する）、スキュー調整回路、サンプラーアレイ、及び、位相調整回路から構成される。遅延ロックループ回路とデータチャンネ

ル回路は、協働して、複数のクロック信号を生成し、複数のインターバルでデータをサンプリングし、サンプルを使用してスキューを除去し、及び、データ信号から適正なデータサンプルを取得することによって、LVDS信号からスキューを除去する。

【０００４】

他の実施態様では、サンプラーアレイは、シリアルデータビットの２つの隣接ビット間の遷移をサンプリングし、サンプリングした遷移に応答して、ロック（lock）信号とサンプリングされたデータ信号を生成するための複数の遷移サンプリング（transition sampling）回路と、シリアルデータビットの各ビットの中央ポイントをサンプリングし、このサンプリングに応答して中央サンプル信号を生成するための複数の中央サンプリング回路と、中央サンプル信号、ロック信号、及びサンプラーアレイから受信した遷移データ信号に応答して、スキュー制御信号を生成するための位相調整回路とから構成される。

【０００５】

「好適な実施態様の説明」

図１は、スキューの影響を受けない低電圧差動振動（LVDS）受信器１００のブロック図である。受信器１００は、クロック発生遅延ロックループ（DLL）１０４、スレッシュホールドバイアス回路１４８、及び４つの等価なデータ回復チャンネル１２６から構成される。DLL１０４は、ケーブルからＮ ＭＨｚのLVDSクロック信号（RXC 127、RXCB 129）を受信して、２つの組の７位相Ｎ ＭＨｚクロック（TCK(0:6) 154, XCK(0:6) 158）を生成する。

【０００６】

各データ回復チャンネル１２６は、ケーブル１３２から７×Ｍ MbpsのLVDSシリアルデータを受信し、クロック１２８とデータ１３２間のスキューを除去して、Ｎ ＭＨｚクロックによって同期化される７ビットのパラレルデータを回復する。スキューを除去し、データ回復を達成するために、各データ回復チャンネル１２６は、DLL １０４によって生成されるTCK(0:6) 154と、XCK(1:6) 158を使用する。２つの隣接する位相クロック信号（TCK(n)とTCK(n+1)、XCK(n)とXCK(n+1)）間の位相間隔は、１ビットの時間間隔、または１データサイクルに等しい。XCK(n)とTCK(n+1)との位相間隔は、１ビットの時間間隔の１／２、または１／２データサイクルに等しい。より詳細に後述するスキュー除去動作に従って、遷移クロック信号XCK(1:6) 158は、２つの隣接するシリアルビット間の遷移位置を連続してサンプリングし、中央クロック信号TCK(0:6) 154は、各シリアルビットの正確な中央位置をサンプリングする。７ビットの回復データ108は、TCK(0:6) 154の立ち上がりエッジを使用して、各シリアルビットの正確な中央位置をサンプリングすることによって得られる。

【０００７】

図２からわかるように、当初のクロック信号１２８は、当初のデータ信号１３２に対してスキューがある。修正しない場合は、クロック信号１２８は、各シリアルビットの中央位置以外のポイントでデータ１３２をサンプリングすることになる。これによりエラーが生じ、最大帯域幅が減少することになる。しかしながら、本発明によれば、クロック１２８とデータ１３２とのスキューが、最大帯域幅を維持できるように修正される。複数の組のクロック回復信号TCK １５４及びXCK １５８が、ビットの遷移及び中央位置でビットストリームをサンプリングする。遷移のサンプルがスキュー情報を提供する。中央位置のサンプルが出力データ１０８を提供する。

【０００８】

図３は、DLL１０４の詳細なブロックである。DLL１０４の機能は、複数のクロック回復信号１５４、１５８を生成して、全ての生成したクロック回復信号１５４、１５８が同期した後に、ロック信号１５０を生成することである。DLL１０４は、差動－CMOSコンバータ３３６、レプリカ（replica）スキュー回路３３２、レプリカスキューバイアス回路３４０、遅延回路３０４、複数のバッファ３０８、位相検出器３１６、チャージポンプ３２４、ループフィルタ３２８、及びロック検出器３２０から構成される。差動－CMOSコンバータ３３６は、ケーブルから（差動振幅を有する）LVDSクロック信号１２７、１２９を受信

して、それを、（CMOSデバイスの動作とコンパチの）全振動クロック信号に変換する。変換された全振動クロック信号は、レプリカスキュー回路３３２に送信され、そこで、後述する各データチャンネル１２６の初期状態におけるスキュー調整回路４０４と正確に同じ遅延を生成する。レプリカスキューバイアス回路３４０は、レプリカスキュー回路３３２の遅延を決定する０．５Vddを連続的に生成する。レプリカスキュー回路は、実際のスキューが修正されるタイミングを提供する基準遅延を生成する。レプリカスキュー回路３３２の出力である遅延された全振動クロック信号３０５は、遅延回路３０４の入力に送られる。

【０００９】

遅延回路３０４は、複数の遅延デバイス３１０からなる。より具体的には、遅延回路３０４は、１４個の遅延デバイス３１０からなる。各遅延デバイス３１０は、遅延セル３１２とクロックバッファ３０８からなることが好ましい。しかしながら、信号を遅延させる他の方法を使用することも可能である。XCK(0)は、遅延された全振動クロック信号３０５を、クロックバッファ３０８を介して遅延回路３０４に送ることによって生成される。１４番目の遅延セル３１２の出力は、１３番目の遅延セル３１２の出力をクロックバッファ３０８を介して送ることによりXCK(7) ２１８を生成する。

【００１０】

位相検出器３１６は、XCK(0) ２０４とXCK(7) ２１８の立ち上がりエッジを比較する。XCK(7) ２１８の立ち上がりエッジが、XCK(0) ２０４の立ち上がりエッジに対して遅れている場合は、位相検出器３１６はＵＰ信号３１７を生成する。XCK(7) ２１８の立ち上がりエッジが、XCK(0) ２０４の立ち上がりエッジに対して進んでいる場合は、位相検出器３１６は、DOWN信号３１８を生成する。

【００１１】

ＵＰ信号３１７の受信に応答して、チャージポンプ回路３２４は、ループフィルタ３２８に電流を送って、遅延回路３０４の制御電圧を増加させ、こうして、遅延回路３０４によって生成される全体の遅延を減少させる。チャージポンプ回路３２４がDOWN信号３１８を受信した場合は、チャージポンプ回路３２４は、ループフィルタ３２８からの電流量を減少させて、制御電圧を低下させ、これによって、遅延回路３０４によって生成される遅延量を増やす。従って、ループフィルタ３２８が、フィードバックループ全体を安定化させ、XCK(0) ２０４とXCK(7) ２１８の立ち上がりエッジが整列し、図２に示すように、等しく隔置された１４－位相クロックが得られる。

【００１２】

ロック検出器３２０は、XCK(0) ２０４とXCK(7) ２１８とのロック状態を検出して、それに応じてDLL_LOCKB信号３２２を生成する。１実施態様では、XCK(0) ２０４とXCK(7) ２１８の立ち上がりエッジが整列していない場合は、DLL_LOCKB信号３２２は「１」またはハイ（高）である。XCK(0) ２０４とXCK(7) ２１８の立ち上がりエッジが整列すると、DLL_LOCKB信号３２２は「０」またはロー（低）になる。

【００１３】

図４は、データ回復チャンネル１２６の詳細なブロック図である。データ回復チャンネル１２６は、差動－CMOSコンバータ４０２、スキュー調整回路４０４、サンプラーアレイ４２４、位相調整回路４１８、及び、初期スキューバイアス回路４１２から構成される。差動－CMOSコンバータ４０２は、LVDSシリアルデータを全振動データに変換する。変換された全振動データは、スキュー調整回路４０４に送信される。通常は、スキュー調整回路は、DLLからのTCKとXCKを使用してスキューを修正する。しかしながら、初期状態では、DLLは、ロック状態に達するまでいくらかの時間を要し、それまでは、TCKとXCKは不安定である。DLL回路１０４がロック状態に達する前（すなわち、DLL_LOCKBが「１」の間）に、スキュー調整回路４０４によって生成される遅延量は、初期スキューバイアス回路４１２によって制御される。初期状態では、初期スキューバイアス回路４１２が起動されて、スキュー制御電圧４５８を、DLL回路１０４のレプリカスキューバイアス電圧と同じ０．５×Vddにする。結局、初期状態では、データ回復チャンネル１２６のスキュー調整回路４０４

によって生成される遅延は、DLL　１０４のレプリカスキュー回路３３２によて生成される遅延と同じになる。従って、RX0　１３１、RX0B　１３３からData In　２０２までの遅延は、RXC　１２７、RXCB　１２９からXCK(0)　２０４までの遅延と同じである。こうして、RX0　１３１、RX0B　１３３及びRXC　１２７、RXCB　１２９間のケーブルスキューが、初期状態のDataIn　２０２とXCK(0)　２０４との間のタイミングスキューとして再現（複製）される。DLL　１０４が、ロック状態（DLL_LOCKBが「０」）になると、初期スキューバイアス回路４１２が使用禁止になり、位相調整回路４１８が起動して、クロックパスとデータパス間のスキューを除去する。この起動状態では、スキュー調整回路４０４は、各データ回復チャンネル１２６の位相調整回路４１８によって制御され、データパスとクロックパスとの間のスキューを除去する。

【００１４】

サンプラーアレイ４２４は、図７により詳しく示すように、好ましくは、７個のＴサンプラー（TS(0:6)）回路７２８、７３０、７３２、７３４、７３６、７３８、７４０、及び、６個のＸサンプラー（XS(0:6)）回路７２９、７３１、７３３、７３５、７３７、７３９から構成される。中央サンプリング回路、例えば、Tサンプラー７２８は、中央クロック信号１５４の立ち上がりエッジで各シリアルビットの中央位置をサンプリングし、最後の回復データとなるサンプルデータTout(n)　７５０を生成する。遷移サンプリング回路、例えば、Xサンプラー７２９は、XCK(n)と遷移クロック信号１５８の立ち上がりエッジで隣接する２つのシリアルビット間の遷移位置をサンプリングし、サンプリングされたデータXout(n)と位相非調整信号（no-phase-adjust signal）、LOCK(n)を生成する。Xサンプラー回路７２９が、正確な遷移位置をサンプリングした場合は、LOCK(n)　７５４は「１」になり、Xout(n)　７５２は無効である。遷移クロック信号１５８が、正確な遷移位置ではない位置をサンプリングした場合は、LOCK(n)　７５４は「０」になり、Xout(n)　７５２は有効であって、位相調整回路４１８によって使用される。

【００１５】

図５は、Ｔサンプラー回路とＸサンプラー回路の詳細な回路図である。図５ａに、Ｔサンプラー回路７２８、７３０、７３６、７３８、７４０をより詳しく示す。Ｔサンプラー(n)回路は、単相クロッキングセンス増幅器(SPCSA)５１２と、２つの２ステートＤ－フリップフロップ回路（DFF）５１４から構成される。図５ｃに、SPCSA　５１２の１態様を示す。クロック信号５２８がロー（低）のときは、トランジスタMP0とMP1がオンになり、トランジスタMN0、MN1、MP0及びMP1からなる差動段に対する抵抗性負荷として作用する。トランジスタMN2とMN3はオフになって、差動段を、トランジスタMP3とMP4からなる正のフィードバック回路から電気的に分離する。トランジスタMP2はオンになって、OUT信号とOUTB信号を等しくし、信号増幅の準備をする。差動データ（DOUT、DOUTB）は、DataIn　２０２とスレッシュホールド電圧（この場合、ThM　１６６）との差に従って、差動段に生じる。クロック信号５２８がHIGH（ハイ）のときは、MP0、MP1及びMP3はオフである。MN2とMN3がオンであり、MP3及びMP4からなる正のフィードバック回路が、差動信号（DOUT、DOUTB）を増幅し、全振動サンプルデータ（TOUT）５３６を生成する。Tサンプラー(n)によって使用される中間のスレッシュホールド（閾値）電圧ThM　１６６は、０．５Vddであり、これは、全振動信号に対する理想的な論理スレッシュホールドである。

【００１６】

遷移をサンプリングするためのXサンプラー(n+1)回路は、好ましくは、２つのSPCSA　５１２、４つのDFF　５１４及び組み合わせ論理回路から構成される。第１のSPCSA　５１２は、０．３３Vddである低スレッシュホールド（閾値）電圧（ThL）１７０を使用する。第１のSPCSA　５１２とフリップフロップ５１４の出力はスキュー検出信号であるQLである。他のSPCSA回路５１３は、０．６６Vddである高スレッシュホールド（閾値）電圧（ThH）１６２を使用し、フリップフロップ５１４を介して、他のスキュー検出信号である出力QHを生成する。XCK(n+1)信号５３２が、隣接する２つのシリアルビットの遷移位置近くで生じる（すなわち、データとクロックが整列している）場合は、第１のSPCSA　５７２の出力QLは「１」であり、第２のSPCSA　５７２の出力QHは「０」である。LOCK（n+1）信号

５４４は「１」である。XCK（n+1）信号がシリアルビットの中央位置に近い（すなわち、データとクロックが整列していない）場合は、QL／QH出力は、１／１または０／１であり、LOCK信号５４４は「０」である。スレッシュホールド電圧ThL、ThH、及びThMは、スレッシュホールドバイアス回路１４８によって生成される。

【００１７】

図６に、TサンプラーとXサンプラーの動作をより詳しく示す。図６ａに、データ信号とクロック信号２０４が正確に整列している状態を示す。この状態では、QHは「０」で、QLは「１」である。なぜなら、サンプリングされたDataIn　２０２の電圧レベルは、０．６６Vdd（ThH閾値）より低く、０．３３Vdd（ThL閾値）より高いからである。結果として、LOCK(n+1)信号の「１」への遷移とXOUT (n+1)は無効となる。TOUT(n)とTOUT（n+1）は、各シリアルビットの中央位置をサンプリングし、回復されたデータとなる。図６ｂに、データ信号２０２がクロック信号２０４より進んでいる状態を示す。この状態では、QH／QL出力は０／０または１／１である。なぜなら、サンプリングされたデータの電圧レベルは、閾値ThH　１７０及びThL　１６２のレベルのいずれよりも低い（または高い）からである。結果として、LOCK（n+1）は「０」になり、XOUT（n+1）は有効になる。TOUT(n)、XOUT(n+1)、及び、TOUT(n+1)は１００または０１１のいずれかであり、これにより、位相調整回路４１８がDOWN位相推奨信号をアサートすることになる。図６ｃに、データ信号２０２がクロック信号２０４より遅れている状態を示す。この状態では、QH／QL出力は１／１または０／０である。なぜなら、サンプリングされたデータの電圧レベルは、閾値ThH及びThLのいずれのレベルよりも高い（または低い）からである。結果として、LOCK（n+1）信号は「０」になり、XOUT(n+1)は有効になる。TOUT(n)、XOUT（n+1）、及びTOUT(n+1)は、１１０か００１のいずれかであり、これによって、位相調整回路４１８は、ＵＰ位相推奨信号をアサートする。

【００１８】

図７は、位相調整回路４１８の詳細なブロック図である。この実施態様では、位相調整回路４１８は、位相検出論理回路７２０、チャージポンプ７１６、及びループフィルタ７１２から構成される。位相検出論理回路７２０は、DLL_LOCKB　３２２が「０」になると起動される。位相検出論理回路７２０は、Tout(0:6)　７５０、Xout(1:6)　７５２及びLOCK(1:6)　７５４を受信し、次に、それらの信号から、データパスとクロックパス間のスキューの状態を判定する。データがクロックより進んでいるときは、位相検出回路７２０は、ＵＰ位相推奨信号７１０を「０」に、DOWN位相推奨信号７１１を「１」に設定する。データがクロックよりも遅れているときは、位相検出回路７２０は、ＵＰ位相推奨信号７１０を「１」に、DOWN位相推奨信号７１１を「０」に設定する。データ信号とクロック信号のスキューが完全に除去されているとき、すなわち、データとクロックが完全に整列しているときは、位相検出論理回路７２０は、ＵＰ位相推奨信号７１０を「０」に、DOWN位相推奨信号７１１を「０」に設定する。

【００１９】

チャージポンプ７１６は、ＵＰ位相推奨信号７１０が「１」のときは、ループフィルタ７１２を放電させて、スキュー制御電圧４５８を低下させ、スキュー調整回路４０４の遅延を少なくする。チャージポンプ７１６は、DOWN位相推奨信号７１１が「１」のときは、ループフィルタ７１２を充電して、スキュー制御電圧４５８を増加させ、スキュー調整回路４０４の遅延を増やす。こうして、DataIn　２０２とXCK(0)　２０４のタイミングスキューとして再現される、RX0　１３１、RX0B　１３３及びRXC　１２７、RXCB　１２９のスキューが除去される。結果として、TCK(0:6)　１５４は、各シリアルビットの正確な中央位置を連続的にサンプリングし、Tout(0:6)　４５０は、回復されたデータになる。Tout(0:6)データ信号　４５０は、TCK(0:6)クロック信号１５４によってそれぞれ同期化される。並列フリップフロップ５１４段を通過した後、Tout(0:6)　４５０は最後の回復されたデータであるQ(0:6)　１０８になるが、これは、TCK(2)　２０９によって同期化される。

【００２０】

図８ａに、位相検出論理回路７２０を詳細に示す。位相検出論理回路７２０は、好ましく

は、６個の位相検出セル（PDセル(0:6)）８４０、８４４、８４８、８５２、８５６、８６０、及び、図８ｃに示すように、位相推奨ＵＰ／DOWNパルスを生成するための段から構成される。図８ｂに示すように、PDセル(n)　８６４は、TOUT(n)　５３６、Xout(n+1)　５４０、LOCK（n+1）　５４４、及びTOUT(n+1)　６０４信号を受信し、それに応じて、位相調整信号ＵＰ(n)　８７６及び位相調整信号DOWN(n)　８８０信号を生成する。上述したように、データ２０２信号とクロック２０４信号が正確に整列しているときは、LOCK（n+1）信号５４４は１であり、これにより、ＵＰ(n)信号及びDOWN(n)信号８０１、８０３が、それぞれ０／０になる。データ２０２がクロック２０４より進んでいるときは、LOCK（n+1）　５４４は「０」で、TOUT(n)　５３６、Xout(n+1)　５４０、TOUT(n+1)　６０４信号はそれぞれ１００か０１１であり、これによって、ＵＰ(n)及びDOWN(n)信号８０１、８０３はそれぞれ０／１になる。データ２０２がクロック２０４より遅れている場合は、LOCK（n+1）　５４４は「０」で、TOUT(n)　５３６、Xout(n+1)　５４０、TOUT(n+1)　６０４はそれぞれ１１０か００１であり、これによって、ＵＰ(n)及びDOWN(n)信号８０１、８０３はそれぞれ１／０になる。

【００２１】

UPF８８４信号は、ＵＰ(0:5)、すなわち、８２４、８２６、８２８、８３０、８３２信号の論理和をとることにより、DOWNＦ８８８信号は、DOWN(0:5)、すなわち、８２５、８２７、８２９、８３１、８３３信号の論理和をとることによりそれぞれ得られる。パルス発生器８９２は、クロック２０４の立ち下がりエッジ毎に連続してパルスを生成する。DLL_LOCKB　３２２が「１」（初期状態）のときは、ＵＰ　８７７とDOWN　８７８のいずれのパルスも「０」に設定され、これによって、データ回復チャンネル１２６の位相調整回路４１８が使用不可になる。DLL_LOCKB　３２２が「０」（起動状態）のときは、パルス発生器８９２が起動されて、データ回復チャンネル１２６のパルス調整回路４１８が起動される。UPF信号８８４もDOWNF信号８８８もアサートされていないときは、同じパルス幅を有するＵＰ／DOWNパルス８７７、８７８がアサートされる。UPF信号８８４がアサートされ、DOWNF信号８８８がアサートされないときは、ＵＰパルス８７７の幅は、DOWNパルス８７８の幅よりも大きくなる。

【００２２】

図９に、各データ回復チャンネル１２６のスキュー調整回路４０４を示す。DLL_LOCKB　３２２が「０」（初期状態）のときは、上述したように、位相検出論理回路７２０はオフになり、ＵＰ／DOWNパルス８７７、８７８のいずれも「０」に設定される。結果として、チャージポンプ７１６はトライステートになり、初期スキューバイアス回路４１２が起動され、スキュー制御電圧４５８が０．５Vddに設定される。こうして、RX0　１３１、RX0B　１３３からDataIn　２０２までの初期遅延が、RXC　１２７、RXCB　１２９からXCK(0)　２０４までの遅延と同じにされる。RX0　１３１、RX0B　１３３及びRX　１２７、RXCB　１２９に、ケーブルまたはボードライン長のミスマッチによって起こるタイミングスキューが存在する場合は、初期状態のDataIn　２０２とXCK(0)　２０４との間にこれと同じタイミングスキューが再現される。DLL　１０４がロック状態（DLL_LOCKBが１。これは起動（アクティブ）状態）を取得すると、初期スキューバイアス回路４１２はオフになって、トライステートに移行する。位相調整回路４１８が起動され、ＵＰ／DOWNパルス８７７、８７８が、DataIn　２０２とXCK(0)　２０４間の初期タイミングスキューに依存して生成される。位相調整回路４１８は、スキュー調整回路４０４の遅延を調整し、クロックとデータチャンネル間の初期タイミングスキューを除去して、TCK(0:6)　１５４が、各シリアルビット２０２（DataIn）の正確な中央位置を正しくサンプリングするようにする。

【００２３】

好適な実施態様を参照して本発明を説明したが、それらの実施態様に限定することを意図したものではない。当業者には、本発明の思想及び範囲から逸脱することなく、例示した実施態様の構造及び形式に多くの修正を加えることが可能なことは明らかであり、本発明は、請求の範囲においてのみ限定される。例えば、本発明を使用して、高速データ信号とそれに関連するクロック信号との間のスキューを修正することができる。

【図面の簡単な説明】

【図１】　スキューの影響を受けない低電圧差動振動（LVDS）受信器のブロック図である。

【図２】　受信器のスキュー除去動作を示すタイミング図である。

【図３】　遅延ロックループのより詳細なブロック図である。

【図４】　データチャンネルのブロック図である。

【図５】　ａ～ｃは、ＴサンプラーとＸサンプラー回路のより詳細なブロック図である。

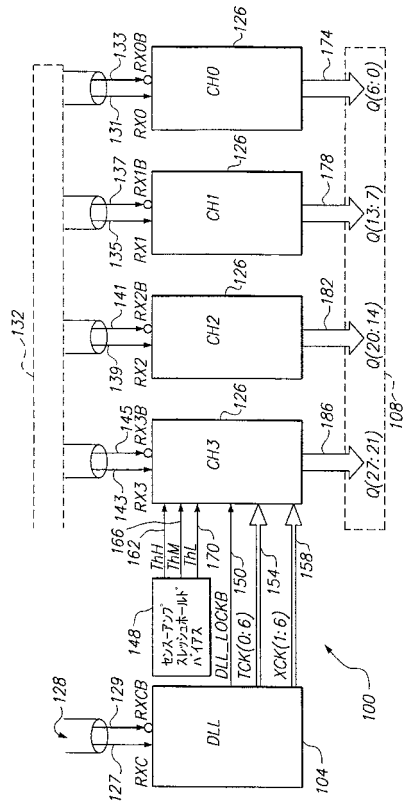
【図６】　ａ～ｃは、位相調整回路の機能を示すタイミング図である。

【図７】　位相調整回路のより詳細なブロック図である。

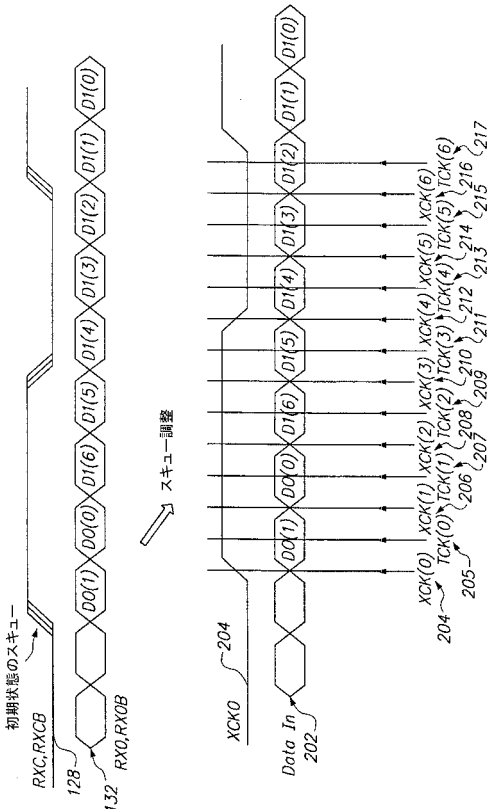
【図８】　ａ～ｄは、位相調整回路のコンポーネントのより詳細なブロック図である。

【図９】　スキュー調整回路のより詳細なブロック図である。

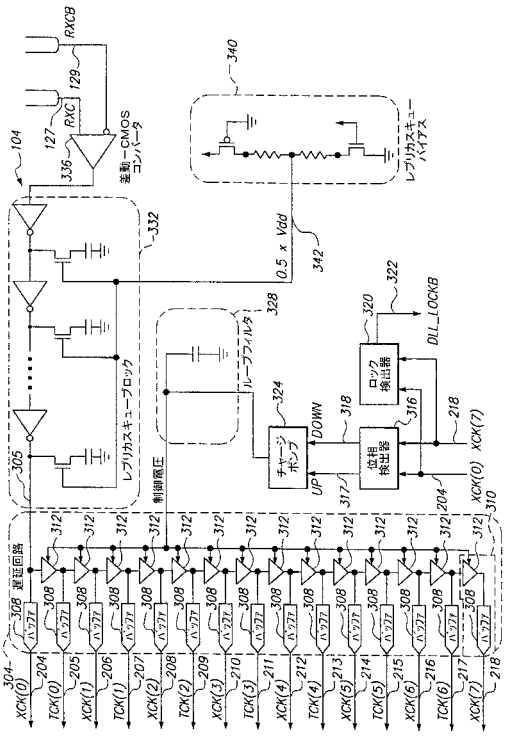
【図１】



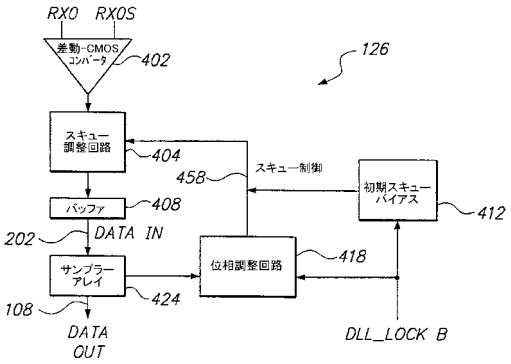
【図２】



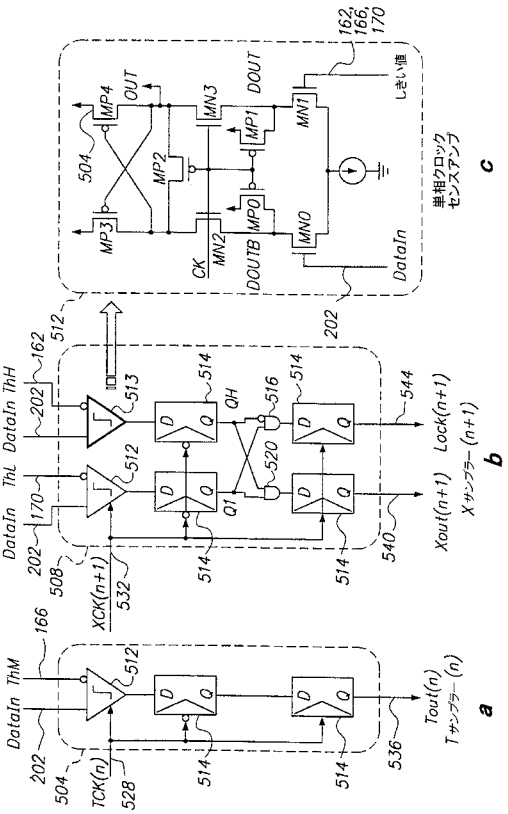
【図３】


RXCB
RXC
差動−CMOS コンバータ
レプリカスキューバイアス
0.5 x Vdd
レプリカスキューブロック
ループフィルタ
制御電圧
ロック検出器
位相検出器
チャージポンプ
DOWN
UP
DLL_LOCKB
遅延回路
バッファ
XCK(0)
TCK(0)
XCK(1)
TCK(1)
XCK(2)
TCK(2)
XCK(3)
TCK(3)
XCK(4)
TCK(4)
XCK(5)
TCK(5)
XCK(6)
TCK(6)
XCK(7)

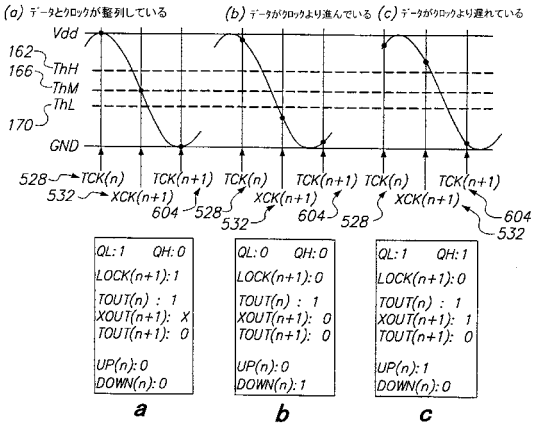
【図４】


RX0
RX0S
差動−CMOS コンバータ
スキュー調整回路
バッファ
DATA IN
サンプラーアレイ
DATA OUT
位相調整回路
スキュー制御
初期スキューバイアス
DLL_LOCK B

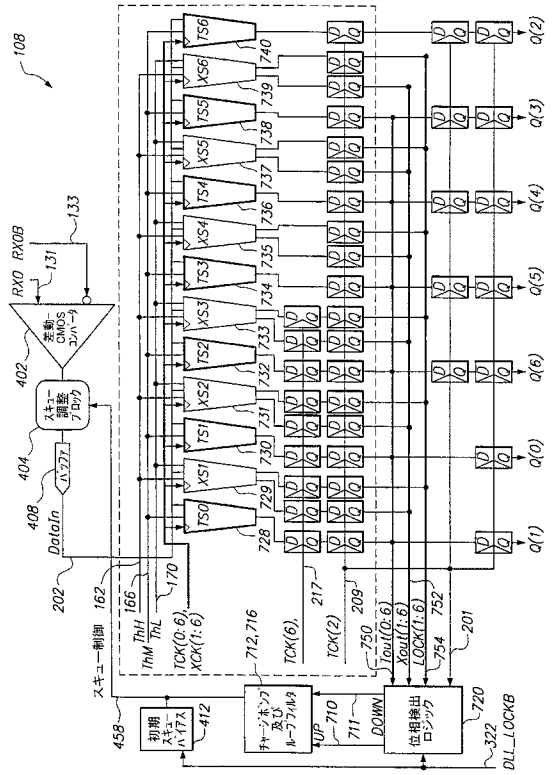
【図５】


単相クロックセンスアンプ
しきい値
DataIn
DOUT
DOUTB
OUT
CK
Lock(n+1)
Xout(n+1)
Xサンプラー(n+1)
Tout(n)
Tサンプラー(n)
DataIn ThH
DataIn ThL
DataIn ThM
XCK(n+1)
TCK(n)
a
b
c

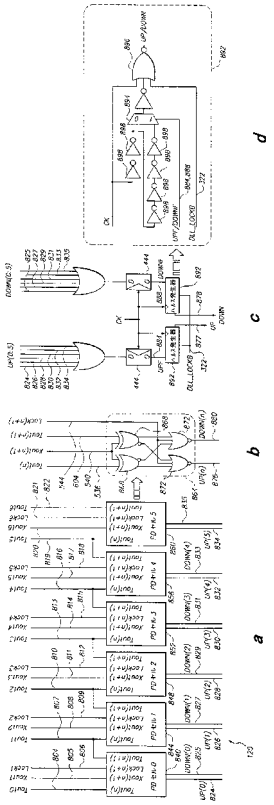
【図６】


(a) データとクロックが整列している
(b) データがクロックより進んでいる
(c) データがクロックより遅れている
Vdd
ThH
ThM
ThL
GND
TCK(n)
TCK(n+1)
XCK(n+1)
QL:1 QH:0
LOCK(n+1):1
TOUT(n) : 1
XOUT(n+1): X
TOUT(n+1): 0
UP(n):0
DOWN(n):0
QL:0 QH:0
LOCK(n+1):0
TOUT(n) : 1
XOUT(n+1): 0
TOUT(n+1): 0
UP(n):0
DOWN(n):1
QL:1 QH:1
LOCK(n+1):0
TOUT(n) : 1
XOUT(n+1): 1
TOUT(n+1): 0
UP(n):1
DOWN(n):0
a
b
c

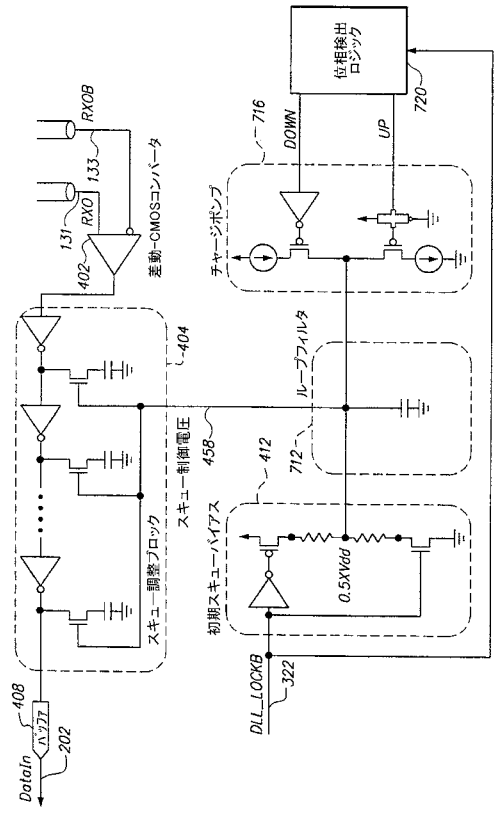
【図７】


108
RXOB
RXO
131
133
差動-CMOSコンバータ
402
スキュー調整ブロック
404
バッファ
408
DataIn
202
162
166
170
ThH
ThL
TCK(0:6)
XCK(1:6)
スキュー制御
712,716
TCK(6)
TCK(2)
217
209
750
Tout(0:6)
Xout(1:6)
LOCK(1:6)
752
754
201
458
初期スキューバイアス
412
チャージポンプ及びループフィルタ
UP
710
711
DOWN
位相検出ロジック
720
322
DLL_LOCKB
TS0
XS0
TS1
XS1
TS2
XS2
TS3
XS3
TS4
XS4
TS5
XS5
TS6
XS6
728
729
730
731
732
733
734
735
736
737
738
739
740
Q(0)
Q(1)
Q(2)
Q(3)
Q(4)
Q(5)
Q(6)

【図８】


a
b
c
d

【図９】


RXOB
RXO
131
133
402
差動-CMOSコンバータ
404
スキュー調整ブロック
408
DataIn
202
458
スキュー制御電圧
初期スキューバイアス
412
0.5XVdd
712
ループフィルタ
チャージポンプ
716
DOWN
UP
位相検出ロジック
720
322
DLL_LOCKB

フロントページの続き

(72)発明者　ジョン，デオーキョン
大韓民国ソウル１３７－０６３，セオチョーク，バンダエー３－ドング，１０３８，ダエウーヒョリョン・アパートメント，１０６－７０６

審査官　衣鳩　文彦

(56)参考文献　特開平０１－１６１９３６（ＪＰ，Ａ）
特開平０３－１５１７２２（ＪＰ，Ａ）
国際公開第96／29655（WO，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04L　7/00