



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0143161
(43) 공개일자 2024년10월02일

(51) 국제특허분류(Int. Cl.)

H01L 23/367 (2006.01) H01L 23/373 (2006.01)

H01L 29/423 (2006.01) H01L 29/786 (2006.01)

(52) CPC특허분류

H01L 23/367 (2013.01)

H01L 23/373 (2013.01)

(21) 출원번호 10-2023-0038085

(22) 출원일자 2023년03월23일

심사청구일자 2023년03월23일

(71) 출원인

인하대학교 산학협력단

인천광역시 미추홀구 인하로 100(용현동, 인하대학교)

(72) 발명자

오범환

인천광역시 연수구 인천타워대로 253-25, 102동 509호 (송도동, 아트원 푸르지오)

최창환

경상남도 남해군 삼동면 동부대로 886, 202호 (진고시텔)

(74) 대리인

양성보

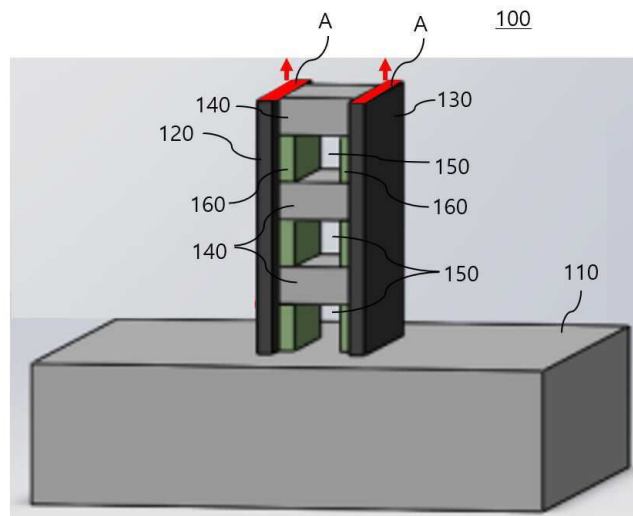
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 능동형 초미세 반도체 소자의 방열 개선

(57) 요약

본 개시는 방열 개선을 위한 능동형 초미세 반도체 소자 및 그의 제조 방법을 제공한다. 본 개시의 능동형 초미세 반도체 소자는, 서로로부터 이격되어 배치되는 소스 및 드레인, 및 소스와 드레인의 사이에서 서로로부터 이격되어 배치되어, 소스와 드레인의 사이에 복수의 채널들을 제공하는 복수의 내부 스페이서들을 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류

H01L 29/42392 (2013.01)

H01L 29/78696 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1345374178
과제번호	2022R1A6C101B762
부처명	교육부
과제관리(전문)기관명	한국기초과학지원연구원
연구사업명	이공학학술연구기반구축
연구과제명	핵심연구지원센터조성지원과제(3D 나노융합소자연구센터)
기 여 율	1/1
과제수행기관명	인하대학교 산학협력단
연구기간	2023.03.01 ~ 2024.02.29

명세서

청구범위

청구항 1

방열 개선을 위한 능동형 초미세 반도체 소자에 있어서,
서로로부터 이격되어 배치되는 소스 및 드레인; 및
상기 소스와 상기 드레인의 사이에서 서로로부터 이격되어 배치되어, 상기 소스와 상기 드레인의 사이에 복수의 채널들을 제공하는 복수의 내부 스페이서들
을 포함하는,
능동형 초미세 반도체 소자.

청구항 2

제 1 항에 있어서,
상기 소스 및 상기 드레인은 제 1 방향을 따라 각각 연장되고,
상기 채널들 및 상기 내부 스페이서들은 상기 제 1 방향에 수직인 제 2 방향을 따라 각각 연장되어, 상기 제 1 방향을 따라 교차적으로 배열되는,
능동형 초미세 반도체 소자.

청구항 3

제 2 항에 있어서,
상기 내부 스페이서들은 상기 제 1 방향을 따라 상기 내부 스페이서들의 각각의 아래에 상기 채널들의 각각이 제공되도록 배열되는,
능동형 초미세 반도체 소자.

청구항 4

제 1 항에 있어서,
상기 내부 스페이서들은 SiO_2 , Si_3N_4 , 또는 ZrO_2 중 적어도 하나로 형성되는,
능동형 초미세 반도체 소자.

청구항 5

제 2 항에 있어서,
상기 내부 스페이서들의 두께가 상기 제 1 방향을 따라 정의되며,
상기 두께가 두꺼울수록, 상기 능동형 초미세 반도체 소자의 최고 온도가 더 낮은,
능동형 초미세 반도체 소자.

청구항 6

제 1 항에 있어서,

상기 채널들의 각각에서 상기 소스와 상기 드레인에 각각 부착되어 있는 나노 시트들

을 더 포함하는,

능동형 초미세 반도체 소자.

청구항 7

제 1 항에 있어서,

상기 채널들 및 상기 내부 스페이서들은 각각 3 개인,

능동형 초미세 반도체 소자.

청구항 8

제 2 항에 있어서,

상기 제 1 방향을 따라 상기 소스 및 상기 드레인의 위에 배치되는 게이트

를 더 포함하는,

능동형 초미세 반도체 소자.

청구항 9

제 8 항에 있어서,

상기 능동형 초미세 반도체 소자는 상기 게이트가 적어도 하나의 내부 채널을 둘러싸는 GAAFET(Gate All Around Field Effect Transistor)인,

능동형 초미세 반도체 소자.

청구항 10

제 1 항 내지 제 9 항 중 적어도 한 항의 상기 능동형 초미세 반도체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 개시는 능동형 초미세 반도체 소자의 방열 개선 구조에 관한 것으로서, 특히 내부 구조상 최적 소재의 적용과 채널 주변부 구조의 보강 개선을 통해, 초미세화 초집적화된 능동형 반도체 소자의 열저항을 개선하고, 흡사 동작 조건시의 발열 온도를 낮추어 초고속 반도체 소자의 동작 한계를 개선하는 구조 보강에 관한 것이다.

배경 기술

[0002] 반도체 기술이 발전함에 따라 반도체 소자는 미세화 집적화되는 방향으로 진행해왔다. 능동형 반도체 소자인 FET(Field Effect Transistor)의 소스(source)와 드레인(drain) 사이에 놓인 채널의 길이를 극단적으로 줄이는 방향으로 진행되었으며, 근래에는 FinFET 구조와 같은 3차원 구조도 제시되었다. 최근에는 채널의 모든 면을 게이트(gate)가 둘러싸는 GAAFET(Gate All Around Field Effect Transistor) 구조가 제안되었다. GAAFET은 실리콘 채널의 주변부를 게이트가 둘러싸는 형태로서 게이트 통제성이 우수하며 채널 너비, 수, 두께 등 다양한 파

라미터를 최소화하면서 그 소자 구조의 장점이 인정되고 있다.

[0003] 이렇게 반도체가 미세화 고집적화됨에 따라 초미세구조의 능동소자 내부의 발열 및 그 방열 문제는 점점 심각해지고 있으며 기존의 방열구조만으로는 한계에 봉착하게 되었고, 이를 방지하면 결국 소자의 신뢰성을 저하시키는 문제로 이어진다. 즉, 미세부분에서 국소 발열이 심해지면 국소 부위의 온도가 높아지면서, 반도체 동작의 한계를 넘어서게 되므로, 소자 기능이 저하될 뿐 아니라, 소자 노후화가 가속되는 부작용이 발생하므로, 미세구조 소자의 방열저하 문제를 개선하는 것이 중요하다.

발명의 내용

해결하려는 과제

[0004] 본 개시는 소자 내부의 채널 부근 일부 소재를 열전도율이 높은 최적물질로 대체하고, 소자 채널의 발열부와 열전달 경로 상의 열전달 유효 단면적을 확장 개선하는 구조를 채택함으로써, 초미세구조 능동소자의 발열 문제를 개선하고자 한다.

과제의 해결 수단

[0005] 본 개시는 방열 개선을 위한 능동형 초미세 반도체 소자 및 그의 제조 방법을 제공한다.

[0006] 본 개시의 능동형 초미세 반도체 소자는, 서로로부터 이격되어 배치되는 소스 및 드레인, 및 상기 소스와 상기 드레인의 사이에서 서로로부터 이격되어 배치되어, 상기 소스와 상기 드레인의 사이에 복수의 채널들을 제공하는 복수의 내부 스페이서들을 포함할 수 있다.

발명의 효과

[0007] 본 개시에 따르면, 내부 스페이서들의 재료 대체와 두께 조절을 통해 능동형 초미세 반도체 소자의 국부 발열에 의한 방열 한계와 고온화 문제가 효과적으로 개선될 수 있다. 이로써, 능동형 초미세 반도체 소자의 집적도를 저해하지 않으면서, 방열 문제를 개선할 수 있으며, 이를 통해, 능동형 초미세 반도체 소자의 동작 한계의 개선에 크게 기여한다.

도면의 간단한 설명

[0008] 도 1은 다양한 실시예들에 따른 능동형 초미세 반도체 소자를 도시하는 사시도이다.

도 2, 도 3, 및 도 4는 다양한 실시예들에 따른 능동형 초미세 반도체 소자의 발열 기능 개선을 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 첨부된 도면들에 기재된 내용들을 참조하여 본 발명을 상세히 설명한다. 단, 본 발명의 목적 및 효과는 하기의 설명에 의해서 자연스럽게 이해되거나 보다 분명해질 수 있으며, 하기의 기재만으로 본 발명의 목적 및 효과가 제한되는 것은 아니다. 또한, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이, 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하기로 한다.

[0010] 이하에서, 본 개시는 우선 초미세구조 능동소자의 내부 구조상 일부 물질을 열전도율이 우수한 물질로 최적화하여 대체한다. 통상 그 물질은 소자에 따라 차이가 있지만, 기존에는 SiO₂등의 비교적 열전도율이 낮은 물질이 사용되었으나, 본 개시에서는, 여러 대체물질 중에서도 열전도율뿐 아니라 절연효과도 우수한 Si₃N₄를 적용하여, 최종적으로 방열 기능이 더 우수해지는 것을 확인하고 있다. 또한, 소자 동작시 발열 부분의 채널 부근에서 특정 보강 구조 막의 두께를 두껍게 함으로써 유효 열전달 단면적이 넓어지도록 하여, 그 열저항이 낮아져서, 최종적으로 방열기능이 개선된 것을 전산 모사로 확인하였다. 이 예시로서, 적절한 초미세구조의 GAUFET 소자에 대하여 소스와 드레인에 적절한 시범 열량(2mW)을 인가하였다. 이 때, 동작하는 CPU 내부의 온도를 가정하기 위하여, 모델링 소자 바닥면 온도는 70 °C로 두었다.

[0012] 도 1은 다양한 실시예들에 따른 능동형 초미세 반도체 소자(100)를 도시하는 사시도이다.

- [0013] 도 1을 참조하면, 능동형 초미세 반도체 소자(100)는 기판(110), 소스(120), 드레인(130), 복수의 내부 스페이서(140)들, 복수의 나노 시트(160)들, 및 게이트(도시되지 않음)를 포함할 수 있다. 일부 실시예들에서, 능동형 초미세 반도체 소자(100)의 구성 요소들 중 적어도 하나(예: 나노 시트(160)들)이 생략될 수 있다.
- [0014] 기판(110)은 능동형 초미세 반도체 소자(100)의 다른 구성 요소들을 지지할 수 있다. 예를 들어, 기판(110)은 Si으로 이루어질 수 있다.
- [0015] 소스(120) 및 드레인(130)은 기판(110) 상에서, 서로로부터 이격되어 배치될 수 있다. 이 때, 소스(120) 및 드레인(130)은 제 1 방향을 따라 각각 연장되며, 제 1 방향에 수직인 제 2 방향을 따라 서로로부터 이격될 수 있다. 예를 들어, 제 1 방향은 수직 방향으로 정의되고, 제 2 방향을 수평 방향으로 정의될 수 있다. 일부 실시예들에서, 소스(120) 및 드레인(130)은 각각 평판 형상을 가질 수 있다. 즉, 소스(120) 및 드레인(130)은 제 1 방향을 따라 평행하게 배열될 수 있다. 여기서, 제 1 방향을 따라, 소스(120) 및 드레인(130)의 높이(height)가 정의되고, 제 1 방향 및 제 2 방향에 수직인 제 3 방향을 따라, 소스(120) 및 드레인(130)의 길이(length)가 정의될 수 있다. 예를 들어, 소스(120) 및 드레인(130)은 동일한 높이 및 동일한 길이를 가질 수 있다. 예를 들어, 소스(120) 및 드레인(130)은 금속으로 이루어질 수 있다.
- [0016] 내부 스페이서(140)들은 소스(120)와 드레인(130)의 사이에서 서로로부터 이격되어 배치되어, 소스(120)와 드레인(130)의 사이에 복수의 채널(150)들을 제공할 수 있다. 이 때, 내부 스페이서(140)들은 제 2 방향을 따라 각각 연장되며, 제 1 방향을 따라 서로로부터 이격되며, 이로써, 채널(150)들도 제 2 방향을 따라 각각 연장되며, 제 1 방향을 따라 서로로부터 이격될 수 있다. 바꿔 말하면, 채널(150)들 및 내부 스페이서(140)들은 제 1 방향을 따라 교차적으로 배열될 수 있다. 내부 스페이서(140)들은, 예를 들어, 제 1 방향을 따라 내부 스페이서(140)들의 각각의 아래에 채널(150)들의 각각이 제공되도록, 배열될 수 있다. 여기서, 제 1 방향을 따라, 내부 스페이서(140)들의 두께(thickness)가 정의되고, 채널(150)들의 높이가 정의되며, 제 2 방향을 따라, 내부 스페이서(140)들 및 채널(150)들의 폭(width)이 정의될 수 있다. 채널(150)들은 진공 상태에 있을 수 있다. 예를 들어, 내부 스페이서(140)들은 SiO_2 , Si_3N_4 , 또는 ZrO_2 중 적어도 하나로 이루어질 수 있다. 일부 실시예들에서, 채널(150)들 및 내부 스페이서(140)들은 각각 3 개일 수 있다.
- [0017] 나노 시트(160)들은 채널(150)의 각각의 내측에서 소스(120) 및 드레인(130)에 각각 부착되어 있을 수 있다. 여기서, 제 1 방향을 따라, 나노 시트(160)들의 높이가 정의되고, 제 2 방향을 따라, 나노 시트(160)들의 두께가 정의될 수 있다. 예를 들어, 나노 시트(160)들은 Si으로 이루어질 수 있다.
- [0018] 게이트는 소스(120) 및 드레인(130)의 단부 상에 배치될 수 있다. 이 때, 게이트는 소스(120) 및 드레인(130)에 걸쳐 배치될 수 있다. 예를 들어, 게이트는 제 1 방향을 따라 소스(120) 및 드레인(130)의 위에 배치될 수 있다. 일부 실시예들에서, 게이트는 적어도 하나의 내부 채널을 가지며, 바꿔 말하면, 게이트가 내부 채널을 개별적으로 둘러쌀 수 있다. 내부 채널은 진공 상태에 있을 수 있다. 이러한 경우, 능동형 초미세 반도체 소자(100)는 GAAFET 구조를 나타낼 수 있다. 여기서, 제 3 방향을 따라, 게이트의 길이가 정의될 수 있다.
- [0019] 예를 들어, 능동형 초미세 반도체 소자(100)의 구성 요소들의 치수들과 재료들은 하기 [표 1]과 같이 설정될 수 있다.

표 1

치수	값	재료
게이트의 길이	1.2 μm	진공
채널의 폭	3 μm	Si
채널의 높이	1 μm	진공
나노 시트의 두께	0.5 μm	Si
내부 스페이서의 두께	0.3 μm	SiO ₂ /Si ₃ N ₄ /ZrO ₂
소스 및 드레인의 길이	1.2 μm	금속
소스 및 드레인의 높이	4.5 μm	금속
기판	10 μm × 10 μm × 3 μm	Si

[0020]

[0021]

도 2, 도 3, 및 도 4는 다양한 실시예들에 따른 능동형 초미세 반도체 소자(100)의 발열 기능 개선을 설명하기 위한 도면들이다. 구체적으로, 도 2는 능동형 초미세 반도체 소자(100)의 전산 모사를 설명하기 위한 도면이고, 도 3은 내부 스페이서(140)들의 재료에 따른 능동형 초미세 반도체 소자(100)의 발열 기능 개선을 설명하기 위한 도면이며, 도 4는 내부 스페이서(140)들의 두께에 따른 능동형 초미세 반도체 소자(100)의 발열 기능 개선을 설명하기 위한 도면이다.

[0022]

도 2를 참조하면, 능동형 초미세 반도체 소자(100)의 발열 기능을 개선하기 위해 전산 모사가 진행되었다. 이 때, 능동형 초미세 반도체 소자(100)의 기능 동작 시에, 소스(120)와 드레인(130)의 상단면, 즉, 발열부에 대해 2 mW 정도의 발열을 인가하도록 설정하였으며, CPU 내부 온도를 가정해 능동형 초미세 반도체 소자(100)의 바닥면의 온도를 70° C로 설정하였다. 이를 통해, 발열부에서 발생한 열은 능동형 초미세 반도체 소자(100)의 바닥면을 통해 빠져나가는 것으로 전산모사하였다.

[0023]

다양한 실시예들에 따르면, 채널(150)들을 지탱하는 내부 스페이서(140)들의 재료는 능동형 초미세 반도체 소자(100)의 방열 기능에 영향을 주는 주요한 요인 중 하나이다. 능동형 초미세 반도체 소자(100)의 방열 기능을 개선하기 위해서 내부 스페이서(140)들에 열전도율이 높은 재료가 적용될 수 있다. 이를 확인하기 위해, 도 3의 (a), (b), 및 (c)에 도시된 바와 같이, 내부 스페이서(140)들에 SiO₂, Si₃N₄, 및 ZrO₂를 각각 적용하여, 최고온도 결과를 비교하였다. 결과적으로, 내부 스페이서(140)들에 SiO₂가 적용될 때보다, 내부 스페이서(140)들에 열전도율이 높으면서도 절연성이 우수한 Si₃N₄가 적용될 때, 능동형 초미세 반도체 소자(100)의 방열 기능이 보다 더 개선되었다.

[0024]

다양한 실시예들에 따르면, 단순한 열전달 구조의 열저항식에 따르면 열저항(R_{th}) = 열전달 경로의 길이(L) / (열전달 단면적(A) * 열 전도율($\ddot{e}$))이므로, 열전달 경로를 파악하여 그 경로에 수직한 열전달 단면적(A)(도1에 도시됨)을 넓혀 열저항을 낮추어준다면 방열 기능을 개선할 수 있다. 따라서, 내부 스페이서(140)들의 두께를 증가시켜 그 열전달 유효 단면적을 넓힘으로써 능동형 초미세 반도체 소자(100)의 열저항을 개선할 수 있다. 이를 확인하기 위해, 도 4의 (a), (b), (c), 및 (d)에 도시된 바와 같이, 내부 스페이서(140)들의 두께를 0.3 μm , 0.5 μm , 0.7 μm , 및 0.9 μm 로 각각 적용하여, 최고온도 결과를 비교하였다. 여기서, 내부 스페이서(140)들의 두께가 0.3 μm , 0.5 μm , 0.7 μm , 및 0.9 μm 일 때, 열전달 유효 단면적은 대략 0.36 μm^2 , 0.6 μm^2 , 0.84 μm^2 , 및 1.1 μm^2 까지 나타났다. 결과적으로, 내부 스페이서(140)들의 두께가 두꺼울수록, 능동형 초미세 반도체 소자(100)의 최고 온도가 더 낮아지며, 최대 약 101 °C까지 감소되었다(375 °C → 274 °C). 즉, 내부 스페이서(140)들의 두께가 두꺼울수록, 능동형 초미세 반도체 소자(100)의 방열 기능이 보다 더 개선되었다. 이는 내부 스

페이서(140)들의 두께가 두꺼울수록 열전달 유효 단면적이 넓어짐에 따라, 능동형 초미세 반도체 소자(100)의 방열 기능이 개선되어 동작 온도가 낮아짐을 의미한다.

[0025] 본 개시에 따르면, 내부 스페이서(140)들의 재료 대체와 두께 조절을 통해 능동형 초미세 반도체 소자(100)의 국부 발열에 의한 방열 한계와 고온화 문제가 효과적으로 개선될 수 있다. 이로써, 능동형 초미세 반도체 소자(100)의 집적도를 저해하지 않으면서, 방열 문제를 개선할 수 있으며, 이를 통해, 능동형 초미세 반도체 소자(100)의 동작 한계의 개선에 크게 기여한다.

[0027] 요컨대, 본 개시는 방열 개선을 위한 능동형 초미세 반도체 소자(100) 및 그의 제조 방법을 제공한다.

[0028] 본 개시의 능동형 초미세 반도체 소자(100)는, 서로로부터 이격되어 배치되는 소스(120) 및 드레인(130), 및 소스(120)와 드레인(130)의 사이에서 서로로부터 이격되어 배치되어, 소스(120)와 드레인(130)의 사이에 복수의 채널(150)들을 제공하는 복수의 내부 스페이서(140)들을 포함할 수 있다.

[0029] 다양한 실시예들에 따르면, 소스(120) 및 드레인(130)은 제 1 방향을 따라 각각 연장되고, 채널(150)들 및 내부 스페이서(140)들은 제 1 방향에 수직인 제 2 방향을 따라 각각 연장되어, 제 1 방향을 따라 교차적으로 배열될 수 있다.

[0030] 다양한 실시예들에 따르면, 내부 스페이서(140)들은 제 1 방향을 따라 내부 스페이서(140)들의 각각의 아래에 채널들의 각각이 제공되도록 배열될 수 있다.

[0031] 다양한 실시예들에 따르면, 내부 스페이서(140)들은 SiO_2 , Si_3N_4 , 또는 ZrO_2 중 적어도 하나로 형성될 수 있다.

[0032] 다양한 실시예들에 따르면, 내부 스페이서(140)들의 두께가 제 1 방향을 따라 정의되며, 두께가 두꺼울수록, 능동형 초미세 반도체 소자(100)의 최고 온도가 더 낮을 수 있다.

[0033] 다양한 실시예들에 따르면, 채널(150)들의 각각에서 소스(120)와 드레인(130)에 각각 부착되어 있는 나노 시트(160)들을 더 포함할 수 있다.

[0034] 다양한 실시예들에 따르면, 채널(150)들 및 내부 스페이서(140)들은 각각 3 개일 수 있다.

[0035] 다양한 실시예들에 따르면, 제 1 방향을 따라 소스(120) 및 드레인(130)의 위에 배치되는 게이트를 더 포함할 수 있다.

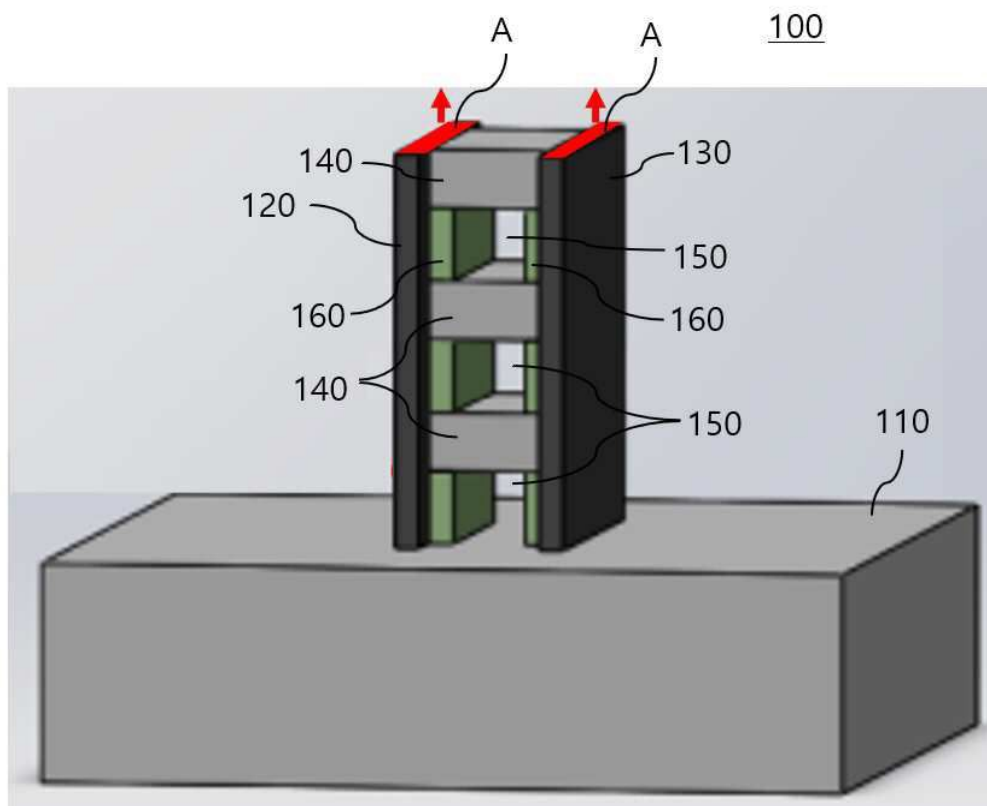
[0036] 다양한 실시예들에 따르면, 능동형 초미세 반도체 소자(100)는 게이트가 적어도 하나의 내부 채널을 둘러싸는 GAAFET일 수 있다.

[0037] 본 문서의 다양한 실시예들 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다. 도면의 설명과 관련하여, 유사한 구성 요소에 대해서는 유사한 참조 부호가 사용될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다. 본 문서에서, "A 또는 B", "A 및/또는 B 중 적어도 하나", "A, B 또는 C" 또는 "A, B 및/또는 C 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다. "제 1", "제 2", "첫째" 또는 "둘째" 등의 표현들은 해당 구성 요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성 요소를 다른 구성 요소와 구분하기 위해 사용될 뿐 해당 구성 요소들을 한정하지 않는다. 어떤(예: 제 1) 구성 요소가 다른(예: 제 2) 구성 요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 상기 어떤 구성 요소가 상기 다른 구성 요소에 직접적으로 연결되거나, 다른 구성 요소(예: 제 3 구성 요소)를 통하여 연결될 수 있다.

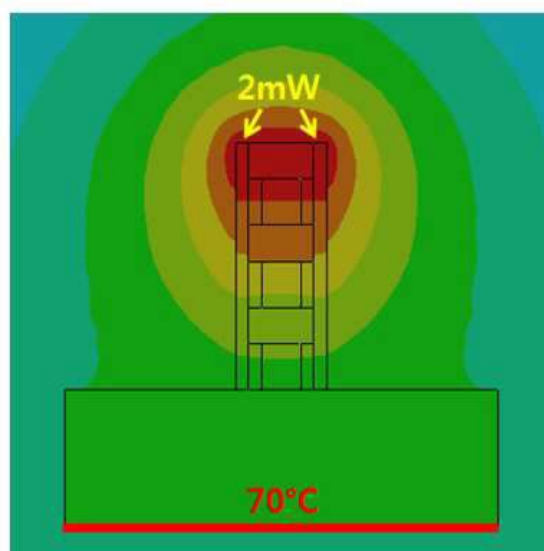
[0038] 다양한 실시예들에 따르면, 기술한 구성 요소들의 각각의 구성 요소는 단수 또는 복수의 개체를 포함할 수 있다. 다양한 실시예들에 따르면, 기술한 해당 구성 요소들 중 하나 이상의 구성 요소들 또는 단계들이 생략되거나, 또는 하나 이상의 다른 구성 요소들 또는 단계들이 추가될 수 있다. 대체적으로 또는 추가적으로, 복수의 구성 요소들은 하나의 구성 요소로 통합될 수 있다. 이런 경우, 통합된 구성 요소는 복수의 구성 요소들 각각의 구성 요소의 하나 이상의 기능들을 통합 이전에 복수의 구성 요소들 중 해당 구성 요소에 의해 수행되는 것과 동일 또는 유사하게 수행할 수 있다.

도면

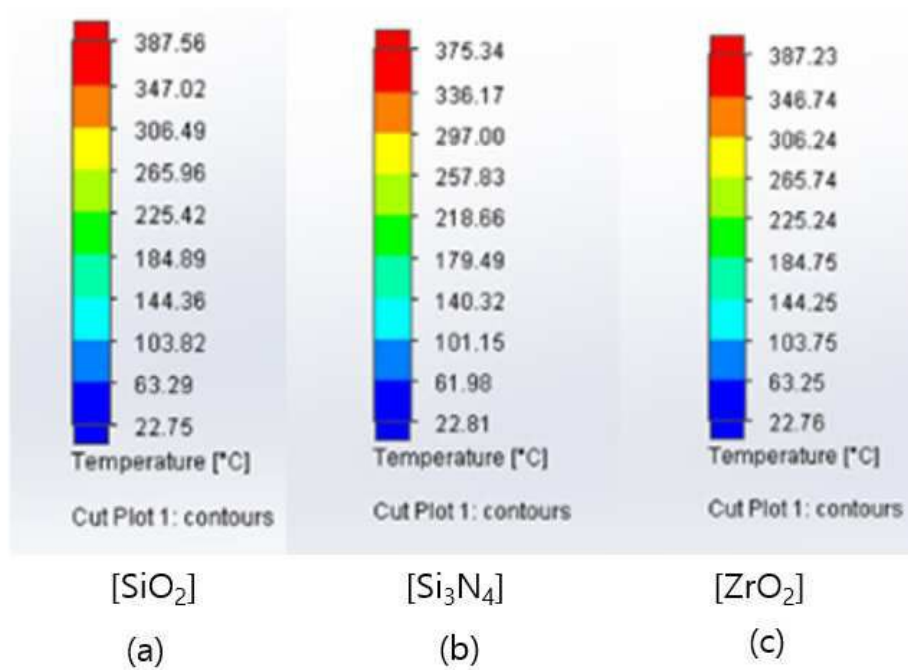
도면1



도면2



도면3



도면4

