



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2014년10월06일
 (11) 등록번호 10-1447020
 (24) 등록일자 2014년09월26일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
- (21) 출원번호 10-2008-0020360
 (22) 출원일자 2008년03월05일
 심사청구일자 2013년03월04일
 (65) 공개번호 10-2008-0082478
 (43) 공개일자 2008년09월11일
 (30) 우선권주장
 JP-P-2007-00058582 2007년03월08일 일본(JP)
 (56) 선행기술조사문헌
 JP2001230420 A*
 JP2003257864 A*
 KR1019990036851 A*
 JP63299278 X2
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와Ken 아쓰기시 하세 398
 (72) 발명자
오누마 히데토
 일본국 가나가와Ken 아쓰기시 하세 398 가부시키가
 이샤 한도오따이에네루기 켄큐쇼 나이
이소베 아쓰오
 일본국 가나가와Ken 아쓰기시 하세 398 가부시키가
 이샤 한도오따이에네루기 켄큐쇼 나이
고도 히로미치
 일본국 가나가와Ken 아쓰기시 하세 398 가부시키가
 이샤 한도오따이에네루기 켄큐쇼 나이
 (74) 대리인
이화의

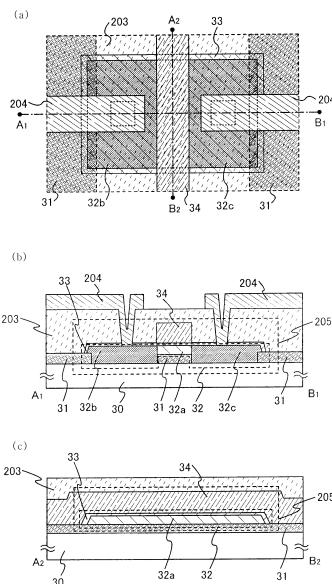
전체 청구항 수 : 총 8 항

심사관 : 설관식

(54) 발명의 명칭 반도체장치 및 그 제작 방법

(57) 요약

본 발명은, S값이 작고 온 전류의 저하가 억제된 응답성이 좋은 반도체장치의 구성 및 제작방법을 제안한다. 소스 영역 또는 드레인 영역의 막두께가 채널 형성 영역의 막두께보다 두껍게 형성되어 있다. 이러한 반도체장치의 제작 방법으로서는, 우선 기판 위에 설치된 질연층에 의하여 형성되는 요철 위에 비정질 반도체층을 형성하고, 비정질 반도체층에 레이저 빔을 조사해서 비정질 반도체를 용융함으로써 막두께가 다른 결정질 반도체층을 형성한다. 그리고, 결정질 반도체층의 막두께가 두꺼운 부분에 불순물을 첨가 함에 의해 소스 영역 또는 드레인 영역을 형성하고, 불순물이 첨가되지 않는 영역을 채널 형성 영역으로 하고, 소스 영역 또는 드레인 영역과 전기적으로 접속하는 도전층을 형성함에 의해 제작할 수 있다.

대 표 도 - 도1

특허청구의 범위

청구항 1

삭제

청구항 2

절연 기판 위에 제 1 절연층을 형성하고,

상기 절연 기판 위에 제 2 절연층을 형성함으로써 볼록부를 사이에 갖는 제 1 오목부와 제 2 오목부를 형성하고,

상기 제 1 오목부, 상기 제 2 오목부 및 상기 볼록부 위에 비정질반도체층을 형성하고,

상기 절연 기판측과는 반대측의 면에 평탄한 표면을 갖는 결정질 반도체층을 상기 비정질 반도체층을 용융하여 형성하고,

불순물 원소를 상기 결정질 반도체층의 제 2 영역에 첨가하지 않고 상기 불순물 원소를 상기 결정질 반도체층의 제 1 영역에 첨가하여 소스 영역 또는 드레인 영역을 상기 결정질 반도체층에 형성하는 것을 포함하고,

상기 결정질 반도체층의 상기 제 1 영역은, 상기 결정질 반도체층이 상기 제 1 오목부와 상기 제 2 오목부와 겹치는 영역이고,

상기 결정질 반도체층의 상기 제 2 영역은, 상기 결정질 반도체층이 상기 볼록부와 겹치는 영역인, 반도체장치의 제작방법.

청구항 3

삭제

청구항 4

절연 기판 위에 제 1 절연층을 형성하고,

상기 절연 기판 위에 제 2 절연층을 형성함으로써 볼록부를 사이에 갖는 제 1 오목부와 제 2 오목부를 형성하고,

상기 제 1 오목부, 상기 제 2 오목부 및 상기 볼록부 위에 비정질 반도체층을 형성하고,

상기 절연 기판측과는 반대측의 면에 평탄한 표면을 갖는 결정질 반도체층을 상기 비정질 반도체층을 레이저빔으로 주사하여 형성하고,

불순물 원소를 상기 결정질 반도체층의 제 2 영역에 첨가하지 않고 상기 불순물 원소를 상기 결정질 반도체층의 제 1 영역에 첨가하여 소스 영역 또는 드레인 영역을 상기 결정질 반도체층에 형성하는 것을 포함하고,

상기 결정질 반도체층의 상기 제 1 영역은, 상기 결정질 반도체층이 상기 제 1 오목부와 상기 제 2 오목부와 겹치는 영역이고,

상기 결정질 반도체층의 상기 제 2 영역은, 상기 결정질 반도체층이 상기 볼록부와 겹치는 영역인, 반도체장치의 제작방법.

청구항 5

제 2 항 또는 제 4 항에 있어서,

상기 제 2 절연층은, 스트라이프 패턴으로 형성된, 반도체장치의 제작방법.

청구항 6

제 2 항 또는 제 4 항에 있어서,

상기 결정질 반도체층의 상기 제 2 영역의 두께는, 10nm 이상 50nm이하인, 반도체장치의 제작방법.

청구항 7

제 2 항 또는 제 4 항에 있어서,

상기 결정질 반도체층의 상기 제 2 영역의 두께는, 상기 결정질 반도체층의 상기 제 1 영역의 두께 미만인, 반도체장치의 제작방법.

청구항 8

제 4 항에 있어서,

상기 레이저빔은 선형 빔인, 반도체장치의 제작방법.

청구항 9

제 4 항에 있어서,

상기 레이저빔은, 연속발진 레이저 빔 또는 10MHz이상의 주파수로 발진하는 레이저빔인, 반도체장치의 제작방법.

청구항 10

제 4 항에 있어서,

상기 레이저빔은 선형 빔이고,

상기 제 2 절연층은 스트라이프 패턴으로 형성되고,

상기 비정질 반도체층의 주사는, 상기 볼록부가 연장하는 방향과 상기 선형 빔의 장면이 교차하고, 상기 레이저빔이 상기 볼록부가 연장하는 방향으로 주사되도록 수행되는, 반도체장치의 제작방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

명세서

발명의 상세한 설명

기술분야

[0001]

본 발명은, 반도체장치 및 그 제작 방법에 관한 것이다.

배경기술

[0002]

최근, 유리 등의 절연 표면을 가지는 기판 위에 박막트랜지스터(이하, TFT라고도 한다)를 형성하고, 박막트랜지스터를 스위칭소자 등으로서 이용하는 반도체장치의 제작이 왕성하게 행해지고 있다. 또한, 박막트랜지스터의 구성으로서, 절연 표면을 가지는 기판 위에 CVD법, 포토리소그래피법 등을 사용해서 섬 형상의 반도체층을 형성하고, 섬 형상의 반도체층의 일부를 트랜지스터의 채널 형성 영역으로서 이용하는 구성이 제안되어 있다.

[0003]

그러한 가운데, 박막트랜지스터의 특성을 향상시키기 위해서, 반도체층의 막두께를 얇게 함으로써 S값(여기에서 S값이란, 드레인 전압 일정하게하여 드레인 전류를 1자리수 변화시키는 서브스레시홀드 영역에서의 게이트 전압값을 말한다)을 작게 한 박막트랜지스터를 제작하는 방법이 제안되어 있다. 그렇지만, 반도체층의 막두께를 얇게 함으로써, 소스 영역 및 드레인 영역의 저항 및 콘택 저항이 증대하고, 온 전류의 저하를 초대한다고 하는 문제가 있었다.

[0004]

그래서, 이것들의 문제를 해소하기 위해서, 소스 영역 또는 드레인 영역의 막두께에 비교해서 채널 형성 영역의 막두께를 얇게 형성한 반도체층을 사용한 박막트랜지스터가 제안되어 있다(예를 들면, 특허문헌 1~2, 비특허문헌 1). 예를 들면, 특허문헌 1에는, 평탄한 절연 기판표면에 채널 형성 영역의 막두께를 국소적으로 얇게 한 반도체층을 형성해서 박막 트랜지스터를 제작하는 방법이 개시되어 있다. 또한, 특허문헌 2에는, 채널 형성 영역에 대응한 개소에 돌기가 형성된 절연 기판 위에 반도체층을 형성하고, 돌기 위에 형성된 반도체층의 윗면을 에칭 함에 의해 반도체층을 평탄화해서 채널 형성 영역의 막두께를 얇게 하는 방법이 개시되어 있다. 또한, 비특허문헌 1에는, p^-S_i 막 위에 n^+S_i 막을 퇴적한 후에 n^+S_i 막을 부분적으로 드라이 에칭하고, 에칭된 n^+S_i 막의 아래의 p^-S_i 막을 채널 형성 영역으로서 사용하고, p^-S_i 막과 n^+S_i 막이 적층한 부분을 소스 영역 또는 드레인 영역으로서 사용하는 박막트랜지스터의 제작 방법이 개시되어 있다.

[특허문헌1] 일본국 공개특허 특개소 61-48975

[특허문헌2] 일본국 공개특허공보 특개평 5-110099

[비특허문헌1] Electrochemical Society Proceedings Volume 98-22, PP.204-220

발명의 내용

해결 하고자하는 과제

[0008] 그렇지만, 특허문헌 1에 나타나 있는 바와 같이 막두께가 다른 반도체층을 평탄한 절연 기판 표면에 형성하는 데는, 소정의 막두께의 채널 형성 영역을 형성하기 위해서 반도체층을 선택적으로 에칭할 필요가 있는 공정이 불안정하다고 하는 문제가 있다. 또한, 특허문헌 2에 나타내는 방법에서는, 반도체층의 표면을 평탄화하기 위해서 에칭 처리를 행하기 때문에, 공정수가 증가하고, 또 반도체층의 표면이 평탄해지도록 선택적으로 에칭 처리를 행할 필요가 있는 공정이 불안정하다고 하는 문제가 있다. 또한, 비특허문헌 1에 나타내는 방법에서는, Si막을 2회 퇴적한 후 에칭할 필요가 있고, 공정수가 증가한다. 특히, N채널형 트랜지스터와 P채널형 트랜지스터를 형성할 경우, Si막의 퇴적 회수 및 에칭 회수가 더욱 증가한다. 또한, Si막의 에칭 처리를 제어할 필요가 있는 공정이 불안정하다고 하는 문제가 있다. 또한, 채널 형성 영역을 50 nm이하의 막두께로 형성할 경우, 막두께의 제어가 곤란하다고 하는 문제가 있다.

[0009] 본원 발명은, 이러한 과제를 해결하기 위한 기술을 제공하는 것으로, S값이 작고 온 전류의 저하를 억제한 응답성이 좋은 반도체장치를 복잡한 공정을 거치지 않고 제작하는 방법을 제안하는 것을 목적으로 한다.

과제 해결수단

[0010] 본 발명의 반도체장치에서는, 소스 영역 또는 드레인 영역의 막두께가 채널 형성 영역의 막두께보다 두껍게 형성되어 있다. 이러한 반도체장치의 제작 방법으로서는, 우선 기판 위에 설치된 절연층에 의해 형성되는 요철 위에 비정질 반도체층을 형성하고, 비정질 반도체층에 레이저 빔을 조사해서 결정질 반도체층을 형성 함에 의해 막두께가 다른 결정질 반도체층을 형성한다. 그리고, 결정질 반도체층의 막두께가 두꺼운 부분에 불순물을 첨가 함에 의해 소스 영역 또는 드레인 영역을 형성하고, 불순물이 첨가되지 않는 영역을 채널 형성 영역으로 한다. 소스 영역 또는 드레인 영역과 전기적으로 접속하는 배선을 형성 함에 의해 본 발명의 반도체장치를 제작 할 수 있다.

[0011] 본 발명의 반도체장치는, 기판 위에 형성된 적어도 채널 형성 영역에 대응하는 개소에 볼록부를 가지는 제1 절연층과, 상기 제1 절연층 위에 설치된 비정질 반도체층을 용융 함에 의해 형성된 결정질 반도체층과, 상기 결정질 반도체층 위에 형성된 제2 절연층과, 상기 제2 절연층 위에 형성된 게이트 전극과, 상기 게이트 전극 위에 형성된 제3 절연층과, 상기 제3 절연층에 형성된 콘택홀을 거쳐서 상기 소스 영역 또는 드레인 영역과 전기적으로 접속하는 배선을 가지고, 상기 제1 절연층의 볼록부 위에 채널 형성 영역이 형성되고, 상기 제1 절연층의 오목부 위에 소스 영역 또는 드레인 영역이 형성되어 있다.

[0012] 본 발명의 반도체장치는, 적어도 채널 형성 영역에 대응하는 개소에 볼록부를 가지는 제1 절연층을 형성하고, 상기 제1 절연층 위에 비정질 반도체층을 형성하고, 상기 비정질 반도체층에 레이저빔을 조사해서 결정질 반도체층을 형성하고, 상기 제1 절연층의 오목부 위에 형성된 상기 결정질 반도체층에 불순물을 첨가해서 소스 영역 또는 드레인 영역을 형성하고, 상기 결정질 반도체층 위에 제2 절연층을 형성하고, 상기 볼록부 위에 형성된 결정질 반도체층 위에 상기 제2 절연층을 거쳐서 게이트 전극을 형성하고, 상기 게이트 전극 및 상기 소스 영역 또는 드레인 영역 위에 제3 절연층을 형성하고, 상기 제3 절연층에 상기 소스 영역 또는 드레인 영역을 노출하는 콘택홀을 형성하고, 상기 제3 절연층 위에 상기 소스 영역 또는 드레인 영역과 접속하는 도전층을 형성 함에 의해 제작할 수 있다. 이때, 기판 상의 채널 형성 영역에 대응하는 개소에만 제1 절연층을 형성하여도 된다. 이 경우, 기판과 제1 절연층에 의하여 요철을 형성하고, 막두께가 다른 반도체층이 형성된다.

효과

[0013] 본 발명의 반도체장치에서는, 요철이 설치된 절연층 위에 형성된 반도체층을 용융해서, 반도체층의 표면을 평탄화 함에 의해, 소스 영역 또는 드레인 영역의 막두께를 채널 형성 영역의 막두께보다 두껍게 하기 때문에, S값이 작고 또한 온 전류의 저하가 억제된 반도체장치를 제작할 수 있다. 또한, 반도체층을 용융해서 평탄화하기 때문에, 프로세스를 증가시키지 않고 용이하게 반도체장치를 제작하는 것이 가능하다.

[0014] 따라서, 본 발명에 있어서, S값이 작고 또한 온 전류의 저하가 억제된 응답성이 좋은 반도체장치를 용이하게 제작하는 것이 가능하다.

발명의 실시를 위한 구체적인 내용

[0015] 본 발명의 실시예에 대해서, 도면을 사용해서 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 일탈하지 않고 그 형태 및 상세를 여러 가지로 변경할 수 있는 것은

당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시예의 기재 내용에 한정해서 해석되는 것은 아니다. 이때, 이하에 설명하는 본 발명의 구성에 있어서, 같은 것을 가리키는 부호는 다른 도면간에 공통적으로 사용하는 경우가 있다.

[0016] (실시예1)

[0017] 본 실시예에서는, 소스 영역 또는 드레인 영역의 막두께를 채널 형성 영역의 막두께보다 두껍게 형성한 반도체층을 사용한 반도체장치의 구조 및 제작 방법에 관하여 설명한다.

[0018] 도 1은 본 발명에 따른 반도체장치의 구성을 설명하기 위한 평면도 및 단면도다. 도 1a는, 박막트랜지스터를 이용한 반도체장치의 평면도를 나타내고, 도 1b는 도 1a의 점A₁과 점B₁을 잇는 파선에 있어서의 단면도를 나타내고, 도 1c는 도 1a의 점A₂과 점B₂를 잇는 파선에 있어서의 단면도를 나타내고 있다.

[0019] 본 실시예에 나타내는 박막트랜지스터는, 기판(30) 위에 요철이 형성되도록 설치된 절연층(31)과, 기판(30) 및 절연층(31) 위에 섬 형상으로 설치된 반도체층(32)과, 반도체층(32) 위에 형성된 게이트 절연층(33)과, 반도체층(32)의 윗쪽에 게이트 절연층(33)을 통해서 설치된 게이트 전극으로서 기능하는 도전층(34)을 포함한 박막트랜지스터(205)와, 게이트 절연층(33) 및 도전층(34)을 덮어서 설치된 절연층(203)과, 절연층(203) 위에 설치된 소스 전극 또는 드레인 전극으로서 기능하는 도전층(204)을 가지고 있다(도 1a~c). 이때, 반도체층(32)은, 채널 형성 영역(32a)과 소스 영역 또는 드레인 영역으로서 기능하는 불순물영역(32b, 32c)을 가지고 있다. 또한, 채널 형성 영역(32a)중에, 불순물영역(32b, 32c)에 첨가한 불순물과 같은 불순물, 또는 불순물영역(32b, 32c)의 도전형과는 반대의 도전형을 부여하는 불순물이 첨가되어 있어도 된다. 또한, 기판(30)과 절연층(31)과의 사이에 더 절연층이 형성되어 있어도 된다.

[0020] 도 1에 나타내는 반도체장치에 있어서는, 기판(30)과 절연층(31)으로 단차를 설치하는 것에 의해 요철을 형성하고, 그 위에 형성되는 반도체층(32)의 막두께를 변화시키고 있다. 본 실시예에서는, 기판(30) 상의 절연층(31)에 의해 형성된 요철 위에 형성된 반도체층을 용융해서 평탄화 함에 의해, 채널 형성 영역(32a)의 막두께에 비교해서 소스 영역 또는 드레인 영역으로서 기능하는 불순물영역(32b, 32c)의 막두께가 큰 반도체층을 형성하고 있다. 소스 영역 또는 드레인 영역의 막두께가 채널형성영역의 막두께와 비교하여 크기 때문에, 이온 도프법 등에 의한 불순물 원소의 첨가 후에 행해지는, 불순물원소의 열활성화를 위한 열처리에서의 결정성 회복에 유리하다. 결정성 회복이 효과적으로 행해짐으로써, 소스 영역 또는 드레인 영역의 고저항화를 억제 할 수 있다. 또한, 소스영역 또는 드레인영역의 막두께와 비교하여 채널 형성 영역의 막두께가 작기 때문에 S값을 작게 할 수 있고, 온 전류의 저하를 억제할 수 있다. 또한, 반도체층을 용융해서 평탄화하기 때문에, 프로세스를 증가시키지 않고 용이하게 반도체장치를 제작하는 것이 가능하다. 따라서, S값이 작고 또한 온 전류의 저하가 억제된 응답성이 좋은 반도체장치를 용이하게 제작하는 것이 가능하다.

[0021] 이하에, 도 1에 나타내는 반도체장치의 제작 방법의 일례에 관하여 설명한다. 도 2~도 4에 본 실시예의 반도체장치의 제작 공정을 기울여 본 모식도를 나타낸다.

[0022] 우선, 기판(100) 위에 제1절연층(101)을 형성하고, 제1절연층(101) 위에 제2절연층(102)을 형성한다(도 2a). 다음에, 제2절연층(102)을 예칭하고, 제1절연층(101) 위에 직선 모양의 스트라이프 패턴으로 형성된 제2절연층(103~105)을 형성한다(도 2b). 제2절연층(102)의 예칭은, 예를 들면 완충 불산을 사용한 예칭, 또는 CHF₃을 사용한 드라이에칭에 의해 행할 수 있다. 또한, 도 2b에서는 제2절연층(102)으로부터 형성되는 직선 모양의 스트라이프 패턴이 3개 도시되어 있지만, 물론 그 수에 한정되는 것은 없다.

[0023] 여기에서, 기판(100)으로서는, 유리 기판, 석영기판, 금속기판(예를 들면, 스테인레스 기판 등), 세라믹 기판, Si 기판 등의 반도체기판 등을 사용할 수 있다. 또한, 그 밖에도 플라스틱 기판으로서, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르술론(PES), 아크릴 폴리머 등으로 제작된 기판을 선택할 수도 있다. 또한, 서브미크론의 디자인 룰로 직선 모양의 스트라이프 패턴을 형성하기 위해서는, 기판 표면의 요철, 기판의 굴곡 또는 비틀어짐을 노광 장치(특히, 스텝페)의 초점 심도 이하로 해두는 것이 바람직하다. 구체적으로는, 기판의 굴곡 또는 비틀어짐이, 노광장치에 의한 1회의 광조사영역내에 있어서 1μm 이하, 바람직하게는 0.5μm 이하로 한다.

[0024] 또한, 제2절연층(103~105)의 형상은 규칙적인 주기 패턴일 필요는 없고, 후에 형성되는 반도체층의 형상에 맞춰서 적당하게 형성하면 좋다. 따라서, 제2 절연층(103~105)의 폭 및 길이는 특히 수치적인 한정은 없

고, 적어도 뒤에 형성되는 TFT의 채널 형성 영역에 대응하는 위치에 제2절연층(103~105)이 형성되어 있으면 좋다. 또한, 제1 절연층(101)과 제2절연층(103~105)으로 형성되는 오목부의 측면부의 각도는 5~120도, 바람직하게는 60~90도의 범위로 적당하게 설정하면 좋다. 또한, 제2 절연층(103~105)의 모서리부와 제1 절연층(101)과 제2절연층(103~105)으로 형성되는 단차부는 반드시 직선으로 형성된 형상이 아니어도 되고, 원모양을 띠고 있어도 된다. 도 1 6에는, 본 실시예의 반도체장치의 구성에 있어서의 제1절연층(101)과 제2절연층(103~105)의 형상의 일례를 나타낸다. 도 16a~16d에 도시한 것처럼, 제1절연층(101)과 제2절연층(103~105)은, 여러 가지 형상을 취하는 것이 가능하다.

[0025] 여기에서, 제1절연층(101)은, 제2절연층(102)과의 예칭의 선택비를 확보할 수 있는 재료로 형성하면 좋다. 제1절연층(102)보다도 제2절연층(102)의 예칭 속도가 상대적으로 빠르도록 재료 및 성막 조건을 적당하게 조정하는 것이 바람직하다. 예를 들면, 제1절연층(101)으로서, 질화규소, 산화 규소, 산소함유량이 질소함유량보다도 큰 산질화규소(SiO_xN_y 로 나타낸다), 질소함유량이 산소함유량보다도 큰 질산화규소(SiN_xO_y 로 나타낸다), 질화알루미늄(Al_xN_y 로 나타낸다), 산소함유량이 질소함유량보다도 큰 산질화알루미늄(AlO_xN_y 로 나타낸다), 질소함유량이 산소함유량보다도 큰 질산화알루미늄(AlN_xO_y 로 나타낸다) 또는 산화알루미늄으로부터 선택된 재료를 사용할 수 있다. 그 경우, 제1절연층(101)을 30~300 nm의 두께로 형성하면 좋다. 특히, 제1절연층(101)으로서 산화알루미늄막을 이용하면, 나트륨(Na)에 대한 블록킹 효과를 얻을 수 있기 때문에, 유리 기판으로부터의 오염 대책으로서 유효하다. 또한, 제1절연층(101)은 반드시 설치할 필요는 없고, 필요에 따라 적당하게 설치하면 좋다. 또한, 반드시 제1절연층(101)과 제2절연층(102)을 다른 재료로 형성할 필요는 없고, 같은 재료로 형성해도 좋다. 또한, 제1절연층(101) 또는 제2절연층(102)은, 각각 단층이 아니어도 되고, 복수의 층을 적층한 구조로 하여도 된다.

[0026] 또한, 산질화규소(SiO_xN_y)막으로서는, Si 가 25~35원자%, 산소가 55~65원자%, 질소가 1~20원자%, 수소가 0.1~10원자%로 포함되는 것을 이용하면 좋다. 또한, 질산화규소(SiN_xO_y)막으로서는, Si 가 25~35원자%, 산소가 15~30원자%, 질소가 20~35원자%, 수소가 15~25원자%로 포함되는 것을 사용하면 좋다. 또한, 산질화알루미늄(AlO_xN_y)막으로서는, Al 이 30~40원자%, 산소가 50~70원자%, 질소가 1~20원자%로 포함되는 것을 사용하면 좋다. 또한, 질산화알루미늄(AlN_xO_y)막으로서는, Al 이 30~50원자%, 산소가 30~40원자%, 질소가 10~30원자%로 포함되는 것을 사용하면 좋다.

[0027] 또한, 제2절연층(102)은, 산화규소, 질산화규소 또는 산질화규소 등을 이용하고, 10~3000 nm, 바람직하게는 10~200 nm, 더 바람직하게는 20~100 nm의 두께로 형성할 수 있다. 산화 규소막은, 오르토 규산 테트라 에틸(Tetraethyl Ortho Silicate:TEOS)과 O₂를 혼합해 플라즈마 CVD법으로 형성할 수 있다. 또한, 질산화규소막은 SiH₄, NH₃, N₂O 또는, SiH₄, N₂O를 원료로서 사용해 플라즈마 CVD법으로 형성할 수 있다. 또한, 제2절연층(102)으로서는, CVD법(대표적으로는, 플라즈마CVD법 혹은 열CVD법)이나 PVD법(대표적으로는, 스퍼터링법 혹은 증착법)에 의해 형성된 절연막을 사용하는 것이 바람직하다. 이것은, 비정질 반도체층을 결정화할 때, 결정화에 따르는 응력을 완화할 수 있는 정도의 부드러움을 절연층이 가지는 것이, 양호한 결정성을 얻는 데에 즐음하여 중요한 역할을 다하고 있다고 생각될 수 있기 때문이다.

[0028] 다음에, 도 3a에서 나타나 있는 바와 같이, 제2절연층(103~105)의 표면 및 제1절연층(101)과 제2절연층(103~105)으로 이루어진 오목부를 덮는 비정질 반도체층(106)을 형성한다. 즉, 비정질 반도체층(106)은 도면에 나타나 있는 바와 같이, 하지의 제1절연층(101)과 제2절연층(103~105)으로 형성되는 요철부를 덮도록 형성한다. 또한, 비정질 반도체층(106)의 막두께는, 제1절연층(101)과 제2절연층(103~105)으로 형성되는 오목부의 깊이와 같은 정도나 그 이상의 두께로 하는 것이 바람직하다. 비정질 반도체층(106)은, 규소, 규소와 게르마늄의 화합물(Si_xGe_{1-x}), 규소와 탄소의 화합물 등을 사용할 수 있다. 예를 들면, 비정질 반도체층(106)으로서, 막두께 0.01~3 μm(바람직하게는 0.1~1 μm)의 비정질규소막을 사용할 수 있다.

[0029] 또한, 제1절연층(101) 및 제2절연층(103~105)의 표면에 부착된 봉소등의 화학오염의 영향을 배제하고, 게다가 그 절연 표면과 비정질 반도체층이 직접 접하지 않도록, 비정질 반도체층(106)을 형성하기 직전에 제3절연층(도시 생략)으로서 산질화규소막을 비정질 반도체층과 동일한 성막 장치내에서 대기에 접촉시키지 않고 연속적으로 성막하면 좋다. 이 제3절연층은, 전술의 화학오염의 영향의 배제와, 제1절연층 및 제2절연층과 비정질 반도체층과의 밀착성의 향상을 노리는 것이며, 막두께가 얇은 것이라도 충분히 효과가 있다. 제3절연층의 막두께는, 전형적으로는, 5~50 nm(화학오염의 블록킹 효과를 높이기 위해서는 20 nm 이상이 바람직하다.)로 하면

좋다.

[0030] 다음에, 도 3b에 화살표로 나타나 있는 바와 같이, 비정질 반도체층(106) 위에 선상 빔을 조사한다. 비정질 반도체층(106)에 선상 빔을 조사함에 의해 결정질 반도체층(107)을 형성할 수 있다. 여기에서, 도 3b에서, 영역(301)은, 선상 빔의 조사 영역을 나타낸다. 선상 빔은, 장면 방향(도면 중, X축방향)과 제2절연층(103~105)의 각각이 연장하는 방향이 교차하도록 조사한다. 그래서, 영역(301)의 단면방향(도면중, Y축방향)에 선상 빔을 주사한다. 이때, 선상 빔이란, 피조사면에 있어서의 형상이 선상인 레이저 빔이다. 여기서 말하는 「선상」이란, 엄밀한 의미로 「선」을 의미하는 것이 아니고, 어스펙트비가 큰 사각형(예를 들면, 어스펙트비가 10이상(바람직하게는 100이상))을 의미한다. 또한, 선상이라고 하는 것은, 피조사체에 대하여 충분한 어닐을 행하기 위한 에너지밀도를 확보하기 위함이고, 사각형이나 타원형이여도 피조사체에 대하여 충분한 어닐을 행할 수 있으면 좋다.

[0031] 본 실시예에 있어서, 선상 빔은 직선 모양의 스트라이프 패턴이 연장하는 방향과 평행한 방향으로 주사되어, 용융한 비정질반도체는 표면장력이 작용해서 오목부에 훌러 들어와 응고한다. 따라서, 도 3b에서 도시한 바와 같이 표면이 거의 평탄한 결정질 반도체층(107)이 형성된다. 이때, 용융하여 평탄한 표면이 형성된 반도체층과 기상과의 계면은, 평형상태에 달하고 있다.

[0032] 또한, 레이저 결정화법으로 결정질 반도체층을 형성할 경우, 기체레이저 또는 고체레이저를 사용할 수 있다. 기체레이저와 고체레이저는, 연속발진 또는 펄스 발진의 어느쪽이어도 된다. 예를 들면, Ar레이저, Kr레이저, 엑시머레이저 등의 기체레이저, 단결정의 YAG, YVO₄, 폴스테라이트(Mg₂SiO₄), YAlO₃, GdVO₄, 또는 다결정(세라믹)의 YAG, Y₂O₃, YVO₄, YAlO₃, GdVO₄에, 도편트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중 1종 또는 복수종이 첨가되어 있는 것을 매질로 하는 레이저, 유리레이저, 루비레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 동증기 레이저 또는 금증기 레이저 중 1종 또는 복수종으로부터 발진된 레이저빔을 사용할 수 있다. 이러한 레이저빔의 기본파, 및 이것들의 기본파의 제2고조파로부터 제4고조파의 레이저빔을 조사하여, 대입경의 결정을 얻을 수 있다.

[0033] 또한, 단결정의 YAG, YVO₄, 폴스테라이트(Mg₂SiO₄), YAlO₃, GdVO₄, 혹은 다결정(세라믹)의 YAG, Y₂O₃, YVO₄, YAlO₃, GdVO₄에, 불순물로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중 1종 또는 복수종이 첨가되어 있는 것을 매질로 하는 레이저, Ar이온 레이저, 또는 Ti:사파이어레이저는, 연속발진을 시키는 것이 가능해서, Q스위치 동작이나 모드 동기 등을 행함으로써, 10MHz 이상의 발진 주파수로 펄스 발진을 시키는 것도 가능하다. 연속발진 레이저 혹은 10MHz 이상의 주파수로 발진하는 레이저빔을 조사하므로, 결정화된 반도체층의 표면을 평탄하게 할 수 있다. 그에 따라, 후의 공정으로 형성하는 게이트 절연층을 박막화하는 것이 가능해서, 보다 박형의 반도체장치를 제작할 수 있다. 또한, 표면이 평탄한 결정질 반도체층을 형성하므로, 게이트 절연층의 내압 향상에 기여할 수 있다.

[0034] 또한, 연속발진 레이저빔의 파장은, 비정질 반도체층의 광흡수계수를 고려해서 200~700nm인 것이 바람직하다. 이러한 파장대의 광은, 파장변환소자를 사용해서 기본파의 제2고조파, 제3고조파를 추출하여 얻어질 수 있다. 파장변환소자로서는, ADP(인산 2수소화암모늄), Ba₂NaNb₅O₁₅(니오브산 바륨 나트륨), CdSe(셀렌 카드뮴), KDP(인산2수소 칼륨), LiNbO₃(니오브산 리튬), Se, Te, LBO, BBO, KB5등이 적용된다. 특히, LBO를 사용하는 것이 바람직하다. 또한, 레이저로부터 레이저빔을 TEM₀₀(싱글 횡모드)로 발진해서 사출하면, 피조사면에서 얻어진 선상의 빔 스폷의 에너지 균일성을 상승시킬 수 있으므로 바람직하다. 또한, 본 실시예에서는 비정질 반도체층 상에서 선상 빔을 주사함에 의해 결정질 반도체층을 형성하고 있지만, 레이저 등의 전자파의 조사시에 피조사물이 이동하지 않는 노광 방법을 사용해도 된다. 예를 들면, 일괄 노광이나 스텝노광 등의 노광 방법을 사용해도 된다.

[0035] 그 후, 바람직하게는 500~600°C의 가열처리를 행하고, 결정질 반도체층에 축적된 변형을 제거하면 좋다. 이 변형은, 결정화에 의해 발생하는 반도체의 체적수축, 하지와의 열응력이나 격자부정합 등에 의해 발생하는 것이다. 이 가열처리는, 통상의 열처리 장치를 사용해서 행하면 좋지만, 예를 들면 가스 가열방식의 순간 열어닐(RTA)법을 사용해서 1~10분의 처리를 행하면 좋다. RTA법을 사용할 경우, 보다 고온에서의 열처리가 가능하다. 예를 들면, 500~700°C정도의 열처리를 행해도 된다. 한편, 이 공정은, 본 발명에 있어서 필수의 요건은 아니고, 적당하게 선택해서 행하면 좋다.

[0036] 그 후, 결정질 반도체층(107)을 드라이에칭해서 박막트랜지스터의 섬 형상의 반도체층(32)을 형성한다

(도 4). 또한, 드라이에칭일 때의 에칭 가스로서는, CF_4 , NF_3 , SF_6 , CHF_3 , CF_4 등의 불소계의 가스, 또는 상기 불소계 가스에 O_2 가스, H_2 가스, He 나 Ar 등의 불활성가스를 적당하게 가한 혼합 가스 등을 사용할 수 있다. 바람직하게는, CF_4 과 O_2 과의 혼합 가스, SF_6 과 O_2 과의 혼합 가스, CHF_3 과 He 와의 혼합 가스, 또는 CF_4 과 H_2 와의 혼합 가스를 사용하면 좋다. 또한, 에칭은 드라이에칭에 한정되지 않고 습식 에칭으로 행해도 된다. 그 경우, 결정질 반도체층(107)에 대하여 TMAH(tetramethyl ammonium hydroxide, 테트라메틸암모늄하이드로옥사이드)로 대표되는 유기 염기를 함유한 알칼리성 수용액을 사용한 습식 에칭을 행함으로써 반도체층(32)을 형성할 수 있다. 이때, 에칭액으로서 TMAH의 용액을 사용했을 경우, 결정질 반도체층(107)만이 선택적으로 에칭되기 때문에, 하지의 절연층에 데미지를 주지 않고 에칭할 수 있다.

[0037] 상기의 공정에 의해, 볼록부를 가지는 절연 표면상에 삼 형상의 반도체층을 형성할 수 있다. 이때, 본 실시예에 있어서, 볼록부 위에 형성된 부분의 반도체층은, 10nm~200nm, 바람직하게는 10nm~50nm정도, 더 바람직하게는 10nm~30nm정도의 막두께이다. 또한, 50nm이하의 반도체층은, 50nm이상의 막두께의 반도체층을 드라이에칭 처리에 의해 박막화하는 것에 의해 형성하여도 된다. 이때의 에칭일 때의 에칭 가스로서는, Cl_2 , BCl_3 , SiCl_4 등의 염소계의 가스, CF_4 , NF_3 , SF_6 , CHF_3 , CF_4 등의 불소계의 가스, 또는 불소계 가스에 O_2 가스, H_2 가스, He 나 Ar 등의 불활성가스를 적당하게 가한 혼합 가스 등을 사용할 수 있다. 또한, 드라이에칭 전에, 반도체층 표면을 묽은 불산처리해서 반도체 표면에 형성되는 자연 산화층을 제거하고, 그 후 반도체 표면을 오존수 등으로 처리해서 반도체 표면에 산화층을 형성해두어도 된다.

[0038] 여기에서, TFT의 한계치전압을 제어하기 위해서 채널 형성 영역에의 불순물원소의 도프량을 증가시킨 경우에도, 볼록부 위에 형성된 부분의 반도체층을 50nm이하정도의 박막으로 형성하는 것에 의해, 완전 공핍형의 TFT를 제작하기 쉬워지기 때문에, 양호한 S값에서 한계치전압이 제어된 TFT를 제작할 수 있다.

[0039] 다음에, 반도체층(32)을 이용해서 TFT를 제작하는 공정을 도 5를 사용하여 설명한다. 또한, 도 4의 점A와 점B를 연결하는 파선에 있어서의 단면도를 도 5a~5d에 나타내고, 점C와 점D를 연결하는 파선에 있어서의 단면도를 도 5e~5h에 나타낸다.

[0040] 다음에, 반도체층(32) 위에 게이트 절연층(33)을 형성한다(도 5a, 5e). 게이트 절연층(33)은, 산화실리콘(SiO_2)막, 질화실리콘(SiN_x)막, 산화질화실리콘(SiO_xN_y)($x>y>0$)막, 질화산화실리콘(SiN_xO_y)($x>y>0$)막, Hf 계 산화막 등을 단층 또는 적층한 막을 사용해서 형성할 수 있다. 이러한 절연층은, 기상성장법이나 스퍼터링법으로 형성할 수 있다. 또한, 기상성장법이나 스퍼터링법으로 형성된 게이트 절연층 표면을 플라즈마 처리해도 좋다.

[0041] 또한, 반도체층(32)을 형성한 후에, 산소를 포함한 분위기 또는 질소를 포함한 분위기 하에서 반도체층 표면을 플라즈마 처리 함에 의해, 반도체층 표면에 형성된 산화실리콘(SiO_2)막, 질화실리콘(SiN_x)막, 산화질화실리콘(SiO_xN_y)($x>y>0$)막, 또는 질화산화실리콘(SiN_xO_y)($x>y>0$)막을 게이트 절연층으로서 사용할 수도 있다.

[0042] 다음에, 게이트 절연층(33) 위에 게이트 전극으로서 기능하는 도전층(34)을 형성한다(도 5b, 5f). 여기에서는, 도전층(34)은 단층으로 형성한 예를 제시하고 있지만, 물론 도전성 재료를 2층 또는 3층이상의 적층으로 설치한 구조로 해도 된다. 이때, 여기에서는 도면에 나타나 있지 않지만, 도전층(34)은, 게이트 절연층(33) 위를 덮어서 형성된 도전층을 선택적으로 에칭하여 형성할 수 있다. 또한, 게이트 전극 아래 이외의 게이트 절연층(33)을 에칭에 의해 제거해도 좋다.

[0043] 또한, 도전층(34)은, 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 동(Cu), 크롬(Cr), 니오븀(Nb)등으로부터 선택된 원소 또는 이것들의 원소를 주성분으로 합금재료 혹은 화합물재료로 형성할 수 있다. 또한, 인 등의 불순물원소를 도핑한 다결정규소로 대표되는 반도체재료에 의해 형성할 수도 있다. 예를 들면, 도전층(34)을 제1 도전막과 제2도전막과의 적층구조로 하는 경우, 제1 도전막으로서 질화탄탈을 사용하고, 제2 도전막으로서 텅스텐을 사용해서 형성하면 좋다. 또한, 이 조합에 한정되지 않고, 도전층(34)을 적층해서 형성할 경우에는, 상기 재료를 자유롭게 조합해서 설치할 수 있다.

[0044] 계속해서, 도전층(34)을 마스크로서 반도체층(32)에 불순물원소(121)를 도입하는 것에 의해, 불순물영역(32b, 32c) 및 불순물원소(121)가 도입되지 않는 채널 형성 영역(32a)을 형성한다(도 5c, 5g). 이때, 여기에서는, 도전층(34)을 삼 형상의 반도체층(32)을 횡단하도록 형성한 후에 불순물원소를 도입하기 위해서, 도전층

(34)에 덮어져 있지 않은 영역에 불순물이 도입되어서 불순물영역(32b, 32c)이 형성되고, 도전층(34)에 덮힌 영역에는 불순물원소(121)가 도입되지 않는 채널 형성 영역(32a)이 형성된다.

[0045] 여기에서, 불순물원소(121)로서는, n형의 도전성을 부여하는 불순물원소 또는 p형의 도전성을 부여하는 불순물 원소를 사용할 수 있다. n형의 도전성을 부여하는 불순물원소로서는, 인(P)이나 비소(A s) 등을 사용할 수 있다. 형의 도전성을 부여하는 불순물원소로서는, 붕소(B), 알루미늄(A l) 및 갈륨(G a) 등을 사용할 수 있다. 예를 들면, 불순물원소(121)로서, 인(P)을 $1 \times 10^{18} \sim 1 \times 10^{21} / \text{cm}^3$ 의 농도로 포함되도록 반도체층(32)에 도입하고, n형을 나타내는 불순물영역(32b, 32c)을 형성하면 좋다. 또한, 채널 형성 영역(32a)과 소스 영역 또는 드레인 영역과의 사이에, 소스 영역 또는 드레인 영역보다 저농도로 불순물이 첨가된 저농도 불순물영역(L D D 영역이라고도 함)을 형성해도 좋다.

[0046] 또한, 채널 형성 영역(32a)중에, 불순물영역(32b, 32c)에 첨가한 불순물과 같거나 또는 반대의 도전형을 가지는 불순물원소를 첨가해도 좋다. 채널 형성 영역(32a)중에 같거나 또는 반대의 도전형의 불순물을 첨가함에 의해, TFT의 한계치전압을 제어할 수 있다. 이때, 이 불순물원소는 게이트 전극을 거쳐서 도프하여 첨가해도 되고, 게이트 전극 형성전에 미리 첨가해두어도 된다.

[0047] 다음에, 도전층(34), 게이트 절연층(33), 절연층(103~105) 등을 덮도록 절연층(203)을 형성한다(도 5d, 5h). 그 후, 게이트 절연층(33) 및 절연층(203)에 콘택홀을 형성하고, 절연층(203) 위에 소스 전극 또는 드레인 전극으로서 기능하는 도전층(204)을 선택적으로 형성한다(도 5d, 5h). 여기에서, 도전층(204)은, 반도체층(32)의 소스 영역 또는 드레인 영역으로서 기능하는 불순물영역(32b, 32c)과 전기적으로 접속되도록 설치한다.

[0048] 여기에서, 절연층(203)은, CVD법이나 스퀘터링법 등으로 형성한 산화실리콘, 산화질화실리콘(SiO_xN_y)($x>y>0$), 질화산화실리콘(SiN_xO_y) ($x>y>0$)등을 사용할 수 있다. 또한, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐 폴리머, 아크릴폴리머, 에폭시폴리머 등의 유기재료, 또는 실록산 수지 등의 실록산 재료, 옥사졸수지 등으로 이루어진 단층 또는 적층구조로 설치할 수 있다. 이때, 실록산 재료란, Si-O-Si 결합을 포함한 재료에 해당한다. 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격구조가 구성된다. 치환기로서, 적어도 수소를 포함한 유기기(예를 들면, 알킬기, 방향족탄화수소)를 사용할 수 있다. 치환기로서, 플루오르기를 사용할 수도 있다. 옥사졸 수지는, 예를 들면, 감광성 폴리벤조옥사졸 등이다. 감광성 폴리벤조옥사졸은, 유전율이 낮고(상온 1MHz에서 유전율 2.9), 내열성이 높고(승온 5°C/min의 조건에서의 시차열 열중량 동시측정(TG/DTA:Thermogravimetry-Differential Thermal Analysis)으로 열분해온도 550°C), 흡수율이 낮은(상온 24시간에서 0.3%) 재료이다. 옥사졸 수지는, 폴리이미드 등의 비유전율(3.2~3.4정도)과 비교하면, 비유전률이 낮기 때문에(2.9정도), 기생 용량의 발생을 억제하고, TFT의 고속동작을 행할 수 있다. 여기에서는, 절연층(203)은, CVD법으로 형성한 산화실리콘, 산화질화실리콘(SiO_xN_y)($x>y>0$) 또는 질화산화실리콘(SiN_xO_y)($x>y>0$)을 단층 또는 적층해서 형성한다. 또한, 더욱, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐폴리머, 아크릴폴리머, 에폭시폴리머 등의 유기재료, 실록산 수지 등의 실록산 재료, 또는 옥사졸 수지로 이루어진 막을 적층해서 형성해도 좋다.

[0049] 또한, 도전층(204)은, 알루미늄, 텁스텐, 티타늄, 탄탈, 몰리브덴, 니켈, 네오듐으로부터 선택된 일종의 원소 또는 해당 원소를 복수 포함한 합금으로 이루어진 단층구조 또는 적층구조를 사용할 수 있다. 예를 들면, 해당 원소를 복수 포함한 합금으로 이루어진 도전막으로서, 티타늄을 함유한 알루미늄합금, 네오듐을 함유한 알루미늄 합금 등으로 형성할 수 있다. 또한, 적층구조로 설치하는 경우, 예를 들면, 알루미늄층 혹은 상기한 바와 같은 알루미늄합금층을, 티타늄층에 끼워서 적층시킨 구조로 하여도 좋다.

[0050] 이상의 공정에 의해, 박막트랜지스터(205)를 포함한 반도체장치를 제작할 수 있다.

[0051] 본 실시예에 나타내는 반도체장치에서는, 제1절연층(101) 및 제2절연층(103~105)으로 형성된 요철을 갖는 절연표면 상에 형성된 반도체층을 용융하여 평탄화하여서, 소스 영역 또는 드레인 영역의 막두께가 채널 형성 영역의 막두께보다 두꺼운 반도체층을 형성하고 있다. 이 특징은, 이온도프법 등에 의한 불순물원소의 첨가 후에 행해지는, 불순물 원소의 열활성화를 위한 열처리에서의 결정성 회복에 유리하고, 소스 영역 또는 드레인 영역의 고저항화를 억제할 수 있다. 또한, 채널 형성 영역의 막두께가 소스영역 또는 드레인영역의 막두께와 비교하여 얇기 때문에 S값을 작게 할 수 있고, 온 전류의 저하를 억제할 수 있다. 또한, 반도체층을 용융해서 평탄화하기 때문에, 프로세스를 증가시키지 않고 용이하게 반도체장치를 제작하는 것이 가능하다. 따라서, S값이 작고 또한 온 전류의 저하가 억제된 응답성이 좋은 반도체장치를 용이하게 제작하는 것이 가능하다.

[0052] 또한, 박막트랜지스터의 형상은 도 1에 나타내는 것에 한정되는 것이 아니고, 예를 들면 게이트전극으로서 기능하는 도전층(34)의 측벽에 접한 절연물로 이루어진 사이드월(206)을 형성하여도 좋고, 소스 영역 또는 드레인 영역으로서 기능하는 불순물영역(32b, 32c)과 채널 형성 영역(32a)과의 사이에, 불순물영역(32b, 32c)보다 저농도로에 불순물이 첨가된 저농도 불순물영역(32d, 32e)(LDD영역이라고도 함)이 형성되어도 된다(도 6a). 또한, 박막트랜지스터의 구조로서 전술한 구조에 한정되지 않고, 채널 형성 영역이 1개 형성되는 단일 게이트 구조이어도 좋고, 2개 형성되는 더블 게이트 구조 또는 3개 형성되는 트리플 게이트 구조 등의 멀티 게이트 구조를 사용할 수 있다. 또한, 게이트 전극을 적층구조로 형성해도 된다. 예를 들면, 게이트 전극을 제1 도전층(34a)과 제1 도전층(34a) 위에 형성되는 제2 도전층(34b)과의 2층 구조로 해서, 제1 도전층을 테이퍼형으로 형성하고, 제1 도전층에만 겹치도록 저농도 불순물영역(32d, 32e)를 설치하는 구조(도 6b)로 해도 된다. 또한, 게이트 전극을 제1 도전층(34a)과 제1 도전층(34a) 위에 형성되는 제2 도전층(34b)으로 설치하고, 제2 도전층(34b)의 측벽에 접하고 또한 도전층(34a)의 윗쪽에 형성되도록 사이드월(206)을 설치하는 구조(도 6c)로 해도 된다. 또한, 소스 영역 또는 드레인 영역으로서 기능하는 불순물영역(32b, 32c)을 Ni, Co, W등의 실리사이드로 형성하는 것도 가능하다.

[0053] (실시예 2)

[0054] 본 실시예에서는, 박막트랜지스터, 기억소자 및 안테나를 포함한 본 발명의 반도체장치의 제작 방법에 대해서, 도면을 참조해서 설명한다.

[0055] 본 실시예에서 나타내는 반도체장치의 구성을 설명하는 상면도 및 단면도를 도 7에 나타낸다. 이때, 도 7a는 본 실시예에서 나타내는 반도체장치의 상면구조의 일례를 개시하고, 도 7a의 단면구조의 일부를 도 7b에 도시하고 있다.

[0056] 본 실시예에 있어서, 반도체장치(200)는 집적회로부(201), 메모리부(202), 안테나(303)를 가지고 있다(도 7a). 또한, 도 7b에 있어서, 영역 304는 도 7a의 집적회로부(201)의 단면구조의 일부에 대응하고, 영역 305는 도 7a의 메모리부(202)의 단면구조의 일부에 대응하고, 영역 306은 도 7a의 안테나(303)의 단면구조의 일부에 대응하고 있다.

[0057] 본 실시예의 반도체장치는, 도 7b에 나타나 있는 바와 같이 제1 기체(基體)(775) 위에 절연층 703을 통해서 설치된 박막트랜지스터(744~748)(TFT)와, 박막트랜지스터(744~748) 위에 설치된 절연층 750과, 해당 절연층 750 위에 설치된 소스 전극 또는 드레인 전극으로서 기능하는 도전층(752~761)을 가진다. 또한 절연층 750 위에 설치된 절연층 751과, 절연층 751 및 도전층 752~761 위에 설치된 절연층 762와, 절연층 762 위에 설치된 도전층 763~765와, 절연층 762 및 도전층 763~765의 일부를 덮도록 설치된 절연층 766과, 절연층 763, 764 위에 설치된 기억소자(789, 790)와, 도전층 765 위에 설치된 안테나로서 기능하는 도전층 786과, 절연층 766, 기억소자에 포함되는 도전층 771 및 안테나로서 기능하는 도전층 786을 덮도록 설치된 절연층 772와, 절연층 772 위에 설치된 제2 기체(776)를 가지고 있다. 이때, 제1 기체 775 및 제2 기체 776에 의하여, 반도체장치의 집적회로부(201), 메모리부(202), 안테나(303)는 봉지되어 있다.

[0058] 다음에, 도 7에 나타내는 반도체장치의 제작 공정의 일례에 관하여 도 8 내지 도 11을 사용하여 설명한다.

[0059] 우선, 기판(701)의 일표면에, 박리층(702)을 형성한다(도 8a). 기판(701)은, 유리 기판, 석영기판, 금속기판이나 스테인레스 기판의 일표면에 절연층을 형성한 기판, 본 공정의 처리 온도를 견디어낼 수 있는 내열성이 있는 플라스틱 기판 등을 사용하면 좋다. 이러한 기판(701)이면, 그 면적이나 형상에 큰 제한은 없다. 이 때문에, 기판(701)으로서, 예를 들면, 1변이 1미터 이상이며, 사각형의 기판을 사용하면, 생산성을 각별히 향상 시킬 수 있다. 이러한 점에서, 원형의 실리콘 기판을 사용할 경우와 비교하여, 매우 우위에 있다. 또한, 본 공정에서는, 박리층(702)을 기판(701)의 전체면에 설치하고 있지만, 필요에 따라, 기판(701)의 전체면에 박리층이 되는 층을 형성한 후에, 포토리소그래피법을 사용하여 선택적으로 박리층을 형성해도 된다. 또한, 기판(701)에 접하도록 박리층(702)을 형성하고 있지만, 필요에 따라, 기판(701)과 박리층(702) 사이에 하자가 되는 절연층을 형성하여도 된다.

[0060] 박리층(702)은, 스퍼터링법이나 플라즈마 CVD법 등에 의해, 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 탄탈(Ta), 니오븀(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테늄(Ru), 로듐(Rh), 납(Pb), 오스뮴(Os), 이리듐(Ir), 규소(Si)로부터 선택된 원소 또는 상기 원소를 주성분으로 하는 합금재료 혹은 화합물재료로 이루어진 층을, 단층 또는 적층해서 형성한다. 규소를 포함한 층은, 비정질, 미결정, 다

결정 중 어느 쪽의 구조를 가지고 있어도 좋다.

[0061] 박리층(702)이 단층 구조일 경우, 예를 들면 텡스텐을 포함한 층, 몰리브덴을 포함한 층 또는 텡스텐과 몰리브덴의 혼합물을 포함한 층을 형성한다. 또는, 텡스텐의 산화물 또는 산화질화물을 포함한 층, 몰리브덴의 산화물 혹은 산화질화물을 포함한 층 또는 텡스텐과 몰리브덴의 혼합물의 산화물 혹은 산화질화물을 포함한 층을 형성한다. 또한, 텡스텐과 몰리브덴의 혼합물은, 예를 들면 텡스텐과 몰리브덴의 합금에 해당한다. 또한, 텡스텐의 산화물은, 산화텅스텐이라고 표기하는 것이 있다.

[0062] 박리층(702)이 적층구조일 경우, 1층째로서 텡스텐을 포함한 층, 몰리브덴을 포함한 층 또는 텡스텐과 몰리브덴의 혼합물을 포함한 층을 형성하고, 2층째로서, 텡스텐, 몰리브덴 또는 텡스텐과 몰리브덴의 혼합물의 산화물, 질화물, 산화질화물 또는 질화산화물을 포함한 층을 형성한다.

[0063] 이때, 박리층(702)으로서, 텡스텐을 포함한 층과 텡스텐의 산화물을 포함한 층의 적층구조를 형성할 경우, 텡스텐을 포함한 층을 형성하고, 그 위에 산화규소를 포함한 층을 형성함으로써, 텡스텐을 포함한 층과 산화규소를 포함한 층과의 계면에, 텡스텐의 산화물을 포함한 층이 형성되는 것을 활용해도 좋다. 이 구조는, 텡스텐을 포함한 층과, 텡스텐의 질화물, 산화질화물 또는 질화산화물을 포함한 층과의 적층구조를 형성하는 경우도 마찬가지이고, 텡스텐을 포함한 층을 형성 후, 그 상층에 질화규소를 포함한 층, 산화질화규소를 포함한 층, 질화산화규소를 포함한 층을 형성하면 좋다. 또한, 텡스텐의 산화물은, WO_x 로 나타내고, X는 2~3이며, X가 2일 경우(WO_2), X가 2.5일 경우(W_2O_4), X가 2.75일 경우($W_{4}O_{11}$), X가 3일 경우(WO_3) 등이 있다. 텡스텐의 산화물을 포함한 층을 형성하는데 있어서, 상기에 예로 든 X의 값에 특히 제약은 없고, 예칭 레이트 등을 기초로, 어느 산화물을 형성할지를 결정하면 좋다. 또한, 예칭 레이트로서 가장 좋은 것은, 산소분위기 하에서, 스퍼터링법에 의해 형성하는 텡스텐의 산화물을 포함한 층(WO_x , $0 < X < 3$)이다. 따라서, 제작 시간을 단축하는 경우에는, 박리층으로서, 산소분위기 하에서 스퍼터링법에 의해 텡스텐의 산화물을 포함한 층을 형성하면 좋다. 또한, 박리층(702)으로서, 금속층과 금속산화물을 포함한 층의 적층구조로 설치할 경우, 금속층을 형성 후, 해당 금속층에 플라즈마처리를 행함으로써 금속층 위에 금속산화물을 포함한 층으로서 금속산화막을 형성해도 좋다. 플라즈마 처리를 행하는 경우, 산소분위기하 및 질소분위기 하 또는 N_2O 분위기하 등에서 행함으로써, 금속층 위에 금속 산화물을 포함한 층으로서 금속산화막이나 금속산질화막 등을 형성할 수 있다.

[0064] 다음에, 박리층(702)을 덮도록, 하지가 되는 절연층(703)을 형성한다. 절연층(703)은, 스퍼터링법이나 플라즈마 CVD법 등에 의해, 규소의 산화물 또는 규소의 질화물을 포함한 층을, 단층 또는 적층으로 형성한다. 규소의 산화물이란, 규소(Si)와 산소(O)를 포함한 물질이며, 산화규소, 산화질화규소, 질화산화규소 등이 해당한다. 규소의 질화물이란, 규소와 질소(N)를 포함한 물질이며, 질화규소, 산화질화규소, 질화산화규소 등이 해당한다. 예를 들면, 하지가 되는 절연층이 2층 구조일 경우, 1층째로서 질화산화규소층을 형성하고, 2층째로서 산화질화규소층을 형성하면 좋다. 하지가 되는 절연층이 3층 구조일 경우, 1층째의 절연층으로서 산화규소층을 형성하고, 2층째의 절연층으로서 질화산화규소층을 형성하고, 3층째의 절연층으로서 산화질화규소층을 형성하면 좋다. 또는, 1층째의 절연층으로서 산화질화규소층을 형성하고, 2층째의 절연층으로서 질화산화규소층을 형성하고, 3층째의 절연층으로서 산화질화규소층을 형성하면 좋다. 하지가 되는 절연층은, 기판(701)으로부터의 불순물의 침입을 방지하는 블록킹막으로서 기능한다.

[0065] 다음에, 절연층 703 위에 부분적으로 절연층 801~805를 형성한다. 또한, 절연층(801~805)은, 후에 형성되는 박막트랜지스터(744~748)의 채널 형성 영역에 대응하는 위치에 배치되도록 형성한다.

[0066] 다음에, 절연층 703 및 절연층 801~805 위에, 비정질 반도체층(704)(예를 들면, 비정질 규소를 포함한 층)을 형성한다. 그 후, 실시에 1과 같은 방법을 사용해서 비정질 반도체층(704)을 결정화해서 얻어진 결정질 반도체층을 원하는 형상으로 에칭하고, 결정질 반도체층(706~710)을 형성한다(도 8b).

[0067] 다음에, 결정질 반도체층(706~710)을 덮는 게이트 절연층(705)을 형성한다. 게이트 절연층(705)은, 플라즈마 CVD법이나 스퍼터링법에 의해, 규소의 산화물 또는 규소의 질화물을 포함한 층을, 단층 또는 적층해서 형성한다. 구체적으로는, 산화규소를 포함한 층, 산화질화규소를 포함한 층, 질화산화규소를 포함한 층을, 단층 또는 적층해서 형성한다.

[0068] 다음에, 게이트 절연층(705) 위에, 제1 도전층과 제2 도전층을 적층해서 형성한다. 제1 도전층은, 플라즈마 CVD법이나 스퍼터링법에 의해, 20~100 nm의 두께로 형성한다. 제2 도전층은, 100~400 nm의 두께로 형성한다. 제1 도전층과 제2 도전층은, 탄탈(Ta), 텡스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al),

동(Cu), 크롬(Cr), 니오븀(Nb) 등으로부터 선택된 원소 또는 이들의 원소를 주성분으로 하는 합금재료 혹은 화합물재료로 형성한다. 또는, 인 등의 불순물원소를 도핑한 다결정규소로 대표되는 반도체재료에 의해 형성한다. 제1 도전층과 제2 도전층의 조합의 예를 들면, 질화탄탈층과 텅스텐층, 질화텅스텐층과 텅스텐층, 질화몰리브덴층과 몰리브덴층 등을 들 수 있다. 텅스텐이나 질화 탄탈은, 내열성이 높기 때문에, 해당 재료로 제1 도전층과 제2 도전층을 형성한 후에, 불순물원소의 열활성화를 목적으로 한 가열처리를 행할 수 있다. 또한, 2층 구조가 아니고, 3층 구조일 경우에는, 몰리브덴층, 알루미늄층 및 몰리브덴층의 적층구조를 채용하면 좋다.

[0069] 다음에, 포토리소그래피법을 사용해서 레지스트로 이루어진 마스크를 형성하고, 게이트 전극과 게이트 선을 형성하기 위한 에칭 처리를 행하고, 게이트 전극으로서 기능하는 도전층(716~725)(게이트 전극층이라고 부는 경우가 있다)을 형성한다.

[0070] 다음에, 포토리소그래피법에 의해, 레지스트로 이루어진 마스크를 형성하고, 결정질반도체층(706, 708 ~710)에, 이온 도프법 또는 이온주입법에 의해, N형을 부여하는 불순물원소를 저농도로 첨가하고, N형 불순물영역(711, 713~715)과 채널 형성영역(780, 782~784)을 형성한다. N형을 부여하는 불순물원소는, 15족에 속하는 원소를 사용하면 좋고, 예를 들면 인(P), 비소(A₃)를 사용한다.

[0071] 다음에, 포토리소그래피법에 의해 레지스트로 이루어진 마스크를 형성하고, 결정질 반도체층(707)에, P형을 부여하는 불순물원소를 첨가하고, P형 불순물영역(712)과 채널 형성영역(781)을 형성한다. P형을 부여하는 불순물원소는, 예를 들면, 봉소(B)를 사용한다.

[0072] 다음에, 게이트 절연층(705)과 도전층(716~725)을 덮도록, 절연층을 형성한다. 절연층은, 플라즈마 CVD법이나 스퍼터링법에 의해, 규소, 규소의 산화물 또는 규소의 질화물의 무기재료를 포함한 층이나, 유기수지 등의 유기재료를 포함한 층을, 단층 또는 적층해서 형성한다. 다음에, 절연층을, 기판표면에 대해서 수직방향을 주체로 한 이방성 에칭에 의해 선택적으로 에칭해서, 도전층(716~725)의 측면에 접하는 절연층(사이드월이라고도 불린다)(739~743)을 형성한다(도 8c). 또한, 절연층 739~743의 제작과 동시에, 절연층 705가 에칭된 절연층 734~738을 형성한다. 절연층 739~743은, 나중에 LDD(Lightly Doped drain)영역을 형성할 때의 도핑용 마스크로서 사용한다.

[0073] 다음에, 포토리소그래피법을 사용해서 형성한 레지스트로 이루어진 마스크와, 절연층(739~743)을 마스크로서 사용하고, 결정질 반도체층(706, 708~710)에 N형을 부여하는 불순물원소를 첨가하고, 제1의 N형 불순물영역(LDD 영역이라고도 부른다)(727, 729, 731, 733)과, 제2의 N형 불순물영역(726, 728, 730, 732)을 형성한다. 제1의 N형 불순물영역(소스 영역 또는 드레인 영역이라고도 부른다)(727, 729, 731, 733)이 포함한 불순물원소의 농도는, 제2의 N형 불순물영역(726, 728, 730, 732)의 불순물원소의 농도보다도 낮다. 상기 공정을 경과하여, N형의 박막트랜지스터 744, 746~748과, P형의 박막트랜지스터 745가 완성된다.

[0074] 또한,, LDD 영역을 형성하기 위해서 사이드월의 절연층을 마스크로서 사용하는 수법은, LDD 영역의 폭의 제어가 용이하고, 또한, LDD 영역을 확실히 형성할 수 있다.

[0075] 계속해서, 박막트랜지스터(744~748)를 덮도록, 절연층을 단층 또는 적층해서 형성한다(도 9a). 박막트랜지스터(744~748)를 덮는 절연층은, SOG법, 액적토출법 등에 의해, 규소의 산화물이나 규소의 질화물 등의 무기재료, 폴리아미드, 폴리아미드, 벤조시클로부텐폴리머, 아크릴폴리머, 에폭시폴리머, 실록산폴리머 등의 유기재료 등에 의해, 단층 또는 적층으로 형성한다. 예를 들면, 박막트랜지스터(744~748)를 덮는 절연층이 3층 구조일 경우, 1층째의 절연층 749로서 산화규소를 포함한 층을 형성하고, 2층째의 절연층 750으로서 수지를 포함한 층을 형성하고, 3층째의 절연층 751로서 질화규소를 포함한 층을 형성하면 좋다.

[0076] 또한, 절연층 749~751을 형성하기 전, 또는 절연층 749~751 중 1개 또는 복수의 박막을 형성한 후에, 반도체층의 결정성의 회복이나 반도체층에 첨가된 불순물원소의 활성화, 반도체층의 수소화를 목적으로 한 가열처리를 행하면 좋다. 가열처리에는, 열어닐법, 레이저 어닐법 또는 R T A 법등을 적용하면 좋다.

[0077] 다음에, 포토리소그래피법을 사용해서 절연층(749~751)을 에칭하고, 제2의 N형 불순물영역(726, 728, 730, 732), P형 불순물영역(712)을 노출시키는 콘택홀을 형성한다. 계속해서, 콘택홀을 충전하도록, 도전층을 형성하고, 해당 도전층을 패턴 가공하고, 소스 전극 또는 드레인 전극으로서 기능하는 도전층(752~761)을 형성한다.

[0078] 도전층(752~761)은, 플라즈마 CVD법이나 스퍼터링법에 의해, 티타늄(Ti), 알루미늄(Al), 네오듐(Nd)으로부터 선택된 원소, 또는 이것들의 원소를 주성분으로 하는 합금재료 혹은 화합물재료로, 단층 또는 적층으로 형성한다. 알루미늄을 주성분으로 하는 합금재료란, 예를 들면 알루미늄을 주성분으로 하여 니켈을 포

함한 재료, 또는, 알루미늄을 주성분으로 하여, 니켈과, 탄소와 규소의 한쪽 또는 양쪽을 포함한 합금에 해당한다. 도전층(752~761)은, 예를 들면, 배리어층과 알루미늄 실리콘(Al-Si)층과 배리어층의 적층구조, 배리어층과 알루미늄 실리콘(Al-Si)층과 질화티타늄층과 배리어층의 적층구조를 채용하면 좋다. 또한,, 배리어층이란, 티타늄, 티타늄의 질화물, 몰리브덴, 또는 몰리브덴의 질화물로 이루어진 박막에 해당한다. 알루미늄이나 알루미늄 실리콘은 저항치가 낮고, 저렴하기 때문에, 도전층(752~761)을 형성하는 재료로서 최적이다. 또한, 적층구조의 상층과 하층에 배리어층을 설치하면, 알루미늄이나 알루미늄 실리콘의 히도록의 발생을 방지할 수 있다. 또한, 티타늄을 포함한 배리어층을 형성하면, 결정질 반도체층 위에 얇은 자연 산화막이 생겨 있다고 하여도, 결정질 반도체층과 도전층의 사이에 양호한 양호한 콘택홀을 취할 수 있다. 이것은, 환원성이 높은 원소인 티타늄이 이 자연 산화막을 용이하게 환원할 수 있기 때문이다.

[0079] 다음에, 도전층(752~761)을 덮도록, 절연층(762)을 형성한다(도 9b). 절연층(762)은, SOG법, 액적토출법 등을 사용하고, 무기재료 또는 유기재료에 의해, 단층 또는 적층으로 형성한다. 또한, 절연층(762)은, 적합하게는, 0.75 μm~3 μm의 두께로 형성한다.

[0080] 계속해서, 포토리소그래피법을 사용해서 절연층(762)을 에칭하고, 도전층(757, 759, 761)을 노출시키는 콘택홀을 형성한다. 계속해서, 콘택홀을 충전하도록, 도전층을 형성한다. 도전층은, 플라즈마 CVD법이나 스퍼터링법을 사용하고, 도전성 재료에 의해 형성한다. 다음에, 도전층을 패턴 가공하고, 도전층(763~765)을 형성한다. 또한, 도전층(763, 764)은, 기억소자가 포함한 한 쌍의 도전층 중의 한쪽의 도전층이 된다. 따라서, 적합하게는, 도전층(763~765)은, 티타늄, 또는 티타늄을 주성분으로 하는 합금재료 혹은 화합물재료에 의해, 단층 또는 적층으로 형성하면 좋다. 티타늄은, 저항치가 낮기 때문에, 기억소자의 사이즈를 축소할 수 있고, 고집적화를 실현할 수 있다. 또한, 도전층(763~765)을 형성하기 위한 에칭 공정에 있어서는, 하층의 박막트랜지스터(744~748)에 데미지를 주지 않기 위해서, 웨트 에칭 가공을 행하면 좋고, 에칭제에는 불화수소(HF) 또는 암모니아와 과산화수소의 수용액을 사용하면 좋다.

[0081] 다음에, 도전층(763~765)을 덮도록, 절연층(766)을 형성한다. 절연층(766)은, SOG법, 액적토출법 등을 사용하고, 무기재료 또는 유기재료에 의해, 단층 또는 적층으로 형성한다. 또한, 절연층(766)은, 적합하게는, 0.75 μm~3 μm의 두께로 형성한다. 계속해서, 포토리소그래피법을 사용하고, 절연층(766)을 에칭하고, 도전층(763~765)을 노출시키는 콘택홀(767~769)을 형성한다.

[0082] 다음에, 도전층 765에 접하도록 안테나로서 기능하는 도전층 786을 형성한다(도 10a). 도전층(786)은, 플라즈마 CVD법, 스퍼터링법, 인쇄법, 액적토출법 등을 사용하고, 도전성 재료에 의해 형성한다. 바람직하게는, 도전층(786)은, 알루미늄(Al), 티타늄(Ti), 은(Ag), 동(Cu)으로부터 선택된 원소, 또는 이것들의 원소를 주성분으로 하는 합금재료 혹은 화합물재료로, 단층 또는 적층으로 형성한다. 구체적으로는, 도전층(786)은, 스크린인쇄법에 의해, 은을 포함한 페이스트를 사용해서 막을 형성하고, 그 후, 50~350도의 가열처리를 행해서 형성한다. 또는, 스퍼터링법에 의해 알루미늄층을 형성하고, 해당 알루미늄층을 패턴 가공하여 형성한다. 알루미늄층의 패턴 가공은, 웨트에칭 가공을 사용하면 좋고, 웨트에칭에 의한 가공후는, 200~300도의 가열처리를 행하면 좋다.

[0083] 다음에, 도전층(763, 764)에 접하도록 유기 화합물층(787)을 형성한다(도 10b). 유기 화합물층(787)은, 증착법, 액적토출법, 스피드 코트법, 스크린인쇄법 등에 의해 형성한다. 계속해서, 유기 화합물층(787)에 접하도록, 도전층(771)을 형성한다. 도전층(771)은, 스퍼터링법이나 증착법 등에 의해 형성한다.

[0084] 이상의 공정을 경과하여, 도전층 763, 유기 화합물층(787) 및 도전층 771의 적층체로 이루어진 기억소자 789와, 도전층 764, 유기 화합물층(787) 및 도전층 771의 적층체로 이루어진 기억소자 790이 완성된다.

[0085] 또한, 상기의 제작 공정에서는, 유기 화합물층(787)의 내열성이 강하지 않기 때문에, 안테나로서 기능하는 도전층(786)을 형성하는 공정의 뒤에, 유기 화합물층(787)을 형성하는 공정을 행하는 것을 특징으로 한다.

[0086] 다음에, 기억소자(789, 790), 안테나로서 기능하는 도전층(786)을 덮도록, SOG법, 액적토출법 등에 의해, 보호층으로서 기능하는 절연층(772)을 형성한다. 절연층(772)은, DLC(다이아몬드라이크 카본) 등의 탄소를 포함한 층, 질화규소를 포함한 층, 질화산화규소를 포함한 층, 유기재료에 의해 형성한 층, 바람직하게는 에폭시 수지에 의해 형성한 층을 사용한다.

[0087] 다음에, 박막접적회로(791)를 기판(701)으로부터 박리한다. 여기에서는, 레이저빔(예를 들면, UV영의 광장의 레이저광)을 조사함으로써 개구부(773, 774)를 형성 후(도 11a), 물리적인 힘을 사용해서 기판(701)으로부터 박막접적회로(791)를 박리할 수 있다. 또한, 개구부(773, 774)를 형성후, 기판(701)으로부터 박막접적회

로(791)를 박리하기 전에, 개구부(773, 774)에 에칭제를 도입하고, 박리층(702)을 제거한 후(도 11b)에 박리해도 좋다. 에칭제는, 불화할로겐 또는 할로겐화합물을 포함한 기체 또는 액체를 사용한다. 예를 들면 불화할로겐을 포함한 기체로서 3불화 염소($C_1 F_3$)를 사용한다. 이러한 에칭 프로세스에 의해 박리층(702)을 제거하여서, 박막집적회로(791)는, 기판(701)으로부터 박리된 상태가 된다. 또한, 박리층(702)은, 모두 제거하지 않고 일부분을 잔존시켜도 좋다. 이렇게 함으로써, 에칭제의 소비량을 억제하여 박리층의 제거에 요하는 처리 시간을 단축하는 것이 가능하게 된다. 또한, 박리층(702)의 일부를 잔존시키므로, 박리층(702)의 제거 프로세스 후에도, 기판(701) 위에 박막집적회로(791)를 유지해두는 것이 가능해진다.

[0088] 박막집적회로(791)가 박리된 기판(701)은, 비용의 삭감을 위해, 재이용하면 좋다. 또한, 절연층(772)은, 박리층(702)을 제거한 후에, 박막집적회로(791)가 비산하지 않도록 형성한 것이다. 박막집적회로(791)는 작고 얇고 가볍기 때문에, 박리층(702)을 제거한 후는, 기판(701)에 밀착하고 있지 않기 때문에 비산하기 쉽다. 그렇지만, 박막집적회로(791) 위에 절연층(772)을 형성하므로 박막집적회로(791)에 절연층(772)의 무게가 부여되기 때문에, 기판(701)으로부터의 비산을 방지할 수 있다. 또한, 박막집적회로(791) 단체로는 얇고 가볍지만, 절연층(772)을 형성하므로 감긴 형상이 되는 일이 없고, 소정의 정도의 강도를 확보할 수 있다.

[0089] 다음에, 박막집적회로(791)의 한쪽의 면을, 제2 기체(776)에 접착시켜서, 기판(701)으로부터 완전하게 박리한다. 계속해서, 박막집적회로(791)의 다른 쪽의 면을, 제1 기체(775)에 접착시키고, 그 후 가열처리와 가압처리의 한쪽 또는 양쪽을 행하고, 박막집적회로(791)를, 제1 기체(775)와 제2 기체(776)에 의해 봉지한다. 이에 따라, 도 7b에 나타내는 반도체장치를 제작할 수 있다. 제1 기체(775)와 제2 기체(776)은, 폴리프로필렌, 폴리에스텔, 비닐, 폴리 불화 비닐, 염화비닐 등으로 이루어진 필름, 섬유질 재료로 이루어진 종이, 기본재료 필름(폴리에스텔, 폴리아미드, 무기증착 필름, 종이류등)과 접착성 합성 수지 필름(아크릴계 합성 수지, 에폭시계 합성 수지등)과의 적층필름 등을 사용할 수 있다. 필름은, 열압착에 의해 피처리체(즉, 박막집적회로 791)와 접착된다. 가열처리와 가압처리를 행할 때는, 필름의 최표면에 설치된 접착층이나, 또는 최외층에 설치된 층(접착층은 아니다)을 가열처리에 의해 녹이고, 가압에 의해 피처리체에 접착한다. 또한, 제1 기체(775)와 제2 기체(776)의 표면에는 접착층이 설치되어도 좋고, 접착층이 설치되지 않아도 좋다. 접착층은, 열경화수지, 자외선 경화수지, 에폭시수지계 접착제, 수지 첨가제 등의 접착제를 포함한 층을 사용할 수 있다.

[0090] 이상의 공정에 의해, 기억소자 및 안테나를 가지는 비접촉으로 데이터의 입출력이 가능한 반도체장치를 제작할 수 있다.

[0091] 본 실시예에 나타내는 반도체장치는, 볼록부가 설치된 절연층 위에 형성된 반도체층을 용융해서 평탄화함에 의해, 소스 영역 또는 드레인 영역의 막두께를 채널 형성 영역의 막두께보다 두껍게 형성한다. 소스 영역 또는 드레인 영역의 막두께가 채널 형성영역의 막두께와 비교하여 두껍기 때문에 이온 도프법 등에 의한 불순물 원소의 첨가 후에 행해지는, 불순물원소의 열활성화를 위한 열처리에서의 결정성 회복에 유리하고, 소스 영역 또는 드레인 영역의 고저항화를 억제할 수 있다. 또한, 채널 형성 영역의 막두께가 소스 영역 또는 드레인 영역의 막두께와 비교하여 얇기 때문에 S값을 작게 할 수 있고, 온 전류의 저하를 억제할 수 있다. 또한, 반도체층을 용융해서 평탄화하기 때문에, 프로세스를 증가시키지 않고 용이하게 반도체장치를 제작하는 것이 가능하다. 따라서, S값이 작고, 또한 온 전류의 저하가 억제된 응답성이 좋은 반도체장치를 용이하게 제작하는 것이 가능하다.

[0092] (실시예 3)

[0093] 본 실시예에서는, 비접촉으로 데이터의 입출력이 가능한 반도체장치의 블력도의 일례에 관하여 설명한다. 또한, 비접촉으로 데이터의 입출력이 가능한 반도체장치는 이용 형태에 따라서는, R F I D 태그, I D 태그, I C 태그, I C 칩, R F 태그, 무선 태그, 전자 태그 또는 무선 칩이라고도 불린다.

[0094] 도 12에 비접촉으로 데이터의 입출력이 가능한 반도체장치의 블력도를 나타낸다. 비접촉으로 데이터의 입출력이 가능한 반도체장치(800)는, 비접촉으로 데이터를 교신하는 기능을 갖고, 고주파회로(810), 전원회로(820), 리셋트 회로(830), 클록 발생 회로(840), 데이터 복조 회로(850), 데이터 변조 회로(860), 다른 회로의 제어를 행하는 제어회로(870), 기억 회로(880) 및 안테나(890)를 가지고 있다. 또한, 도 12에 나타내는 기억 회로(880)는 도 7에 나타내는 메모리부(202)에 해당하고, 도 12에 나타내는 고주파회로(810), 전원회로(820), 리셋트 회로(830), 클록 발생 회로(840), 데이터 복조 회로(850), 데이터 변조 회로(860), 및 제어회로(870)는 도 12에 나타내는 접적회로부(201)에 해당하고, 도 12에 나타낸 안테나 890은 도 7에 나타낸 안테나 203에 해당한다.

[0095]

고주파회로(810)는 안테나(890)로부터 신호를 수신하고, 데이터 변조 회로(860)로부터 수신한 신호를 안테나(890)로부터 출력하는 회로이며, 전원회로(820)는 수신 신호로부터 전원전위를 생성하는 회로이며, 리셋트 회로(830)는 리셋트 신호를 생성하는 회로이며, 클록 발생 회로(840)는 안테나(890)로부터 입력된 수신 신호를 기초로 각종 클록 신호를 생성하는 회로이며, 데이터 복조 회로(850)는 수신 신호를 복조해서 제어회로(870)에 출력하는 회로이며, 데이터 변조 회로(860)는 제어회로(870)로부터 수신한 신호를 변조하는 회로다. 또한, 제어회로(870)로서는, 예를 들면 코드 추출 회로(910), 코드 판정회로(920), C R C 판정 회로(930) 및 출력 유닛 회로(940)가 설치된다. 또한,, 코드 추출 회로(910)는 제어회로(870)에 보내져 온 명령에 포함되는 복수의 코드를 각각 추출하는 회로이며, 코드 판정 회로(920)는 추출된 코드와 레퍼런스에 해당하는 코드를 비교해서 명령의 내용을 판정하는 회로이며, C R C 판정 회로(930)는 판정된 코드에 의거하여 송신 오류 등의 유무를 검출하는 회로다.

[0096]

다음에, 전술한 반도체장치의 동작의 일례에 관하여 설명한다. 우선, 안테나(890)에 의해 무선신호가 수신된다. 무선신호는 고주파회로(810)를 통해 전원회로(820)에 보내져, 고전원전위(이하, V D D라고 적는다.)가 생성된다. V D D는 반도체장치(800)가 갖는 각 회로에 공급된다. 또한, 고주파회로(810)를 통해 데이터 복조 회로(850)에 보내진 신호는 복조된다(이하, 복조 신호라고 적는다.). 한층 더, 고주파회로(810)를 통해 리셋트 회로(830) 및 클록 발생 회로(840)를 거친 신호 및 복조 신호는 제어회로(870)에 보내진다. 제어회로(870)에 보내진 신호는, 코드 추출 회로(910), 코드 판정 회로(920) 및 C R C 판정 회로(930) 등에 의해 해석된다. 그리고, 해석된 신호에 따라서, 기억 회로(880)안에 기억되어 있는 반도체장치의 정보가 출력된다. 출력된 반도체장치의 정보는, 출력 유닛 회로(940)를 거쳐서 부호화된다. 또한, 부호화된 반도체장치(800)의 정보는, 데이터 변조 회로(860)를 통하여, 안테나(890)에 의해 무선신호에 실어서 송신된다. 또한, 반도체장치(800)를 구성하는 복수의 회로에 있어서는, 저전원전위(이하, V S S)는 공통이고, V S S는 G N D로 할 수 있다. 또한, 상기한 박막트랜지스터로 대표되는 반도체소자를 사용하여 고주파회로(810), 전원회로(820), 리셋트 회로(830), 클록 발생 회로(840), 데이터 복조 회로(850), 데이터 변조 회로(860), 다른 회로의 제어를 행하는 제어회로(870), 기억 회로(880) 등을 형성할 수 있다.

[0097]

이와 같이, 리더/라이터로부터 반도체장치(800)에 신호를 보내고, 해당 반도체장치(800)로부터 송신되어 온 신호를 리더/라이터에서 수신함으로써, 반도체장치의 데이터를 판독하는 것이 가능해진다.

[0098]

또한, 반도체장치(800)는, 각 회로에의 전원전압의 공급을 전원(배터리)을 탑재하지 않고 전자파에 의해 행하는 타입으로 해도 되고, 전원(배터리)을 탑재해서 전자파와 전원(배터리)에 의해 각 회로에 전원전압을 공급하는 타입으로 해도 된다.

[0099]

다음에, 비접촉으로 데이터의 입출력이 가능한 반도체장치의 사용 형태의 일례에 관하여 도 13을 사용하여 설명한다. 표시부(3210)를 포함한 휴대 단말의 측면에는, 리더/라이터(3200)가 설치되고, 물품(3220)의 측면에는 반도체장치(3230)가 설치된다(도 13a). 물품(3220)에 포함되는 반도체장치(3230)에 리더/라이터(3200)를 덮어 가리면, 표시부(3210)에 물품의 원재료나 원산지, 생산 공정마다의 검사 결과나 유통 과정의 이력 등, 더욱 상품의 설명 등의 상품에 관한 정보가 표시된다. 또한, 상품(3260)을 벨트 컨베이어에 의해 반송할 때에, 리더/라이터(3240)와, 상품(3260)에 설치된 반도체장치(3250)를 사용하고, 상기 상품(3260)의 검품을 행할 수 있다(도 13b). 이와 같이, 시스템에 반도체장치를 활용하므로, 정보의 취득을 간단하게 행할 수 있고, 각종 물품의 고기능화와 고부가가치화를 실현한다.

[0100]

본 실시예의 반도체장치는, 예를 들면, 지폐, 동전, 유가 증권류, 증서류, 무기명 채권류, 포장용 용기류, 서적류, 기록 매체, 신변 물건, 탈것류, 식품류, 의류, 보건용품류, 생활 용품류, 약품류 및 전자기기 등에 설치해서 사용할 수 있다. 이것들의 예에 관해서, 본 발명의 반도체장치의 이용형태를 도 14 및 도 15를 사용하여 설명한다.

[0101]

도 14 a는, 본 발명에 따른 I D라벨의 완성품의 상태의 일례다. 라벨 대지(세페레이트지)(118) 위에, I C 칩(110)을 내장한 복수의 I D라벨(20)이 형성되어 있다. I D라벨(20)은, 박스(119) 안에 수납되어 있다. 또한, I D라벨(20) 위에는, 그 상품이나 역무에 관한 정보(상품명, 브랜드, 상표, 상표권자, 판매자, 제조사 등)이 기재되어 있고, 한편, 내장되어 있는 I C 칩에는, 그 상품(또는 상품의 종류) 고유의 I D 넘버가 첨부되어 있어, 위조나, 상표권, 특허권 등의 지적재산권 침해, 부정경쟁 등의 불법 행위를 용이하게 파악할 수 있다. 또한, I C 칩(110) 내에는, 상품의 용기나 라벨에 전부 명기할 수 없는 엄청난 정보, 예를 들면 상품의 산지, 판매 땅, 품질, 원재료, 효능, 용도, 수량, 형상, 가격, 생산방법, 사용 방법, 생산 시기, 사용 시기, 상미 기한, 취급 설명, 상품에 관한 지적재산정보 등을 입력해 둘 수 있고, 거래자나 소비자는, 간이 리더에 의해, 그

것들의 정보에 액세스할 수 있다. 또한, 생산자측에서는 용이하게 다시쓰기, 소거 등도 가능하지만, 거래자, 소비자측에서는 다시 쓰기, 소거 등을 할 수 없는 구조로 되어 있다.

[0102] 도 14b는, 본 발명에 따른 IC 칩을 내장한 ID 태그(120)를 나타내고 있다. ID 태그를 상품에 비치하는 것에 의해, 상품관리가 용이해진다. 예를 들면, 상품이 도난된 경우에, 상품의 경로를 따라 감으로써, 그 범인을 신속히 파악할 수 있다. 이렇게, ID 태그를 구비하는 것에 의해, 소위 트레이서빌리티(traceability; 복잡화된 제조, 유통의 각 단계에서 문제가 생겼을 경우에, 경로를 거슬러 올라감으로써, 그 원인을 신속히 파악할 수 있는 태세를 갖추는 것.)가 우수한 상품을 유통시킬 수 있다.

[0103] 도 14c는, 본 발명에 따른 ID 카드(41)의 완성품의 상태의 일례다. 상기 ID 카드로서는, 캐시카드, 크레딧 카드, 선불카드, 전자승차권, 전자 머니, 텔레폰 카드, 회원 카드 등의 모든 카드류가 포함된다.

[0104] 도 14d는 본 발명에 따른 IC칩(110)을 내장한 무기명채권(122)의 완성품의 상태의 일례다. 상기 무기명채권로서는, 우표, 표, 티켓, 입장권, 상품권, 도서권, 문구권, 맥주권, 쌀 쿠폰, 각종 상품권, 각종 서비스권 등이 포함되지만, 물론 이것들에 한정되는 것은 아니다. 또한, 무기명채권에 한하지 않고 수표, 증권, 약속어음 등의 유가증권류, 운전면허증, 주민표등의 증서류 등에 IC칩을 설치할 수도 있다.

[0105] 도 14e는, IC칩(110)을 내장한 상품을 포장하기 위한 포장용 필름류(127)를 보이고 있다. 포장용 필름류(127)는, 예를 들면 하층 필름 위에, IC 칩을 임의로 드문드문 뿌리고, 상층 필름으로 덮어서 제작할 수 있다. 포장용 필름류(127)는, 박스(129)에 수납되어 있고, 원하는 양만큼 커터(128)로 끊어서 이용할 수 있다. 또한, 포장용 필름류(127)로서의 소재는, 특히 제한되지 않는다. 예를 들면, 박막수지, 알루미늄박, 종이 등을 사용할 수 있다.

[0106] 도 15a는, 본 발명에 따른 ID라벨(20)을 첨부한 서적(123), 도 15b는 본 발명에 따른 IC칩(110)을 내장한 ID라벨(20)을 첨부한 페트병(124)을 나타내고 있다. 이때, ID라벨을 설치한 물품은 이들에 한정되지 않는다. 도시락 등의 포장지 등의 포장용 용기류, DVD 소프트웨어, 비디오테일 등의 기록 매체, 자전거 등의 차량, 선박 등의 탈것류, 가방, 안경등의 신변 물건, 식료품, 음료 등의 식품류, 의복, 신발 등의 의류, 의료기구, 건강기구 등의 보건용품류, 가구, 조명 기구등의 생활 용품류, 의약품, 농약등의 약품류, 액정표시장치, EL 표시장치, 텔레비전 장치(텔레비전 수상기, 박형 텔레비전 수상기), 휴대전화 등의 전자기기등 여리가지 물품에 ID 라벨을 설치할 수 있다. 본 발명에 사용되는 ID라벨(20)은, 대단히 얇기 때문에, 상기 서적 등의 물품에 ID라벨(20)을 탑재해도, 기능, 디자인성을 손상시킬 일이 없다. 또한, 본 발명에 따른 IC칩(110)이 비접촉으로 데이터의 입출력이 가능한 경우, 안테나를 박막집적회로의 일부로서 일체 형성할 수 있고, 곡면을 가지는 상품에 직접 전사하는 것이 용이해진다.

[0107] 도 15c는, 과일류(131)의 생선식품에, 직접 ID라벨(20)을 붙인 상태를 나타내고 있다. 또한, 도 15d는 IC칩(110)을 내장한 포장용 필름류(127)에 의해, 야채류(130) 등의 생선식품을 포장한 일례를 보이고 있다. 또한, ID라벨을 상품에 붙였을 경우, 벗겨질 가능성이 있지만, 포장용 필름류에 의해 상품을 쌌을 경우, 포장용 필름류를 벗기는 것은 곤란하기 때문에 방범대책상의 장점이 있다.

[0108] 지폐, 동전, 유가증권류, 증서류, 무기명채권류 등에 R F I D 태그를 설치함으로써, 위조를 방지할 수 있다. 또한, 포장용 용기류, 서적류, 기록 매체 등, 신변 물건, 식품류, 의류, 생활 용품류, 전자기기 등에 R F I D 태그를 설치함으로써, 겸품 시스템이나 렌탈점의 시스템 등의 효율화를 꾀할 수 있다. 탈것류, 보건용품류, 약품류 등에 R F I D 태그를 설치함으로써, 위조나 도난의 방지, 약품류라면, 약의 복용의 실수를 방지할 수 있다. R F I D 태그는, 물품의 표면에 붙이거나, 물품에 매립하거나 해서 설치한다. 예를 들면, 책이라면 종이에 매립하거나, 유기수지로 이루어진 패키지라면 해당 유기수지에 매립하거나 하면 좋다.

[0109] 이와 같이, 포장용 용기류, 서적류, 기록 매체 등, 신변 물건, 식품류, 의류, 생활 용품류, 전자기기 등에 R F I D 태그를 설치함으로써, 겸품 시스템이나 렌탈점의 시스템 등의 효율화를 꾀할 수 있다. 또 탈것류, 보건용품류, 약품류 등에 R F I D 태그를 설치함으로써, 위조나 도난을 방지할 수 있다. 또한, 본 발명의 반도체장치는 얇기 때문에, 동물 등의 생물에게 용이하게 매립하는 것이 가능해서, 개개의 생물의 식별을 용이하게 행할 수 있다. 예를 들면, 가축등의 생물에 R F I D 태그를 매립하여서, 태어난 년이나 성별 또는 종류 등을 용이하게 식별하는 것이 가능해진다.

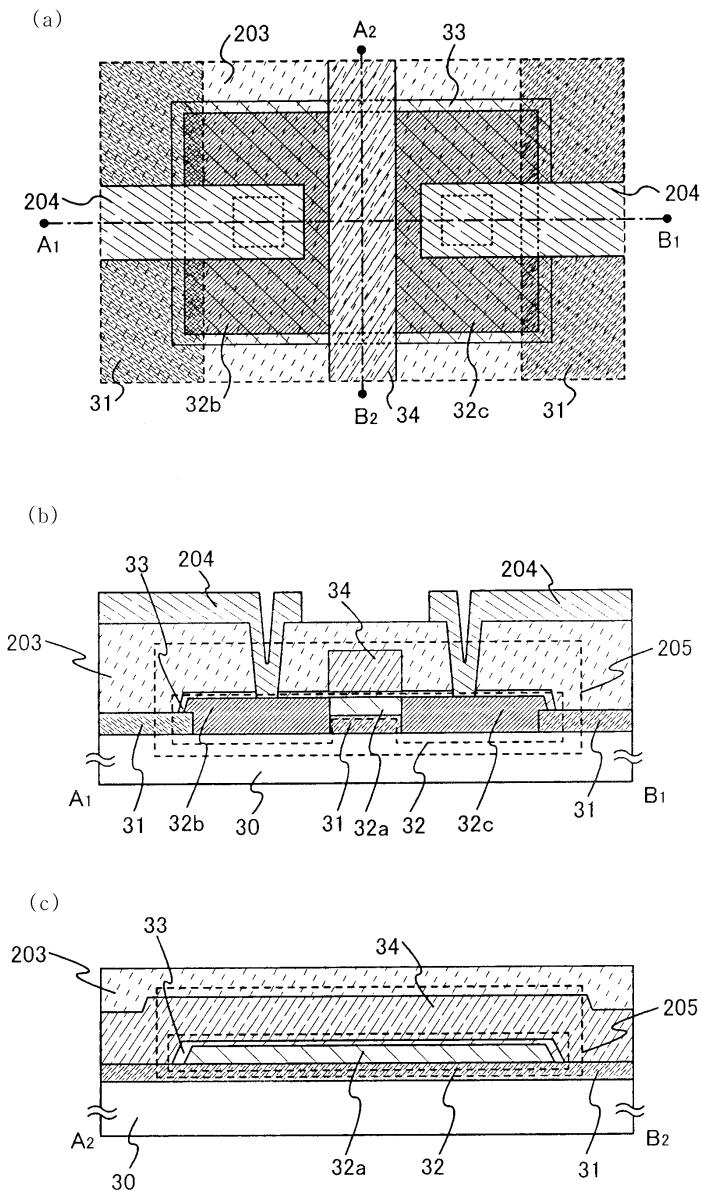
[0110] 이상과 같이, 본 실시예의 반도체장치는 물품이라면 어떤 것에도 설치해서 사용할 수 있다.

도면의 간단한 설명

- [0111] 도 1은 본 발명의 반도체장치의 구성을 설명하는 평면도 및 단면도.
- [0112] 도 2는 본 발명의 반도체장치의 제작 공정을 설명하는 도면,
- [0113] 도 3은 본 발명의 반도체장치의 제작 공정을 설명하는 도면.
- [0114] 도 4는 본 발명의 반도체장치의 제작 공정을 설명하는 도면.
- [0115] 도 5는 본 발명의 박막트랜지스터의 제작 공정을 설명하는 도면.
- [0116] 도 6은 본 발명의 박막트랜지스터의 구성을 설명하는 도면.
- [0117] 도 7은 본 발명의 반도체장치의 구성을 설명하는 평면도 및 단면도.
- [0118] 도 8은 본 발명의 반도체장치의 제작 공정을 설명하는 단면도.
- [0119] 도 9는 본 발명의 반도체장치의 제작 공정을 설명하는 단면도.
- [0120] 도 10은 본 발명의 반도체장치의 제작 공정을 설명하는 단면도.
- [0121] 도 11은 본 발명의 반도체장치의 제작 공정을 설명하는 단면도.
- [0122] 도 12는 본 발명의 반도체장치의 구성을 설명하는 블럭도.
- [0123] 도 13은 본 발명의 반도체장치의 이용 형태를 설명하는 도면.
- [0124] 도 14는 본 발명의 반도체장치의 이용 형태를 설명하는 도면.
- [0125] 도 15는 본 발명의 반도체장치의 이용 형태를 설명하는 도면.
- [0126] 도 16은 본 발명의 반도체장치의 구성을 설명하는 도면.
- [0127] *도면의 주요 부분에 대한 부호의 설명*
- [0128] 30 : 기판 31 : 절연층
- [0129] 32 : 반도체층 33 : 게이트 절연층
- [0130] 34 : 도전층 203 : 절연층
- [0131] 204 : 도전층 205 : 박막트랜지스터
- [0132] 32a : 채널 형성 영역 32b : 불순물영역
- [0133] 32c : 불순물영역

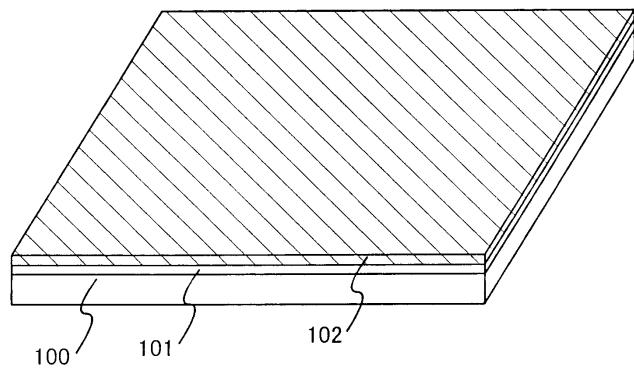
도면

도면1

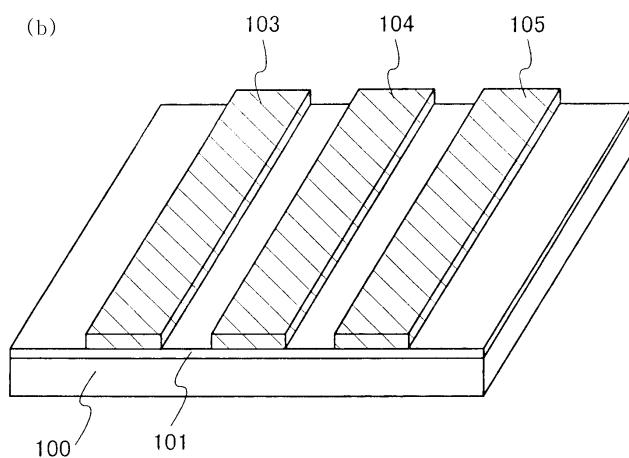


도면2

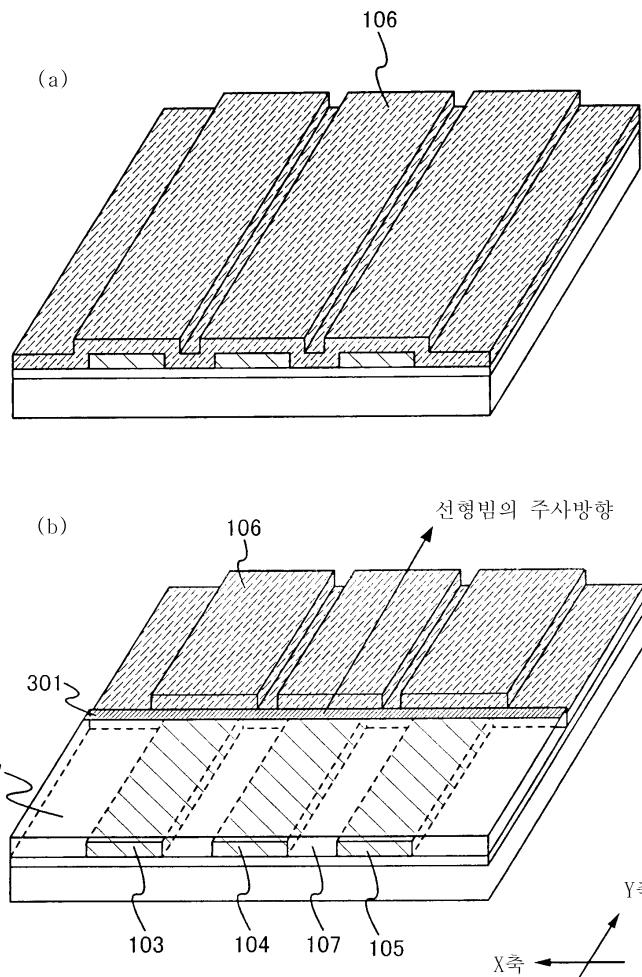
(a)



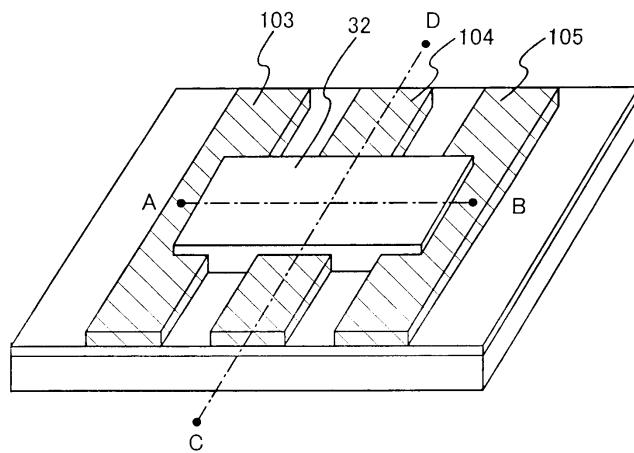
(b)



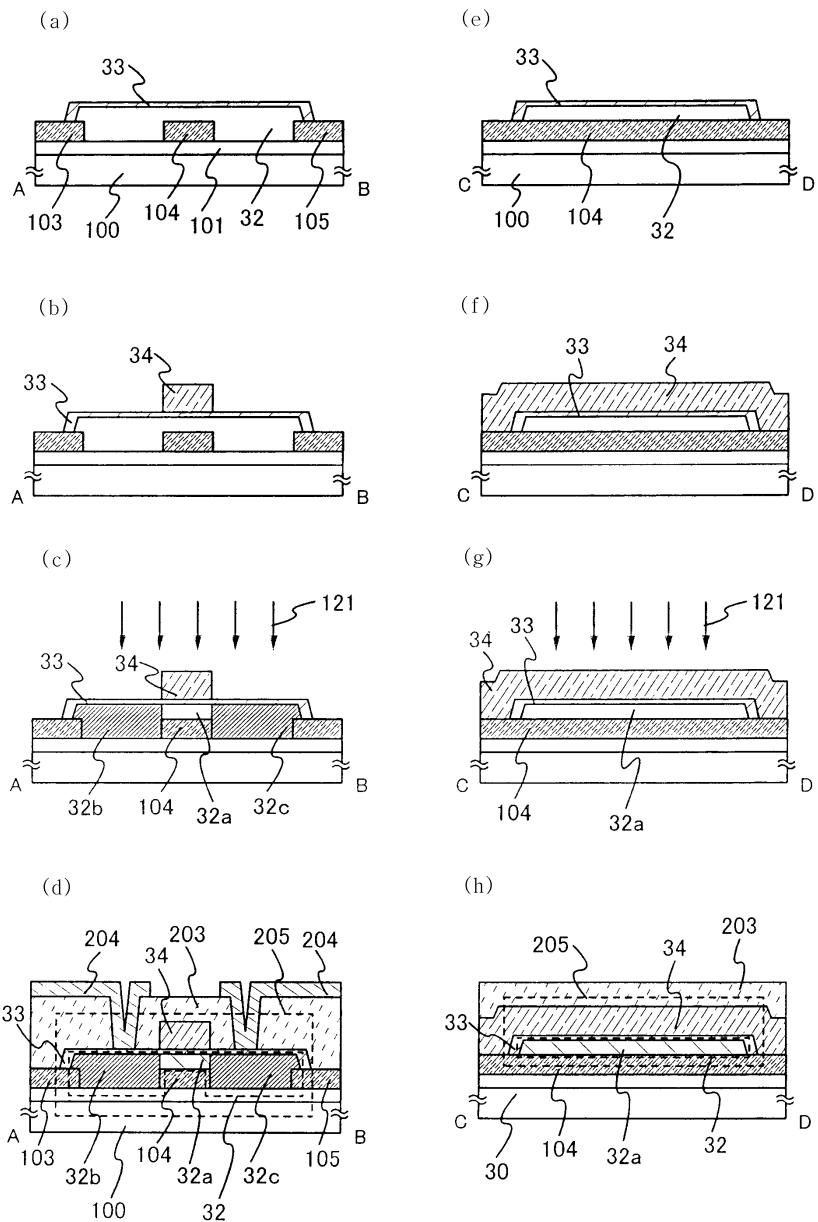
도면3



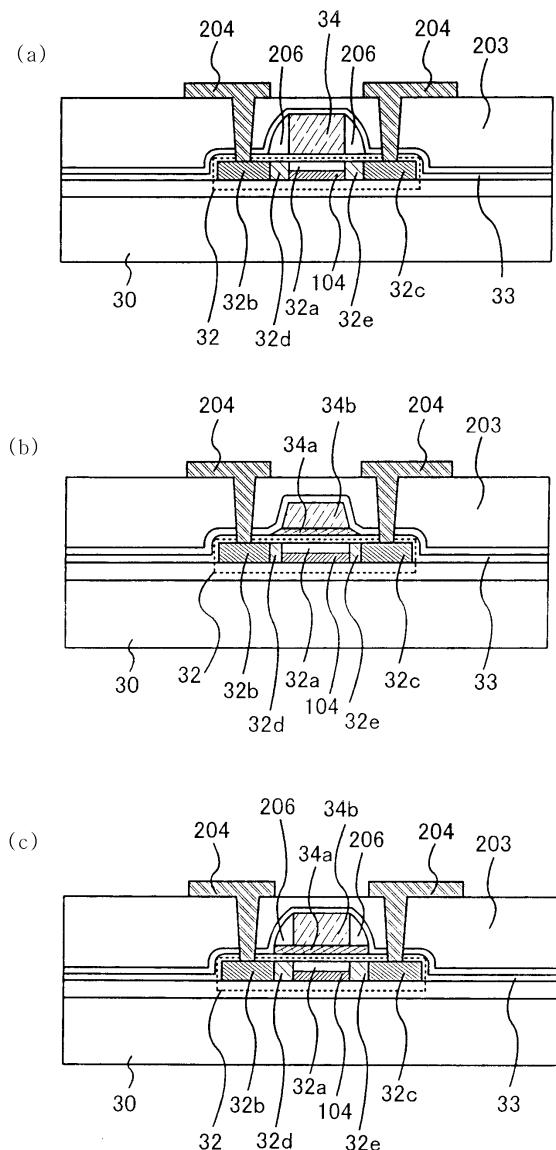
도면4



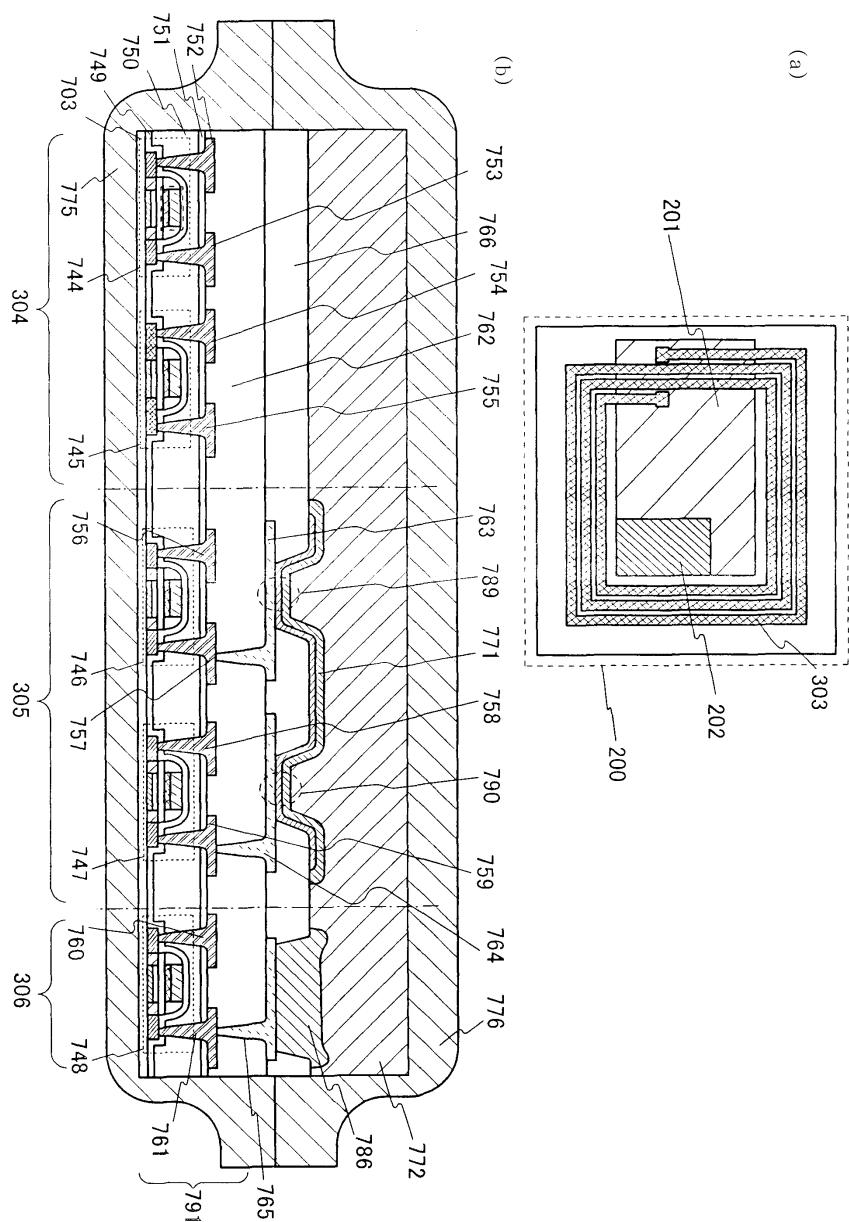
도면5



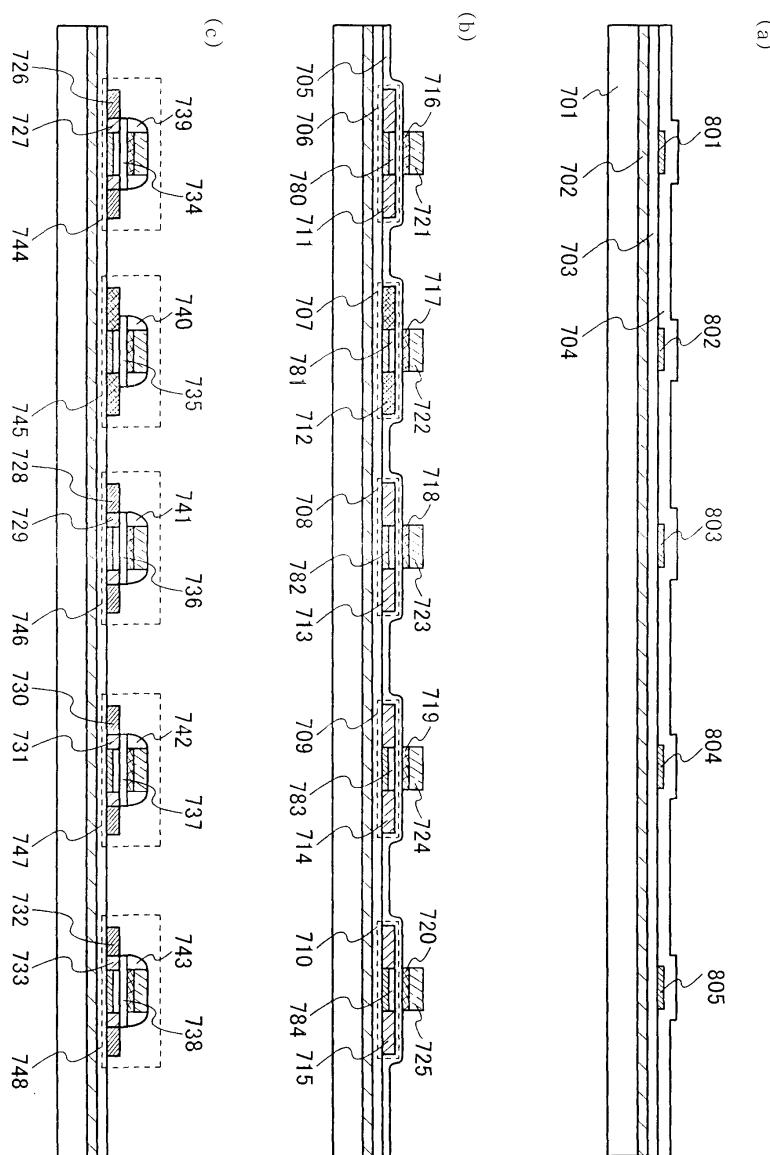
도면6



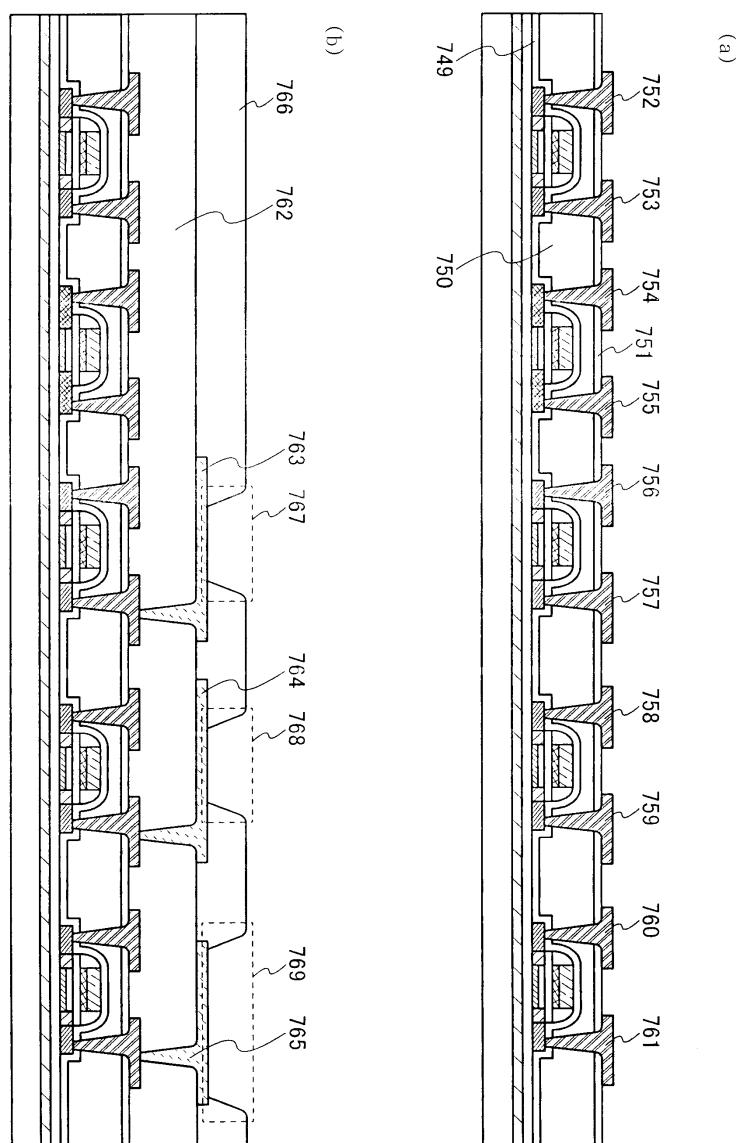
도면7



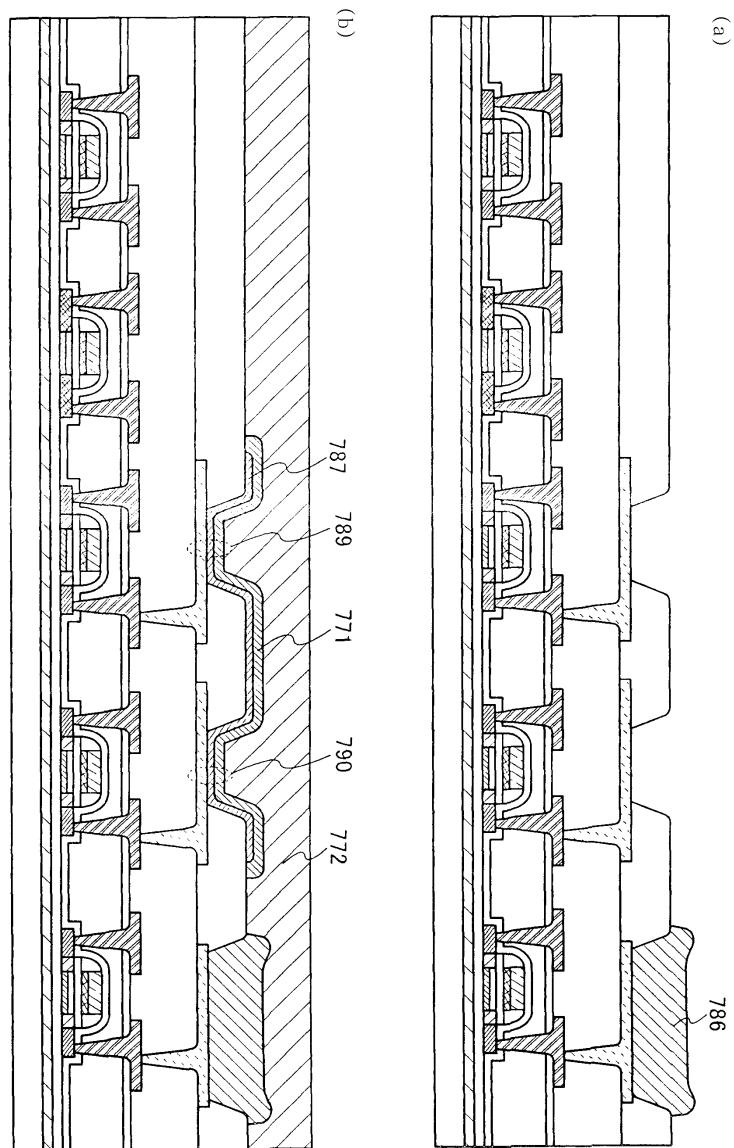
도면8



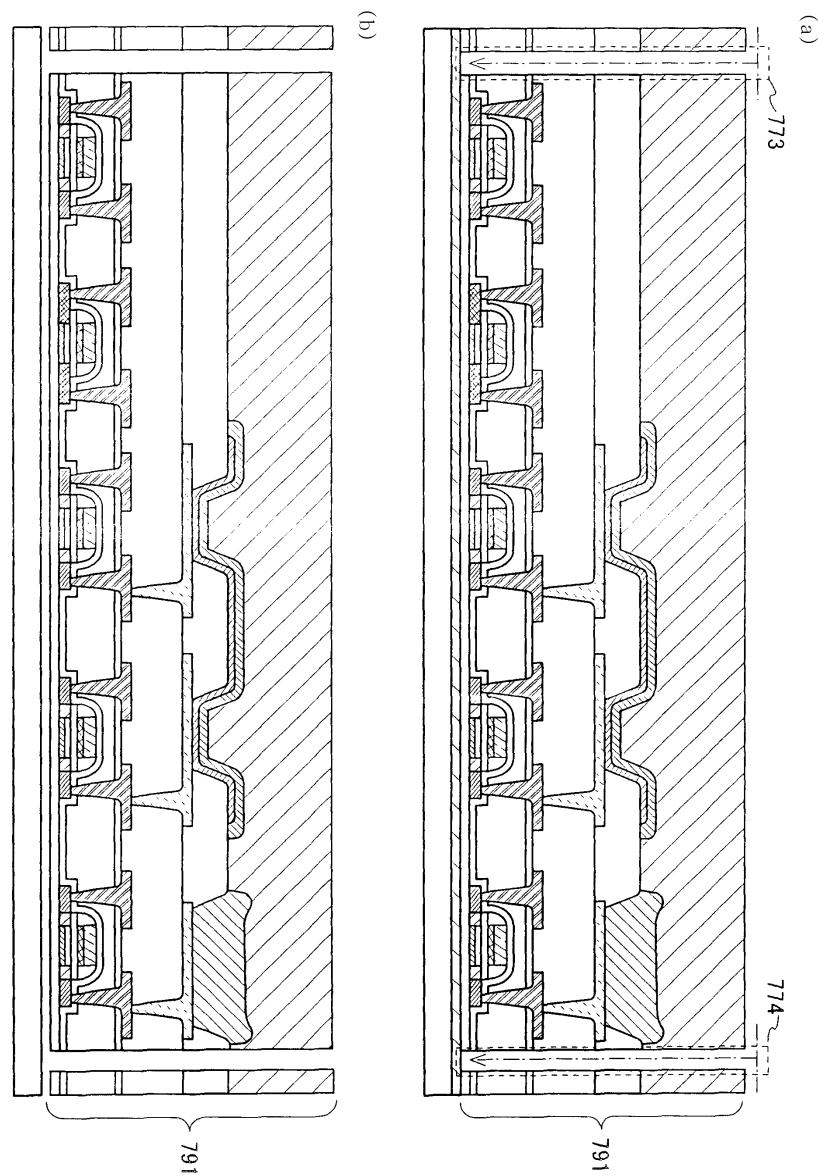
도면9



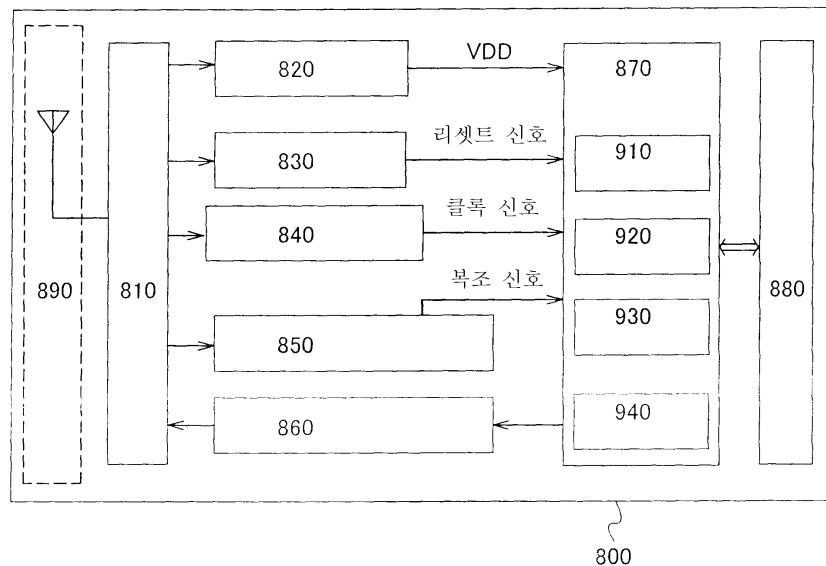
도면10



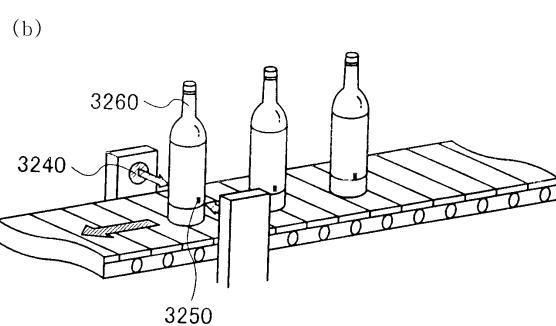
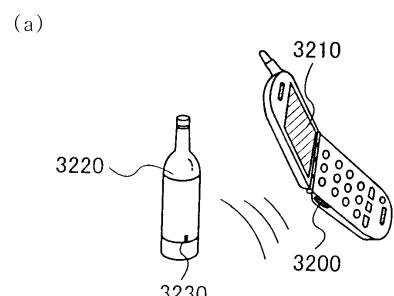
도면11



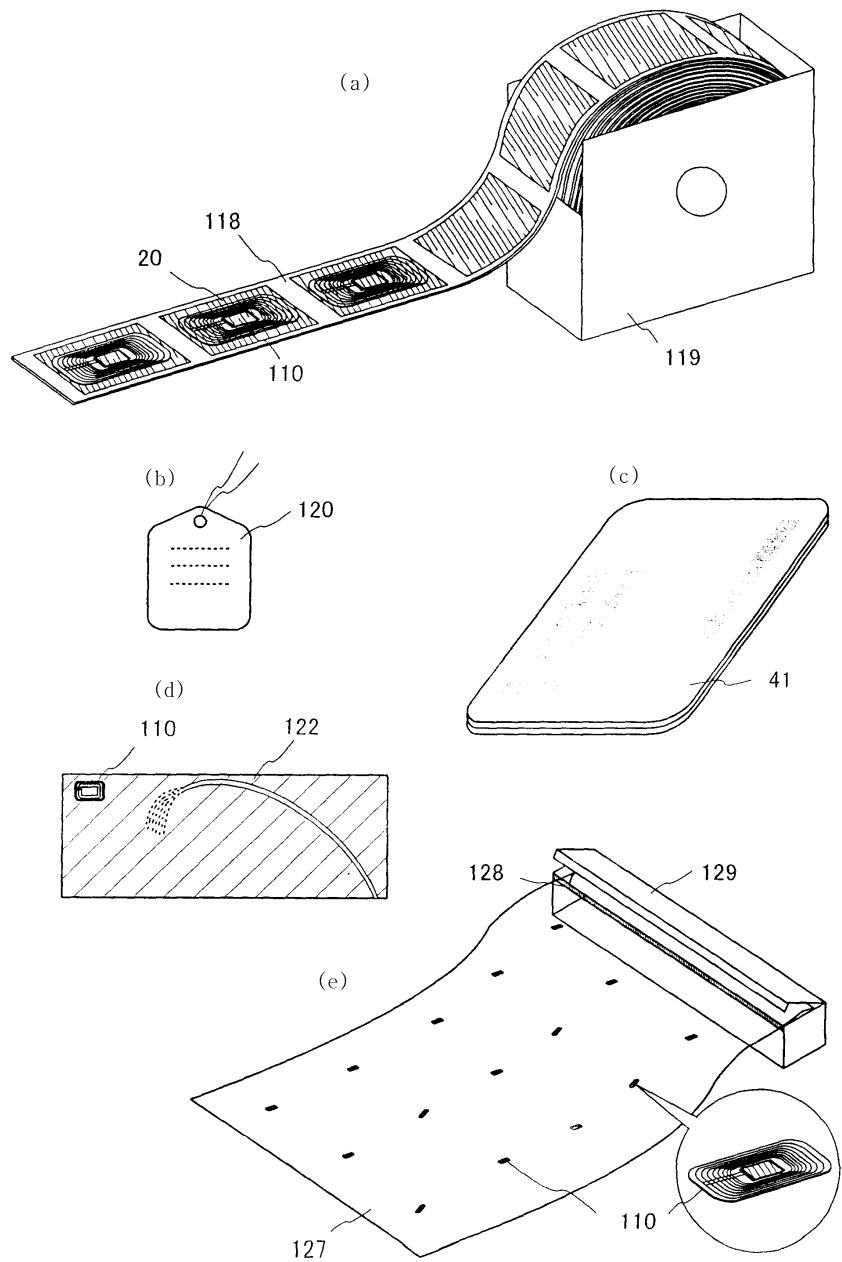
도면12



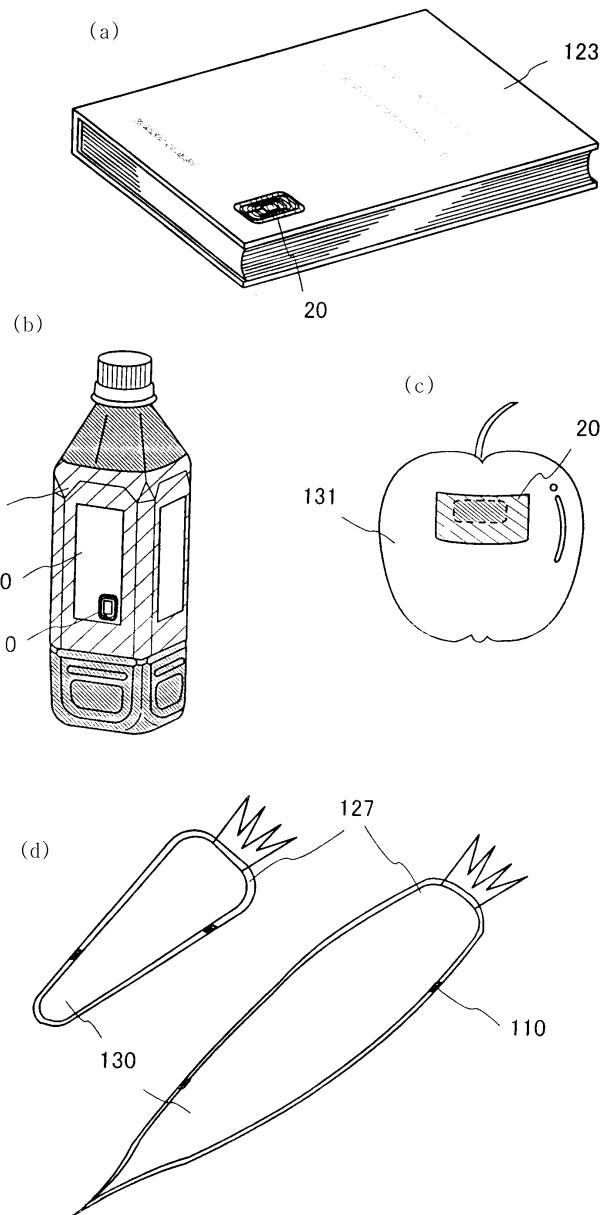
도면13



도면14



도면15



도면16

