(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5042329号
(P5042329)

(45)発行日　平成24年10月3日(2012.10.3)　(24)登録日　平成24年7月20日(2012.7.20)

(51)Int.Cl.		F I		
B41J 2/44	(2006.01)	B41J	3/21	L
B41J 2/45	(2006.01)	H01L	33/00	J
B41J 2/455	(2006.01)	H04N	1/036	A
H01L 33/00	(2010.01)			
H04N 1/036	(2006.01)			

請求項の数 11　(全 36 頁)

(21)出願番号　特願2010-67336(P2010-67336)
(22)出願日　平成22年3月24日(2010.3.24)
(65)公開番号　特開2011-194856(P2011-194856A)
(43)公開日　平成23年10月6日(2011.10.6)
審査請求日　平成23年8月23日(2011.8.23)

(73)特許権者　591044164
株式会社沖データ
東京都港区芝浦四丁目１１番２２号
(73)特許権者　500002571
株式会社沖デジタルイメージング
群馬県高崎市西横手町１番地１
(74)代理人　100086807
弁理士　柿本　恭成
(74)代理人　100155321
弁理士　綾木　健一郎
(74)代理人　100091362
弁理士　阿仁屋　節雄
(74)代理人　100145872
弁理士　福岡　昌浩

最終頁に続く

(54)【発明の名称】駆動装置、光プリントヘッド及び画像形成装置

(57)【特許請求の範囲】
【請求項１】
共通端子に分岐接続されて配列された複数の発光素子を駆動する駆動装置において、
各々、電位の異なる第１電源及び第２電源の内の前記第１電源と接続される第１端子と、クロック端子と接続される第２端子と、前記第１端子及び前記第２端子間のオン／オフ状態を制御する制御端子と、を有する複数の３端子スイッチ素子が配列され、前記クロック端子から供給される第１クロック信号に基づき前記３端子スイッチ素子がオン／オフ動作して前記制御端子に流れる信号を前記発光素子に与え、前記複数の発光素子を順に走査して駆動する走査回路と、
駆動用矩形波の信号を駆動してデータ信号を前記共通端子へ供給するデータ駆動回路と、
走査用矩形波の信号を駆動して第２クロック信号を出力するクロック駆動回路と、
前記第２クロック信号をインダクタにより微分して、前記第２クロック信号のエッジに微分波形が形成された前記第１クロック信号を生成し、前記クロック端子へ供給する微分回路と、を備え、
前記クロック駆動回路は、
前記第１電源と前記第２クロック信号を出力する出力端子との間に接続され、前記走査用矩形波の信号によりオン／オフ動作する第１導電型のＭＯＳトランジスタと、
前記出力端子と前記第２電源との間に接続され、前記第１導電型のＭＯＳトランジスタとは異なる第２導電型のＭＯＳトランジスタであって、前記第２電源の電位によりオフ状

態になっている前記第２導電型ＭＯＳトランジスタと、
前記出力端子と前記第２電源との間に逆方向に設けられたダイオードと、
を有することを特徴とする駆動装置。
【請求項２】
前記ダイオードは、前記第２導電型のＭＯＳトランジスタに形成される寄生ダイオードにより構成されていることを特徴とする請求項１記載の駆動装置。
【請求項３】
前記微分回路は、前記出力端子及び前記クロック端子間と前記第２電源との間に接続された前記インダクタを有することを特徴とする請求項１又は２記載の駆動装置。
【請求項４】
前記微分回路は、前記出力端子及び前記クロック端子間と前記第２電源との間に直列に接続された前記インダクタ及び抵抗を有することを特徴とする請求項１又は２記載の駆動装置。
【請求項５】
前記３端子スイッチ素子は、サイリスタにより構成されていることを特徴とする請求項１～４のいずれか１項に記載の駆動装置。
【請求項６】
前記発光素子は、３端子発光素子により構成されていることを特徴とする請求項１～５のいずれか１項に記載の駆動装置。
【請求項７】
前記３端子発光素子は、発光サイリスタであることを特徴とする請求項６記載の駆動装置。
【請求項８】
前記発光素子は、２端子発光素子により構成されていることを特徴とする請求項１～５のいずれか１項に記載の駆動装置。
【請求項９】
前記２端子発光素子は、発光ダイオードであることを特徴とする請求項８記載の駆動装置。
【請求項１０】
請求項１～９のいずれか１項に記載の複数の発光素子と、
請求項１～９のいずれか１項に記載の駆動装置と、
を備えたことを特徴とする光プリントヘッド。
【請求項１１】
請求項１０記載の光プリントヘッドを備え、
前記光プリントヘッドにより露光されて記録媒体に画像を形成することを特徴とする画像形成装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、複数の発光素子を駆動する駆動装置、この駆動装置を有する光プリントヘッド、及び画像形成装置に関するものである。
【背景技術】
【０００２】
従来、電子写真方式を用いたプリンタ等の画像形成装置には、発光素子として発光サイリスタを多数配列させて露光部を形成したものがある。発光サイリスタを用いたものでは、駆動回路と発光サイリスタとが１対Ｎに対応（Ｎ＞１）するように設けられ、その発光サイリスタのゲートを用いて発光させるべき発光サイリスタ位置を指定し、アノード及びカソード間に流す電流値により、発光パワーを制御している。
【０００３】
発光サイリスタを用いる光プリントヘッドとして、自己走査型と呼ばれる構成のものが

公知である。従来の自己走査型の光プリントヘッドを例えば、３．３Ｖの電源電圧のもとで駆動しようとする時、電源電圧３．３Ｖではゲートトリガ電流を生じさせることができないので、これを補う目的で、転送クロック信号（以下「クロック信号」を単に「クロック」という。）の波形にアンダシュート電圧を生じさせ、これと電源電圧３．３Ｖとの加算値でもってゲートトリガ電流を生成する構成が公知である。

【０００４】

例えば、下記の特許文献１の技術では、転送クロック波形を生成するために、クロック駆動回路における２つの第１出力端子及び第２出力端子の内の第１出力端子をＣＲ微分回路に伝達してアンダシュート波形を生じさせ、第２出力端子を介して直流成分を伝達するようにしている。なお、クロック駆動回路における出力端子を転送クロック当たり２個要しているのは、ＣＲ微分回路においては直流成分を伝達することができないためである。

【先行技術文献】

【特許文献】

【０００５】

【特許文献１】特開２００４－１９５７９６号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

しかしながら、従来の自己走査型の光プリントヘッドでは、クロック駆動回路における出力端子数が転送クロック当たり２個要するため、以下のような課題があった。

【０００７】

光プリントヘッドにおいては、この動作の高速化を目的として、多数の自己走査型の発光サイリスタアレイチップを設け、同時並列して動作するようにしている。発光サイリスタアレイチップへのデータ転送クロックとして２相クロックが用いられ、発光サイリスタアレイチップ毎に２つのクロックが入力される。このため、自己走査型の光プリントヘッドのクロック駆動回路においては、発光サイリスタアレイチップ１個を駆動するために４個の出力端子を要することになる。

【０００８】

光プリントヘッドには多数の自己走査型の発光サイリスタアレイチップを配列しているので、クロック駆動回路に備えるべき出力端子の総数が膨大となってしまい、大規模集積回路（以下「ＬＳＩ」という。）パッケージに収容可能な端子数に抑えようとすると、クロック駆動回路に並列接続して駆動するチップ数が多数必要となってしまい、波形なまりを生じる。この結果、光プリントヘッドの動作を高速化できないという課題があった。

【０００９】

又、発光素子として発光ダイオード（以下「ＬＥＤ」という。）を用いた自己走査型の光プリントヘッドにおいても、同様の課題が生じる。

【００１０】

このように、光プリントヘッドを駆動するＬＳＩのパッケージに収容可能な端子数を増大させず、自己走査型の発光素子アレイチップのクロック生成を行うことのできる回路構成が切望されていた。

【課題を解決するための手段】

【００１１】

本発明の内の第１の発明の駆動装置は、共通端子に分岐接続されて配列された複数の発光素子を駆動する駆動装置において、走査回路と、データ駆動回路と、クロック駆動回路と、微分回路とを備えたことを特徴とする。

【００１２】

ここで、前記走査回路は、各々、第１電源と接続される第１端子と、クロック端子と接続される第２端子と、前記第１端子及び前記第２端子間のオン／オフ状態を制御する制御端子と、を有する複数の３端子スイッチ素子が配列され、前記クロック端子から供給される第１クロックに基づき前記３端子スイッチ素子がオン／オフ動作して前記制御端子に流

れる信号を前記発光素子に与え、前記複数の発光素子を順に走査して駆動する回路である。前記データ駆動回路は、駆動用矩形波の信号を駆動してデータ信号（以下単に「データ」という。）を前記共通端子へ供給する回路である。前記クロック駆動回路は、前記第１電源と前記第２クロックを出力する出力端子との間に接続され、前記走査用矩形波の信号によりオン／オフ動作する第１導電型のＭＯＳトランジスタと、前記出力端子と前記第２電源との間に接続され、前記第１導電型のＭＯＳトランジスタとは異なる第２導電型のＭＯＳトランジスタであって、前記第２電源の電位によりオフ状態になっている前記第２導電型ＭＯＳトランジスタと、前記出力端子と前記第２電源との間に逆方向に設けられたダイオードと、を有することを特徴としている。更に、前記微分回路は、前記第２クロック信号をインダクタにより微分して、前記第２クロックのエッジに微分波形が形成された前記第１クロックを生成し、前記クロック端子へ供給する回路である。

【００１３】

第２の発明の光プリントヘッドは、共通端子に分岐接続されて配列された複数の発光素子と、前記第１の発明の駆動装置と、を備えたことを特徴とする。

【００１４】

第３の発明の画像形成装置は、前記第２の発明の光プリントヘッドを備え、前記光プリントヘッドにより露光されて記録媒体に画像を形成することを特徴とする。

【発明の効果】

【００１５】

本発明の内の第１の発明の駆動装置及び第２の発明の光プリントヘッドによれば、クロック駆動回路の出力端子がオープンドレーンになっており、その出力端子から出力される第２クロックを、インダクタを有する微分回路で微分して、その第２クロックのエッジに微分波形が形成された第１クロックを生成して走査回路へ供給するので、クロック駆動回路における第２クロック出力用の出力端子の数がクロック当たり１個で良く、従来構成と比べて所要端子の数を半減することができる。これにより、光プリントヘッドにおけるデータ転送速度を向上できることは勿論のこと、クロック駆動回路の出力端子の数の減少によって、回路規模の削減と、これによる低コスト化も期待できる。

【００１６】

第３の発明の画像形成装置によれば、前記第２の発明の光プリントヘッドを採用しているので、スペース効率及び光取り出し効率に優れた高品質の画像形成装置を提供することができる。

【図面の簡単な説明】

【００１７】

【図１】図１は本発明の実施例１における図５中の印刷制御部及び光プリントヘッドの回路構成を示すブロック図である。

【図２】図２は本発明の実施例１における画像形成装置を示す概略の構成図である。

【図３】図３は図２中の光プリントヘッド１３の構成を示す概略の断面図である。

【図４】図４は図３中の基板ユニットを示す斜視図である。

【図５】図５は図２の画像形成装置１におけるプリンタ制御回路の構成を示すブロック図である。

【図６】図６は図１中の発光サイリスタ２１０を示す構成図である。

【図７】図７は図１の動作を示すタイミングチャートである。

【図８】図８は図１及び図７中のクロック駆動回路８０、ＲＬ微分回路９０－１、第１段回路１１０－１及びタイミングチャートの要部を示す図である。

【図９】図９は図１の変形例１における印刷制御部及び光プリントヘッドの回路構成を示すブロック図である。

【図１０】図１０は図１及び図９の変形例２における出力バッファを示す回路図である。

【図１１】図１１は本発明の実施例２における印刷制御部及び光プリントヘッドの回路構成を示すブロック図である。

【図１２】図１２は図１１中の発光サイリスタ２１０Ｂを示す構成図である。

【図１３】図１３は図１１の動作を示すタイミングチャートである。
【図１４】図１４は図１１及び図１３中のクロック駆動回路８０Ｂ、ＲＬ微分回路９０－１、第１段回路１１０Ｂ－１及びタイミングチャートの要部を示す図である。
【図１５】図１５は図１１の変形例１における印刷制御部及び光プリントヘッドの回路構成を示すブロック図である。
【図１６】図１６は図１１及び図１５の変形例２における出力バッファを示す回路図である。
【発明を実施するための形態】
【００１８】
本発明を実施するための形態は、以下の好ましい実施例の説明を添付図面と照らし合わせて読むと、明らかになるであろう。但し、図面はもっぱら解説のためのものであって、本発明の範囲を限定するものではない。
【実施例１】
【００１９】
（実施例１の画像形成装置）
図２は、本発明の実施例１における画像形成装置を示す概略の構成図である。
【００２０】
この画像形成装置１は、被駆動素子（例えば、発光素子として３端子発光素子である発光サイリスタ）を用いた発光素子アレイを有する露光装置（例えば、光プリントヘッド）が搭載されたタンデム型電子写真カラープリンタにより構成されており、ブラック（Ｋ）、イエロー（Ｙ）、マゼンタ（Ｍ）及びシアン（Ｃ）の各色の画像を各々に形成する４つのプロセスユニット１０－１～１０－４を有し、これらが記録媒体（例えば、用紙）２０の搬送経路の上流側から順に配置されている。各プロセスユニット１０－１～１０－４の内部構成は共通しているため、例えば、マゼンタのプロセスユニット１０－３を例にとり、これらの内部構成を説明する。
【００２１】
プロセスユニット１０－３には、像担持体としての感光体（例えば、感光体ドラム）１１が図２中の矢印方向に回転可能に配置されている。感光体ドラム１１の周囲には、この回転方向上流側から順に、感光体ドラム１１の表面に電荷を供給して帯電させる帯電装置１２と、帯電された感光体ドラム１１の表面に選択的に光を照射して静電潜像を形成する露光装置としての光プリントヘッド１３が配設されている。更に、静電潜像が形成された感光体ドラム１１の表面に、マゼンタ（所定色）のトナーを付着させて顕像を発生させる現像器１４と、感光体ドラム１１上のトナーの顕像を転写した際に残留したトナーを除去するクリーニング装置１５が配設されている。なお、これら各装置に用いられているドラム又はローラは、図示しない駆動源からギア等を経由して動力が伝達され回転する。
【００２２】
画像形成装置１の下部には、用紙２０を堆積した状態で収納する用紙カセット２１が装着され、その上方に、用紙２０を１枚ずつ分離させて搬送するためのホッピングローラ２２が配設されている。用紙２０の搬送方向におけるホッピングローラ２２の下流側には、ピンチローラ２３，２４と共に用紙２０を挟持することによってこの用紙２０を搬送する搬送ローラ２５と、用紙２０の斜行を修正し、プロセスユニット１０－１に搬送するレジストローラ２６とが配設されている。これらのホッピングローラ２２、搬送ローラ２５及びレジストローラ２６は、図示しない駆動源からギア等を経由して動力が伝達され回転する。
【００２３】
プロセスユニット１０－１～１０－４の各感光体ドラム１１に対向する位置には、それぞれ半導電性のゴム等によって形成された転写ローラ２７が配設されている。各転写ローラ２７には、感光体ドラム１１上に付着されたトナーによる顕像を用紙２０に転写する転写時に、各感光体ドラム１１の表面電位とこれら各転写ローラ２７の表面電位に電位差を持たせるための電位が印加されている。

【００２４】
プロセスユニット１０－４の下流には、定着器２８が配設されている。定着器２８は、加熱ローラとバックアップローラとを有し、用紙２０上に転写されたトナーを加圧・加熱することによって定着する装置であり、この下流に、排出ローラ２９，３０、排出部のピンチローラ３１，３２、及び用紙スタッカ部３３が設けられている。排出ローラ２９，３０は、定着器２８から排出された用紙２０を、排出部のピンチローラ３１，３２と共に挟持し、用紙スタッカ部３３に搬送する。これらの定着器２８及び排出ローラ２９等は、図示しない駆動源からギア等を経由して動力が伝達されて回転する。
【００２５】
このように構成される画像記録装置１は、次のように動作する。
先ず、用紙カセット２１に堆積した状態で収納されている用紙２０が、ホッピングローラ２２によって、上から１枚ずつ分離されて搬送される。続いて、この用紙２０は、搬送ローラ２５、レジストローラ２６及びピンチローラ２３，２４に挟持されて、プロセスユニット１０－１の感光体ドラム１１と転写ローラ２７の間に搬送される。その後、用紙２０は、感光体ドラム１１及び転写ローラ２７に挟持され、その記録面にトナー像が転写されると同時に感光体ドラム１０－１の回転によって搬送される。同様にして、用紙２０は、順次プロセスユニット１０－２～１０－４を通過し、その通過過程で、各光プリントヘッド１３により形成された静電潜像を各現像器１４によって現像した各色のトナー像が、その記録面に順次転写されて重ね合わされる。
【００２６】
このようにして記録面上に各色のトナー像が重ね合わされた後、定着器２８によってトナー像が定着された用紙２０は、排出ローラ２９，３０及びピンチローラ３１，３２に挟持されて、画像形成装置１の外部の用紙スタッカ部３３に排出される。以上の過程を経て、カラー画像が用紙２０上に形成される。
【００２７】
（実施例１の光プリントヘッド）
図３は、図２中の光プリントヘッド１３の構成を示す概略の断面図である。図４は、図３中の基板ユニットを示す斜視図である。
【００２８】
図３に示す光プリントヘッド１３は、ベース部材１３ａを有し、このベース部材１３ａ上に、図４に示す基板ユニットが固定されている。基板ユニットは、ベース部材１３ａ上に固定されるプリント配線板１３ｂと、このプリント配線板１３ｂ上に接着剤等で固定された複数の集積回路（以下「ＩＣ」という。）チップ１３ｃとにより構成されている。各ＩＣチップ１３ｃには、走査回路（例えば、自己走査回路）１００が集積され、更にこの上に、主発光部としての発光素子列（例えば、発光サイリスタ列）からなる発光素子アレイ２００が配置されている。各ＩＣチップ１３ｃにおける図示しない複数の端子と、プリント配線板１３ｂ上の図示しない配線パッドとは、ボンディングワイヤ１３ｈにより電気的に接続されている。
【００２９】
複数のＩＣチップ１３ｃにおける発光素子アレイ２００上には、柱状の光学素子を多数配列してなるレンズアレイ（例えば、ロッドレンズアレイ）１３ｄが配置され、このロッドレンズアレイ１３ｄがホルダ１３ｅにより固定されている。ベース部材１３ａ、プリント配線板１３ｂ及びホルダ１３ｅは、クランプ部材１３ｆ，１３ｇにより固定されている。
【００３０】
（実施例１のプリンタ制御回路）
図５は、図２の画像形成装置１におけるプリンタ制御回路の構成を示すブロック図である。
【００３１】
このプリンタ制御回路は、画像形成装置１における印刷部の内部に配設された印刷制御

部４０を有している。印刷制御部４０は、マイクロプロセッサ、読み出し専用メモリ（ＲＯＭ）、随時読み書き可能なメモリ（ＲＡＭ）、信号の入出力を行う入出力ポート、タイマ等によって構成され、図示しない上位コントローラからの制御信号ＳＧ１、及びビデオ信号（ドットマップデータを一次元的に配列したもの）ＳＧ２等によってプリンタ全体をシーケンス制御して印刷動作を行う機能を有している。印刷制御部４０には、プロセスユニット１０－１～１０－４の４つの光プリントヘッド１３、定着器２８のヒータ２８ａ、ドライバ４１，４３、用紙吸引センサ４５、用紙排出センサ４６、用紙残量センサ４７、用紙サイズセンサ４８、定着器用温度センサ４９、帯電用高圧電源５０、及び転写用高圧電源５１等が接続されている。ドライバ４１には現像・転写プロセス用モータ（ＰＭ）４２が、ドライバ４３には用紙送りモータ（ＰＭ）４４が、帯電用高圧電源５０には現像器１４が、転写用高圧電源５１には転写ローラ２７が、それぞれ接続されている。

【００３２】

このような構成のプリンタ制御回路では、次のような動作を行う。

印刷制御部４０は、上位コントローラからの制御信号ＳＧ１によって印刷指示を受信すると、先ず、温度センサ４９によって定着器２８内のヒータ２８ａが使用可能な温度範囲にあるか否かを検出し、この温度範囲になければヒータ２８ａに通電し、使用可能な温度まで定着器２８を加熱する。次に、ドライバ４１を介して現像・転写プロセス用モータ４２を回転させ、同時にチャージ信号ＳＧＣによって帯電用高圧電源５０をオン状態にし、現像器１４の帯電を行う。

【００３３】

そして、セットされている図２中の用紙２０の有無及び種類が用紙残量センサ４７及び用紙サイズセンサ４８によって検出され、その用紙２０に合った用紙送りが開始される。ここで、用紙送りモータ４４はドライバ４３を介して双方向に回転させることが可能であり、最初に逆転させて、用紙吸引センサ４５が検知するまで、セットされた用紙２０を予め設定された量だけ送る。続いて、正回転させて用紙２０をプリンタ内部の印刷機構内に搬送する。

【００３４】

印刷制御部４０は、用紙２０が印刷可能な位置まで到達した時点において、図示しない画像処理部に対してタイミング信号ＳＧ３（主走査同期信号、副走査同期信号を含む）を送信し、ビデオ信号ＳＧ２を受信する。画像処理部においてページ毎に編集され、印刷制御部４０に受信されたビデオ信号ＳＧ２は、印刷データとして各光プリントヘッド１３に転送される。各光プリントヘッド１３は、それぞれ１ドット（ピクセル）の印刷のために設けられた自己走査回路１００及び発光素子アレイ２００を有している。

【００３５】

ビデオ信号ＳＧ２の送受信は、印刷ライン毎に行われる。各光プリントヘッド１３によって印刷される情報は、負電位に帯電された図示しない各感光体ドラム１１上において電位の上昇したドットとして潜像化される。そして、現像器１４において、負電位に帯電された画像形成用のトナーが、電気的な吸引力によって各ドットに吸引され、トナー像が形成される。

【００３６】

その後、トナー像は転写ローラ２７へ送られ、一方、転写信号ＳＧ４によって正電位に転写用高圧電源５１がオン状態になり、転写ローラ２７は感光体ドラム１１と転写ローラ２７との間隔を通過する用紙２０上にトナー像を転写する。転写されたトナー像を有する用紙２０は、ヒータ２８ａを内蔵する定着器２８に当接して搬送され、この定着器２８の熱によって用紙２０に定着される。この定着された画像を有する用紙２０は、更に搬送されてプリンタの印刷機構から用紙排出センサ４６を通過してプリンタ外部へ排出される。

【００３７】

印刷制御部４０は、用紙サイズセンサ４８、及び用紙吸引センサ４５の検知に対応して、用紙２０が転写ローラ２７を通過している間だけ転写用高圧電源５１からの電圧を転写ローラ２７に印加する。印刷が終了し、用紙２０が用紙排出センサ４６を通過すると、帯

電用高圧電源５０による現像器１４への電圧の印加を終了し、同時に現像・転写プロセス用モータ４２の回転を停止させる。以後、上記の動作を繰り返す。

【００３８】

（実施例１の印刷制御部及び光プリントヘッド）

図１は、本発明の実施例１における図５中の印刷制御部４０及び光プリントヘッド１３の概略の回路構成を示すブロック図である。

【００３９】

光プリントヘッド１３は、図４中のＩＣチップ１３ｃに形成された自己走査回路１００及び発光素子アレイ２００を有し、これらが複数の接続ケーブル９５（＝９５－１～９５－３）及び複数の接続コネクタ９６（＝９６－１～９６－３），９７（＝９７－１～９７－３）を介して、印刷制御部４０に接続されている。

【００４０】

自己走査回路１００により走査される発光素子アレイ２００は、３端子発光素子である例えば複数のＰゲート型発光サイリスタ２１０（＝２１０－１～２１０－ｎ，・・・）を有し、これらの各発光サイリスタ２１０のアノードが電源電圧ＶＤＤ電源に接続され、カソードがデータとしての駆動電流Ｉoutを流す共通端子ＩＮを介して接続コネクタ９７－１に接続され、ゲートが自己走査回路１００の各出力端子Ｑ１～Ｑｎに接続されている。各発光サイリスタ２１０は、アノード・カソード間に電源電圧ＶＤＤが印加された状態で、ゲートにトリガ信号（例えば、トリガ電流）が流れると、アノード・カソード間がオン状態になってカソード電流が流れ、発光する素子である。発光サイリスタ２１０－１～２１０－ｎ，・・・の総数は、例えば、Ａ４サイズの用紙に１インチ当たり６００ドットの解像度で印刷可能な光プリントヘッド１３の場合、４９９２個であり、これらが配列されることになる。

【００４１】

自己走査回路１００は、印刷制御部４０から接続コネクタ９６－２，９６－３、接続ケーブル９５－２，９５－３及び接続コネクタ９７－２，９７－３を介して供給される２相の第１クロックにより駆動されて、発光素子アレイ２００にトリガ電流を与えてオン／オフ動作させる回路であり、３端子スイッチ素子（例えば、Ｐゲート型の自己走査サイリスタ）を用いた複数段の回路１１０（＝１１０－１～１１０－ｎ、例えばｎ＝４９９２）を有し、自己走査型シフトレジスタにより構成されている。自己走査サイリスタを用いた各段の回路１１０（＝１１０－１～１１０－ｎ、）は、第１端子（例えば、アノード）が第１電源（例えば、ＶＤＤ電源）に接続された自己走査サイリスタ１１１（＝１１１－１～１１１－ｎ）と、カソードが自己走査サイリスタ１１１の制御端子（例えば、ゲート）に接続されたダイオード１１２（＝１１２－１～１１２－ｎ）と、自己走査サイリスタ１１１のゲート及び第２電源（例えば、グランドＧＮＤ）間に接続された抵抗１１３（＝１１３－１～１１３－ｎ）とにより、それぞれ構成されている。

【００４２】

奇数段回路１１０－１，１１０－３，・・・，１１０－（ｎ－１）における自己走査サイリスタ１１１（＝１１１－１，１１１－３，・・・，１１１－（ｎ－１））は、アノードがＶＤＤ電源に接続され、第２端子（例えば、カソード）が接続コネクタ９７－２に接続され、ゲートが抵抗１１３（＝１１３－１，１１３－３，・・・，１１３－（ｎ－１））を介してグランドＧＮＤに接続されると共に、そのゲートがダイオード１１２（＝１１２－１，１１２－３，・・・，１１２－（ｎ－１））のカソード・アノードを介して接続コネクタ９７－３に接続されている。

【００４３】

偶数段回路１１０－２，１１０－４，・・・，１１０－ｎにおける自己走査サイリスタ１１１（＝１１１－２，１１１－４，・・・，１１１－ｎ）は、アノードがＶＤＤ電源に接続され、カソードが接続コネクタ９７－３に接続され、ゲートが抵抗１１３（＝１１３－２，１１３－４，・・・，１１３－ｎ）を介してグランドＧＮＤに接続されると共に、そのゲートがダイオード１１２（＝１１２－２，１１２－４，・・・，１１２－ｎ）のカ

ソード・アノードを介して前段の自己走査サイリスタ１１１（＝１１１－１，１１１－３，・・・，１１１－（ｎ－１））のゲートに接続されている。更に、各段の自己走査サイリスタ１１１（＝１１１－１～１１１－ｎ）のゲートは、自己走査回路１００の出力端子Ｑ１～Ｑｎにそれぞれ接続されている。

【００４４】

各段の回路１１０－１～１１０－ｎにおける自己走査サイリスタ１１１は、発光素子アレイ２００における発光サイリスタ２１０と同様なレイヤ構造を有し、且つ同様な回路動作を行う素子であるが、発光サイリスタ２１０のような発光機能を必要としないので、上層がメタル膜等の非透光性材料で覆われ、遮光して用いられる。各段の自己走査サイリスタ１１１におけるゲートにカソードが接続されたダイオード１１２は、各段の自己走査サイリスタ１１１のゲート間を接続するものであって、発光サイリスタ２１０－１～２１０－ｎが順次点灯する時の走査方向（例えば、図１において右方向）を決定するために設けられている。

【００４５】

自己走査回路１００では、印刷制御部４０から供給される２相の第１クロックに基づき、自己走査サイリスタ１１１－１～１１１－ｎが択一的にオン状態となり、このオン状態が発光素子アレイ２００に伝達され、発光サイリスタ２１０－１～２１０－ｎの内から発光すべき発光サイリスタ２１０－１～２１０－ｎを指令する働きをする。この自己走査回路１００において、オン状態となる各段の回路１１０－１～１１０－ｎにおけるサイリスタ１１１のオン状態が、２相クロック毎に隣接サイリスタ１１１に伝達され、シフトレジスタと同様の回路動作が行われる構成になっている。

【００４６】

印刷制御部４０は、駆動用矩形波の信号である駆動指令信号ＤＲＶＯＮを出力する駆動用矩形波発生回路６１と、その駆動指令信号ＤＲＶＯＮに基づいて複数の発光素子アレイ２００を時分割駆動するためのデータとしての駆動電流Ｉoutを共通端子ＩＮに流す複数のデータ駆動回路７０と、走査用矩形波の信号である矩形波信号Ｓ６２－１，Ｓ６２－２を出力する走査用矩形波発生回路６２と、その矩形波信号Ｓ６２－１，Ｓ６２－２に基づいて自己走査回路１００に供給する２相クロックを生成するためのクロック駆動回路８０及びＲＬ微分回路９０－１，９０－２等とを有している。図１においては、説明を簡略化するために１組の駆動用矩形波発生回路６１及びデータ駆動回路７０のみが図示されている。複数の発光素子アレイ２００は、例えば、総数４９９２個の発光サイリスタ２１０－１～２１０－ｎ，・・・を有し、これらの発光サイリスタ２１０－１～２１０－ｎ，・・・が複数の発光サイリスタ２１０－１～２１０－ｎの組にグループ化され、各グループ毎に設けられたデータ駆動回路７０によって、それらが同時並行的に分割駆動が行われる構成になっている。

【００４７】

一例として典型的な設計例を挙げると、発光サイリスタ２１０（＝２１０－１～２１０－ｎ）を１９２個配列してアレイ化した発光素子アレイ２００のチップを図４中のプリント配線板１３ｂ上に２６個整列する。これにより、光プリントヘッド１３に必要な総数４９９２個の発光サイリスタ２１０－１～２１０－ｎ，・・・を構成している。この際、データ駆動回路７０は前記２６個の発光素子アレイ２００に対応して設けられ、これらのデータ駆動回路７０における出力端子の総数は２６である。

【００４８】

一方、走査用矩形波発生回路６２、クロック駆動回路８０及びＲＬ微分回路９０－１，９０－２は、アレイ化した自己走査回路１００のチップを駆動するものであるが、単にクロックを生成するのみならず、後述する自己走査サイリスタ１１１の点灯エネルギーを制御する必要があり、光プリントヘッド１３の高速動作のためには、自己走査回路１００毎に設けることが好ましい。しかし、光プリントヘッド１３のデータ転送が低速で良い場合には、クロック駆動回路８０及びＲＬ微分回路９０－１，９０－２の出力端子と複数の自己走査回路１００を並列に接続することで、その回路を共用することができる。

【００４９】
これらのデータ駆動回路７０、クロック駆動回路８０、ＲＬ微分回路９０－１，９０－２、及び自己走査回路１００により、本実施例１の駆動装置が構成されている。なお、データ駆動回路７０、クロック駆動回路８０及びＲＬ微分回路９０－１，９０－２は、図１においては、印刷制御部４０の内部に配置されているが、光プリントヘッド１３の内部に配置しても良い。
【００５０】
データ駆動回路７０は、駆動用矩形波発生回路６１から供給される駆動指令信号ＤＲＶＯＮを反転する相補型ＭＯＳトランジスタ（以下「ＣＭＯＳ」という。）インバータ７１と、このＣＭＯＳインバータ７１の出力端子とデータ端子ＤＡとの間に接続された抵抗７２とにより構成されている。ＣＭＯＳインバータ７１は、Ｐチャネル型ＭＯＳトランジスタ（以下「ＰＭＯＳ」という。）７１ａと、Ｎチャネル型ＭＯＳトランジスタ（以下「ＮＭＯＳ」という。）７１ｂとを有し、これらがＶＤＤ電源とグランドＧＮＤとの間に直列に接続されている。
【００５１】
即ち、ＰＭＯＳ７１ａは、ゲートに駆動指令信号ＤＲＶＯＮが入力され、ソースがＶＤＤ電源に接続され、ドレーンが抵抗７２の一端に接続されている。ＮＭＯＳ７１ｂは、ゲートに駆動指令信号ＤＲＶＯＮが入力され、ソースがグランドＧＮＤに接続され、ドレーンが抵抗７２の一端に接続されている。抵抗７２の他端は、データ端子ＤＡ、接続コネクタ９６－１、接続ケーブル９５－１、及び接続コネクタ９７－１を介して、発光素子アレイ２００側の共通端子ＩＮに接続されている。
【００５２】
クロック駆動回路８０は、矩形波信号Ｓ６２－１を駆動する出力バッファ８１と、矩形波信号Ｓ６２－２を駆動する出力バッファ８２と、この出力バッファ８１，８２の出力側にそれぞれ接続された２相の第２クロック出力用の出力端子ＣＫ１Ｒ，ＣＫ２Ｒとにより構成されている。各出力バッファ８１，８２は、同一の回路構成であって、スイッチ素子（例えば、第１導電型のＭＯＳトランジスタであるＰＭＯＳ）を用いたオープンドレーン構成となっており、後述するように、高いＨレベル出力電圧を維持しつつ、自己走査サイリスタ１１１のゲートトリガに適した微分波形（例えば、アンダシュート波形）を発生させることができる。
【００５３】
即ち、一方の出力バッファ８１は、ＰＭＯＳ８１ａ及び第２導電型のＭＯＳトランジスタ（例えば、ＮＭＯＳ））８１ｂを有している。ＰＭＯＳ８１ａは、ゲートに矩形波信号Ｓ６２－１が入力され、ソースが第１電源としてのＶＤＤ電源に接続され、ドレーンがＮＭＯＳ８１ｂのドレーン及び出力端子ＣＫ１Ｒに接続されている。ＮＭＯＳ８１ｂは、ソース及びゲートが第２電源としてのグランドＧＮＤに接続されて、常にオフ状態になっている。そのため、ＰＭＯＳ８１ａ及びＮＭＯＳ８１ｂにより、ＰＭＯＳオープンドレーン出力バッファ回路が構成されている。ＰＭＯＳ８１ａのサブストレート端子とドレーンとの間には、寄生ダイオード８１ａ－１が存在し、更に、ＮＭＯＳ８１ｂのサブストレート端子とドレーン端子との間にも、寄生ダイオード８１ｂ－１が存在する。ダイオード８１ａ－１のアノード及びカソードは、ＰＭＯＳ８１ａのドレーン及びソースに対して並列に接続されている。ダイオード８１ｂ－１のアノード及びカソードは、ＮＭＯＳ８１ｂのソース及びドレーンに対して並列に接続されている。
【００５４】
同様に、他方の出力バッファ８２は、スイッチ素子（例えば、第１導電型のＭＯＳトランジスタであるＰＭＯＳ）８２ａ及び第２導電型のＭＯＳトランジスタ（例えば、ＮＭＯＳ）８２ｂを有している。ＰＭＯＳ８２ａは、ゲートに矩形波信号Ｓ６２－２が入力され、ソースが第１電源としてのＶＤＤ電源に接続され、ドレーンがＮＭＯＳ８２ｂのドレーン及び出力端子ＣＫ１Ｒに接続されている。ＮＭＯＳ８２ｂは、ソース及びゲートが第２電源としてのグランドＧＮＤに接続されて、常にオフ状態になっている。そのため、ＰＭ

ＯＳ８２ａ及びＮＭＯＳ８２ｂにより、ＰＭＯＳオープンドレーン出力バッファ回路が構成されている。ＰＭＯＳ８２ａのサブストレート端子とドレーンとの間には、寄生ダイオード８２ａ－１が存在し、更に、ＮＭＯＳ８２ｂのサブストレート端子とドレーン端子との間にも、寄生ダイオード８２ｂ－１が存在する。ダイオード８２ａ－１のアノード及びカソードは、ＰＭＯＳ８２ａのドレーン及びソースに対して並列に接続されている。ダイオード８２ｂ－１のアノード及びカソードは、ＮＭＯＳ８２ｂのソース及びドレーンに対して並列に接続されている。

【００５５】

２つのＲＬ微分回路９０－１，９０－２は、同一の回路構成であり、一方のＲＬ微分回路９０－１が、クロック駆動回路８０の出力端子ＣＫ１Ｒとクロック端子ＣＫ１との間に接続され、他方のＲＬ微分回路９０－２が、クロック駆動回路８０の出力端子ＣＫ２Ｒとクロック端子ＣＫ２との間に接続されている。

【００５６】

一方のＲＬ微分回路９０－１は、抵抗９１－１、インダクタ９２－１及び抵抗９３－１により構成されている。抵抗９１－１は、出力端子ＣＫ１とクロック端子ＣＫ１との間に接続され、この抵抗９１－１及びクロック端子ＣＫ１間と第２電源としてのグランドＧＮＤとの間に、インダクタ９２－１及び抵抗９３－１が直列に接続されている。同様に、他方のＲＬ微分回路９０－２は、抵抗９３－２、インダクタ９２－２及び抵抗９３－２により構成されている。抵抗９３－２は、出力端子ＣＫ２Ｒとクロック端子ＣＫ２との間に接続され、この抵抗９３－２及びクロック端子ＣＫ２間と第２電源としてのグランドＧＮＤとの間に、インダクタ９２－２及び抵抗９３－２が直列に接続されている。

【００５７】

インダクタ９２－１，９２－２は、例えば、高透磁率を備えたフェライト材料の表層又は内装に厚膜配線層を設け、インダクタ電極の一端から他端に貫通するように配線を形成したフェライトビーズ等を用いることができる。

【００５８】

前記クロック駆動回路８０は、ＰＭＯＳを用いたオープンドレーンの出力バッファ８１，８２により構成されているので、出力端子ＣＫ１Ｒ，ＣＫ２Ｒの出力状態が、ＰＭＯＳ８１ａ，８２ａがオンした時に高レベル（以下「Ｈレベル」という。）となる。ＰＭＯＳ８１ａ，８２ａがオフした時には、出力端子ＣＫ１Ｒ，ＣＫ２Ｒの出力状態がハイ・インピーダンス（以下「ＨｉＺ」という。）となるが、一方の出力端子ＣＫ１Ｒが、抵抗９１－１、インダクタ９２－１及び抵抗９３－１を介してグランドＧＮＤに接続され、他方の出力端子ＣＫ２Ｒが、抵抗９１－２、インダクタ９２－２及び抵抗９３－２を介してグランドＧＮＤに接続されているので、これらの出力端子ＣＫ１Ｒ，ＣＫ２Ｒは、低レベル（以下「Ｌレベル」という。）となる。

【００５９】

以下の説明においては、説明の煩雑さを避けるために、クロック駆動回路８０の出力状態として少なくともＨレベルとＬレベルの２つの状態値を持つものとして記載する。

【００６０】

なお、図１においては、抵抗９１－１，９１－２を設けているが、クロック駆動回路８０の駆動能力によっては、抵抗９１－１，９１－２の抵抗値を略ゼロとすることができて、その場合には抵抗９１－１，９１－２を省略することも可能である。同様に、抵抗９３－１，９３－２を省略することもできる。

【００６１】

（実施例１の発光サイリスタ）

図６（ａ）～（ｄ）は、図１中の発光サイリスタ２１０を示す構成図である。

【００６２】

図６（ａ）は、発光サイリスタ２１０の回路シンボルを示し、アノードＡ、カソードＫ、及びゲートＧの３つの端子を有している。

【００６３】

図６（ｂ）は、発光サイリスタ２１０の断面構造を示す図である。発光サイリスタ２１０は、例えば、ＧａＡｓウェハ基材を用い、公知のＭＯ－ＣＶＤ（Metal Organic-Chemical Vapor Deposition）法により、ＧａＡｓウェハ基材の上層に所定の結晶をエピタキシャル成長させることで製造される。

【００６４】

即ち、図示しない所定のバッファ層や犠牲層をエピタキシャル成長させた後、ＡｌＧａＡｓ材料にＮ型不純物を含ませたＮ型層２１１と、Ｐ型不純物を含ませ成層したＰ型層２１２と、Ｎ型不純物を含ませたＮ型層２１３とを順に積層させたＮＰＮの３層構造からなるウェハを形成する。次いで、公知のフォトリソグラフィ法を用いて、最上層であるＮ型層２１３の一部に、選択的にＰ型不純物領域２１４を形成する。更に、公知のエッチング法により、図示しない溝部を形成することで、素子分離を行う。又、前記エッチングの過程で、発光サイリスタ２１０の最下層となるＮ型領域２１１の一部を露出させ、この露出領域に金属配線を形成してカソードＫを形成する。これと同時に、Ｐ型領域２１４とＰ型領域２１２にも、それぞれアノードＡとゲートＧが形成される。

【００６５】

図６（ｃ）は、発光サイリスタ２１０の他の形態を示す断面構造図である。この断面構造では、例えば、ＧａＡｓウェハ基材を用い、公知のＭＯ－ＣＶＤ法により、そのＧａＡｓ基材の上層に所定の結晶をエピタキシャル成長させることで製造される。

【００６６】

即ち、図示しない所定のバッファ層や犠牲層をエピタキシャル成長させた後、ＡｌＧａＡｓ材料にＮ型不純物を含ませたＮ型層２１１、Ｐ型不純物を含ませ成層したＰ型層２１２と、Ｎ型不純物を含ませたＮ型層２１３と、Ｐ型不純物を含ませ成層したＰ型層２１５とを順に積層させたＰＮＰＮの４層構造のウェハを形成する。更に、公知のエッチング法を用いて、図示しない溝部を形成することで素子分離を行う。又、前記エッチングの過程で、発光サイリスタ２１０の最下層となるＮ型領域２１１の一部を露出させ、この露出領域に金属配線を形成してカソードＫを形成する。同様に、最上層となるＰ型領域２１５の一部を露出させ、この露出領域に金属配線を形成してアノードＡを形成する。これと同時に、Ｐ型領域２１２にゲートＧが形成される。

【００６７】

図６（ｄ）は、図６（ｂ）、（ｃ）と対比させて描いた発光サイリスタ２１０の等価回路図である。発光サイリスタ２１０は、ＰＮＰトランジスタ（以下「ＰＮＰＴＲ」という。）２２１とＮＰＮトランジスタ（以下「ＮＰＮＴＲ」という。）２２２とからなり、ＰＮＰＴＲ２２１のエミッタが発光サイリスタ２１０のアノードＡに相当し、ＮＰＮＴＲ２２２のベースが発光サイリスタ２１０のゲートＧに相当し、ＮＰＮＴＲ２２２のエミッタが発光サイリスタ２１０のカソードＫに相当している。又、ＰＮＰＴＲ２２１のコレクタは、ＮＰＮＴＲ２２２のベースに接続され、ＰＮＰＴＲ２２１のベースが、ＮＰＮＴＲ２２２のコレクタに接続されている。

【００６８】

なお、図６に示す発光サイリスタ２１０では、ＧａＡｓウェハ基材上にＡｌＧａＡｓ層を構成したものであるが、これに限定されるものではなく、ＧａＰ、ＧａＡｓＰ、ＡｌＧａＩｎＰといった材料を用いるものであっても良く、更には、サファイヤ基板上にＧａＮやＡｌＧａＮ、ＩｎＧａＮといった材料を成膜したものであっても良い。

【００６９】

（実施例１の印刷制御部及び光プリントヘッドの概略動作）

図１において、例えば、印刷制御部４０内の駆動用矩形波発生回路６１から出力される駆動指令信号ＤＲＶＯＮがＬレベルの場合、データ駆動回路７０におけるＣＭＯＳインバータ７１を構成するＰＭＯＳ７１ａがオン状態、ＮＭＯＳ７１ｂがオフ状態となり、抵抗７２を介してデータ端子ＤＡは、Ｈレベルとなる。そのため、接続コネクタ９６－１、接続ケーブル９５－１及び接続コネクタ９７－１を介して、光プリントヘッド１３側の共通端子ＩＮ及び各発光サイリスタ２１０のカソードがＨレベルに上昇する。この結果、各発

光サイリスタ２１０のアノード・カソード間電圧は略０Ｖとなって、そこに流れる駆動電流Ｉoutがゼロとなり、発光サイリスタ２１０－１～２１０－ｎが全て非発光状態となる。

【００７０】

これに対し、駆動指令信号ＤＲＶＯＮがＨレベルの場合、ＣＭＯＳインバータ７１を構成するＰＭＯＳ７１ａがオフ状態、ＮＭＯＳ７１ｂがオン状態となって、抵抗７２を介してデータ端子ＤＡがＬレベルとなる。この結果、接続コネクタ９６－１、接続ケーブル９５－１及び接続コネクタ９７－１を介して共通端子ＩＮも略グランドＧＮＤ電位（　０Ｖ）となり、各発光サイリスタ２１０のアノード・カソード間に略電源電圧ＶＤＤが印加される。

【００７１】

この際、発光サイリスタ２１０－１～２１０－ｎの内、自己走査回路１００により、発光指令されている発光サイリスタ２１０のゲートのみを選択的にＨレベルとすることで、この発光サイリスタ２１０のゲートにはトリガ電流を生じ、発光指令されているサイリスタ２１０がターンオンすることになる。ターンオンした発光サイリスタ２１０のカソードに流れる電流は、データ端子ＤＡに流入する電流（即ち、駆動電流Ｉout）であり、発光サイリスタ２１０は発光状態となってその駆動電流Ｉoutの値に応じた発光出力を生じる。

【００７２】

即ち、発光サイリスタ２１０－１～２１０－ｎの動作を考えるにあたり、自己走査回路１００の各段の回路１１０－１～１１０－ｎにおけるオンしているサイリスタ１１１（＝１１１－１～１１１－ｎ）に着目すると、発光サイリスタ２１０のアノードには電源電圧ＶＤＤが印加されており、そのカソードがＬレベルにされると、発光サイリスタ２１０のアノード・カソード間には電圧が印加される。一方、自己走査回路１００における各サイリスタ１１１のゲートと、各発光サイリスタ２１０のゲートとがそれぞれ接続されているため、サイリスタ１１１のゲート・カソード間にも電圧が印加されることになる。この時、発光サイリスタ２１０－１～２１０－ｎの内、自己走査回路１００により発光指令されている発光サイリスタ２１０のゲートのみを選択的にＨレベルとすることで、この発光サイリスタ２１０のゲートにはトリガ電流を生じ、発光指令されている発光サイリスタ２１０がターンオンすることになる。この際、発光サイリスタ２１０のカソードに流れる電流は、データ端子ＤＡに流入する駆動電流Ｉoutであって、前記発光サイリスタ２１０が発光状態なってその駆動電流Ｉoutの値に応じた発光出力を生じる。

【００７３】

（実施例１の印刷制御部及び光プリントヘッドの詳細動作）

図７は、図１の光プリントヘッド１３及び印刷制御部４０の詳細な動作を示すタイミングチャートである。

【００７４】

この図７では、図２の画像形成装置１での印刷動作時における１ライン走査において、図１の発光サイリスタ２１０－１～２１０－ｎ（例えば、ｎ＝８）を順次点灯させる場合の動作波形が示されている。

【００７５】

本実施例１のように、自己走査サイリスタ１１１を用いた自己走査回路１００の場合、クロック端子ＣＫ１，ＣＫ２から供給される２相クロックが用いられ、この２相クロックは、出力端子ＣＫ１Ｒ，ＣＫ２Ｒを備えたクロック駆動回路８０によって駆動される。

【００７６】

図７のタイミングチャートにおいて、左端部に示す状態においては、走査用矩形波発生回路６２から出力された矩形波信号Ｓ６２－１，Ｓ６２－２が出力バッファ８１，８２で反転されて、出力端子ＣＫ１Ｒ，ＣＫ２Ｒの各信号がＨレベルとされる。

【００７７】

クロック駆動回路８０の出力端子ＣＫ１Ｒは、抵抗９１－１を介してクロック端子ＣＫ

ｌと接続され、このクロック端子ＣＫ１が、インダクタ９２－１と抵抗９３－１の直列回路を介してグランドＧＮＤに接続されている。同様に、クロック駆動回路８０の出力端子ＣＫ２Ｒは、抵抗９３－２を介してクロック端子ＣＫ２と接続され、このクロック端子ＣＫ２が、インダクタ９２－２と抵抗９３－２の直列回路を介してグランドＧＮＤに接続されている。そのため、図７のタイミングチャートの左端部に示す状態においては、クロック端子ＣＫ１の電位は、出力端子ＣＫ１ＲからのＨレベル電位を抵抗９１－１，９３－１により分圧して得られるＨレベル電位となっている。

【００７８】

この時、（抵抗９３－１の抵抗値≫抵抗９１－１の抵抗値）に設定することで、前記Ｈレベルを電源電圧ＶＤＤに近接した値とすることは容易であり、抵抗９１－１を省略する場合には、前記Ｈレベル電位を電源電圧ＶＤＤに略等しくすることができる。同様に、クロック端子ＣＫ２の電位は、出力端子ＣＫ２ＲからのＨレベル電位を抵抗９１－２，９３－２により分圧して得られるＨレベル電位となっている。

【００７９】

このように、図７のタイミングチャートの左端部に示す状態においては、クロック端子ＣＫ１，ＣＫ２の各信号は共にＨレベルとなって、奇数段回路１１０－１，１１０－３，１１０－５，１１０－７における自己走査サイリスタ１１１－１，１１１－３，・・・，１１１－７の組と、偶数段回路１１０－２，１１０－４，１１０－６，１１０－８における自己走査サイリスタ１１１－２，１１１－４，・・・，１１１－８の組とのいずれも、そのカソードがＨレベルとされ、オフ状態となっている。この時、駆動指令信号ＤＲＶＯＮはＬレベルとなっており、ＣＭＯＳインバータ７１の出力端子がＨレベルであって、抵抗７２、データ端子ＤＡ、接続コネクタ９６－１、接続ケーブル９５－１、接続コネクタ９７－１、及び共通端子ＩＮを介して、発光サイリスタ２１０－１～２１０－８のカソードもまたＨレベルとなって、これらの発光サイリスタ２１０－１～２１０－８がオフ状態にある。

【００８０】

以下、第１段、第２段回路１１０－１，１１０－２における各サイリスタ１１１－１，１１１－２のターンオン過程（１）、（２）を説明する。

【００８１】

（１）　第１段回路１１０－１におけるサイリスタ１１１－１のターンオン過程

図７の時刻ｔ１において、走査用矩形波発生回路６２から出力された矩形波信号Ｓ６２－１がクロック駆動回路８０内の出力バッファ８１で反転されて、出力端子ＣＫ１ＲがＬレベルとされる。すると、インダクタ９２－１には逆起電圧を生じ、クロック端子ＣＫ１の電圧が、ａ部のように、グランドＧＮＤ電位以下に降下して微分波形（例えば、アンダシュート波形）を生じる。

【００８２】

この時、第１段回路１１０－１のサイリスタ１１１－１に着目すると、このアノード電圧が電源電圧ＶＤＤであり、典型的な設計例では３．３Ｖとされる。一方、ダイード１１２－１のアノードは、クロック端子ＣＫ２に接続されており、この電圧が電源電圧ＶＤＤに近接したＨレベルである。そのため、Ｈレベルがダイオード１１２－１のアノード・カソード間を通り、サイリスタ１１１－１のゲート・カソード間を経由してクロック端子ＣＫ１に至る電流が流れ、この電流をトリガ電流としてサイリスタ１１１－１がターンオンすることになる。

【００８３】

時刻ｔ２において、駆動用矩形波発生回路６１から出力される駆動指令信号ＤＲＶＯＮが立ち上がり、これがＣＭＯＳインバータ７１で反転され、抵抗７２を介してデータ端子ＤＡがＬレベルへ遷移する。これにより、発光サイリスタ２１０－１のアノード・カソード間には電源電圧ＶＤＤに略等しい電圧が印加される。この時、サイリスタ１１１－１はオンしているので、このサイリスタ１１１－１のゲートに対してゲート電圧を共有している発光サイリスタ２１０－１がオンして、この発光サイリスタ２１０－１のカソードには

、ｂ部に示すように、駆動電流Ｉoutが生じ、この駆動電流Ｉoutの値に応じた発光出力を生じる。

【００８４】

次の時刻ｔ３において、駆動指令信号ＤＲＶＯＮが立ち下がり、これがＣＭＯＳインバータ７１で反転され、データ端子ＤＡがＨレベルへ遷移する。これにより、発光サイリスタ２１０－１のアノード・カソード間電圧が略０Ｖとなって、この発光サイリスタ２１０－１はオフし、ｃ部に示すように、駆動電流Ｉoutが略ゼロとなる。

【００８５】

本実施例１では、発光サイリスタ２１０－１を発光させて、図２中の感光体ドラム１１上に潜像を形成することができる。この時の露光エネルギー量は、前記駆動電流Ｉoutの値に応じて定まる発光パワーと露光時間（ｔ３－ｔ２）との積である。そのため、発光サイリスタ２１０－１等に製造ばらつきに起因する発光効率の差があったとしても、前記露光時間（ｔ３－ｔ２）を発光サイリスタ２１０－１毎に調整することで、露光エネルギー量のばらつきを補正することができる。

【００８６】

又、発光サイリスタ２１０－１を発光させる必要のない場合には、時刻ｔ２から時刻ｔ３の間の駆動指令信号ＤＲＶＯＮをＬレベルのままとする。このように、駆動指令信号ＤＲＶＯＮによって発光サイリスタ２１０－１の発光の有無もまた制御することができる。

【００８７】

（２）　第２段回路１１０－２におけるサイリスタ１１１－２のターンオン過程

図７の時刻ｔ４において、走査用矩形波発生回路６２から出力された矩形波信号Ｓ６２－２がクロック駆動回路８０内の出力バッファ８２で反転されて、出力端子ＣＫ２ＲがＬレベルとされる。この時、インダクタ９２－２には逆起電圧を生じ、クロック端子ＣＫ２の電圧は、ｄ部のように、グランドＧＮＤ電位以下に降下してアンダシュート波形を生じる。

【００８８】

この時、第２段回路１１０－２のサイリスタ１１１－２に着目すると、このアノード電圧は電源電圧ＶＤＤであり、典型的な設計例では３．３Ｖとされる。一方、ダイオード１１２－２のアノードは、サイリスタ１１１－１のゲートに接続されており、このサイリスタ１１１－１はオン状態となっているため、ダイオード１１２－２のアノード電圧は、電源電圧ＶＤＤに近接したＨレベルである。そのため、サイリスタ１１１－１のゲートから、ダイオード１１２－２のアノード・カソード間を通り、サイリスタ１１１－２のゲート・カソード間を経由してクロック端子ＣＫ２に至る電流が流れ、この電流をトリガ電流としてサイリスタ１１１－２がターンオンすることになる。

【００８９】

時刻ｔ５において、クロック駆動回路８０の出力端子ＣＫ１ＲがＨレベルとされる。この時、インダクタ９２－１に逆起電圧を生じ、クロック端子ＣＫｌには、ｅ部に示すオーバシュート電圧が発生して、サイリスタ１１１－１のアノード・カソード間電圧が急激に減少し、このサイリスタ１１１－１がターンオンする。

【００９０】

時刻ｔ６において、駆動指令信号ＤＲＶＯＮが立ち上がり、これがＣＭＯＳインバータ７１で反転され、データ端子ＤＡがＬレベルへ遷移する。データ端子ＤＡがＬレベルへ遷移すると、発光サイリスタ２１０－２のアノード・カソード間には、電源電圧ＶＤＤと略等しい電圧が印加される。前述したように、時刻ｔ６においては、サイリスタ１１１－２がオン状態にあり、サイリスタ１１１－１がオフとなっている。

【００９１】

このように、サイリスタ１１１－２はオンしているので、このサイリスタ１１１－２のゲートに対してゲート電圧を共有している発光サイリスタ２１０－２がオンし、このカソードには、ｆ部に示すように駆動電流Ｉoutを生じ、この駆動電流Ｉoutの値に応じた発光出力を生じる。

【００９２】
次の時刻ｔ７において、駆動指令信号ＤＲＶＯＮが立ち下がり、これがＣＭＯＳインバータ７１で反転され、データ端子ＤＡがＨレベルへ遷移する。これにより、発光サイリスタ２１０－２のアノード・カソード間電圧は略０Ｖとなって発光サイリスタ２１０－２がオフし、ｇ部に示すように、駆動電流Ｉoutは略ゼロとなる。
【００９３】
以下同様に、クロック駆動回路８０における出力端子ＣＫ１Ｒ，ＣＫ２Ｒの信号の遷移と、駆動指令信号ＤＲＶＯＮのオン、オフとが順に発生して、発光サイリスタ２１０－３～２１０－８を順次点灯することができる。
【００９４】
以上、図７を用いて詳細に説明したように、クロック端子ＣＫ１，ＣＫ２から供給されるクロックは、異なる位相をもって同様波形が繰り返す形状を有しており、これらのクロック波形が、奇数段の自己走査サイリスタ１１１－１，１１１－３，・・・，１１１－７の組と、偶数段の自己走査サイリスタ１１１－２，１１１－４，・・・，１１１－８の組とに順次入力されることで、各段の自己走査サイリスタ１１１－１～１１１－８が順にオンしていく。
【００９５】
オン状態にある自己走査サイリスタ１１１のゲート電圧は、電源電圧ＶＤＤに略等しいＨレベルであり、オフ状態にある自己走査サイリスタ１１１のゲート電圧はグランドＧＮＤ電位に略等しいＬレベルである。前述したように、各段の自己走査サイリスタ１１１－１～１１１－８が順次オンしていく結果、図１の自己走査回路１００はシフトレジスタとして動作し、各段の自己走査サイリスタ１１１－１～１１１－８のゲートが、自己走査回路１００の出力端子Ｑ１～Ｑ８となっている。そのため、自己走査回路１００の出力端子Ｑ１～Ｑ８から出力される点灯指令信号によって、発光素子アレイ２００における発光サイリスタ位置が指令され、データ端子ＤＡの値により発光サイリスタ２１０－１～２１０－８の点灯、非点灯の別、更には点灯時間を制御することが可能となる。
【００９６】
（図７中のアンダシュート波形の説明）
図８（ａ）、（ｂ）は、図１のクロック駆動回路８０内の出力バッファ８１、ＲＬ微分回路９０－１、及び第１段回路１１０－１と図７のタイミングチャートとの要部を示す図であり、同図（ａ）は要部の回路図、及び、同図（ｂ）は要部の電圧波形図である。
【００９７】
図８（ａ）において、サイリスタ１１１－１のアノードはＶＤＤ電源に接続され、このサイリスタ１１１－１のカソードがクロック端子ＣＫ１に接続され、更に抵抗９１－１を介して出力端子ＣＫ１Ｒに接続されている。又、クロック端子ＣＫ１は、インダクタ９２－１及び抵抗９３－１を介してグランドＧＮＤに接続されている。ダイオード１１２－１のカソードは、サイリスタ１１１－１のゲートに接続されている。ダイオード１１２－１のアノードは、図１に示したようにクロック端子ＣＫ２に接続されているのであるが、サイリスタ１１１－１のターンオン過程においてはその信号レベルが電源電圧ＶＤＤと略等しいＨレベルとされており、図を簡略化する目的で、図８（ａ）においてはＶＤＤ電源に接続して示している。
【００９８】
例えば、クロック駆動回路８０の出力端子ＣＫ１ＲがＨレベルとなっている場合を考える。
【００９９】
これは前記図７のタイミングチャートの左端部における状態に対応している。この時、図８（ａ）の実線矢印で示す向きに電流Ｉ１を生じる。この電流Ｉ１は、ＶＤＤ電源、ＰＭＯＳ８１ａ、抵抗９１－１、インダクタ９２－１及び抵抗９３－１を経由してグランドＧＮＤに至る経路を通る。
【０１００】

次いで、図７における時刻ｔ１において、ＰＭ０Ｓ８１ａがオフ状態に遷移する。すると、インダクタ９２－１には、図８（ａ）中に＋として極性を付記した向きに逆起電圧を生じ、破線矢印にて示す向きの電流Ｉ２を生じる。この電流Ｉ２の経路は、インダクタ９２－１、抵抗９３－１、ダイオード８１ｂ－１、及び抵抗９１－１を経由してインダクタ９２－１に戻る第１の電流経路である。

【０１０１】

この時、第１の電流経路に着目すると、ダイオード８１ｂ－１のアノードはグランドＧＮＤに接続されているので、出力端子ＣＫ１Ｒの電位はグランドＧＮＤ電位よりも前記ダイオード８１ｂ－１の順電圧分低い電位となり、出力端子ＣＫｌの電位は前記ダイオード８１ｂ－１の順電圧よりも抵抗９３－１の両端に生じる電圧降下分だけ更に低い電位となることが判る。

【０１０２】

この結果、破線矢印にて示すように、ＶＤＤ電源からダイオード１１２－１、サイリスタ１１１－１のゲート・カソード、インダクタ９２－１、及び抵抗９３－１を経由してグランドＧＮＤに至る第２の電流経路に電流Ｉ３を生じ、サイリスタ１１１－１のゲート・カソード間のトリガ電流となってサイリスタ１１１－１がターンオンすることになる。

【０１０３】

図８（ｂ）は、前記過程を示す電圧波形であって、出力端子ＣＫ１ＲがＬレベルへ遷移する時、クロック端子ＣＫ１にはａ部に示すようにアンダシュート部を生じて、グランドＧＮＤ電位よりも電圧Ｖｐ分低くすることができる。

【０１０４】

典型的な設計例では、電源電圧ＶＤＤは３．３Ｖであり、ダイオード１１２－１の順電圧Ｖｆは略１．６Ｖ、サイリスタ１１１－１のゲート・カソード間に生じるＰＮ接合の順電圧Ｖｇｋもまた１．６Ｖとすると、第２の電流経路に電流Ｉ３を生じさせるためには、

Ｖｆ＋Ｖｇｋ＜ＶＤＤ＋Ｖｐ

であることが必要である。この時、図８（ｂ）に示すクロック端子ＣＫ１の波形にアンダシュート部ａが無く、Ｖｐ＝０であると、

Ｖｆ＋Ｖｇｋ＝１．６＋１．６＝３．２Ｖ

となり、電源電圧ＶＤＤと同程度の値になって、サイリスタ１１１－１をターンオンさせるに十分なゲートトリガ電流を得ることができない。

【０１０５】

これに対し、例えば、前記アンダシュート波形としてＶｐ＝０．６Ｖといった値を与えることで、

ＶＤＤ＋Ｖｐ＝３．３＋０．６＝３．９Ｖ

となり、サイリスタ１１１－１をターンオンさせるに十分なゲートトリガ電流を得ることができる。

【０１０６】

（実施例１の変形例１）

図９は、本発明の実施例１における図１の変形例１である印刷制御部４０及び光プリントヘッド１３Ａの概略の回路構成を示すブロック図であり、図１中の要素と共通の要素には共通の符号が付されている。

【０１０７】

本変形例１では、実施例１と同様の印刷制御部４０を有している。印刷制御部４０には、実施例１と同様の複数の接続コネクタ９６（９６－１～９６－３）、接続ケーブル９５（９５－１～９５－３）及び接続コネクタ９７（＝９７－１～９７－３）を介して、実施例１の光プリントヘッド１３とは異なる構成の光プリントヘッド１３Ａが接続されている。本変形例１の光プリントヘッド１３Ａは、実施例１と同様の自己走査回路１００と、実施例１の発光素子アレイ２００とは異なる構成の発光素子アレイ２００Ａとを有している。

【０１０８】

発光素子アレイ２００Ａは、複数の２端子発光素子（例えば、Ｐゲート型のＬＥＤ）２１０Ａ（＝２１０Ａ－１～２１０Ａ－ｎ，・・・）を有し、これらの各ＬＥＤ２１０Ａのアノードが自己走査回路１００の各出力端子Ｑ１～Ｑｎに接続され、カソードが駆動電流Ｉoutを流す共通端子ＩＮを介して接続コネクタ９７－１に接続されている。各ＬＥＤ２１０Ａは、アノード・カソード間に所定電圧が印加されると、オン状態になってカソード電流が流れ、発光する素子である。ＬＥＤ２１０Ａ－１～２１０Ａ－ｎ，・・・の総数は、実施例１と同様に、例えば、Ａ４サイズの用紙に１インチ当たり６００ドットの解像度で印刷可能な光プリントヘッド１３Ａの場合、４９９２個であり、これらが配列されることになる。

【０１０９】

このような構成の印刷制御部４０及び光プリントヘッド１３Ａでは、以下のように動作する。

【０１１０】

例えば、駆動用矩形波発生回路６１から出力される駆動指令信号ＤＲＶＯＮがＬレベルの場合、データ駆動回路７０内のＣＭＯＳインバータ７１により、抵抗７２を介してデータ端子ＤＡがＨレベルとなる。そのため、接続コネクタ９６－１、接続ケーブル９５－１及び接続コネクタ９７－１を介して、光プリントヘッド１３Ａ側の共通端子ＩＮ及び各ＬＥＤ２１０Ａのカソードが Ｈレベルに上昇する。この結果、ＬＥＤ２１０Ａ－１～２１０Ａ－ｎが全て非発光状態となる。

【０１１１】

これに対し、駆動指令信号ＤＲＶＯＮがＨレベルの場合、ＣＭＯＳインバータ７１により、抵抗７２を介してデータ端子ＤＡがＬレベルとなる。この結果、接続コネクタ９６－１、接続ケーブル９５－１及び接続コネクタ９７－１を介して共通端子ＩＮも略グランドＧＮＤ電位（　０Ｖ）となる。この際、ＬＥＤ２１０Ａ－１～２１０Ａ－ｎの内、自己走査回路１００により、発光指令されているＬＥＤ２１０Ａのアノードのみを選択的にＨレベルとすることで、発光指令されているＬＥＤ２１０Ａがオン状態になる。オン状態のＬＥＤ２１０Ａのカソードに流れる電流は、データ端子ＤＡに流入する電流（即ち、駆動電流Ｉout）であり、ＬＥＤ２１０Ａは発光状態となってその駆動電流Ｉoutの値に応じた発光出力を生じる。

このように、本変形例１では、実施例１とほぼ同様に動作する。

【０１１２】

（実施例１の変形例２）

図１０は、図１及び図９の変形例２における出力バッファを示す回路図であり、図１及び図９中の要素と共通の要素には共通の符号が付されている。

【０１１３】

本変形例２の出力バッファ８１Ａでは、図１及び図９中の出力バッファ８１におけるＮＭＯＳ８１ｂ及びこの寄生ダイオード８１ｂ－１に代えて、通常のダイオード８１ｃが設けられている。ダイオード８１ｃは、カソードが出力端子ＣＫ１Ｒに接続され、アノードがグランドＧＮＤに接続されている。図１及び図９中の他の出力バッファ８２においても、図示しないが、ＮＭＯＳ８２ｂ及びこの寄生ダイオード８２ｂ－１に代えて、通常のダイオードが設けられている。

【０１１４】

例えば、ダイオード８１ｃは、図８に示す電流Ｉ２をグランドＧＮＤ側から出力端子ＣＫ１Ｒ側へ流す機能を有している。このようなダイオード８１ｃを設けても、図１及び図９と同様の動作が行われる。

【０１１５】

（実施例１及び変形例１、２の効果）

本実施例１及び変形例１、２によれば、次の（ａ）、（ｂ）のような効果がある。

【０１１６】

（ａ）　従来構成の自己走査回路の駆動においては、例えば、図１のＲＬ微分回路９０

－１，９０－２に相当する箇所にＣＲ微分回路をそれぞれ設けて、図８（ｂ）のａ部においてアンダシュート波形を生成し、２個のクロック端子ＣＫ１，ＣＫ２から２相のクロックを出力している。この際、ＣＲ微分回路においては、直流成分を伝達することができないので、２個のクロック端子ＣＫ１，ＣＫ２に対して各２個のクロック出力端子を設けている。

【０１１７】

即ち、光プリントヘッド１３においては、動作の高速化を目的として、多数の自己走査回路１００のチップを設け、同時並列して動作するようにしている。多数の自己走査回路１００へのデータ転送クロックとして２相クロックが用いられ、各自己走査回路１００毎に２相のクロックが入力される。このため、自己走査回路１００にクロックを供給するための従来のクロック駆動回路（本実施例１のクロック駆動回路に相当）においては、自己走査回路１００のチップ１個を駆動するために４個のクロック出力端子を要することになる。

【０１１８】

光プリントヘッド１３には多数の自己走査回路１００のチップを配列しているので、そのクロック駆動回路に備えるべきクロック出力端子の総数が膨大となってしまう。これを避けるために、ＬＳＩパッケージに収容可能な端子数に抑えようとすると、クロック駆動回路に並列接続して駆動する自己走査回路１００のチップ数を増大することになってしまい、波形なまりを生じる。この結果、光プリントヘッド１３の動作を高速化できないという課題があった。

【０１１９】

これを解決するために、本実施例１や変形例１、２によれば、クロック駆動回路８０を、ＰＭＯＳを用いたオープンドレーン構成にし、この出力信号をＲＬ微分回路９０－１，９０－２で微分して、図８（ｂ）のａ部におけるアンダシュート波形を生成しているので、クロック駆動回路８０における出力端子ＣＫ１Ｒ，ＣＫ２Ｒの数がクロック当たり１個で良く、従来構成と比べて所要端子の数を半減することができる。これにより、光プリントヘッド１３，１３Ａにおけるデータ転送速度を向上できることは勿論のこと、クロック駆動回路８０の出力端子ＣＫ１Ｒ，ＣＫ２Ｒの数の減少によって、回路規模の削減と、これによる低コスト化も期待できる。

【０１２０】

（ｂ）　本実施例１や変形例１、２の画像形成装置１によれば、光プリントヘッド１３，１３Ａを採用しているので、スペース効率及び光取り出し効率に優れた高品質の画像形成装置１を提供することができる。即ち、プリントヘッド１３，１３Ａを用いることにより、本実施例１や変形例１、２のフルカラーの画像形成装置１に限らず、モノクロ、マルチカラーの画像形成装置においても効果が得られるが、特に、露光装置としてのプリントヘッド１３，１３Ａを数多く必要とするフルカラーの画像形成装置１において一層大きな効果が得られる。

【実施例２】

【０１２１】

本発明の実施例２における画像形成装置１では、光プリントヘッド１３Ｂ及び印刷制御部４０Ｂの回路構成が、実施例１の光プリントヘッド１３及び印刷制御部４０と異なるので、以下、その異なる部分について説明する。

【０１２２】

（実施例２の印刷制御部及び光プリントヘッド）

図１１は、本発明の実施例２における印刷制御部４０Ｂ及び光プリントヘッド１３Ｂの概略の回路構成を示すブロック図であり、実施例１を示す図１中の要素と共通の要素には共通の符号が付されている。

【０１２３】

本実施例２の光プリントヘッド１３Ｂは、実施例１の自己走査回路１００及び発光素子アレイ２００とは異なる構成の自己走査回路１００Ｂ及び発光素子アレイ２００Ｂを有し

、これらが実施例１と同様の複数の接続ケーブル９５（＝９５－１～９５－３）及び複数の接続コネクタ９６（＝９６－１～９６－３），９７（＝９７－１～９７－３）を介して、実施例１の印刷制御部４０とは異なる構成の印刷制御部４０Ｂに接続されている。

【０１２４】

自己走査回路１００Ｂにより走査される発光素子アレイ２００Ｂは、３端子発光素子としての例えば複数のＮゲート型の発光サイリスタ２１０Ｂ（＝２１０Ｂ－１～２１０Ｂ－ｎ，・・・）を有し、これらの各発光サイリスタ２１０Ｂのアノードが駆動電流Ｉoutを流す共通端子ＩＮを介して接続コネクタ９７－１に接続され、カソードがグランドＧＮＤに接続され、ゲートが自己走査回路１００Ｂの各出力端子Ｑ１～Ｑｎに接続されている。発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎ，・・・の総数は、実施離１と同様に、例えば、Ａ４サイズの用紙に１インチ当たり６００ドットの解像度で印刷可能な光プリントヘッド１３Ｂの場合、４９９２個であり、これらが配列されることになる。

【０１２５】

自己走査回路１００Ｂは、印刷制御部４０Ｂから接続コネクタ９６－２，９６－３、接続ケーブル９５－２，９５－３及び接続コネクタ９７－２，９７－３を介して供給される２相の第１クロックにより駆動されて、発光素子アレイ２００Ｂにトリガ電流を与えてオン／オフ動作させる回路であり、Ｎゲート型の自己走査サイリスタを用いた複数段の回路１１０Ｂ（＝１１０Ｂ－１～１１０Ｂ－ｎ、例えばｎ＝４９９２）を有し、自己走査型シフトレジスタにより構成されている。各段の回路１１０Ｂ（＝１１０Ｂ－１～１１０Ｂ－ｎ、）は、第１端子（例えば、カソード）が第１電源（例えば、グランドＧＮＤ）に接続された自己走査サイリスタ１１１Ｂ（＝１１１Ｂ－１～１１１Ｂ－ｎ）と、アノードが自己走査サイリスタ１１１Ｂの制御端子（例えば、ゲート）に接続されたダイオード１１２Ｂ（＝１１２Ｂ－１～１１２Ｂ－ｎ）と、自己走査サイリスタ１１１Ｂのゲート及び第２電源（例えば、ＶＤＤ電源）間に接続された抵抗１１３Ｂ（＝１１３Ｂ－１～１１３Ｂ－ｎ）とにより、それぞれ構成されている。

【０１２６】

奇数段回路１１０Ｂ－１，１１０Ｂ－３，・・・，１１０Ｂ－（ｎ－１）における自己走査サイリスタ１１１Ｂ（＝１１１Ｂ－１，１１１Ｂ－３，・・・，１１１Ｂ－（ｎ－１））は、第２端子（例えば、アノード）が接続コネクタ９７－２に接続され、カソードがグランドＧＮＤに接続され、ゲートが抵抗１１３Ｂ（＝１１３Ｂ－１，１１３Ｂ－３，・・・，１１３Ｂ－（ｎ－１））を介してＶＤＤ電源に接続されると共に、そのゲートがダイオード１１２Ｂ（＝１１２Ｂ－１，１１２Ｂ－３，・・・，１１２Ｂ－（ｎ－１））のアノード・カソードを介して接続コネクタ９７－３に接続されている。

【０１２７】

偶数段回路１１０Ｂ－２，１１０Ｂ－４，・・・，１１０Ｂ－ｎにおける自己走査サイリスタ１１１Ｂ（＝１１１Ｂ－２，１１１Ｂ－４，・・・，１１１Ｂ－ｎ）は、第２端子（例えば、アノード）が接続コネクタ９７－３に接続され、カソードがグランドＧＮＤに接続され、ゲートが抵抗１１３Ｂ（＝１１３Ｂ－２，１１３Ｂ－４，・・・，１１３Ｂ－ｎ）を介してＶＤＤ電源に接続されると共に、そのゲートがダイオード１１２Ｂ（＝１１２Ｂ－２，１１２Ｂ－４，・・・，１１２Ｂ－ｎ）のアノード・カソードを介して前段の自己走査サイリスタ１１１Ｂ（＝１１１Ｂ－１，１１１Ｂ－３，・・・，１１１Ｂ－（ｎ－１））のゲートに接続されている。更に、各段の自己走査サイリスタ１１１Ｂ（＝１１１Ｂ－１～１１１Ｂ－ｎ）のゲートは、自己走査回路１００Ｂの出力端子Ｑ１～Ｑｎにそれぞれ接続されている。

【０１２８】

各段の回路１１０Ｂ－１～１１０Ｂ－ｎにおける自己走査サイリスタ１１１Ｂは、発光素子アレイ２００Ｂにおける発光サイリスタ２１０Ｂと同様なレイヤ構造を有し、且つ同様な回路動作を行う素子であるが、実施例１と同様に、発光サイリスタ２１０Ｂのような発光機能を必要としないので、上層がメタル膜等の非透光性材料で覆われ、遮光して用いられる。各段の自己走査サイリスタ１１１Ｂにおけるゲートにアノードが接続されたダイ

オード１１２Ｂは、実施例１と同様に、各段の自己走査サイリスタ１１１Ｂのゲート間を接続するものであって、発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎが順次点灯する時の走査方向（例えば、図１１において右方向）を決定するために設けられている。

【０１２９】

自己走査回路１００Ｂでは、実施例１と同様に、印刷制御部４０Ｂから供給される２相の第１クロックに基づき、自己走査サイリスタ１１１Ｂ－１～１１１Ｂ－ｎが択一的にオン状態となり、このオン状態が発光素子アレイ２００Ｂに伝達され、発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎの内から発光すべき発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎを指令する働きをする。この自己走査回路１００Ｂにおいて、オン状態となる各段の回路１１０－１～１１０－ｎにおけるサイリスタ１１１のオン状態が、２相クロック毎に隣接サイリスタ１１１に伝達され、シフトレジスタと同様の回路動作が行われる構成になっている。

【０１３０】

印刷制御部４０Ｂは、実施例１の駆動用矩形波発生回路６１とは異なる駆動用矩形波の信号である負論理の駆動指令信号ＤＲＶＯＮ－Ｎを出力する駆動用矩形波発生回路６１Ｂと、走査用の矩形波信号Ｓ６２－１，Ｓ６２－２を出力する実施例１と同様の走査用矩形波発生回路６２と、駆動指令信号ＤＲＶＯＮ－Ｎに基づいて複数の発光素子アレイ２００Ｂを時分割駆動する実施例１と同様の複数のデータ駆動回路７０と、実施例１のクロック駆動回路８０及びＲＬ微分回路９０－１，９０－２とは異なり、矩形波信号Ｓ６２－１，Ｓ６２－２に基づいて自己走査回路１００Ｂに供給する２相クロックを生成するためのクロック駆動回路８０Ｂ及びＲＬ微分回路９０Ｂ－１，９０Ｂ－２等とを有している。

【０１３１】

図１１においては、実施例１の図１と同様に、説明を簡略化するために１組の駆動用矩形波発生回路６１Ｂ及びデータ駆動回路７０のみが図示されている。複数の発光素子アレイ２００Ｂは、例えば、総数４９９２個の発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎ，・・・を有し、これらの発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎ，・・・が複数の発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎの組にグループ化され、各グループ毎に設けられたデータ駆動回路７０によって、それらが同時並行的に分割駆動が行われる構成になっている。

【０１３２】

一例として典型的な設計例を挙げると、実施例１と同様に、発光サイリスタ２１０Ｂ（＝２１０Ｂ－１～２１０Ｂ－ｎ）を１９２個配列してアレイ化した発光素子アレイ２００Ｂのチップを図４中のプリント配線板１３ｂ上に２６個整列する。これにより、光プリントヘッド１３に必要な総数４９９２個の発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎ，・・・を構成している。この際、データ駆動回路７０は前記２６個の発光素子アレイ２００Ｂに対応して設けられ、これらのデータ駆動回路７０における出力端子の総数は２６である。

【０１３３】

一方、走査用矩形波発生回路６２、クロック駆動回路８０Ｂ及びＲＬ微分回路９０Ｂ－１，９０Ｂ－２は、アレイ化した自己走査回路１００Ｂのチップを駆動するものであるが、単にクロックを生成するのみならず、後述する自己走査サイリスタ１１１Ｂの点灯エネルギーを制御する必要があり、光プリントヘッド１３Ｂの高速動作のためには、自己走査回路１００Ｂ毎に設けることが好ましい。しかし、光プリントヘッド１３Ｂのデータ転送が低速で良い場合には、クロック駆動回路８０Ｂ及びＲＬ微分回路９０Ｂ－１，９０Ｂ－２の出力端子と複数の自己走査回路１００Ｂを並列に接続することで、その回路を共用することができる。

【０１３４】

これらのデータ駆動回路７０、クロック駆動回路８０Ｂ、ＲＬ微分回路９０Ｂ－１，９０Ｂ－２、及び自己走査回路１００Ｂにより、本実施例２の駆動装置が構成されている。なお、データ駆動回路７０、クロック駆動回路８０Ｂ及びＲＬ微分回路９０Ｂ－１，９０

Ｂ－２は、図１１においては、印刷制御部４０Ｂの内部に配置されているが、光プリントヘッド１３Ｂの内部に配置しても良い。

【０１３５】

クロック駆動回路８０Ｂは、矩形波信号Ｓ６２－１を駆動する出力バッファ８１Ｂと、矩形波信号Ｓ６２－２を駆動する出力バッファ８２Ｂと、この出力バッファ８１Ｂ，８２Ｂの出力側にそれぞれ接続された２相の第２クロック出力用の出力端子ＣＫ１Ｒ，ＣＫ２Ｒとにより構成されている。各出力バッファ８１Ｂ，８２Ｂは、同一の回路構成であって、スイッチ素子（例えば、第１導電型のＭＯＳトランジスタであるＮＭＯＳ）を用いたオープンドレーン構成となっており、後述するように、低いＬレベル出力電圧を維持しつつ、自己走査サイリスタ１１１Ｂのゲートトリガに適した微分波形（例えば、オーバシュート波形）を発生させることができる。

【０１３６】

即ち、一方の出力バッファ８１Ｂは、第２導電型のＭＯＳトランジスタ（例えば、ＰＭＯＳ）８１ｄ及び第１導電型のＭＯＳトランジスタ（例えば、ＮＭＯＳ）８１ｅを有している。ＰＭＯＳ８１ｄは、ソース及びゲートが第１電源（例えば、ＶＤＤ電源）に接続され、ドレーンが出力端子ＣＫ１Ｒに接続されて、常にオフ状態になっている。ＮＭＯＳ８１ｅは、ゲートに矩形波信号Ｓ６２－１が入力され、ソースが第２電源（例えば、グランドＧＮＤ）に接続され、ドレーンがＰＭＯＳ８１ｄのドレーン及び出力端子ＣＫ１Ｒに接続されている。そのため、ＰＭＯＳ８１ｄ及びＮＭＯＳ８１ｅにより、ＮＭＯＳオープンドレーン出力バッファ回路が構成されている。ＰＭＯＳ８１ｄのサブストレート端子とドレーンとの間には、寄生ダイオード８１ｄ－１が存在し、更に、ＮＭＯＳ８１ｅのサブストレート端子とドレーン端子との間にも、寄生ダイオード８１ｅ－１が存在する。ダイオード８１ｄ－１のアノード及びカソードは、ＰＭＯＳ８１ｄのドレーン及びソースに対して並列に接続されている。ダイオード８１ｅ－１のアノード及びカソードは、ＮＭＯＳ８１ｅのソース及びドレーンに対して並列に接続されている。

【０１３７】

同様に、他方の出力バッファ８２Ｂは、ＰＭＯＳ８２ｄ及びＮＭＯＳ８２ｅを有している。ＰＭＯＳ８２ｄは、ソース及びゲートがＶＤＤ端子に接続され、ドレーンが出力端子ＣＫ２Ｒに接続されて、常にオフ状態になっている。ＮＭＯＳ８２ｅは、ゲートに矩形波信号Ｓ６２－２が入力され、ソースがグランドＧＮＤに接続され、ドレーンがＰＭＯＳ８２ｄのドレーン及び出力端子ＣＫ２Ｒに接続されている。そのため、ＰＭＯＳ８２ｄ及びＮＭＯＳ８２ｅにより、ＮＭＯＳオープンドレーン出力バッファ回路が構成されている。ＰＭＯＳ８２ｄのサブストレート端子とドレーンとの間には、寄生ダイオード８２ｄ－１が存在し、更に、ＮＭＯＳ８２ｅのサブストレート端子とドレーン端子との間にも、寄生ダイオード８２ｅ－１が存在する。ダイオード８２ｄ－１のアノード及びカソードは、ＰＭＯＳ８２ｄのドレーン及びソースに対して並列に接続されている。ダイオード８２ｅ－１のアノード及びカソードは、ＮＭＯＳ８２ｅのソース及びドレーンに対して並列に接続されている。

【０１３８】

２つのＲＬ微分回路９０Ｂ－１，９０Ｂ－２は、同一の回路構成であり、一方のＲＬ微分回路９０Ｂ－１が、実施例１と同様に、クロック駆動回路８０Ｂの出力端子ＣＫ１Ｒとクロック端ＣＫ１との間に接続され、他方のＲＬ微分回路９０Ｂ－２が、実施例１と同様に、クロック駆動回路８０Ｂの出力端子ＣＫ２Ｒとクロック端子ＣＫ２との間に接続されている。

【０１３９】

一方のＲＬ微分回路９０－１Ｂは、実施例１のＲＬ微分回路９０－１と同様に、抵抗９１－１、インダクタ９２－１及び抵抗９３－１により構成されている。抵抗９１－１は、出力端子ＣＫ１とクロック端子ＣＫ１との間に接続され、この抵抗９１－１及びクロック端子ＣＫ１間と実施例１と異なる第２電源（例えば、ＶＤＤ電源）との間に、インダクタ９２－１及び抵抗９３－１が直列に接続されている。同様に、他方のＲＬ微分回路９０Ｂ

－２は、実施例１のＲＬ微分回路９０－２と同様に、抵抗９３－２、インダクタ９２－２及び抵抗９３－２により構成されている。抵抗９３－２は、出力端子ＣＫ２Ｒとクロック端子ＣＫ２との間に接続され、この抵抗９３－２及びクロック端子ＣＫ２間と実施例１と異なる第２電源（例えば、ＶＤＤ電源）との間に、インダクタ９２－２及び抵抗９３－２が直列に接続されている。

【０１４０】

前記クロック駆動回路８０Ｂは、ＮＭＯＳを用いたオープンドレーンの出力バッファ８１Ｂ，８２Ｂにより構成されているので、出力端子ＣＫ１Ｒ，ＣＫ２Ｒの出力状態が、ＮＭＯＳ８１ｅ，８２ｅがオンした時にＬレベルとなる。ＮＭＯＳ８１ｅ，８２ｅがオフした時には、出力端子ＣＫ１Ｒ，ＣＫ２Ｒの出力状態がＨｉＺとなるが、一方の出力端子ＣＫ１Ｒが、抵抗９１－１、インダクタ９２－１及び抵抗９３－１を介してＶＤＤ電源に接続され、他方の出力端子ＣＫ２Ｒが、抵抗９１－２、インダクタ９２－２及び抵抗９３－２を介してＶＤＤ電源に接続されているので、これらの出力端子ＣＫ１Ｒ，ＣＫ２Ｒは、Ｈレベルとなる。

【０１４１】

以下の説明においては、説明の煩雑さを避けるために、クロック駆動回路８０Ｂの出力状態として少なくともＨレベルとＬレベルの２つの状態値を持つものとして記載する。

【０１４２】

なお、実施例１と同様に、クロック駆動回路８０Ｂの駆動能力によっては、抵抗９１－１，９１－２の抵抗値を略ゼロとすることができて、その場合には抵抗９１－１，９１－２を省略することも可能である。同様に、抵抗９３－１，９３－２を省略することもできる。

【０１４３】

（実施例２の発光サイリスタ）

図１２（ａ）～（ｄ）は、図１１中の発光サイリスタ２１０Ｂを示す構成図である。

【０１４４】

図１２（ａ）は、発光サイリスタ２１０Ｂの回路シンボルを示し、アノードＡ、カソードＫ、及びゲートＧの３つの端子を有している。

【０１４５】

図１２（ｂ）は、発光サイリスタ２１０Ｂの断面構造を示す図である。発光サイリスタ２１０Ｂは、実施例１の発光サイリスタ２１０とほぼ同様に、例えば、ＧａＡｓウェハ基材を用い、公知のＭＯ－ＣＶＤ法により、ＧａＡｓウェハ基材の上層に所定の結晶をエピタキシャル成長させることで製造される。

【０１４６】

即ち、図示しない所定のバッファ層や犠牲層をエピタキシャル成長させた後、ＡｌＧａＡｓ材料にＮ型不純物を含ませたＮ型層２３１と、Ｐ型不純物を含ませ成層したＰ型層２３２と、Ｎ型不純物を含ませたＮ型層２３３とを順に積層させたＮＰＮの３層構造からなるウェハを形成する。次いで、公知のフォトリソグラフィ法を用いて、最上層であるＮ型層２３３の一部に、選択的にＰ型不純物領域２３４を形成する。更に、公知のエッチング法により、図示しない溝部を形成することで、素子分離を行う。又、前記エッチングの過程で、発光サイリスタ２１０Ｂの最下層となるＮ型領域２３１の一部を露出させ、この露出領域に金属配線を形成してカソードＫを形成する。これと同時に、Ｐ型領域２３４とＮ型領域２３３にも、それぞれアノードＡとゲートＧが形成される。

【０１４７】

図１２（ｃ）は、発光サイリスタ２１０Ｂの他の形態を示す断面構造図である。この断面構造では、実施例１の発光サイリスタ２１０とほぼ同様に、例えば、ＧａＡｓウェハ基材を用い、公知のＭＯ－ＣＶＤ法により、そのＧａＡｓ基材の上層に所定の結晶をエピタキシャル成長させることで製造される。

【０１４８】

即ち、図示しない所定のバッファ層や犠牲層をエピタキシャル成長させた後、ＡｌＧａ

Ａｓ材料にＮ型不純物を含ませたＮ型層２３１、Ｐ型不純物を含ませ成層したＰ型層２３２と、Ｎ型不純物を含ませたＮ型層２３３と、Ｐ型不純物を含ませ成層したＰ型層２３５とを順に積層させたＰＮＰＮの４層構造のウェハを形成する。更に、公知のエッチング法を用いて、図示しない溝部を形成することで素子分離を行う。又、前記エッチングの過程で、発光サイリスタ２１０Ｂの最下層となるＮ型領域２３１の一部を露出させ、この露出領域に金属配線を形成してカソードＫを形成する。同様に、最上層となるＰ型領域２３５の一部を露出させ、この露出領域に金属配線を形成してアノードＡを形成する。これと同時に、Ｎ型領域２３３にゲートＧが形成される。

【０１４９】

図１１（ｄ）は、図１１（ｂ）、（ｃ）と対比させて描いた発光サイリスタ２１０Ｂの等価回路図である。発光サイリスタ２１０Ｂは、ＰＮＰＴＲ２４１とＮＰＮＴＲ２４２とからなり、ＰＮＰＴＲ２４１のエミッタが発光サイリスタ２１０Ｂのアノードに相当し、ＰＮＰＴＲ２４１のベースが発光サイリスタ２１０Ｂのゲートに相当し、ＮＰＮＴＲ２４２のエミッタが発光サイリスタ２１０Ｂのカソードに相当している。又、ＰＮＰＴＲ２４１のコレクタは、ＮＰＮＴＲ２４２のベースに接続され、ＰＮＰＴＲ２４１のベースが、ＮＰＮＴＲ２４２のコレクタに接続されている。

【０１５０】

なお、図１２に示す発光サイリスタ２１０Ｂでは、実施例１の発光サイリスタ２１０と同様に、ＧａＡｓウェハ基材上にＡｌＧａＡｓ層を構成したものであるが、これに限定されるものではなく、ＧａＰ、ＧａＡｓＰ、ＡｌＧａＩｎＰといった材料を用いるものであっても良く、更には、サファイヤ基板上にＧａＮやＡｌＧａＮ、ＩｎＧａＮといった材料を成膜したものであっても良い。

【０１５１】

（実施例２の印刷制御部及び光プリントヘッドの概略動作）

図１１において、例えば、印刷制御部４０Ｂ内の駆動用矩形波発生回路６１Ｂから出力される駆動指令信号ＤＲＶＯＮ－ＮがＨレベルの場合、データ駆動回路７０内のＰＭＯＳ７１ａがオフ状態、ＮＭＯＳ７１ｂがオン状態となり、抵抗７２を介してデータ端子ＤＡは、Ｌレベルとなる。そのため、接続コネクタ９６－１、接続ケーブル９５－１及び接続コネクタ９７－１を介して、光プリントヘッド１３Ｂ側の共通端子ＩＮ及び各発光サイリスタ２１０Ｂのアノードがレベルになる。この結果、各発光サイリスタ２１０Ｂのアノード・カソード間電圧は略０Ｖとなって、そこに流れる駆動電流Ｉoutがゼロとなり、発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎが全て非発光状態となる。

【０１５２】

これに対し、駆動指令信号ＤＲＶＯＮ－ＮがＬレベルの場合、ＰＭＯＳ７１ａがオン状態、ＮＭＯＳ７１ｂがオフ状態となって、抵抗７２を介してデータ端子ＤＡがＨレベルとなる。この結果、接続コネクタ９６－１、接続ケーブル９５－１及び接続コネクタ９７－１を介して共通端子ＩＮも略電源電圧となり、各発光サイリスタ２１０Ｂのアノード・カソード間に略電源電圧ＶＤＤが印加される。

【０１５３】

この際、発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎの内、自己走査回路１００Ｂにより、発光指令されている発光サイリスタ２１０Ｂのゲートのみを選択的にＬレベルとすることで、この発光サイリスタ２１０Ｂのゲートにはトリガ電流を生じ、発光指令されているサイリスタ２１０Ｂがターンオンすることになる。ターンオンした発光サイリスタ２１０Ｂのアノードに流れる電流は、データ端子ＤＡから供給される電流（即ち、駆動電流Ｉout）であり、発光サイリスタ２１０Ｂは発光状態となってその駆動電流Ｉoutの値に応じた発光出力を生じる。

【０１５４】

即ち、発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎの動作を考えるにあたり、自己走査回路１００Ｂの各段の回路１１０Ｂ－１～１１０Ｂ－ｎにおけるオンしているサイリスタ１１１Ｂ（＝１１１Ｂ－１～１１１Ｂ－ｎ）に着目すると、発光サイリスタ２１０Ｂのカ

ソードがグランドＧＮＤに接続されており、そのカソードがＨレベルにされると、発光サイリスタ２１０Ｂのアノード・カソード間には電圧が印加される。一方、自己走査回路１００Ｂにおける各サイリスタ１１１Ｂのゲートと、発光サイリスタ２１０Ｂの各ゲートとがそれぞれ接続されているため、サイリスタ１１１Ｂのアノード・ゲート間にも電圧が印加されることになる。この時、発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎの内、自己走査回路１００Ｂにより発光指令されている発光サイリスタ２１０Ｂのゲートのみを選択的にＬレベルとすることで、この発光サイリスタ２１０Ｂのゲートにはトリガ電流を生じ、発光指令されている発光サイリスタ２１０Ｂがターンオンすることになる。この際、発光サイリスタ２１０Ｂのアノードに流れる電流は、データ端子ＤＡから供給される駆動電流Ｉoutであって、前記発光サイリスタ２１０Ｂが発光状態なってその駆動電流Ｉoutの値に応じた発光出力を生じる。

【０１５５】

（実施例２の印刷制御部及び光プリントヘッドの詳細動作）

図１３は、図１１の光プリントヘッド１３Ｂ及び印刷制御部４０Ｂの詳細な動作を示すタイミングチャートである。

【０１５６】

この図１３では、実施例１の図７と同様に、図２の画像形成装置１での印刷動作時における１ライン走査において、図１１の発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎ（例えば、ｎ＝８）を順次点灯させる場合の動作波形が示されている。

【０１５７】

図１３のタイミングチャートにおいて、左端部に示す状態においては、走査用矩形波発生回路６２から出力された矩形波信号Ｓ６２－１，Ｓ６２－２が出力バッファ８１Ｂ，８２Ｂで反転されて、出力端子ＣＫ１Ｒ，ＣＫ２Ｒの各信号がＬレベルとされる。

【０１５８】

クロック駆動回路８０Ｂの出力端子ＣＫ１Ｒは、抵抗９１－１を介してクロック端子ＣＫｌと接続され、このクロック端子ＣＫ１が、インダクタ９２－１と抵抗９３－１の直列回路を介してＶＤＤ電源に接続されている。同様に、クロック駆動回路８０Ｂの出力端子ＣＫ２Ｒは、抵抗９１－２を介してクロック端子ＣＫ２と接続され、このクロック端子ＣＫ２が、インダクタ９２－２と抵抗９３－２の直列回路を介してＶＤＤ電源に接続されている。

【０１５９】

そのため、図１３のタイミングチャートの左端部に示す状態においては、クロック端子ＣＫ１の電位は、出力端子ＣＫ１Ｒからのレベル電位と電源電圧ＶＤＤとの電位差を抵抗９１－１，９３－１により分圧して得られるＬレベル電位となっている。この時、（抵抗９３－１の抵抗値≫抵抗９１－１の抵抗値）に設定することで、前記Ｌレベルをグランドグランド電位に近接した値とすることは容易であり、抵抗９１－１を省略する場合には、前記Ｌレベル電位をグランドＧＮＤ電位に略等しくすることができる。

【０１６０】

同様に、クロック端子ＣＫ２の電位は、出力端子ＣＫ２Ｒからのレベル電位を電源電圧ＶＤＤとの電位差を抵抗９１－２，９３－２により分圧して得られるＬレベル電位となっている。この時、（抵抗９３－２の抵抗値≫抵抗９１－２の抵抗値）に設定することで、前記Ｌレベルをグランドグランド電位に近接した値とすることは容易であり、抵抗９１－２を省略する場合には、前記Ｌレベル電位をグランドＧＮＤ電位に略等しくすることができる。

【０１６１】

このように、図１３のタイミングチャートの左端部に示す状態においては、クロック端子ＣＫ１，ＣＫ２の各信号は共にＬレベルとなって、奇数段回路１１０Ｂ－１，１１０Ｂ－３，１１０Ｂ－５，１１０Ｂ－７における自己走査サイリスタ１１１Ｂ－１，１１１Ｂ－３，・・・，１１１Ｂ－７の組と、偶数段回路１１０Ｂ－２，１１０Ｂ－４，１１０Ｂ－６，１１０Ｂ－８における自己走査サイリスタ１１１Ｂ－２，１１１Ｂ－４，・・・，

１１１Ｂ－ｎの組とのいずれも、そのアノードがＬレベルとされ、オフ状態となっている。この時、駆動指令信号ＤＲＶＯＮ－ＮはＨレベルとなっており、ＣＭＯＳインバータ７１の出力端子がＬレベルであって、抵抗７２、データ端子ＤＡ、接続コネクタ９６－１、接続ケーブル９５－１、接続コネクタ９７－１、及び共通端子ＩＮを介して、発光サイリスタ２１０Ｂ－１～２１０Ｂ－８のアノードもまたＬレベルとなって、これらの発光サイリスタ２１０Ｂ－１～２１０Ｂ－８がオフ状態にある。

【０１６２】

以下、第１段、第２段回路１１０Ｂ－１，１１０Ｂ－２における各サイリスタ１１１Ｂ－１，１１１Ｂ－２のターンオン過程（１）、（２）を説明する。

【０１６３】

（１）　第１段回路１１０Ｂ－１におけるサイリスタ１１１Ｂ－１のターンオン過程

図１３の時刻ｔ１において、走査用矩形波発生回路６２から出力された矩形波信号Ｓ６２－１がクロック駆動回路８０内の出力バッファ８１Ｂで反転されて、出力端子ＣＫ１ＲがＨレベルとされる。すると、インダクタ９２－１には逆起電圧を生じ、クロック端子ＣＫ１の電圧が、ａ部のように、電源電圧ＶＤＤ以上に上昇してオーバシュート波形を生じる。

【０１６４】

この時、第１段目回路１１０Ｂ－１のサイリスタ１１１Ｂ－１に着目すると、このアノード電圧が電源電圧ＶＤＤであり、典型的な設計例では３．３Ｖとされる。一方、ダイード１１２Ｂ－１のカソードは、クロック端子ＣＫ２に接続されており、この電圧がグランドＧＮＤ電位に近接したＬレベルである。そのため、サイリスタ１１１Ｂ－１のアノード・ゲート間を通り、ダイオード１１２Ｂ－１を経由してクロック端子ＣＫ２に至る電流が流れ、この電流をトリガ電流としてサイリスタ１１１Ｂ－１がターンオンすることになる。

【０１６５】

時刻ｔ２において、駆動用矩形波発生回路６１Ｂから出力される駆動指令信号ＤＲＶＯＮ－Ｎが立ち下がり、これがＣＭＯＳインバータ７１で反転され、抵抗７２を介してデータ端子ＤＡがＨレベルへ遷移する。これにより、発光サイリスタ２１０Ｂ－１のアノード・カソード間には電源電圧ＶＤＤに略等しい電圧が印加される。この時、サイリスタ１１１Ｂ－１はオンしているので、このサイリスタ１１１Ｂ－１のゲートに対してゲート電圧を共有している発光サイリスタ２１０Ｂ－１がオンして、この発光サイリスタ２１０Ｂ－１のアノードには、ｂ部に示すように、駆動電流Ｉoutが生じ、この駆動電流Ｉoutの値に応じた発光出力を生じる。

【０１６６】

次の時刻ｔ３において、駆動指令信号ＤＲＶＯＮ－Ｎが立ち上がり、これがＣＭＯＳインバータ７１で反転され、データ端子ＤＡがＬレベルへ遷移する。これにより、発光サイリスタ２１０Ｂ－１のアノード・カソード間電圧が略０Ｖとなって、この発光サイリスタ２１０Ｂ－１はオフし、ｃ部に示すように、駆動電流Ｉoutが略ゼロとなる。

【０１６７】

本実施例１では、発光サイリスタ２１０Ｂ－１を発光させて、図２中の感光体ドラム１１上に潜像を形成することができる。この時の露光エネルギー量は、前記駆動電流Ｉoutの値に応じて定まる発光パワーと露光時間（ｔ３－ｔ２）との積である。そのため、発光サイリスタ２１０Ｂ－１等に製造ばらつきに起因する発光効率の差があったとしても、前記露光時間（ｔ３－ｔ２）を発光サイリスタ２１０Ｂ－１毎に調整することで、露光エネルギー量のばらつきを補正することができる。

【０１６８】

又、発光サイリスタ２１０Ｂ－１を発光させる必要のない場合には、時刻ｔ２から時刻ｔ３の間の駆動指令信号ＤＲＶＯＮ－ＮをＨレベルのままとする。このように、駆動指令信号ＤＲＶＯＮ－Ｎによって発光サイリスタ２１０Ｂ－１の発光の有無もまた制御することができる。

【０１６９】
（２） 第２段回路１１０Ｂ－２におけるサイリスタ１１１Ｂ－２のターンオン過程
図１３の時刻ｔ４において、走査用矩形波発生回路６２から出力された矩形波信号Ｓ６２－２がクロック駆動回路８０Ｂ内の出力バッファ８２Ｂで反転されて、出力端子ＣＫ２ＲがＨレベルとされる。この時、インダクタ９２－２には逆起電圧を生じ、クロック端子ＣＫ２の電圧は、ｄ部のように、電源電圧ＶＤＤ以上に上昇してオーバダシュート波形を生じる。
【０１７０】
この時、第２段回路１１０Ｂ－２のサイリスタ１１１Ｂ－２に着目すると、このアノード電圧は電源電圧ＶＤＤであり、典型的な設計例では３．３Ｖとされる。一方、ダイオード１１２Ｂ－２のカソードは、サイリスタ１１１Ｂ－１のゲートに接続されており、このサイリスタ１１１Ｂ－１はオン状態となっているため、ダイオード１１２Ｂ－２のカソード電圧は、グランドＧＮＤ電位に近接したＬレベルである。そのため、クロック端子ＣＫ２を通り、サイリスタ１１１Ｂ－２のアノード・ゲート間からダイオード１１２Ｂ－２のアノード・カソード間、及びサイリスタ１１１Ｂ－１のゲート・カソード間を経由してグランドＧＮＤに至る電流が流れ、この電流をトリガ電流としてサイリスタ１１１Ｂ－２がターンオンすることになる。
【０１７１】
時刻ｔ５において、クロック駆動回路８０Ｂの出力端子ＣＫ１ＲがＬレベルとされる。この時、インダクタ９２－１に逆起電圧を生じ、クロック端子ＣＫｌには、ｅ部に示すアンダシュート電圧が発生して、サイリスタ１１１Ｂ－１のアノード・カソード間電圧が急激に減少し、このサイリスタ１１１Ｂ－１がターンオンする。
【０１７２】
時刻ｔ６において、駆動指令信号ＤＲＶＯＮ－Ｎが立ち下がり、これがＣＭＯＳインバータ７１で反転され、データ端子ＤＡがＨレベルへ遷移する。データ端子ＤＡがＨレベルへ遷移すると、発光サイリスタ２１０Ｂ－２のアノード・カソード間には、電源電圧ＶＤＤと略等しい電圧が印加される。前述したように、時刻ｔ６においては、サイリスタ１１１Ｂ－２がオン状態にあり、サイリスタ１１１Ｂ－１がオフとなっている。
【０１７３】
このように、サイリスタ１１１Ｂ－２はオンしているので、このサイリスタ１１１Ｂ－２のゲートに対してゲート電圧を共有している発光サイリスタ２１０Ｂ－２がオンし、このカソードには、ｆ部に示すように駆動電流Ｉoutを生じ、この駆動電流Ｉoutの値に応じた発光出力を生じる。
【０１７４】
次の時刻ｔ７において、駆動指令信号ＤＲＶＯＮ－Ｎが立ち上がり、これがＣＭＯＳインバータ７１で反転され、データ端子ＤＡがＬレベルへ遷移する。これにより、発光サイリスタ２１０Ｂ－２のアノード・カソード間電圧は略０Ｖとなって発光サイリスタ２１０Ｂ－２がオフし、ｇ部に示すように、駆動電流Ｉoutは略ゼロとなる。
【０１７５】
以下同様に、クロック駆動回路８０Ｂにおける出力端子ＣＫ１Ｒ，ＣＫ２Ｒの信号の遷移と、駆動指令信号ＤＲＶＯＮ－Ｎのオン、オフとが順に発生して、発光サイリスタ２１０Ｂ－３～２１０Ｂ－８を順次点灯することができる。
【０１７６】
以上、図１３を用いて詳細に説明したように、クロック端子ＣＫ１，ＣＫ２から供給されるクロックは、異なる位相をもって同様波形が繰り返す形状を有しており、これらのクロック波形が、奇数段の自己走査サイリスタ１１１Ｂ－１，１１１Ｂ－３，・・・，１１１Ｂ－７の組と、偶数段の自己走査サイリスタ１１１Ｂ－２，１１１Ｂ－４，・・・，１１１Ｂ－８の組とに順次入力されることで、各段の自己走査サイリスタ１１１Ｂ－１～１１１Ｂ－８が順にオンしていく。
【０１７７】

オン状態にある自己走査サイリスタ１１１Ｂのゲート電圧は、Ｌレベルであり、オフ状態にある自己走査サイリスタ１１１Ｂのゲート電圧はアノード電圧に略等しい。前述したように、各段の自己走査サイリスタ１１１Ｂ－１～１１１Ｂ－８が順次オンしていく結果、図１１の自己走査回路１００Ｂはシフトレジスタとして動作し、各段の自己走査サイリスタ１１１Ｂ－１～１１１Ｂ－８のゲートが、自己走査回路１００Ｂの出力端子Ｑ１～Ｑ８となっている。そのため、自己走査回路１００Ｂの出力端子Ｑ１～Ｑ８から出力される点灯指令信号によって、発光素子アレイ２００Ｂにおける発光サイリスタ位置が指令され、データ端子ＤＡの値により発光サイリスタ２１０Ｂ－１～２１０Ｂ－８の点灯、非点灯の別、更には点灯時間を制御することが可能となる。

【０１７８】

（図１３中のオーバシュート波形の説明）

図１４（ａ）、（ｂ）は、図１１のクロック駆動回路８０Ｂ内の出力バッファ８１Ｂ、ＲＬ微分回路９０Ｂ－１、及び第１段回路１１０Ｂ－１と図１３のタイミングチャートとの要部を示す図であり、同図（ａ）は要部の回路図、及び、同図（ｂ）は要部の電圧波形図である。

【０１７９】

図１４（ａ）において、サイリスタ１１１Ｂ－１のカソードはグランドＧＮＤに接続され、このサイリスタ１１１Ｂ－１のアノードがクロック端子ＣＫ１に接続され、更に抵抗９１－１を介して出力端子ＣＫ１Ｒに接続されている。又、クロック端子ＣＫ１は、インダクタ９２－１及び抵抗９３－１を介してＶＤＤ電源に接続されている。ダイオード１１２Ｂ－１のアノードは、サイリスタ１１１Ｂ－１のゲートに接続されている。ダイオード１１２Ｂ－１のカソードは、図１１に示したようにクロック端子ＣＫ２に接続されているのであるが、サイリスタ１１１Ｂ－１のターンオン過程においてはその信号レベルがＬレベルとされており、図を簡略化する目的で、図１４（ａ）においてはグランドＧＮＤに接続して示している。

【０１８０】

例えば、クロック駆動回路８０Ｂの出力端子ＣＫ１ＲがＬレベルとなっている場合を考える。

【０１８１】

これは前記図１３のタイミングチャートの左端部における状態に対応している。この時、図１４（ａ）の実線矢印で示す向きに電流Ｉ１を生じる。この電流Ｉ１は、ＶＤＤ電源、抵抗９３－１、インダクタ９２－１、及び抵抗９１－１を経由して、ＮＭＯＳ８１ｅを介してグランドＧＮＤに至る経路を通る。

【０１８２】

次いで、図１３における時刻ｔ１において、ＮＭＯＳ８１ｅがオフ状態に遷移する。すると、インダクタ９２－１には、図１４（ａ）中に＋，－として極性を付記した向きに逆起電圧を生じ、破線矢印にて示す向きの電流Ｉ２を生じる。この電流Ｉ２の経路は、インダクタ９２－１、抵抗９１－１、ダイオード８１ｄ－１、及び抵抗９３－１を経由してインダクタ９２－１に戻る第１の電流経路である。

【０１８３】

この時、第１の電流経路に着目すると、ダイオード８１ｄ－１のカソードはＶＤＤ電源に接続されているので、出力端子ＣＫ１Ｒの電位は電源電圧ＶＤＤよりも前記ダイオード８１ｄ－１の順電圧分高い電位となり、クロック端子ＣＫｌの電位は前記ダイオード８１ｄ－１の順電圧よりも抵抗９１－１の両端に生じる電圧降下分だけ更に高い電位となることが判る。

【０１８４】

この結果、破線矢印にて示すように、ＶＤＤ電源から抵抗９３－１、インダクタ９２－１、サイリスタ１１１Ｂ－１のアノード・ゲート間、及びダイオード１１２Ｂ－１を経由してグランドＧＮＤに至る第２の電流経路に電流Ｉ３を生じ、サイリスタ１１１Ｂ－１のアノード・ゲート間に流れる電流がトリガ電流となってサイリスタ１１１Ｂ－１がターン

オンすることになる。

【０１８５】

図１４（ｂ）は、前記過程を示す電圧波形であって、出力端子ＣＫ１ＲがＨレベルへ遷移する時、クロック端子ＣＫ１にはａ部に示すようにオーバシュート部を生じて、電源電圧ＶＤＤよりも電圧Ｖｐ分高くすることができる。

【０１８６】

典型的な設計例では、電源電圧ＶＤＤは３．３Ｖであり、ダイオード１１２Ｂ－１の順電圧Ｖｆは略１．６Ｖ、サイリスタ１１１Ｂ－１のアノード・ゲート間に生じるＰＮ接合の順電圧Ｖａｇもまた１．６Ｖとすると、第２の電流経路に電流Ｉ３を生じさせるためには、

Ｖｆ＋Ｖａｇ＜ＶＤＤ＋Ｖｐ

であることが必要である。この時、図１４（ｂ）に示すクロック端子ＣＫ１の波形にオーバシュート部ａが無く、Ｖｐ＝０であると、

Ｖｆ＋Ｖａｇ＝１．６＋１．６＝３．２Ｖ

となり、電源電圧ＶＤＤと同程度の値になって、サイリスタ１１１Ｂ－１をターンオンさせるに十分なゲートトリガ電流を得ることができない。

【０１８７】

これに対し、例えば、前記オーバシュート波形としてＶｐ＝０．６Ｖといった値を与えることで、

ＶＤＤ＋Ｖｐ＝３．３＋０．６＝３．９Ｖ

となり、サイリスタ１１１Ｂ－１をターンオンさせるに十分なゲートトリガ電流を得ることができる。

【０１８８】

（実施例２の変形例１）

図１５は、本発明の実施例２における図１１の変形例１である印刷制御部４０Ｂ及び光プリントヘッド１３Ｃの概略の回路構成を示すブロック図であり、図１１中の要素と共通の要素には共通の符号が付されている。

【０１８９】

本変形例１では、実施例２と同様の印刷制御部４０Ｂを有している。印刷制御部４０Ｂには、実施例２と同様の複数の接続コネクタ９６（９６－１～９６－３）、接続ケーブル９５（９５－１～９５－３）及び接続コネクタ９７（＝９７－１～９７－３）を介して、実施例２の光プリントヘッド１３Ｂとは異なる構成の光プリントヘッド１３Ｃが接続されている。本変形例１の光プリントヘッド１３Ｂは、実施例１と同様の自己走査回路１００Ｂと、実施例１の発光素子アレイ２００Ｂとは異なる構成の発光素子アレイ２００Ｃとを有している。

【０１９０】

発光素子アレイ２００Ｃは、２端子発光素子としての例えば複数のＮゲート型のＬＥＤ２１０Ｃ（＝２１０Ｃ－１～２１０Ｃ－ｎ，・・・）を有し、これらの各ＬＥＤ２１０Ｃのアノードが、駆動電流Ｉoutを流す共通端子ＩＮを介して接続コネクタ９７－１に接続され、カソードが、自己走査回路１００Ｂの各出力端子Ｑ１～Ｑｎに接続されている。各ＬＥＤ２１０Ｃは、アノード・カソード間に所定電圧が印加されると、オン状態になってカソード電流が流れ、発光する素子である。ＬＥＤ２１０Ｃ－１～２１０Ｃ－ｎ，・・・の総数は、実施例２と同様に、例えば、Ａ４サイズの用紙に１インチ当たり６００ドットの解像度で印刷可能な光プリントヘッド１３Ｃの場合、４９９２個であり、これらが配列されることになる。

【０１９１】

このような構成の印刷制御部４０Ｂ及び光プリントヘッド１３Ｃでは、以下のように動作する。

【０１９２】

例えば、駆動用矩形波発生回路６１Ｂから出力される駆動指令信号ＤＲＶＯＮ－ＮがＨ

レベルの場合、データ駆動回路７０内のＣＭＯＳインバータ７１により、抵抗７２を介してデータ端子ＤＡがＬレベルとなる。そのため、接続コネクタ９６－１、接続ケーブル９５－１及び接続コネクタ９７－１を介して、光プリントヘッド１３Ｃ側の共通端子ＩＮ及び各ＬＥＤ２１０Ｃのアノードがレベルになる。この結果、ＬＥＤ２１０Ｃ－１～２１０Ｃ－ｎが全て非発光状態となる。

【０１９３】

これに対し、駆動指令信号ＤＲＶＯＮ－Ｎがレベルの場合、ＣＭＯＳインバータ７１により、抵抗７２を介してデータ端子ＤＡがＨレベルとなる。この結果、接続コネクタ９６－１、接続ケーブル９５－１及び接続コネクタ９７－１を介して共通端子ＩＮも略電源電圧ＶＤＤとなる。この際、ＬＥＤ２１０Ｃ－１～２１０Ｃ－ｎの内、自己走査回路１００Ｂにより、発光指令されているＬＥＤ２１０Ｂのカソードのみを選択的にＬレベルとすることで、発光指令されているＬＥＤ２１０Ｃがオン状態になる。オン状態のＬＥＤ２１０Ｃのアノードに流れる電流は、データ端子ＤＡから供給される駆動電流Ｉoutであり、ＬＥＤ２１０Ｃは発光状態となってその駆動電流Ｉoutの値に応じた発光出力を生じる。

このように、本変形例１では、実施例２とほぼ同様に動作する。

【０１９４】

（実施例２の変形例２）

図１６は、図１１及び図１５の変形例１における出力バッファを示す回路図であり、図１１及び図１５中の要素と共通の要素には共通の符号が付されている。

【０１９５】

本変形例２の出力バッファ８１Ｃでは、図１１及び図１５中の出力バッファ８１ＢにおけるｐＭＯＳ８１ｄ及びこの寄生ダイオード８１ｄ－１に代えて、通常のダイオード８１ｆが設けられている。ダイオード８１ｆは、アノードが出力端子ＣＫ１Ｒに接続され、カソードがＶＤＤ電源に接続されている。図１１及び図１５中の他の出力バッファ８２Ｂにおいても、図示しないが、ｐＭＯＳ８２ｄ及びこの寄生ダイオード８２ｄ－１に代えて、通常のダイオードが設けられている。

【０１９６】

例えば、ダイオード８１ｆは、図１４に示す電流Ｉ２を出力端子ＣＫ１Ｒ側からＶＤＤ電源側へ流す機能を有している。このようなダイオード８１ｆを設けても、図１１及び図１５と同様の動作が行われる。

【０１９７】

（実施例２及び変形例１、２の効果）

本実施例２及びこの変形例１、２によれば、次の（ａ）、（ｂ）のような効果がある。

【０１９８】

（ａ） 本実施例２やこの変形例１、２によれば、クロック駆動回路８０Ｂを、ＮＭＯＳを用いたオープンドレーン構成にし、この出力信号をＲＬ微分回路９０Ｂ－１，９０Ｂ－２で微分して、図１４（ｂ）のａ部におけるオーバシュート波形を生成しているので、実施例１と同様に、クロック駆動回路８０Ｂにおける出力端子ＣＫ１Ｒ，ＣＫ２Ｒの数がクロック当たり１個で良く、従来構成と比べて所要端子の数を半減することができる。これにより、光プリントヘッド１３Ｂ，１３Ｃにおけるデータ転送速度を向上できることは勿論のこと、クロック駆動回路８０Ｂの出力端子ＣＫ１Ｒ，ＣＫ２Ｒの数の減少によって、回路規模の削減と、これによる低コスト化も期待できる。

【０１９９】

（ｂ） 本実施例２やこの変形例１、２の画像形成装置１によれば、プリントヘッド１３Ｂ，１３Ｃを採用しているので、実施例１の効果（ｂ）と同様の効果が得られる。

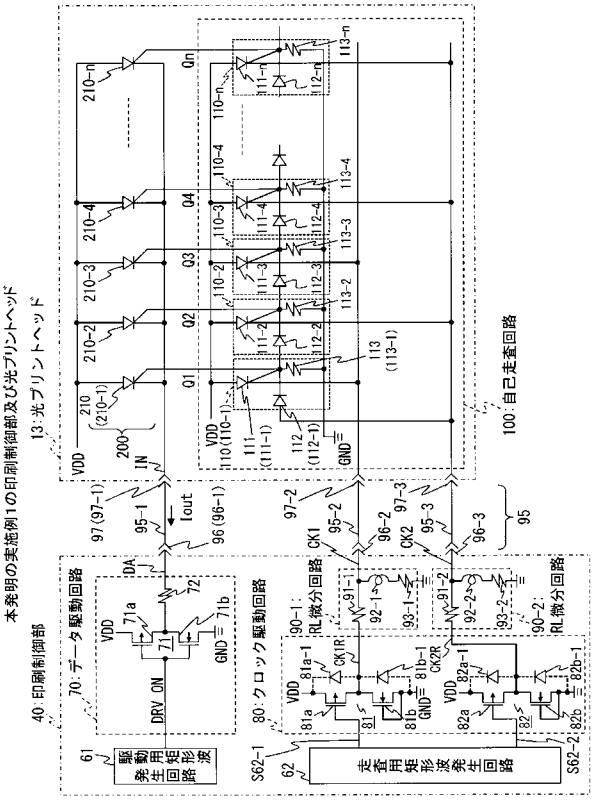
【０２００】

（実施例１、２の他の変形例）

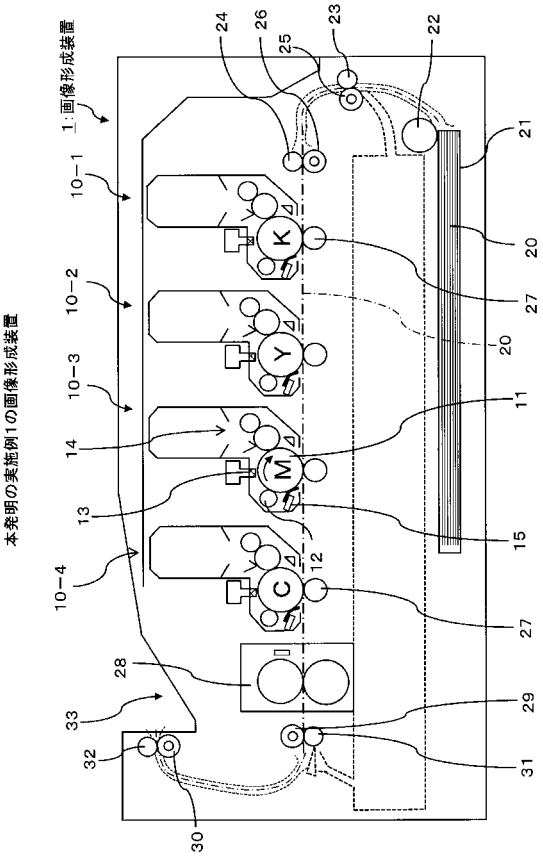
本発明は、上記実施例１、２やその変形例１、２に限定されず、その他の種々の利用形態や変形が可能である。この利用形態や変形例としては、例えば、次の（Ｉ）、（ＩＩ）のようなものがある。

【０２０１】
（Ｉ） 実施例１、２及びこの変形例１、２において、光源として用いられる発光サイリスタ２１０，２１０Ｂ及びＬＥＤ２１０Ａ，２１０Ｃに適用した場合について説明したが、本発明は、サイリスタをスイッチング素子として用い、このスイッチング素子に例えば直列に接続された他の素子（例えば、有機エレクトロルミネセンス素子（以下「有機ＥＬ素子」という。）、表示素子等）への電圧印加制御を行う場合にも適用可能である。例えば、有機ＥＬ素子のアレイで構成される有機ＥＬプリントヘッドを備えたプリンタ、表示素子の列を有する表示装置等において利用することができる。
【０２０２】
（ＩＩ） 表示素子（例えば、列状あるいはマトリクス状に配列された表示素子）の駆動（即ち、電圧印加の制御）のためスイッチング素子としても用いられるサイリスタにも適用可能である。又、本発明は、３端子構造を備えたサイリスタの他、第１と第２の２つのゲートを備えた４端子サイリスタＳＣＳ（Semiconductor Controlled Switch）の場合にも適用可能である。
【符号の説明】
【０２０３】
１ 画像形成装置
１３，１３Ａ，１３Ｂ，１３Ｃ 光プリントヘッド
１３ｃ ＩＣチップ
４０，４０Ｂ 印刷制御部
６１，６１Ｂ 駆動用矩形波発生回路
６２ 走査用矩形波発生回路
７０ データ駆動回路
８０，８０Ｂ クロック駆動回路
８１，８１Ｂ，８２，８２Ｂ 出力バッファ
８１ａ，８２ａ，８１ｄ，８２ｄ ＰＭＯＳ
８１ｂ，８２ｂ，８１ｅ，８２ｅ ＮＭＯＳ
８１ｂ－１，８２ｂ－１，８１ｃ，８１ｄ－１，８２ｄ－１，８１ｆ ダイオード
９０－１，９０Ｂ－１，９０－２，９０Ｂ－２ ＲＬ微分回路
９２－１，９２－２ インダクタ
１００，１００Ｂ 自己走査回路
１１１，１１１－１～１１１－ｎ，１１１Ｂ，１１１Ｂ－１～１１１Ｂ－ｎ 自己走査サイリスタ
２００，２００Ａ，２００Ｂ，２００Ｃ 発光素子アレイ
２１０，２１０－１～２１０－ｎ，２１０Ｂ，２１０Ｂ－１～２１０Ｂ－ｎ 発光サイリスタ
２１０Ａ，２１０Ａ－１～２１０Ａ－ｎ，２１０Ｃ，２１０Ｃ－１～２１０Ｃ－ｎ
ＬＥＤ

【図１】


本発明の実施例1の印刷制御部及び光プリントヘッド
40:印刷制御部
13:光プリントヘッド
70:データ駆動回路
80:クロック駆動回路
90-1:RL微分回路
90-2:RL微分回路
100:自己走査回路
駆動用矩形波発生回路
走査用矩形波発生回路
VDD
GND
DRV_ON
IN
Iout
CK1
CK2
CK1R
CK2R

【図２】


本発明の実施例1の画像形成装置
1:画像形成装置
10-1
10-2
10-3
10-4
K
Y
M
C

【図３】

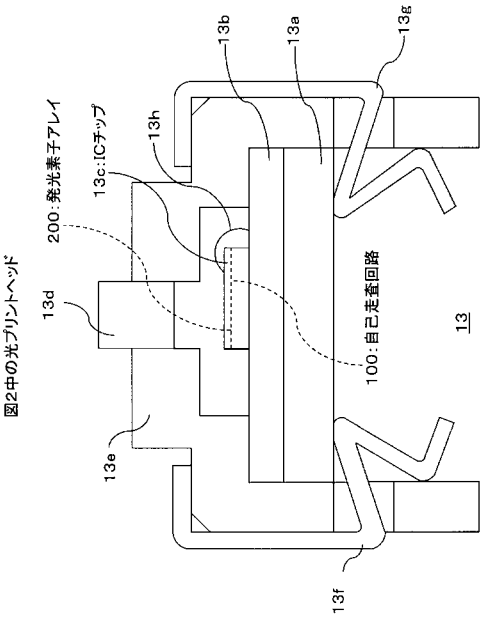


図2中の光プリントヘッド
200:発光素子アレイ
13c:ICチップ
100:自己走査回路
13

【図４】

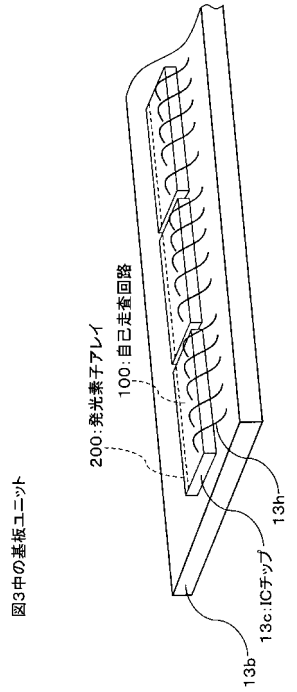


図3中の基板ユニット
200:発光素子アレイ
100:自己走査回路
13c:ICチップ

【図５】

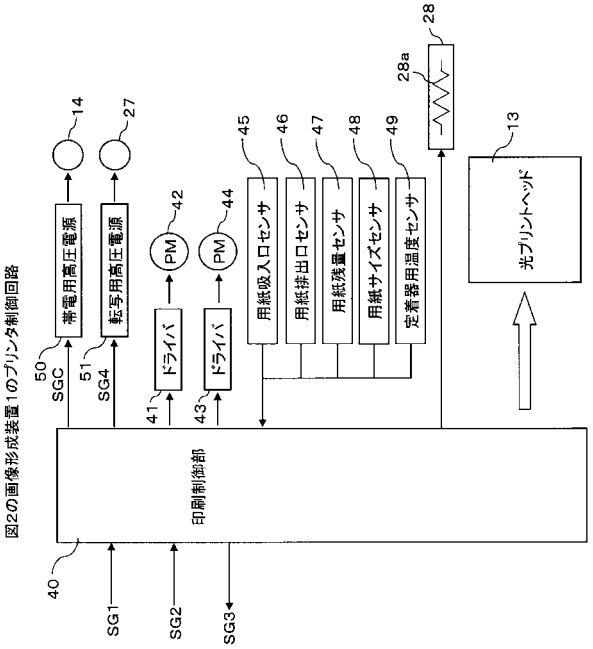


図2の画像形成装置1のプリンタ制御回路
帯電用高圧電源
転写用高圧電源
ドライバ
ドライバ
用紙吸入口センサ
用紙排出口センサ
用紙残量センサ
用紙サイズセンサ
定着器用温度センサ
光プリントヘッド
印刷制御部
SGC
SG4
SG1
SG2
SG3

【図６】

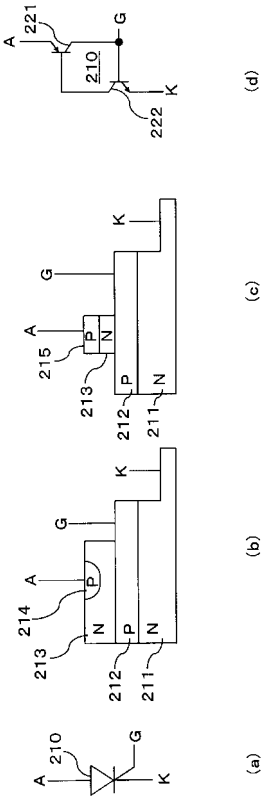


図1中の発光サイリスタ
(a)
(b)
(c)
(d)

【図７】

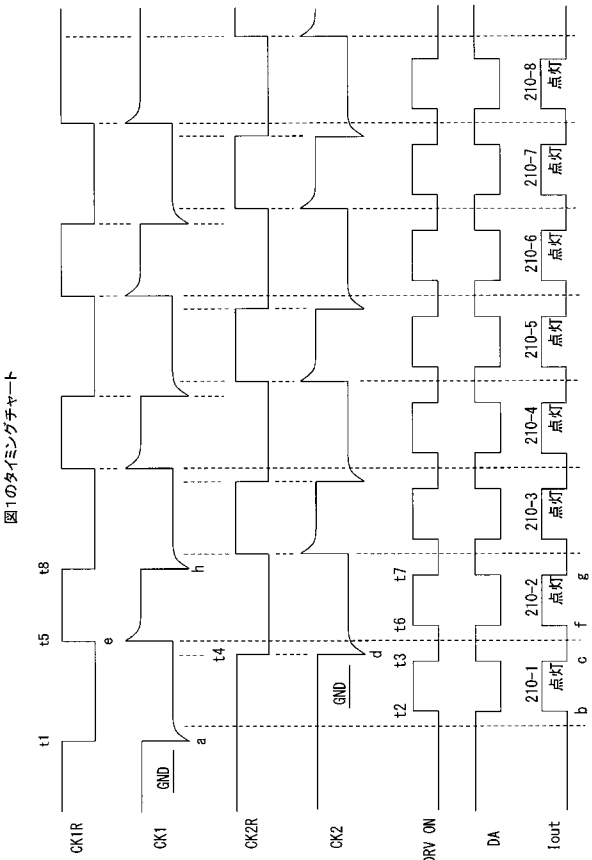


図1のタイミングチャート
CK1R
CK1
CK2R
CK2
DRV ON
DA
Iout
GND
点灯

【図８】

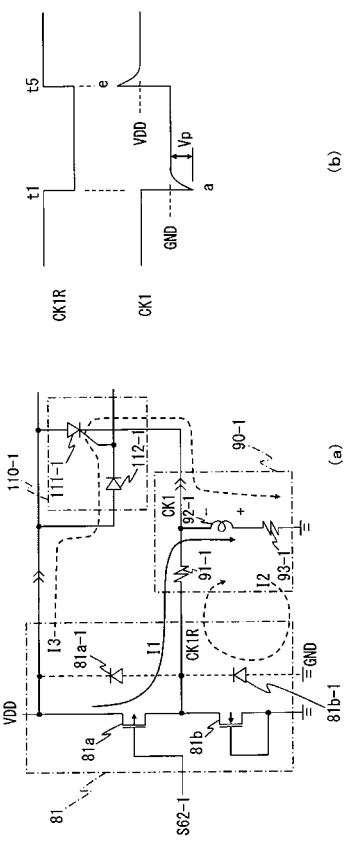
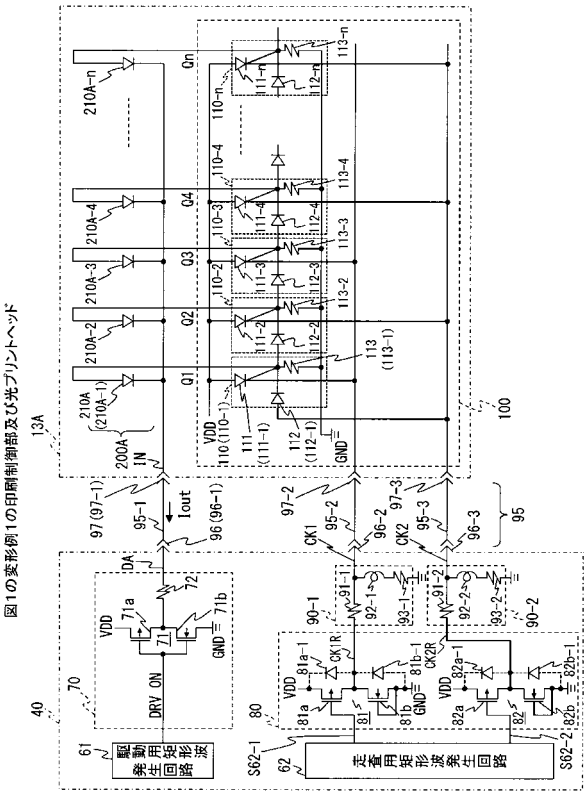
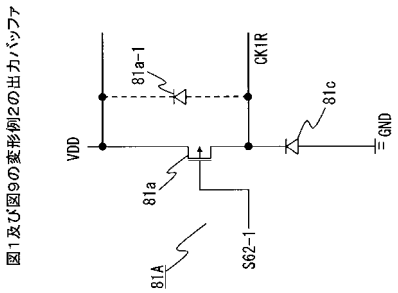


図1及び図7中のクロック駆動回路、RL微分回路、第1段回路及びタイミングチャートの要部
CK1R
CK1
VDD
GND
Vp
(a)
(b)

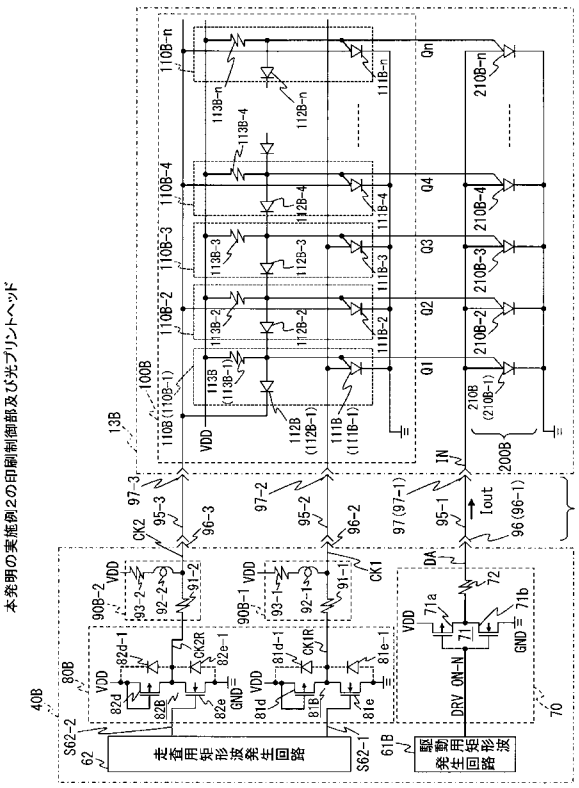
【図９】



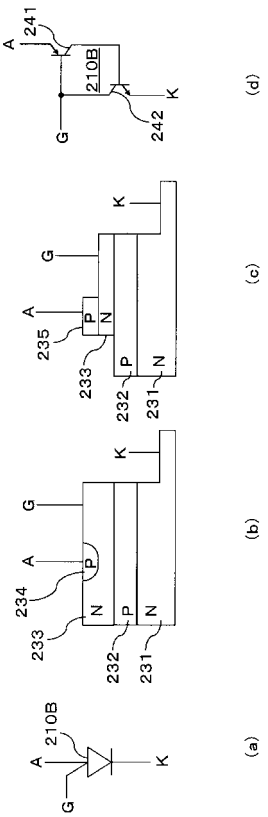
【図１０】



【図１１】



【図１２】



【図１３】

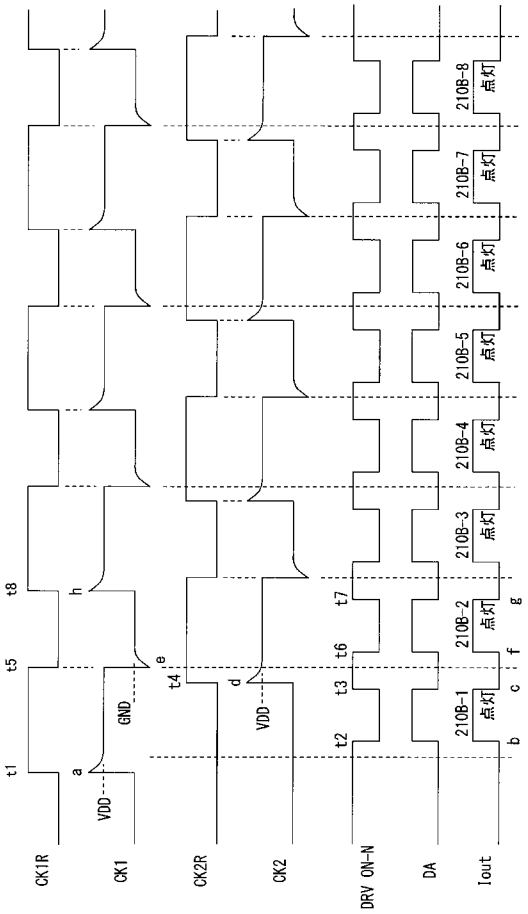


図１１のタイミングチャート

【図１４】

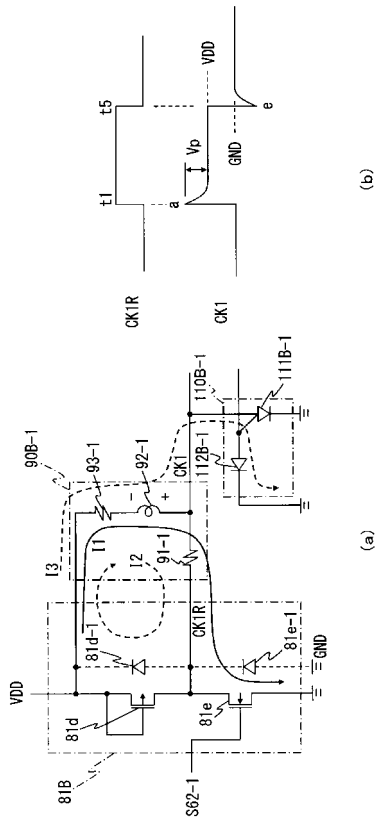


図１１及び図１３中のクロック駆動回路、RL微分回路、第１段回路及びタイミングチャートの要部

【図１５】

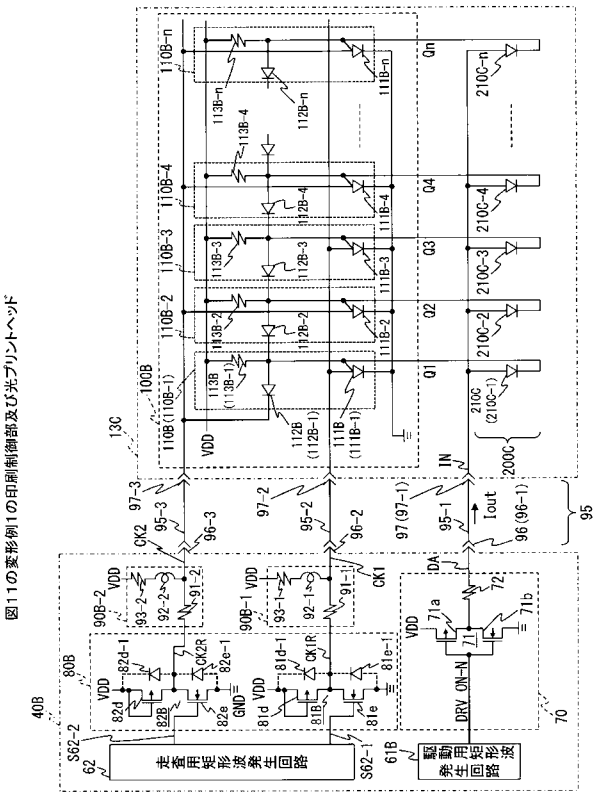


図１１の変形例１の印刷制御部及び光プリントヘッド

【図１６】

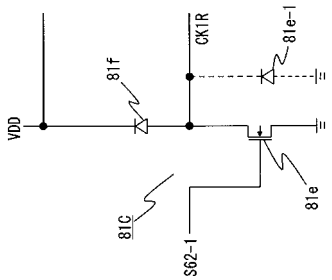


図１１及び図１５の変形例２の出力バッファ

フロントページの続き

(72)発明者　南雲　章
東京都八王子市東浅川町５５０番地の１　株式会社沖デジタルイメージング内

審査官　山口　陽子

(56)参考文献　特開２００２－１４１５５４（ＪＰ，Ａ）
特開２００９－０６５６１６（ＪＰ，Ａ）
特開２００９－２８９８３６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｂ４１Ｊ　　２／４４
Ｂ４１Ｊ　　２／４５
Ｂ４１Ｊ　　２／４５５
Ｈ０１Ｌ　３３／００
Ｈ０４Ｎ　　１／０３６