

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H04N 7/12

(45) 공고일자 2000년05월15일

(11) 등록번호 10-0256187

(24) 등록일자 2000년02월21일

(21) 출원번호	10-1992-0016089	(65) 공개번호	특1993-0007277
(22) 출원일자	1992년09월04일	(43) 공개일자	1993년04월22일
(30) 우선권주장	755,981 1991년09월06일 미국(US)		
(73) 특허권자	텍사스 인스트루먼트 인코포레이티드	윌리엄 비. 캠퍼러	
	미국 텍사스주 75265 달라스 노스센트럴 익스프레스웨이 13500		
(72) 발명자	파울엠.어버너스		
	미합중국 75248 텍사스주 달라스 아파트먼트 넘버 1914 벤트 트리 포리스트		
	서클 16		
(74) 대리인	주성민		

심사관 : 남인호

(54) 표준 디지털 비디오 신호를 디스플레이하는 시스템 및 방법

요약

이진 공간 광 변조기(16) 내로 입력하는 디지털화 표준 비디오 데이터를 다시 포맷하는 방법 및 구조물이 기재되어 있다. 데이터는 동일하게 가중된 모든 이진 데이터를 라인 세그먼트로 분리하는 회로에 들어간 다음에 저장된다. 그 다음, 데이터는 적절한 디지털 샘플이 공간 광 변조기(16)의 적절한 행 및 열에 대응하는 방식으로 메모리(14)에서 독출된다.

대표도

도1

명세서

[발명의 명칭]

표준 디지털 비디오 신호를 디스플레이하는 시스템 및 방법

[도면의 간단한 설명]

제1도는 직교 데이터 입력 및 출력을 도시한 도면.

제2도는 리포매터를 도시한 블록도.

제3a도 내지 제3d도는 데이터 흐름을 도시한 블록도.

제4도는 디지털화 비디오 신호를 다시 포맷하는 회로예를 도시한 도면.

제5도는 데이터를 멀티플렉싱할 수 있는 구조를 도시한 도면.

제6도는 기록 엔에이블 구조의 확대도.

제7도는 DMD용 입력 회로예를 도시한 도면.

제8도는 전체 데이터 구조의 선택적인 실시예를 도시한 도면.

<도면의 주요부분에 대한 부호의 설명>

10 : 데이터 포매터	12 : 리포매터 회로
14 : 프레임 메모리	16 : DMD용 입력 회로
26 : RAM	30 : 멀티플렉싱 회로
128 : 병렬 래치 뱅크	135 : DMD

[발명의 상세한 설명]

본 발명은 데이터를 다시 포맷하는 것에 관한 것으로, 더욱 상세히 말하면 래스터식 포맷에서 이진 공간 광 변조기 비디오 시스템과 호환할 수 있는 포맷으로 디지털 비디오 데이터 스트림의 데이터를 다시 포

맺는 것에 관한 것이다.

투사 시스템에서 공간 광 변조기의 사용은 표준 음극선관 투사 시스템보다 많은 이점을 제공해준다. 이것은 텔레비전 산업에서 특히 명확하게 알 수 있다.

고화질 텔레비전(HDTV)와 관련된 텔레비전 산업에 있어서 여러가지 논의중의 한가지 논의가 표준 포맷의 질의에 관한 것이다. 몇몇 회사들은 현재의 텔레비전 표준(NTSC) 방식과 상이한 시스템을 제안했다. 공간 광 변조기를 사용하는 시스템은 입력 신호의 포맷이 공지되어 있는 한, 어떠한 표준 방식도 이용할 수 있고, 몇가지 공지된 디지털 데이터 패턴으로 디지털화될 수 있다.

일단 데이터가 디지털화되면, 턴 온("1") 또는 턴 오프("0")될 수 있는 셀을 갖고 있는 이진 공간 광 변조기 상에 데이터를 패스시키기 위해 해결해야 될 문제점이 많이 있다. 표준 비디오 신호에 있어서, 데이터는 한번에 1 화소씩 와이어로 보내진다. 주어진 화소의 모든 데이터가 동시에 보내진다. 데이터의 시간적 순서는 이 시간적 순서가 영상 라인 내부의 화소의 공간적 순서에 대응하도록 보내진다. 이진 공간 광 변조기의 데이터는 통상적으로 변조기 내에 고도의 병렬 방식으로 로드된다. 주어진 화소용 데이터의 단지 한 부분, 일반적으로 1 비트가 한번에 변조기에 보내진다. 이것은 펄스폭 변조를 사용한 이진 디바이스로 그레이-스케일 영상을 발생시키는데 사용된 기술을 필요로 한다. 변조기 내에 로드된 데이터는 공간적으로 인접할 수 없다. 시간 대 공간의 순서화 관계는 영상의 주어진 라인에 반드시 존재하는 것이 아니다.

그러므로, 본 발명의 목적은 디지털화 비디오 스트림을, 텔레비전, 또는 컴퓨터, 또는 소정의 그 밖의 다른 비디오 시스템 내에 사용된 투사 시스템 내의 이진 공간 광 변조기를 최적하게 사용할 수 있는 포맷으로 다시 포맷하기 위한 방법 및 장치를 제공하기 위한 것이다.

본 발명의 목적 및 장점은 가시 데이터의 디스플레이용 리포매터(reformatter)를 제공하는 본 발명에 의해 달성될 수 있다. 이 구조물은 데이터의 직렬 디지털화 비디오 스트림을 이진 공간 광 변조기와 함께 사용될 병렬 비디오 데이터 스트림으로 변환하는 회로를 포함한다. 데이터는 소정의 주어진 영상 라인의 공간적 순서에 대응하는 시간적 포맷과 따로 분리된다. 그 다음, 데이터는 동시에 로드되는 데이터가 공간적으로 인접하지 않는 병렬 방식으로 공간 광 변조기 상에 공급되도록 다시 배열된다.

본 발명의 장점은 NTSC, VGA 또는 PAL과 같은 소정의 표준화된 비디오 포맷을 사용할 수 있다는 것이다. 본 발명의 또 다른 장점은 텔레비전, 컴퓨터 모니터 및 다른 비디오 시스템 내에 고화질 투사를 달성하기 위해 공간 광 변조기를 비디오 디스플레이 내에서 최대로 사용할 수 있다는 것이다.

이하, 첨부 도면을 참조하여 본 발명의 장점 및 실시예에 대해 설명하겠다.

이진 공간 광 변조기는 온/오프(ON/OFF) 방식으로 동작한다. 이러한 변조기의 한 예로는 변형가능한 미러 디바이스(DMD)가 있다. DMD 제조시에 최소한 3 가지의 구조가 현재 사용된다. 이들은 토션 비임(torsion beam), 캔틸레버 비임 및 굴곡 비임을 포함한다. 본 발명의 한 실시예에서는 토션 비임 DMD가 사용된다. 어떠한 이진 공간 광 변조기가 사용될 수도 있지만, 설명을 용이하게 하기 위해 토션 비임 DMD에 초점을 맞추겠다.

토션 비임 DMD는 2개의 포스트에 의해 교대로 지지되는 대각선 힌지에 의해 에어갭 상에 지지된 반사면으로 구성된다. 대각선 힌지의 양측으로의 전극은 에어갭 내에 놓인다. 양쪽 전극이 전압을 인가함으로써 어드레스되면, 정전기력은 힌지의 동일한 측면 상에 있는 표면 부분을 전극으로서 끌어당긴다. 이것은 표면이 힌지 축 주위로 회전하게 한다. 광학 시스템에 있어서, DMD는 화소의 영역 어레이로서 구성되는데, 온 상태로 될 화소는 힌지 축의 한 측면으로 회전된 표면으로 구성되고, 오프 상태로 될 화소는 온 방향과 떨어져서 회전되거나 좌측으로 언어드레스될 수 있다. 이러한 디바이스에 대한 상세한 설명은 본 발명에서 참조로 사용되는 래리 혼백 박사(Dr. Larry Hornbeck)의 미합중국 특허 제4,956,619호에서 찾아볼 수 있다.

이러한 디바이스의 어드레싱은 상술된 문제점을 초래한다. 데이터는 DMD에 의해 최적하게 사용될 수 있도록 하기 위해 순서대로 디지털화되어 있는 표준 비디오 신호로부터 다시 포맷되어야 한다. 그러므로, DMD를 구동시키기 위해서 직교 입력 및 출력 데이터가 필요하다. 부수적으로, 동일한 이진 가중치의 데이터만이 소정의 주어진 시간에 DMD 상에 디스플레이될 수 있다. 이진 가중치는 2^n 비트수와 동일하다. 예를 들어, 12비트 시스템에 있어서, 최하위 비트(LSB)는 비트 0이고 $2^0=1$ 의 이진 가중치를 갖고 있고, 최상위 비트(MSB)는 비트 11이고 $2^{11}=2048$ 의 이진 가중치를 갖는다.

입력 및 출력의 직교성의 예가 제1도에 도시되어 있다. 데이터의 수직 열은 12비트 데이터 샘플이 취해졌음을 나타낸다. 그리드는 화살표(2)의 방향으로 채워지는데, 여기에서 열(4)는 첫번째 샘플을 나타내고 열(6)은 640번째 샘플을 나타낸다. 그리드는 열(8)의 방향으로 한행씩 비워진다. 행(9)는 비디오 데이터의 첫번째 라인용의 이중 가중치 0 또는 비트 0인 모든 데이터로 채워진 행을 나타낸다.

본 발명의 한 실시예가 제2도에 도시되어 있다. 데이터 포매터(10)은 리포매터 회로(12), 프레임 메모리(14), 및 DMD용 입력 회로(16)로 구성된다. 디지털화 비디오 데이터는 라인(18)을 통해 포매터 내의 리포매터 회로(12) 내로 들어간다. 그 다음, 리포매터는 경로(20)를 통해 프레임 메모리 버퍼 회로(14) 내로 데이터를 패스한다. 블록 회로 간의 상호 접속은 본 명세서에서는 단일 라인으로 도시하였다. 다중, 병렬 데이터 버스 등과 같은 소정의 데이터 전송 구조도 사용될 수 있다. DMD에 의해 데이터가 요구되면, 데이터는 메모리(14)로부터 경로(22)를 통해 DMD의 입력 회로(16)으로 패스된다. 그 다음, 입력 회로는 경로(24)와 같이 도시되어 있는 DMD의 전극으로 데이터를 패스한다.

제3a도는 비디오 신호로부터 리포매터를 통과하고 메모리를 통과하여 DMD 어레이의 입력으로까지 데이터의 흐름을 도시한 블록도이다. 데이터는 라인(18)을 통해 리포매터(12)로 들어간다. 이 예에 있어서, 데이터 폭은 12 비트이다. 데이터는 RAM(Random Access Memory) 블록 넘버 0인 RAM(26) 내에 배치된다.

RAM들 중 어느 RAM이 액세스될 것인지, RAM 내의 어떤 어드레스가 기록될 것인지를 결정하는 제어 신호, 및 데이터가 RAM 내에 저장되게 하는 기록 제어 신호는 도시되어 있지 않다. 이 실시예에 있어서, RAM은 16 x 12, 즉 16개의 12비트워드를 보유할 수 있다. 각각의 입력 비디오 라인은 640개의 12비트 데이터 샘플로 구성된다. 각각 RAM 블록이 16개의 샘플을 보유하기 때문에, 완전한 비디오 라인을 보유하기 위해 40개의 RAM 블록이 있다. RAM(26; RAM 블록 넘버 0)이 첫번째 16개의 데이터 샘플(샘플 0-15)로 채워진 후, 어드레싱 회로는 다음 16개의 샘플(샘플 16-31)을 보유하기 위해 다음 RAM(27)을 지정한다. 이것은 RAM(28; RAM 블록 넘버 39)가 최종 16개의 샘플(샘플 624-639)로 채워질 때까지 계속된다. 이 때, RAM 블록은 비디오 라인 0에 대한 전체의 640개의 샘플을 포함한다. 이 예에서는 총 480개의 라인(즉, 라인 0-479)가 있다. 그 다음, 데이터는 다른 데이터 라인이 참조 번호(12) 내로 수신되기 전에 참조 번호(12) 내의 RAM에서 독출되어 프레임 메모리 내에 저장되어야 한다.

블록(30)은 RAM(26)으로부터 프레임 메모리(32)로 한번에 데이터 1비트를 출력시키는 디코더 또는 멀티플렉서와 같은 회로를 내장한다. 제3b도를 참조하면 프레임 메모리의 구성을 더욱 완전히 이해할 수 있다. 메모리(32)는 DMD 열 0-15에 할당된 프레임 메모리이다. 메모리(34)는 DMD 열 624-639에 할당된 프레임 메모리이다. 각각의 메모리 스택은 16개의 공간적으로 인접한 DMD 열의 데이터를 내장한다. 그러므로, 각각의 메모리의 관련 구성은 동일하고, 유일한 차이점은 열이 저장되는데 있다. 라인 0의 비디오 샘플 0이 텔레비전 스크린의 가장 좌상위측 코너에 대응하면, 이것은 DMD 어레이 상에서 행 0, 열 0-15의 데이터이어야 한다. 메모리가 랜덤 액세스하므로, 데이터가 DMD에 보내지는 경우에 정정 순서대로 되는 한, 데이터는 소정의 구조를 사용하거나 설계자의 창의에 따라 메모리내에 저장될 수 있다. 상술된 바와 같이, 데이터가 좌우, 또는 상하, 또는 양쪽 모두에 대해 플립되어야 하는 경우에 순서는 상이하다.

개념적으로, 행 0, 열 0-15, 비트 0의 데이터가 참조 번호(36)으로 표시된 메모리 영역 내에 저장된다고 기술하는 것이 더욱 단순하다. 박스(36)을 포함하는 영역(38)은 행 0-15, 열 0-15, 비트 0용으로 준비된다. 열 0-15의 12비트 데이터(수신된 데이터의 첫번째 16개의 샘플)은 RAM 내로 독입된다. 데이터는 다른 RAM과 병렬로 비트수만큼 RAM에 나타내진다. 그러므로, 박스(36)은 제3c도에 도시된 바와 같이 채워진다. 첫번째 비트 0은 샘플 15로부터 박스(36A)의 가장 우측에 배치된다. 동시에, 샘플 31로부터의 비트 0은 박스(37A)에 배치된다. 이 과정은 박스(40A)에서 알 수 있는 것처럼, 비트 0, 샘플 639에 대한 전체 40개의 블록에서 반복된다. 그 다음, 샘플 14로부터의 비트 0은 박스(36B)에 도시된 바와 같이, 샘플 15로부터의 비트 0 다음에 배치된다. 동시에, 샘플 30으로부터의 비트 0은 박스(37B) 내에 도시된 바와 같이 샘플 31로부터의 비트 0 다음에 배치된다. 이 동작은 박스(40B)에 도시된 바와 같이, 샘플 638까지 모든 40개의 블록에 반복된다. 이것은 행 0, 열 0-15의 비트 0 워드가 박스(36C) 내에 로드되고, 행 0, 열 16-31의 비트 0 워드가 동시에 박스(37C)에 로드되는 등 박스(40C)에 로드될 때까지 계속된다.

박스(38)의 가장 우측에 배치될 수 있는 데이터인, 행 1, 열 0-15의 비트 0 데이터는 DMD 어레이의 행이 비디오 데이터 라인에 대응하고 블록(12) 내의 RAM이 행 0의 데이터를 포함하기 때문에 아직 이용할 수 없다. 병렬로 RAM으로 부터 나타나는 다음 데이터는 각각의 열의 비트 1이다. 이 데이터는 비트 1 데이터에 할당된 공간(44)의 좌하위측 코너(42)에 기입된다. 동시에, 열 624-639의 비트 1 데이터는 이들 열의 비트 1 데이터의 공간(48)의 영역(46) 내에 로드된다. 이것은 데이터가 RAM으로부터 비트수만큼 독출될 때까지 계속된다. 라인 0의 데이터가 저장된 후, 라인 1의 입력 데이터는 라인 0 데이터와 동일한 방식으로 RAM내에 저장된다. 그 다음, 라인 1의 데이터는 RAM으로부터 메모리로 로드된다. 이제 공간(36)을 포함하는 공간(38)의 영역은 행 1, 열 0-15, 비트 0의 데이터를 내장한다. 동시에, 열 624-639, 행 1, 비트 0의 데이터는 공간(50) 내로 로드된다. 영역(38 및 50)은 16행의 데이터 또는 총 256 비트의 데이터를 저장할 수 있다. 영역(38)의 확대도가 제3d도에 도시되어 있다. 라인 0, 열 0-15, 비트 0의 데이터는 제3c도에 도시된 바와 같이 영역(36) 내에 배치된다. 나머지의 라인 0 데이터가 저장된 후, 라인 1, 비트 0, 열 0-15의 데이터가 영역(39) 내에 저장된다. 이것은 라인 15, 열 0-15, 비트 0의 데이터가 영역(41) 내에 저장될 때까지 계속된다. 그러므로, 영역(38)은 비디오 라인 0-15에서 열 0-15에서 전체 비트 0 데이터를 보유할 수 있다. 프레임 메모리가 240개의 DMD 라인을 공급해야 하고 영역(38)이 16개의 DMD 라인을 보유하기 때문에, 블록(43)은 15개의 이러한 라인들로 구성되어야 한다. 이것은 메모리가 미러의 240행의 데이터를 충분히 보유할 수 있게 한다. 이 회로는 미러의 하부 240행을 사용하여 미러 어레이의 하부에서 반복된다.

제3a도를 다시 참조하면, 데이터는 메모리로부터 시프트 레지스터(52) 내로 병렬로 출력된다. 시프트 레지스터(52)의 폭은 16행 x 16열의 데이터로 구성된 256비트이다. 그 다음, 데이터는 256비트 시프트 레지스터(52)에서 16 비트 시프트 레지스터(54) 내로 한번에 1비트씩 시프트된다. 시프트 레지스터 중의 첫번째 비트는 열 15, 행 0의 비트 0이다. 이 비트는 좌측 상에서 레지스터(54)의 첫번째 비트로 로드된다. 다음 클럭 사이클이 발생하면, 열 14, 행 0의 비트 0이 시프트 레지스터(52)에서 시프트 레지스터(54)의 좌측으로 시프트된다. 열 15, 행 0의 비트 0은 한칸 우측으로 시프트한다. 이것은 시프트 레지스터(54)가 열 0-15, 행 0의 모든 비트 0 데이터를 포함할 때까지 계속된다. 그 다음, 레지스터(54)는 행 0, 열 0-15의 어드레싱 전극 내로 병렬로 비워진다.

시프트 레지스터(52)에서 시프트될 다음 워드는 행 1, 열 0-15의 비트 0이다. 이것은 비트 0, 라인 0-239의 모든 데이터에 대해서 계속된다. 이것은 데이터의 다른 스택용 레지스터에서 동시에 발생한다. 결국, 전체의 미러 어레이의 모든 행과 열은 이들의 각각의 비트 0 데이터로 로드된다. 미러는 로드된 데이터를 받아들이기 위해 신호로 표시되고, 이들은 데이터가 지정할 때 턴 온되거나 스테이 오프된다. 미러는 관련 출원인 미합중국 특허 출원 제678,761호에 기술된 펄스폭 변조 구조에 따라서 필요한 만큼 머무른다. 이것은 아무리 많은 비트의 해상도가 사용되더라도 각각의 비트에 대해 계속된다. 이 예에서는 12비트가 사용되었다.

이러한 구조에 있어서, 기존의 데이터가 독출되어 프레임 버퍼 내에 저장될 때까지 RAM 내에 로드될 수 있는 입력 데이터는 없다. 이것은 시스템의 속도를 제한한다. 이 처리 과정을 여러가지 방식으로 가속화시킬 수 있다. 제3a도의 블록(12) 내에 도시된 처리 구조는 핑퐁(ping-pong) 효과의 이점을 취하도록 반

복될 수 있다. 정밀한 최상의 치수는 DMD 내로 들어가는 시프트 레지스터의 크기, 및 정합시켜야 하는 RAM 내의 워드 수이다. 이 예에서는 16비트 시프트 레지스터가 사용되었고 RAM은 16워드를 보유할 수 있다.

이러한 구조를 실행하는 실제 회로예가 제4도에 도시되어 있다. 제4도에서, 제3a도에서의 RAM(28)은 점선으로 표시된 박스 내에 멀티플렉싱 회로(30)으로 도시되어 있다. 이러한 기능을 실행할 수 있는 한가지 상세한 설명은 제5도에서 기술된다. 데이터는 12비트 라인(56) 상에서 RAM(26)으로 보내진다. 4비트 라인(58)은 RAM내의 16개의 위치들 중 데이터가 기입될 위치를 선택한다. 기록되도록 선택된 RAM은 박스(60)의 내부에 논리 기호로 표시되어 있으며 제6도에서 더욱 상세하게 설명될 것이다.

전체 데이터가 전체 RAM 내에 로드된 후, 출력 사이클이 개시된다. 각각의 블록의 15번째 샘플의 비트 0은 논리부(30) 및 어드레스 버스(58)을 통해 선택되어 라인(62, 64 등) 상의 블록의 출력 상에 배치된다. 블록 39의 샘플 639의 비트 0은 라인(66) 상에 배치될 수 있다. 모든 데이터가 준비되면, 라인(68) 상의 출력 엔에이블 신호, 및 라인(70) 상의 출력 클럭 신호는 제3a도에서 설명된 바와 같이, D플립 플롭(72, 74 등)을 통해 메모리로 데이터가 패스될 수 있게 한다.

이러한 구조를 작동시키기 위해, 데이터는 각각의 RAM으로부터 적절한 순서로 선택되어 한번에 1비트가 출력 논리부내에 배치되어야 한다. 한 가능한 실행의 확대도가 제5도에 도시되어 있다. 데이터는 데이터 버스(56)을 통해 RAM으로 보내진다. 데이터가 저장될 수 있는 RAM 위치는 어드레스 버스(58)을 통해 선택된다. RAM이 채워져 있는 경우, 기록 엔에이블 신호는 불활성화된다. 적절한 시기에, 모든 RAM 블록이 채워진 후, 12비트 데이터 샘플은 어드레스 버스(58)에 의해 지정된 RAM 위치에서 독출되어 12:1 멀티플렉서(30)으로 패스된다. 비트 지정 라인(82)은 라인(62) 상에 배치될 비트를 선택한다. 이 예에서, RAM 중에서 선택 될 첫번째 샘플은 샘플 15이고, 샘플중에서 멀티플렉스될 첫번째 비트는 비트 0이다

상술한 바와 같이, 한번에 한개의 RAM만이 데이터로 채워지도록 지정된다. 이것은 기록 엔에이블 신호를 발생시키는 제6도의 논리에 의해 달성된다. 기록 엔에이블 신호는 라인(92) 상에 배치된다. 박스(98)은 $n:2^n$ 디코더를 나타낸다. 라인(96)은 출력 라인들 중 하이 신호를 수신하는 출력 라인을 선택할 수 있는 n 비트 데이터 워드를 패스시킨다. 예를 들어, 하이 신호가 라인(100) 상에 배치되어 있고 기록 엔에이블 신호(92)가 또한 하이 상태라면, AND 게이트(102)는 라인(86) 상에 하이 기록 엔에이블 신호를 발생시킬 것이다. 이것은 제1 RAM 블록을 데이터로 채워질 수 있게 한다. RAM이 채워진 후, 라인(96) 상의 신호는 엔에이블될 출력 라인(106)을 선택하고, AND 게이트(108)은 다음 RAM에 기록하기 위해 라인(110) 상에 기록 엔에이블을 발생시킨다. 이 과정은 궁극적으로 각각의 RAM 블록의 엔에이블된 모든 기록 엔에이블 라인을 갖도록 반복될 수 있다.

제7도는 제3a도 및 제4도에 설명된 DMD 입력 회로의 실시예를 도시한 것이다. 입력 라인(112)는 제3a도에 사용된 예에서 40개의 256 비트 폭 시프트 레지스터의 각각의 출력을 나타낸다. 16 비트 시프트 레지스터들 중 한 시프트 레지스터의 확대부(114)는 이 예에서 블록 넘버 39인 최종 블록을 도시한 것이다. 데이터는 라인(116)을 통해 시프트 레지스터의 뱅크로 들어간다. 입력 클럭은 라인(118) 상에 있다. 라인(118)이 펄스되면, 초기 비트는 레지스터(120)으로 들어 간다. 클럭이 다시 펄스되면 데이터는 다음 시프트 레지스터(122)로 우측으로 시프트되고, 두번째 비트의 데이터는 시프트 레지스터(120)으로 들어 간다. 이것은 시프트 레지스터(124)가 로드될 때까지 계속된다. 라인(126)은 뱅크(128) 내의 시프트 레지스터에 접속된 병렬 래치용 로드 클럭이다. 라인(130 및 132)는 뱅크(128)용 클리어 및 프리셋트 신호이다. 시프트 레지스터 뱅크가 채워진 후, 시프트 레지스터 뱅크로부터의 데이터는 병렬로 병렬 래치 뱅크(128) 내에 로드된다. 이 과정은 각각의 시프트 레지스터 뱅크에서 행해진다. 데이터는 래치(128)을 통해 DMD(135)의 상부 절반의 전극 상으로 들어간다.

리포머터 모듈을 통해서 메모리로 그리고 DMD의 입력 회로로의 데이터의 상세한 흐름이 설정되면, 여러 가지 선택적인 실시예에 대해 설명할 수 있다. 한가지 이러한 예가 제8도에 도시되어 있다. 상기 예에서, 12비트의 해상도가 사용되었다. 이것이 3가지 색으로 분리되는 경우, 처리 과정은 비트수 이외에 컬러 비트에 의해 분리된다. 실제로, 최적 시스템은 각각의 컬러가 8비트인 24비트 데이터가 적절하다.

비트(134) 상의 3가지 색 신호는 시스템 제어기 신호(136)에 의해 지정된 바와 같이 라인(138A 또는 138B)로 보내질 수 있다. 라인(142)가 데이터를 블록 (140A)로부터 활발하게 독출하고 있다면 입력 데이터는 라인(138B)로 패스되고, 블록(140B)는 채워질 것이다. 블록(140A 및 140B)는 제3a도에서의 블록(12)의 반복이다. 그 다음, 라인(146)은 프레임 메모리로의 데이터 출력 라인이다. 이 평평 효과는 데이터 속도를 더욱 빠르게 할 수 있다. 다수의 이러한 연속적 구조가 가능한데, 설계자의 창의성에 의해서만 제한된다. 부수적으로, 회로는 각각의 컬러에 1개의 전용 회로를 갖도록 각각의 컬러에 반복될 수 있다.

그러므로, 비디오 데이터를 다시 포맷하는 방법 및 장치의 특정 실시예에 대해 설명하였지만, 이는 본 발명을 제한하고자 하는 것이 아니며, 본 발명은 특허 청구 범위 내에서만 제한된다.

(57) 청구의 범위

청구항 1

표준화된 디지털 비디오 신호로부터 데이터를 디스플레이하는 방법에 있어서,

- 디지털 샘플을 버퍼 내에 보유하는 단계,
- 상기 디지털 샘플을 워드 단위로 판독하는 단계,
- 상기 워드를 프레임 메모리 내에 저장하는 단계,

- d. 상기 프레임 메모리의 내용을 공간 광 변조기 어레이의 입력에 전송하는 단계,
- e. 상기 데이터를 디스플레이하기 위해 광을 상기 어레이에 충돌시키는 단계 및
- f. 상기 표준화된 비디오 데이터 스트림을 더이상 이용할 수 없을 때까지 단계(a-e)를 반복하는 단계로 이루어지고, 상기 버퍼는 폭이 각각의 디지털 샘플의 폭에 대응하며, 상기 워드는 상기 버퍼의 상기 열에 대응하고, 상기 워드를 저장하는데 걸리는 시간은 1프레임의 데이터를 완전히 로드하는데 걸리는 시간량에 대응하는 것을 특징으로 하는 데이터를 디스플레이하는 방법.

청구항 2

제1항에 있어서, 상기 판독 단계는 각각의 워드가 동일한 이진 가중치의 비트들을 내장하도록 샘플을 판독하는 단계를 더 포함하는 것을 특징으로 하는 데이터를 디스플레이하는 방법.

청구항 3

제1항에 있어서, 상기 저장 단계는 동일한 이진 가중치의 워드들이 각각의 세트의 열에 대해 공간적으로 인접하도록, 상기 공간 광 변조기 어레이의 한 세트의 열에 대해 동일한 이진 가중치의 워드들을 저장하는 단계를 더 포함하는 것을 특징으로 하는 데이터를 디스플레이하는 방법.

청구항 4

제1항에 있어서, 상기 전송 단계는 상기 데이터를 상기 메모리에 접속된 시프트 레지스터 내로 전송하는 단계를 더 포함하는 것을 특징으로 하는 데이터를 디스플레이하는 방법.

청구항 5

표준 디지털 비디오 신호를 디스플레이하는 시스템에 있어서,

- a. 디지털 샘플을 보유하기 위한 최소한 한개의 버퍼,
- b. 상기 샘플을 상기 버퍼로부터 워드 단위로 판독하는 독출 회로,
- c. 상기 워드를 저장하는 프레임 메모리,
- d. 공간 광 변조기 어레이,
- e. 상기 프레임 메모리로부터의 상기 워드를 상기 공간 광 변조기 어레이로 전송하는 전송 회로, 및
- f. 상기 어레이에 충돌하는 광원을 포함하고, 상기 버퍼의 폭은 각각의 상기 샘플의 길이와 동일하며, 상기 워드 길이는 상기 버퍼 내의 샘플 수와 동일하고, 상기 워드를 저장하는데 걸리는 시간은 전체 프레임의 데이터를 로드하는데 필요한 시간의 길이와 동일한 것을 특징으로 하는 표준 디지털 비디오 신호를 디스플레이하는 시스템.

청구항 6

제5항에 있어서, 상기 버퍼는 상기 디지털 샘플의 폭과 동일한 폭, 및 전체 샘플수의 팩터와 동일한 깊이를 갖고 있는 랜덤 액세스 메모리로 구성된 것을 특징으로 하는 표준 디지털 비디오 신호를 디스플레이하는 시스템.

청구항 7

제5항에 있어서, 상기 독출 회로는 버퍼 수와 동일한 폭을 갖는 워드를 생성하기 위해 상기 버퍼로부터 병렬로 판독하도록 동작하고, 상기 워드의 각각의 비트는 동일한 이진 가중치를 갖는 것을 특징으로 하는 표준 디지털 비디오 신호를 디스플레이하는 시스템.

청구항 8

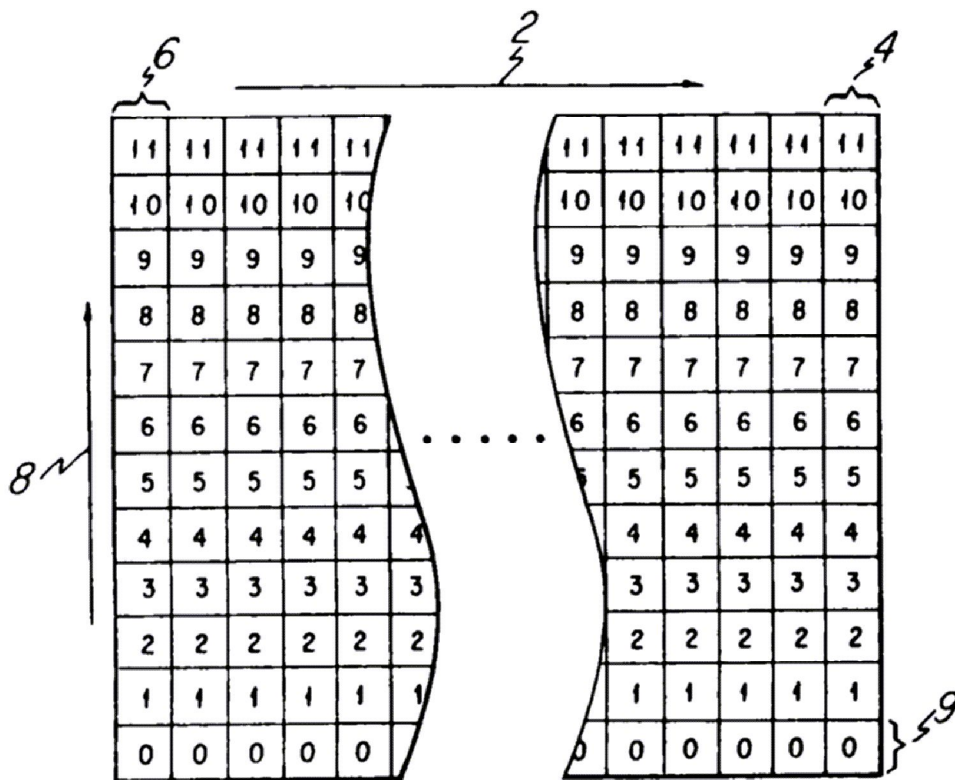
제5항에 있어서, 상기 공간 광 변조기 어레이는 개별적으로 편향가능한 미러 어레이를 더 포함하는 것을 특징으로 하는 표준 디지털 비디오 신호를 디스플레이하는 시스템.

청구항 9

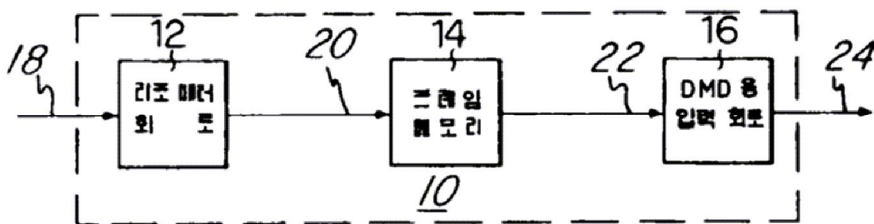
제5항에 있어서, 상기 전송 회로가 직렬 시프트 레지스터를 더 포함하는 것을 특징으로 하는 디지털 비디오 신호를 디스플레이하는 시스템.

도면

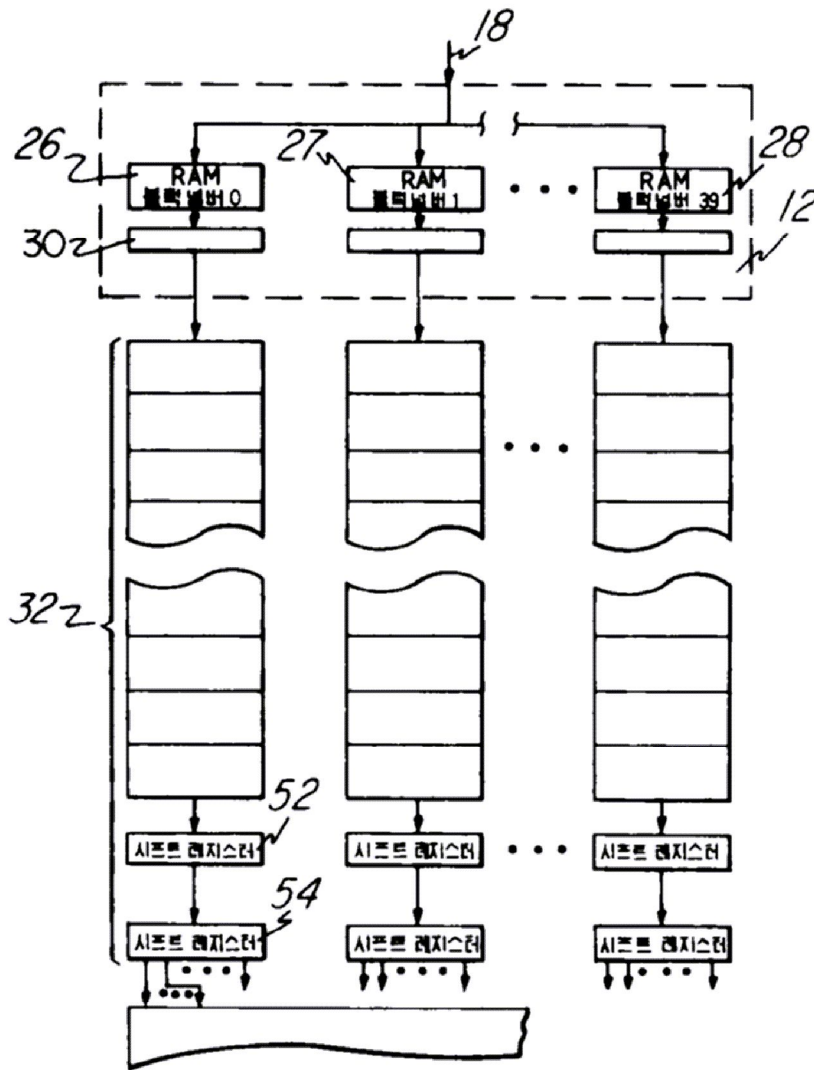
도면1



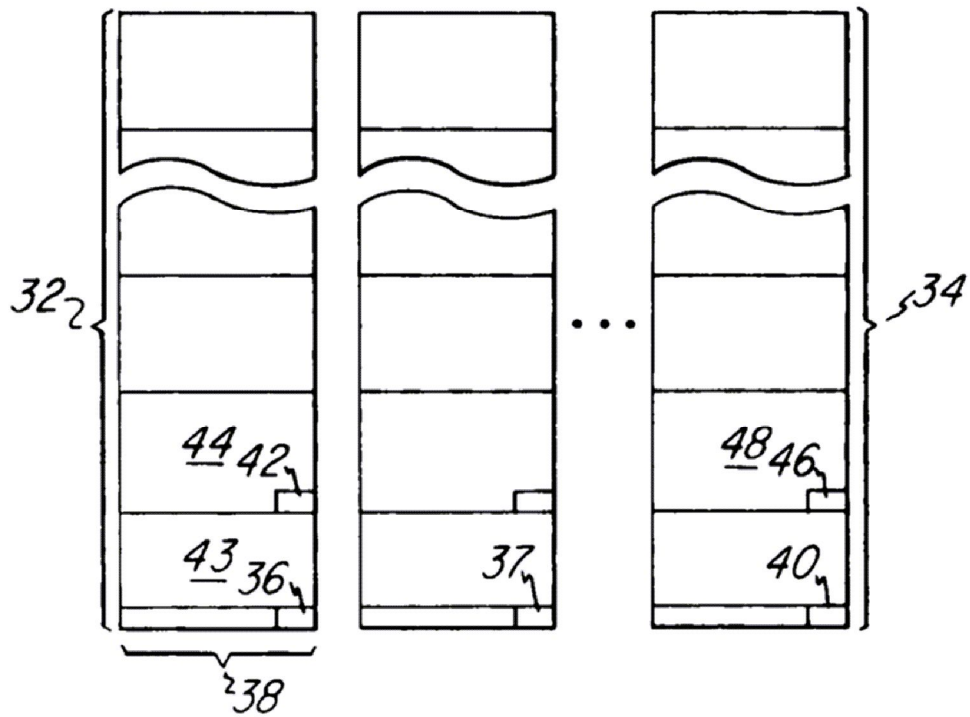
도면2



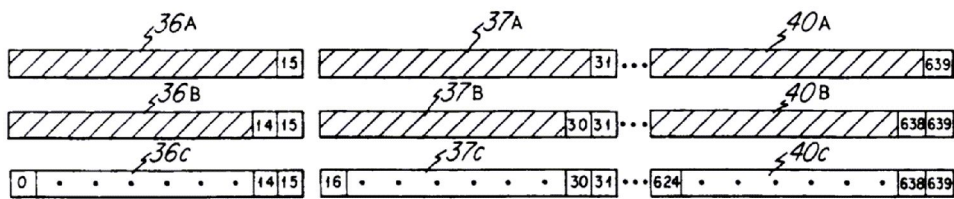
도면3a



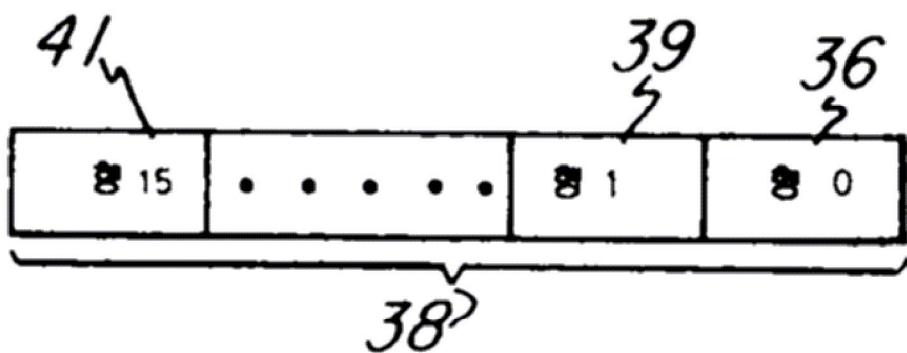
도면3b



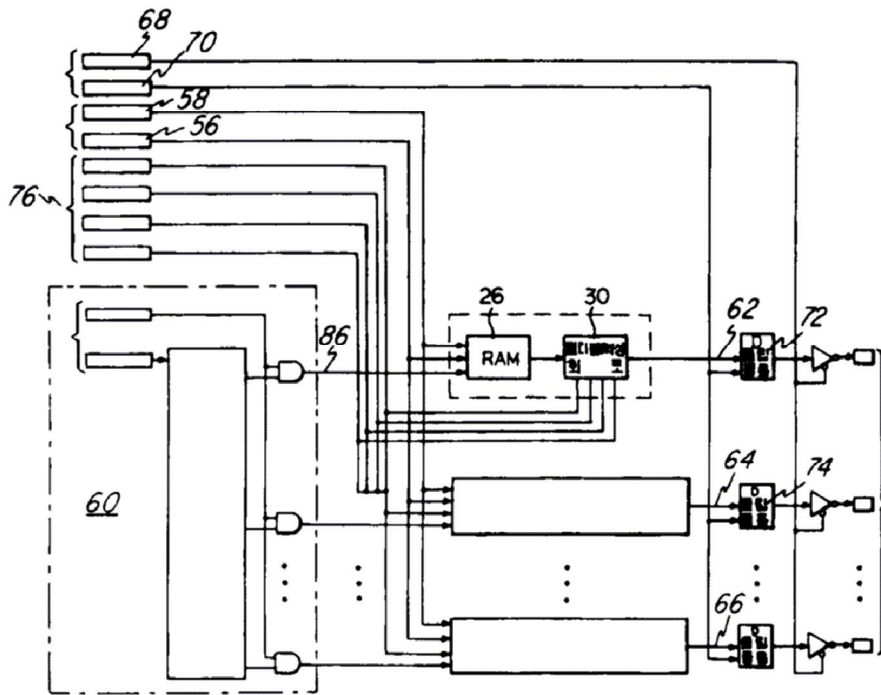
도면3c



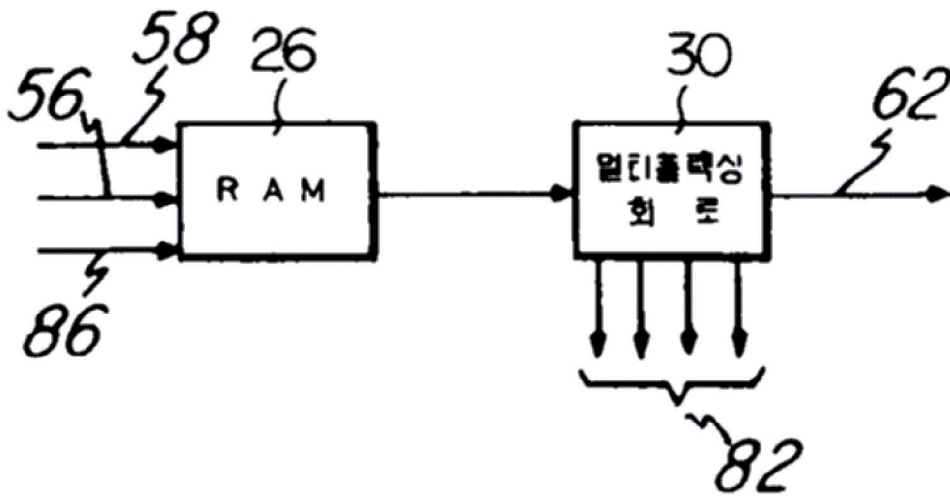
도면3d



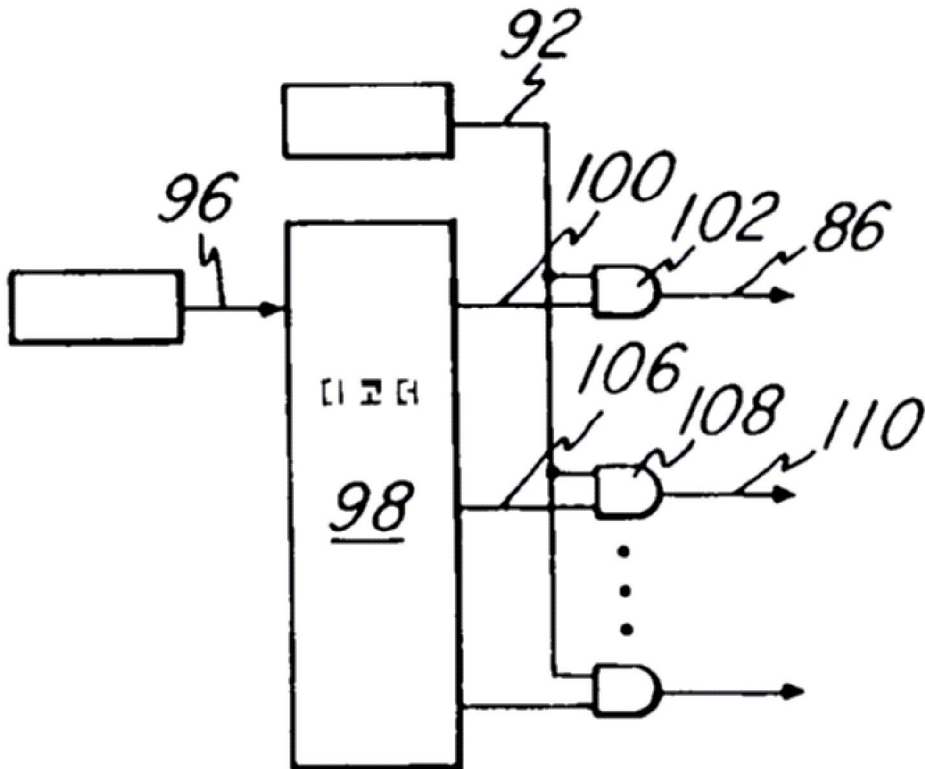
도면4



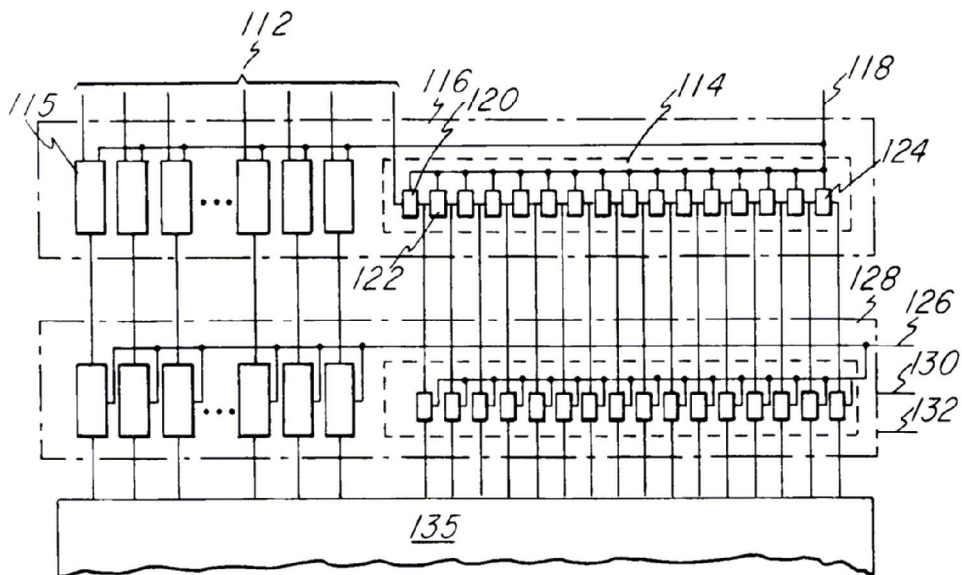
도면5



도면6



도면7



도면8

