



Patent dodatkowy
do patentu nr _____

Zgłoszono: 27.11.74 (P. 175957)

Pierwszeństwo: 27.10.73 Francja

Zgłoszenie ogłoszono: 03.01.76

Opis patentowy opublikowano: 30.02.1979

Int. Cl.²
H04J 3/00

CZYTELNIJA

Urzedu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórca wynalazku: _____

Uprawniony z patentu: Etat Francais représenté per le Ministre des
Postes et Télécommunications et Société Ano-
nyme des Telecommunications, Issy-les Mouli-
neaux i Paryż (Francja)

Urządzenie zwielokrotnienia cyfrowego

1

Przedmiotem wynalazku jest urządzenie zwielokrotnienia cyfrowego.

Zasada zwielokrotnienia cyfrowego jest znana np. z artykułu F.J. Witta pt. „Experimental 224 Mb/s digital multiplexerdemultiplexer using pulse stuffing synchronization” zamieszczony w „Bell system Technical Journal”, listopad 1965, str. 1843—1885 oraz z artykułu Yvon Madec, „Les equipments de multiplexage numerique” w L'Echo des Recherches”, styczeń 1973, str. 59—87.

Urządzenie zwielokrotnienia cyfrowego realizuje zwielokrotnienie przez podział w czasie cyfrowych sygnałów wejściowych o jednej częstotliwości tak, że uzyskuje się jeden zbiorczy sygnał cyfrowy o większej częstotliwości. Półkrotnica odbiorcza realizuje operację odwrotną. Sygnał zbiorczy powinien zawierać powtarzany okresowo sygnał, określający koniec ramki, czyli sygnał synchronizujący, stanowiący sygnał odniesienia dla półkrotnicy odbiorczej.

W przypadku sieci asynchronicznej generatory sygnałów wejściowych są niezależne, ale mogą być plezjosynchroniczne, to znaczy mogą wszystkie mieć taką samą częstotliwość nominalną, przy czym zmiany wokół tej częstotliwości są zawarte w określonych granicach. Przed przeprowadzeniem zwielokrotnienia czasowego konieczne jest zsynchronizowanie wzajemne sygnałów składowych. Zazwyczaj dodaje się pewną liczbę bitów na sekundę do każdego sygnału wejściowego, aby

2

ogólna ilość bitów na sekundę była nieco większa od przepływności znamionowej sygnału wejściowego. W tak przetworzonym sygnale niedomiar ilości bitów na sekundę jest uzupełniony przez bity dodatkowe, nazywane bitami dopełniającymi. Zwielokrotnienie takich dopełnionych sygnałów nazywane jest zwielokrotnieniem z dopełnianiem nadmiarowym.

Dla prawidłowego odtwarzania sygnałów wejściowych półkrotnica odbiorcza musi więc rozpoznawać i usuwać bity dopełniające. W tym celu bity te, o ile istnieją, muszą mieć dokładnie określone położenie w ramce. Ich obecność lub brak są sygnalizowane przez wartość logiczną systematycznie wprowadzanych bitów skazywania dopełnienia.

Jeśli N jest liczbą wejściowych sygnałów plezjosynchronicznych, F_e ich znamionową przepływnością, a $F_s > NF_e$ — znamionową przepływnością sygnału zbiorczego, to

$$F_s = NF_e (1 + \varepsilon) \cdot (1 + \frac{P}{Q}) \quad (1)$$

gdzie: Q jest liczbą bitów informacyjnych w ramce, P — liczbą bitów uzupełniających ramkę (synchronizacja, wskazanie dopełnienia i ewentualnie bity służbowe), a $F_d = \varepsilon F_e$ — znamionową częstotliwością dopełnienia.

Krotnica cyfrowa zawiera kilka kanałów przenoszących sygnały o określonej przepływności i jeden kanał o innej przepływności. Przepływności kanałów cyfrowych są określone przez Służby Teleko-

munikacyjne w różnych krajach i są nazywane przepływnościami hierarchicznymi, a niektóre przepływności są ponadto ustalone na szczeblu międzynarodowym. Może się zdarzyć, że przepływności są różne w różnych krajach. Na przykład w jednym kraju stosowane są hierarchiczne przepływności 8,34 i 140 Mb/s, i takie kraje będą dalej nazywane krajami 8-34-140 Mb/s, podczas gdy w innym kraju mogą być hierarchiczne tylko przepływności 8 i 140 Mb/s i takie kraje nazwiemy krajami 8-140 Mb/s.

Dopełnienie bitami jest procesem związanym ze zwielokrotnieniem w systemie nośnym czasowym i nadaje się do wykorzystania w przypadkach, gdy zwielokrotniane sygnały pochodzą z niesynchronizowanych źródeł.

Wobec tego w krajach 8-34-140 Mb/s zarówno sygnały 8 Mb/s jak i 34 Mb/s mogą pochodzić z niesynchronizowanych źródeł i muszą być poddawane dopełnieniu przed zwielokrotnianiem w czasie przy przetwarzaniu na sygnały odpowiednio, 34 Mb/s i 140 Mb/s.

W krajach 8-140 Mb/s możliwe jest dopełnianie i zwielokrotnianie w czasie sygnałów 8 Mb/s bezpośrednio do 140 Mb/s. Ale wówczas niemożliwe jest przeprowadzenie procesu odwrotnego dla uzyskania sygnału 34 Mb/s. Możliwe jest również konwencjonalne postępowanie dwustopniowe, tzn. najpierw dopełnienie i zwielokrotnienie czasowe sygnału 8 Mb/s do 34 Mb/s, a następnie dopełnienie i zwielokrotnienie w czasie sygnałów 34 Mb/s do 140 Mb/s. Oczywiście w tym przypadku sygnały 34 Mb/s pochodzące z przetworzonych dopełnionych sygnałów 8 Mb/s będą synchroniczne i nie będą zawierać bitów dopełniających. Ale dla umożliwienia przetworzenia ich do stanu pierwotnego, sygnały 34 Mb/s muszą zostać uzupełnione bitami wskazywania dopełnienia. Ten dwustopniowy proces obejmuje więc dwukrotne dopełnienie i dwukrotne przeprowadzenie zwielokrotnienia w czasie.

Operacja dopełniania obejmuje bezwarunkowe wprowadzenie do ramki bitów uzupełniających i warunkowo wprowadzenie odpowiedniej liczby bitów dopełniających, przy czym liczba tych bitów uzależniona jest od wartości rzeczywistej przepływności przetwarzanych sygnałów w porównaniu z określoną przepływnością nominalną.

Nadawcza część znanego urządzenia zwielokrotnienia cyfrowego ma szesnaście kanałów wejściowych, każdy o nominalnej przepływności około 8 Mb/s. Kanały te dochodzą do pierwszego stopnia urządzenia, każdy do odpowiedniego układu realizującego operację przekodowania sygnałów wejściowych na sygnały w kodzie dwójkowym, nadające się do zwielokrotniania i wyodrębniania sygnału taktowego. Pierwsza z tych operacji może zostać zrealizowana za pomocą transkodera dwójkowego HDB3. Kod HDB3 jest znany np. z materiałów CCITT, Special Committee D, Contribution No 33, 23 września, 1969 r. Każdy z układów przekodowujących i wyodrębniających sygnał taktowy ma dwa wyjścia, jedno dla informacji cyfrowej, a drugie dla sygnału taktowego. Wyjścia te

dołączone są do wejść układu pamięci i dopełniania nadmiarowego.

Każdy z układów pamięci i dopełniania nadmiarowego zawiera pamięć buforową, której wejście zapisu dołączone jest do wyjścia informacji cyfrowej w układzie przekodowującym a wejście posuwu zapisu do wyjścia sygnału taktowego w tymże układzie, przy czym pamięć buforowa może być np. rejestrem przesuwным, obwód sterowania odczytem, dołączony do wejścia posuwu odczytu pamięci buforowej dla doprowadzania sygnału taktowego z generatora taktowego, komparator fazy, którego wejścia dołączone są do wejść posuwu zapisu i odczytu w pamięci, oraz obwód sterowania dopełnianiem, którego wejścia dołączone są do wyjścia komparatora fazy i generatora taktowego, a wyjście do wejścia obwodu sterowania odczytem.

Wyjścia informacyjne każdego z czterech układów pamięci i dopełniania nadmiarowego dołączone są do wejść jednej półkrotnicy nadawczej, sterowanej przez generator taktowy, przy czym pojedyncze wyjście każdej z tych półkrotnic dołączone jest do wejścia układu przekodowania i ponownego synchronizowania. Półkrotnice te mogą być przetwornikami równoległo-szeregowymi, np. rejestrami przesuwnymi, i zawierają elementy kombinacyjne typu I dla wprowadzenia do ramki bitów wskazywania dopełnienia i bitów służbowych. Należy podkreślić, że bity synchronizujące, wskazujące dopełnienie i służbowe są bezwarunkowo wprowadzane do wszystkich ramek, przy czym odczyt zawartości pamięci buforowej jest wstrzymywany podczas wprowadzania bitów przez sygnał na wyjściu generatora podstawy czasu, podczas gdy bity dopełniające są wprowadzane tylko wtedy, gdy obwód sterowania dopełnieniem wygeneruje sygnał rozkazu dopełnienia.

Umieszczone na wyjściu pierwszego stopnia nadawczej części urządzenia układy przekodowania i ponownego synchronizowania realizują przetwarzanie sygnału binarnego na sygnał zakodowany w sposób umożliwiający przekazanie go kanałami o przepływności 34 Mb/s do drugiego stopnia części nadawczej urządzenia. Ten drugi stopień ma konstrukcję analogiczną do pierwszego, z tym, że ma 4 kanały wejściowe i jeden wyjściowy o przepływności 140 Mb/s.

Część odbiorcza znanego urządzenia zwielokrotnienia cyfrowego ma kanał wejściowy o przepływności 140 Mb/s, który dołączony jest do wejścia pierwszego stopnia, które jest jednocześnie wejściem układu realizującego przekodowanie i wyodrębnienie sygnału taktowego. Przetworzony sygnał doprowadzany jest na wejście półkrotnicy odbiorczej, która ma cztery wyjścia. Każde z tych wyjść dołączone jest do układu pamięci i usuwania bitów dopełniających. Każdy taki układ zawiera pamięć buforową, której wejście zapisu dołączone jest do wyjścia półkrotnicy bezpośrednio, a wejście posuwu zapisu pośrednio, poprzez obwód sterowania zapisem, otrzymuje również sygnał z generatora taktowego za pośrednictwem obwodu rozpoznawania dopełnienia, dołączonego

również do wejścia zapisu. Pamięć może mieć np. osiem stopni i ma wyjście odczytu i wejście przesuwu odczytu. Wejścia przesuwu zapisu i odczytu dołączone są do wejść komparatora fazy, którego wejście dołączone jest do obwodu zawierającego filtr dolnoprzepustowy i sterowany napięciowo generator. Wyjście generatora steruje odczytem zawartości pamięci buforowej. Obwód sterowania odczytem otrzymuje z generatora taktowego, synchronizowanego sygnałem taktowym wyodrębnianym z sygnału wejściowego, sygnał taktowy, a z obwodu rozpoznania dopełnienia sygnał rozpoznania i pozycji dopełnienia.

Wyjścia informacyjne układów pamięci i usuwania bitów dopełniających dołączone są do układów przekodujących i ponownie synchronizujących. Sygnały wyjściowe pierwszego stopnia części odbiorczej urządzenia, o przepływnościach 34 Mb/s, doprowadzane są czterema kanałami na wejścia drugiego stopnia, który rozdziela cztery sygnały wejściowe na szesnaście wyjściowych i ma konstrukcję analogiczną do pierwszego stopnia z tym, że powtórzoną czterokrotnie. Kanały wyjściowe tego stopnia mają przepływność 8 Mb/s.

Celem wynalazku jest opracowanie urządzenia zwielokrotnienia cyfrowego, w którym sygnały pośrednie są synchroniczne, ponieważ uzyskiwane są przez zwielokrotnienie dopełnionych sygnałów o małej przepływności, a więc w ogóle nie muszą być dopełniane lub mogą być dopełniane stałą liczbą bitów. Dopełnianie stałą liczbą bitów stosuje się, gdy sygnał przepływności pośredniej, uzyskany przez zwielokrotnienie dopełnionych sygnałów składowych o małej częstotliwości, ma być powtórnie poddany operacji zwielokrotniania w czasie z innymi sygnałami o przepływności pośredniej, które mogą mieć większą przepływność niż te uzyskane sygnały o przepływności pośredniej. Dopełnianie sygnału liczbą bitów niezależną od jego przepływności nazywane będzie w dalszym ciągu „dopełnianiem systematycznym”.

Cel wynalazku osiągnięty został przez to, że urządzenie zawiera pierwszy obwód wprowadzania bitów uzupełniających do sygnałów o przepływności pośredniej, wprowadzający pierwszą liczbę bitów uzupełniających na miejsca o określonych adresach w ich ramce, dla uzyskania sygnałów o przepływności pośredniej z uzupełnioną ramką, dołączony do wejść sterujących półkrotnic nadawczych pierwszego stopnia, półkrotnicę nadawczą dla zwielokrotniania tych sygnałów o przepływności pośredniej z uzupełnioną ramką w ramki sygnału o dużej przepływności, dołączoną do wyjść informacyjnych półkrotnic nadawczych pierwszego stopnia, drugi obwód wprowadzania bitów uzupełniających do sygnału o dużej przepływności, wprowadzający stałą liczbę bitów dopełniających i drugą liczbę bitów uzupełniających na miejsca o określonych adresach w ich ramce, dla uzyskania sygnałów o dużej przepływności z uzupełnioną ramką, dołączony do wejść sterujących półkrotnicy nadawczej drugiego stopnia.

Obwody pierwszy i drugi wprowadzania bitów uzupełniających zawierają korzystnie zespoły

wstrzymywania działania obwodów pamięci w pierwszych przedziałach czasowych, odpowiadających miejscom ramki składowych sygnałów o małej przepływności, w których to miejscach należy wprowadzić bity dopełniające, w drugich przedziałach czasowych odpowiadających miejscom ramki sygnałów o pośredniej przepływności, a, w których to miejscach należy wprowadzić bity uzupełniające, i w trzecich przedziałach czasowych odpowiadających miejscom ramki wyjściowego sygnału o dużej przepływności, w których to miejscach należy wprowadzać systematycznie bity dopełniające i bity uzupełniające. Czas trwania drugich przedziałów czasowych jest równy czasowi trwania miejsc ramki sygnałów o pośredniej przepływności, w których to miejscach należy wprowadzić bity uzupełniające, podzielonemu przez liczbę wejściowych sygnałów o małej przepływności, a czas trwania trzecich przedziałów czasowych jest równy czasowi trwania miejsc ramki sygnału o dużej przepływności, w których to miejscach należy wprowadzić stałą liczbę bitów dopełniających i bity uzupełniające, podzielonemu przez iloczyn liczby sygnałów o przepływnościach małej i pośredniej.

Według wynalazku dopełnienie sygnału o pośredniej przepływności realizowane jest nie w miarę potrzeby, między sygnałem taktowym w przebiegu o przepływności pośredniej, a wewnętrznym sygnałem taktowym półkrotnicy, lecz systematycznie w przedziałach przeznaczonych na bity uzupełniające. Dlatego też operacje realizowane na poziomie sygnału składowego o małej przepływności i sygnału o pośredniej przepływności są bardzo uproszczone i mogą być przenieszone na poziom sygnału zbiorczego o dużej przepływności. Sygnał taktowy przy zwielokrotnianiu sygnałów o małej przepływności w sygnał o pośredniej przepływności i sygnał taktowy przy zwielokrotnianiu sygnałów o pośredniej przepływności w sygnał o dużej przepływności są współzależne i mogą stanowić jeden sygnał z tego samego źródła.

Z zależności (1) otrzymuje się zastępując wejściową przepływność F_e przez pośrednią przepływność F_1 :

$$F_1 = \frac{F_s}{P+Q} \cdot \frac{Q}{N} - F_d \quad (2)$$

Jeżeli częstotliwość powtarzania ramek $F_T = F_s / (P+Q)$, a przepływność dopełniania zostanie wyrażona w procentach częstotliwości powtarzania $F_d = x F_T$, otrzymuje się:

$$F_1 = F_T \left[\frac{Q}{N} - x \right] \quad (3)$$

Przykład: $F_s = 139,264$ Mb/s
 $P+Q = 2\,928$
 $F_T = 47,562$ kHz
 $N = 4$
 $Q = 2\,892$
 $x = 5/12$
 $F_1 = 34,388\,117$ Mb/s

Pierwszy obwód wprowadzania bitów uzupełniających zawiera korzystnie pierwszy zespół określania adresu, generujący pierwsze sygnały adresowe określające adresy miejsc w ramce sygnału o pośredniej częstotliwości, w których to miejscach należy wprowadzić bity uzupełniające, a drugi obwód wprowadzania bitów uzupełniających zawiera drugi zespół określania adresu, generujący drugie sygnały adresowe określające adresy miejsc w ramce sygnału o dużej przepływności, w których to miejscach należy wprowadzić stałą liczbę bitów dopełniających, przy czym do wyjść tych zespołów określania adresu dołączone są obwody sterujące blokowaniem obwodu pamięci przez te sygnały adresowe.

Obwód wprowadzania bitów uzupełniających do ramek sygnału o dużej przepływności może zawierać obwód wprowadzania pierwszej liczby bitów uzupełniających i stałej liczby bitów dopełniających do pierwszej grupy ramek w wieloramce uformowanej przez kilka kolejnych ramek sygnału o dużej przepływności, i drugiej liczby bitów uzupełniających i stałej liczby bitów dopełniających do drugiej grupy ramek wieloramki.

Przedmiot wynalazku zilustrowany został przykładem wykonania na rysunku, na którym fig. 1 przedstawia strukturę ramki sygnału o przepływności 34 Mb/s, zalecaną w materiałach CCITT nr 302 z listopada 1975 r. tablica 1, fig. 2a — 12-ramkową wieloramkę sygnału o przepływności 140 Mb/s, fig. 2b — pojedynczą ramkę z fig. 2a, o strukturze zalecanej w tablicy 2 materiałów CCITT nr 302 z listopada 1975, fig. 2c — ramkę składową o innej strukturze, fig. 3 — schemat blokowy części nadawczej urządzenia według wynalazku, fig. 4 — schemat układu taktującego w części urządzenia z fig. 3, fig. 5 — schemat blokowy części odbiorczej urządzenia według wynalazku.

Przed opisaniem struktury części nadawczej i odbiorczej urządzenia według wynalazku opisana zostanie ramka sygnału o przepływności 34 Mb/s i przepływności 140 Mb/s, co pozwoli lepiej zrozumieć strukturę i działanie urządzenia według wynalazku.

Fig. 1 przedstawia strukturę sygnału cyfrowego o przepływności 34 Mb/s zalecaną przez CCITT. Ramka zawiera cztery sekcje, ponumerowane od 0 do 3, każda o 384 bitach. Każda sekcja oprócz pierwszej zaczyna się od czterech bitów wskazujących dopełnienie **SIB**. Bity dopełniające **SB**, jeśli są, zajmują cztery miejsca bitowe bezpośrednio za bitami wskazującymi dopełnienie w czwartej sekcji. Sygnał synchronizacji stanowi dziesięć pierwszych bitów **FB** pierwszej sekcji. Po nich następują dwa bity służbowe **SeB**.

W ramce liczba bitów informacyjnych pochodzących z sygnałów o przepływności 8 Mb/s wynosi $Q = 1508$, liczba bitów uzupełniających (synchronizujące, wskazujące dopełnienie i służbowe) wynosi $P = 24 = (FB = 10) + (SeB = 2) + (SIB = 4 \times 3)$, a liczba bitów dopełniających **SB** jest równa 4.

Z zależności (1) uzyskuje się przez zastąpienie F_s przez F_1 oraz przyjęcie $F_e = 8,345$ Mb/s:

$$F_1 = 4 \cdot 8,435 \cdot \frac{1536}{1532} \cdot \frac{1532}{1508} \text{ Mb/s} = 34,368117 \text{ Mb/s}$$

Fig. 2b przedstawia strukturę ramki sygnału o przepływności 140 Mb/s zalecaną przez CCITT. Ramka obejmuje sześć sekcji, ponumerowanych od 0 do 5, z których każda zawiera 488 bitów, wobec czego całkowita liczba bitów w ramce równa jest 2928. Każda sekcja, z wyjątkiem sekcji 0, zaczyna się 4 bitami **SIB** wskazującymi dopełnienie. Pierwsza sekcja zaczyna się 12-bitowym sygnałem synchronizującym **FB**, po którym następuje 4-bitowy sygnał służbowy **SeB**. Ostatnia sekcja 5 zawiera 4 miejsca na bity dopełniające **SB**.

W ramce z fig. 2b liczba bitów dopełniających wynosi 4, wobec czego

$$g_1(0) = 1 + \varepsilon = 1 + \frac{4}{2928 - 4} = \frac{2928}{2924}$$

a liczba bitów dopełniających wynosi $P = 36$, wobec czego

$$g_2(0) = 1 + \frac{P}{Q} = 1 + \frac{36}{2928 - 4 - 36} = \frac{2924}{2888}$$

z zależności (1) uzyskuje się więc:

$$G_s = 4 \times 34,368117 \times g_1(0) \cdot g_2(0) = 139,376519 \text{ Mb/s} \quad (4)$$

Zgodnie z zaleceniami CCITT największa znamionowa przepływność powinna wynosić

$$F_s = 139,264\,000 \text{ Mb/s}$$

Dla zmniejszenia G_s , α ramek takich, jak pokazana na fig. 2b, w której 4 bity dopełniające są wprowadzane systematycznie, łączonych jest z β ramek takich, jak pokazana na fig. 2c, w której nie wprowadza się bitów dopełniających, dla uformowania wieloramki składającej się z $\alpha + \beta$ ramek, zawierającej 2928 ($\alpha + \beta$) bitów.

W wieloramce liczba bitów dopełniających wynosi 4 α , a liczba bitów uzupełniających 36 ($\alpha + \beta$). Wobec tego z zależności (1) uzyskuje się

(5)

$$F_s = 4 \cdot 34,368117 \cdot g_1(\beta/\alpha) \cdot g_2(\beta/\alpha) = 139,264\,000 \text{ Mb/s}$$

$$g_1(\beta/\alpha) = 1 + \frac{4}{2928(1 + \beta/\alpha) - 4} = \frac{2928 + 2928\beta/\alpha}{2924 + 2928\beta/\alpha}$$

$$g_2(\beta/\alpha) = 1 + \frac{36(1 + \beta/\alpha)}{2888(1 + \beta/\alpha) - 4} = \frac{2924 + 2928\beta/\alpha}{2888 + 2892\beta/\alpha}$$

Z zależności (5) wynika

$$\frac{2928 + 2928\beta/\alpha}{2888 + 2892\beta/\alpha} = \frac{139,264\,000}{137,472\,468}$$

czyli

$$\beta/\alpha = 1,4 = 7/5$$

Wieloramka może więc zawierać 5 ramek z systematycznym dopełnieniem takich, jak przedstawiona na fig. 2b, i 7 ramek bez dopełnienia takich, jak przedstawiona na fig. 2c, co pokazano na fig. 2a.

Fig. 3 przedstawia część nadawczą urządzenia zwielokrotnienia cyfrowego według wynalazku. Urządzenie ma szesnaście wejściowych kanałów cyfrowych 1_0 do 1_{15} o przepływności 8 Mb/s. Kanały te dołączone są do wejść układów 2_0 do 2_{15} przekodowania i wyodrębniania sygnału taktowego, z których każdy ma dwa wyjścia, jedno dla informacji cyfrowej, a drugie dla sygnału taktowego. Wyjście każdego z układów 2_0 do 2_{15} dołączone jest do wejścia układu 3_0 do 3_{15} pamięci i dopełniania nadmiarowego.

Każdy z układów 3_0 do 3_{15} pamięci i dopełniania nadmiarowego zawiera pamięć buforową 30_0 , której wejście zapisu dołączone jest do wyjścia informacji cyfrowej w układzie 2_0 przekodowującym, a wejście posuwu zapisu do wyjścia sygnału taktowego w tymże układzie, przy czym pamięć buforowa 30_0 może być np. rejestrem przesuwym, obwód 31_0 sterowania odczytem, dołączony do wejścia posuwu odczytu pamięci buforowej 30_0 dla doprowadzania sygnału taktowego z układu taktującego 57 , komparator fazy 32_0 , którego wejścia dołączone są do wejść posuwu zapisu i odczytu w pamięci 30_0 , oraz obwód 33_0 sterowania dopełnieniem, którego wejścia dołączone są do wejścia obwodu 31_0 sterowania odczytem.

Wyjścia informacji każdego z czterech układów 3_0 do 3_{15} pamięci i dopełniania nadmiarowego dołączone są do wejść jednej półkrotnicy nadawczej, odpowiednio $4_{0,3}$ do $4_{12,15}$, sterowanej również przez układ taktujący 57 , a wyjścia tych półkrotnic nadawczych $4_{0,3}$ do $4_{12,15}$ dołączone są poprzez kanały $6_{0,3}$ do $6_{12,15}$ o przepływności 34 Mb/s, bezpośrednio do wejść półkrotnicy nadawczej 14 , której kanał wyjściowy 16 , w który włączony jest układ 15 przekodowania i ponownego synchronizowania ma przepływność 140 Mb/s.

Półkrotnice nadawcze $4_{0,3}$ do $4_{12,15}$ i 14 można realizować za pomocą przetworników szeregowo-równoległych takich, jak rejestry przesuwające. Umieszczony na wyjściu półkrotnicy 14 układ 15 przekodowujący i ponownie synchronizujący realizuje operację przetwarzania kodu binarnego na kod, umożliwiając przekazywanie informacji kanałem o przepływności 140 Mb/s do części odbiorczej urządzenia.

Część nadawcza urządzenia zwielokrotnienia cyfrowego według wynalazku różni się od znanej ze stanu techniki tym, że nie zawiera w drugim stopniu układów przekodowania i wyodrębniania sygnału taktowego, układów przekodowania i ponownej synchronizacji w pierwszym stopniu, ani, również w drugim stopniu układów pamięci i dopełniania. Wyjścia półkrotnic $4_{0,3}$, $4_{4,7}$, $4_{8,11}$ i $4_{12,15}$ są bezpośrednio połączone z wejściami półkrotnicy 14 . Część nadawcza urządzenia zawiera tylko jeden układ taktujący 57 .

Jeden układ taktujący 57 musi dostarczać sygnału wyznaczającego wieloramkę o przepływności

140 Mb/s i ramki o przepływności 34 Mb/s, to znaczy musi być przystosowany do systematycznego wprowadzania następujących sygnałów: 1) dla wieloramki o przepływności 140 Mb/s

— sygnał synchronizacji i bity służbowe (FB + SeB): $(12 + 4) \times 12 = 192$ bitów,

— sygnał wskazywania dopełnienia (SIB): $(5 \times 4) \times 12 = 240$ bitów,

— sygnał dopełnienia (SB): $4 \times 5 = 20$ bitów, przy czym wprowadzanie bitów uzupełniających FB + SeB + SIB = 192 + 240 = 432 i bitów dopełniających SB = 20 jest systematyczne. 2) dla ramki o przepływności 34 Mb/s

— sygnał synchronizujący i bity służbowe (FB + SeB) = 10 + 2 = 12 bitów,

— sygnał wskazywania dopełnienia (SIB): $2 \times 4 = 8$ bitów,

— sygnał dopełniający (SB) = 4 bity, przy czym dwa pierwsze sygnały są wprowadzane bezwarunkowo, a ostatni tylko w razie potrzeby.

Wprowadzanie bitów uzupełniających (synchronizacja, wskazywanie dopełnienia i bity służbowe) i właściwych bitów dopełniających nie jest realizowane w odniesieniu do sygnałów 34 Mb/s w obwodzie dopełniającym, ponieważ takiego obwodu urządzenie nie zawiera, natomiast jest prowadzone bezpośrednio w odniesieniu do sygnałów 8 Mb/s przed ich zwielokrotnieniem. W poniższej tabeli podane są zależności między liczbami niezapełnionych miejsc, jakie należy zapewnić w ramach sygnałów o poszczególnych przepływnościach dla uzupełnienia ich potrzebną liczbą bitów dopełniających. W ramce 140 Mb/s bity synchronizacji razem z bitami służbowymi tworzą grupy 16-bitowe, bity wskazujące dopełnienie grupy 4-bitowe i bity dopełniające grupy 4-bitowe. W ramce 34 Mb/s bity synchronizacji razem z bitami służbowymi tworzą grupy 12-bitowe, bity wskazujące dopełnienie grupy 4-bitowe i bity dopełniające grupy 4-bitowe. Tablica podaje wobec tego liczbę pustych miejsc w ramce 8 Mb/s jaką należy zapewnić dla umożliwienia wprowadzenia odpowiednio 16, 4 i 4 bitów w ramce 140 Mb/s i 12, 4 i 4 bitów w ramce 34 Mb/s.

	Ramka prze- pływności 140 Mb/s	Ramka prze- pływności 34 Mb/s	Ramka prze- pływności 8 Mb/s
SB+SeB	16 = 12+4	4 = 3+1	1 = 3/4+1/4
SIB	4	1	1/4
SB	4	1	1/4
FB+SeB		12 = 10+2	3 = 2 1/2+1/2
SIB		4	1
SB		4	1

Układ taktujący 57 jest pokazany na fig. 4. Zawiera generator 570 sygnału 139,264 MHz generujący impulsy o częstotliwości powtarzania równej przepływności ostatecznie zwielokrotnionego sygnału i dwa zespoły po trzy dzielniki częstotliwości 571, 572, 573 i 581, 582, 583 przeznaczone do realizacji dopełniania ramek sygnału, odpowiednio 34 Mb/s i 8 Mb/s. Pierwszy dzielnik częstotliwości 571, 581 w każdym z tych zespołów dzieli przez liczbę N zwielokrotnianych kanałów, która wynosi 4 zarówno w przypadku sygnału o małej jak i pośredniej częstotliwości. Drugie dzielniki częstotliwości 572, 582 dzieli przez współczynnik wyznaczony stosunkiem liczby bitów w sekcji ramki do liczby zwielokrotnianych kanałów. Dla sygnału o częstotliwości pośredniej współczynnik ten ma wartość $488/4 = 122$, a dla małej $384/4 = 96$. Trzeci dzielnik 573, 583 częstotliwości w każdym zespole dzieli przez liczbę sekcji w ramce, tj. przez 6 dla sygnału pośredniej częstotliwości i przez 4 dla sygnału o małej częstotliwości.

Sygnały wyjściowe z dzielników częstotliwości 571, 572 i 573 są dostarczane do układu 574 uruchamiającego dopełnianie i do układu 575 sterowania odczytem. Wyjście układu 574 jest połączone z licznikiem 590 ramek 140 Mb/s, który steruje elementem I 591. Wyjście układu sterowania odczytem 575 jest dołączone przez element I 591 do łączących dzielników częstotliwości 581, 582 i 583. Sygnały z wyjść dzielników częstotliwości 581, 582, 583 są podawane do układu 584 uruchamiającego dopełnienie i do układu 585 sterowania odczytem. Końcówki wyjściowe 5701 i 5702 układów 584 i 585 są połączone z układami pamięci i dopełniania 3, do 3_n. Dzielniki częstotliwości są również połączone z układem wprowadzającym 586, który steruje wprowadzaniem do ramki o przepływności 8 Mb/s dwóch i pół bitu sygnału synchronizującego, pół-bitu służbowego i jednego bitu wskazującego dopełnienie.

Układ wprowadzania 586 steruje elementami bramkującymi umieszczonymi między generatorami bitów synchronizacji 587, bitów służbowych 588 i bitów wskazujących dopełnienie 589. Układ wprowadzający 586 wytwarza również na końcówce 5703 sygnał wejściowy blokujący wejścia przetwornika równoległo-szeregowego półkrotnicy 4_{0,3}, 4_{4,7}, 4_{9,11} i 4_{12,15} dla zatrzymania sygnału o przepływności 8 Mb/s, podczas wprowadzania bitów uzupełniających. Element I 591 sterowany przez układ 574 uruchamiający dopełnienie przewodzi sygnał 34, 816 Mb/s z pośredniego stopnia 57₂ układu taktującego 57 do niskoczęstotliwościowego stopnia 57₁ tego układu z wyjątkiem czasu wprowadzenia bitów uzupełniających i dopełniających do wieloramki z fig. 2a. Wobec tego nie wszystkie bity doprowadzanego sygnału 34, 816 MHz są transmitowane przez element I 591 i sygnał wyjściowy ma częstotliwość 34,368117 MHz. Wyjście elementu I 591 jest połączone z zaciskiem 5704, na którym pojawia się sygnał o przepływności 34,368117 Mb/s.

Dzielniki częstotliwości 571, 572 i 573 są równocześnie połączone z układem wprowadzającym 576, który steruje wprowadzeniem do ramki o prze-

plywności 34 Mb/s trzech bitów sygnału synchronizacji, jednego bitu służbowego, jednego bitu wskazującego dopełnienie i jednego bitu dopełniającego. Ten ostatni bit jest umieszczany tylko w pięciu ramkach na dwanaście. Układ wprowadzający 576 steruje elementami bramkującymi umieszczonymi między generatorami bitów synchronizacji 577, bitów służbowych 578 i bitów wskazujących dopełnienie i bitów dopełnienia 579. Układ wprowadzający 576 wytwarza również na zacisku 5705 sygnały blokujące wejścia przetwornika równoległo-szeregowego półkrotnicy 14. Wyjście generatora 570 sygnału taktowego jest połączone z zaciskiem 5706, na którym pojawia się sygnał o przepływności 140 Mb/s.

Z fig. 4 wynika, że miejsca dla systematycznego wprowadzania bitów dopełniających ramkę o przepływności 34 Mb/s są wytwarzane w czasie formowania ramki o przepływności 8 Mb/s, a miejsca dla systematycznego wprowadzania bitów dopełniających ramkę o przepływności 140 Mb/s są wytwarzane w czasie formowania ramki o przepływności 34 Mb/s. Powracając do przykładu podanego poprzednio, pojęcie nie dopełniona pośrednia przepływność — to znaczy przepływność 34 Mb/s, z pustymi miejscami dla wprowadzania bitów dopełniających, jest równa, przy założeniu, że 35136-bitowa wieloramka zawiera $36 \times 12 + 4 \times 5 = 452$ bitów uzupełniających zawierających systematycznie dopełniający bit w 5 ramkach na 12, uzyskuje się

$$F_1 = \frac{139,264\ 000}{4} \cdot \frac{35\ 136 - 452}{35\ 136} = 34,368\ 117\ \text{Mb/s}$$

Fig. 5 przedstawia część odbiorczą urządzenia według wynalazku.

Należy zauważyć, że w przypadku części nadawczej sygnały o przepływności 8 Mb/s są plezjosynchroniczne, a sygnały o przepływności 34 Mb/s są synchroniczne, natomiast w przypadku części odbiorczej sygnały o przepływności 8 Mb/s są plezjosynchroniczne, a sygnały o przepływności 34 Mb/s również mogą być plezjosynchroniczne, ponieważ sygnał o przepływności 34 Mb/s jest przepływnością hierarchiczną. Sterowanie przeprowadzaniem sygnałów 140 Mb/s w 34 Mb/s i 34 Mb/s w 8 Mb/s przez ten sam układ taktujący jest więc niemożliwe.

Część odbiorczą urządzenia zwielokrotnienia cyfrowego według wynalazku zawiera kanał wejściowy 20 o przepływności 140 Mb/s, który dołączony jest do wejścia pierwszego stopnia I', stanowiącego równocześnie wejście układu 21, realizującego przekodowanie i wyodrębnianie sygnału taktowego. Przetworzony sygnał doprowadzany jest na wejście półkrotnicy odbiorczej 22, która ma cztery wyjścia 22₀ do 22₃. Każde z tych wyjść dołączone jest do układu, odpowiednio 23₀ do 23₃, pamięci i usuwania bitów dopełniających. Każdy taki układ zawiera obwód 234, rozpoznawania bitów dopełniających, którego jedno wejście dołączone jest bezpośrednio do wyjścia 22, półkrotnicy odbiorczej 22, a drugie do wyjścia generatora 27 podstawy czasu. Wyjście obwodu 234, dołączone

jest do wejścia obwodu 231, sterowania zapisem, który również dołączony jest do wyjścia generatora 27 podstawy czasu.

Wyjścia informacyjne układów 23, do 23, pamięci i usuwania bitów dopełniających dołączone są poprzez kanały 28, do 28, do wejść generatorów 47,3 do 47,15 podstawy czasu w drugim stopniu II', sterujących pracą półkrotnic odbiorczych 42,3 do 42,15 w tym drugim stopniu. Na wejścia informacyjne tych półkrotnic 42,3, do 42,15 doprowadzane są bezpośrednio kanałami 26, do 26, sygnały 34 Mb/s z wyjść 22, do 22, półkrotnicy 22 w pierwszym stopniu. Drugi stopień ma konstrukcję analogiczną do pierwszego z tym, że powtórzoną czterokrotnie. Do wyjść poszczególnych układów pamięci i usuwania bitów dopełniających 43, do 43,15 dołączone są układy przekodowania i ponownej synchronizacji 45, do 45,15, na wyjściach których, w kanałach 46, do 46,15, uzyskuje się odtworzone sygnały o przepływnościach 8 Mb/s.

Część odbiorcza urządzenia zwielokrotniającego według wynalazku nie zawiera układów przekodowania i ponownego synchronizowania w pierwszym stopniu I', ani układów przekodowania i wyodrębniania sygnału taktowego w drugim stopniu II'. Układy pamięci i usuwania dopełnienia w pierwszym stopniu I' nie zawierają pamięci buforowej, komparatora fazy, ani też sterowanego napięciowo generatora. Obwód rozkazu zapisu 231, nie spełnia takiej samej roli, jak w stanie techniki, ponieważ nie współpracuje z pamięcią buforową. Służy on jedynie do kasowania bitów dopełniających.

Miedzy stopniami I' i II', zamiast czterech kanałów przenoszących bity informacyjne znajdują się cztery kanały synchronizacji 28, do 28, przenoszące niedopełniony sygnał synchronizacji o przepływności 34 Mb/s.

Należy zauważyć, że sygnał pojawiający się w kanale np. 46, wyjściowym półkrotnicy odbiorczej jest porównywalny z sygnałem wchodzącym do odpowiedniego kanału, np. 36, w półkrotnicy nadawczej. Przewody 46, i 36, mogą być połączone bezpośrednio, co pozwala zwielokrotnić w tym samym sygnale dwa sygnały plezjosynchroniczne o przepływności 8 Mb/s pochodzące z półkrotnicy odbiorczej sygnału o przepływności 140 Mb/s, bez konieczności ustalania niezgodności i powtórzonego ustalania zgodności tych ostatnich sygnałów o przepływności 8 Mb/s.

Zastrzeżenia patentowe

1. Urządzenie zwielokrotnienia cyfrowego, w którym N_1 wejściowych plezjosynchronicznych sygnałów składowych o małej przepływności, mających pierwotne przepływności różniące się od zadanej nominalnej wartości przepływności, która jest nieznacznie większa od wszystkich wspomnianych pierwotnych przepływności, jest zwielokrotnianych w czasie bit po bicie dla uzyskania sygnałów o pośredniej przepływności i N_2 tych sygnałów o pośredniej przepływności jest zwielokrotnianych w czasie bit po bicie dla uzyskania poje-

dynczego sygnału wyjściowego o dużej przepływności, przy czym te składowe sygnały o małej przepływności zawierają jedynie bity informacyjne a sygnały o pośredniej i dużej przepływności zawierają bity informacyjne, bity dopełniające i bity uzupełniające, na które składają się bity synchronizujące, bity służbowe i bity wskazywania dopełnienia, uporządkowane w określony sposób w ramach, zawierające obwody pamięci i dopełniania nadmiarowego dla zapamiętywania sygnałów składowych o małej przepływności i dopełniania tych sygnałów, zależnie od różnicy między ich pierwotnymi małymi przepływnościami i nominalną małą przepływnością, obwody zwielokrotniające sterowane sygnałami odczytu obwodów pamięci i zwielokrotniające dopełnione sygnały o nominalnej małej przepływności w ramach sygnałów o przepływności pośredniej, **znamiennie tym**, że zawiera pierwszy obwód (57₁) wprowadzania bitów uzupełniających do sygnałów o przepływności pośredniej, wprowadzający pierwszą liczbę bitów uzupełniających na miejsca o określonych adresach w ich ramce, dla uzyskania sygnałów o przepływności pośredniej z uzupełnioną ramką, dołączony do wejść sterujących półkrotnic nadawczych (4_{0,3} do 4_{12,15}), półkrotnicę nadawczą (14) dla zwielokrotniania tych sygnałów o przepływności pośredniej z uzupełnioną ramką w ramki sygnału o dużej przepływności, dołączoną do wyjść informacyjnych półkrotnic nadawczych (4_{0,3} do 4_{12,15} i drugi obwód (57₂) wprowadzania bitów uzupełniających do sygnału o dużej przepływności, wprowadzający stałą liczbę bitów dopełniających i drugą liczbę bitów uzupełniających na miejsca o określonych adresach w ich ramce, dla uzyskania sygnałów o dużej przepływności z uzupełnioną ramką, dołączony do wejść sterujących półkrotnicy nadawczej (14).

2. Urządzenie według zastrz. 1, **znamiennie tym**, że obwody pierwszy i drugi (57₁, 57₂) wprowadzania bitów uzupełniających zawierają zespoły (585, 575) wstrzymywania działania obwodów pamięci (3, do 3₁₅) w pierwszych przedziałach czasowych odpowiadających miejscom ramki składowych sygnałów o małej przepływności, w których to miejscach należy wprowadzić bity dopełniające, w drugich przedziałach czasowych odpowiadających miejscom ramki sygnałów o pośredniej przepływności, w których to miejscach należy wprowadzić bity uzupełniające, i w trzech przedziałach czasowych odpowiadających miejscom ramki wyjściowego sygnału o dużej przepływności, w których to miejscach należy wprowadzać systematycznie bity dopełniające i bity uzupełniające, przy czym czas trwania drugich przedziałów czasowych jest równy czasowi trwania miejsc ramki sygnałów o pośredniej przepływności, w których to miejscach należy wprowadzić bity uzupełniające, podzielonemu przez N_1 , a czas trwania trzecich przedziałów czasowych jest równy czasowi trwania miejsc ramki sygnału o dużej przepływności, w których to miejscach należy wprowadzić stałą liczbę bitów dopełniających i bity uzupełniające, podzielonemu przez $N_1 \times N_2$.

3. Urządzenie według zastrz. 1 albo 2, **znamiennie** tym, że pierwszy obwód (57₁) wprowadzania bitów uzupełniających zawiera pierwszy zespół (581, 582, 583) określania adresu, generujący pierwsze sygnały adresowe określające adresy miejsc w ramce sygnału o pośredniej częstotliwości, w których to miejscach należy wprowadzić bity uzupełniające, a drugi obwód (57₂) wprowadzania bitów uzupełniających zawiera drugi zespół (571, 572, 573) określania adresu, generujący drugie sygnały adresowe określające adresy miejsc w ramce sygnału o dużej przepływności, w których to miejscach należy wprowadzić stałą liczbę bitów dopełniających, przy czym do wyjść tych zespołów określania

adresu dołączone są obwody (574, 584) sterujące blokowaniem obwodów pamięci (3₀ do 3₁₅) przez te sygnały adresowe.

5 4. Urządzenie według zastrz. 1 albo 2, **znamiennie** tym, że obwód (57₂) wprowadzania bitów uzupełniających do ramek sygnału o dużej przepływności zawiera obwód (576) wprowadzania pierwszej liczby bitów uzupełniających i stałej liczby bitów dopełniających do pierwszej grupy ramek w wieloramce uformowanej przez kilka kolejnych ramek sygnału o dużej przepływności, i drugiej liczby bitów uzupełniających i stałej liczby bitów dopełniających do drugiej grupy ramek wieloramki.

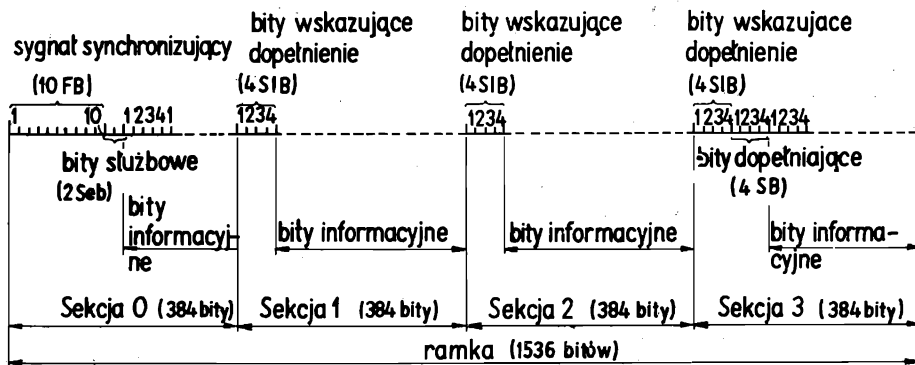


Fig. 1

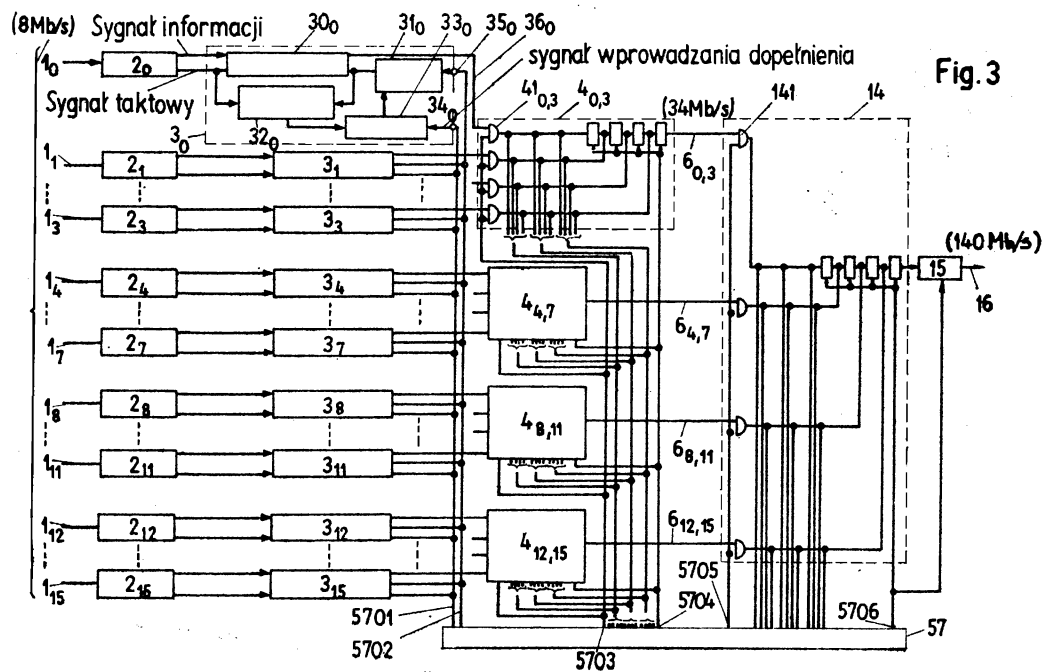
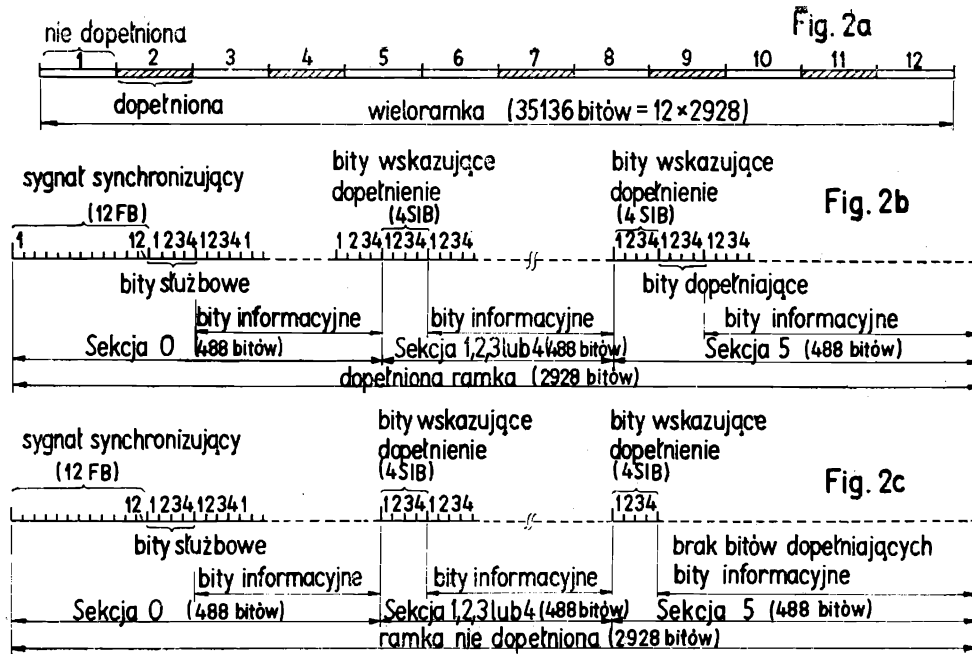


Fig. 4

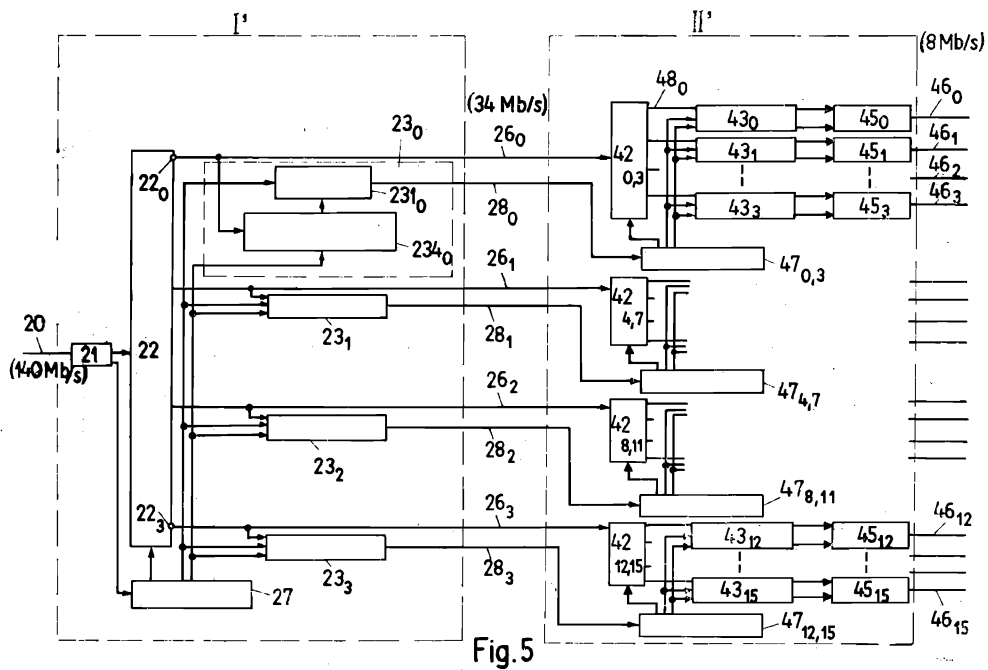
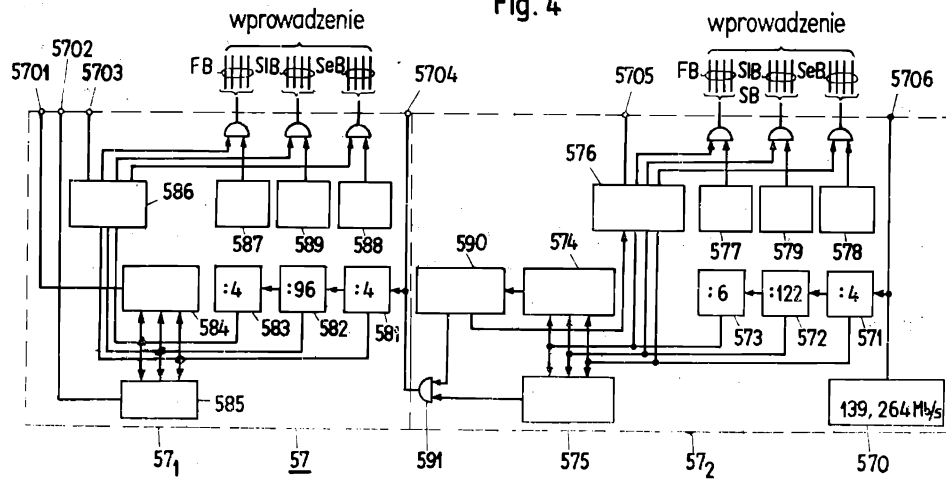


Fig. 5