I854206

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I854206 B**

(45)公告日： 中華民國 113 (2024) 年 09 月 01 日

(21)申請案號：111111974 (22)申請日： 中華民國 111 (2022) 年 03 月 29 日

(51)Int. Cl.： *G06F9/22 (2006.01)* *G06F13/14 (2006.01)*
G06F12/0866(2016.01) *G06F12/02 (2006.01)*

(30)優先權：2021/03/29 美國 63/167,593

(71)申請人：美商谷歌有限責任公司 (美國) GOOGLE LLC (US)
美國

(72)發明人：納加拉簡 拉浩 NAGARAJAN, RAHUL (IN) ；哈利哈瑞 賀瑪 HARIHARAN, HEMA (IN)

(74)代理人：陳長文

(56)參考文獻：

TW	I700641B	TW	201908965A
CN	108874729A	US	2009/0024833A1
US	2015/0347338A1		

審查人員：吳兆平

申請專利範圍項數：20 項 圖式數：7 共 51 頁

(54)名稱

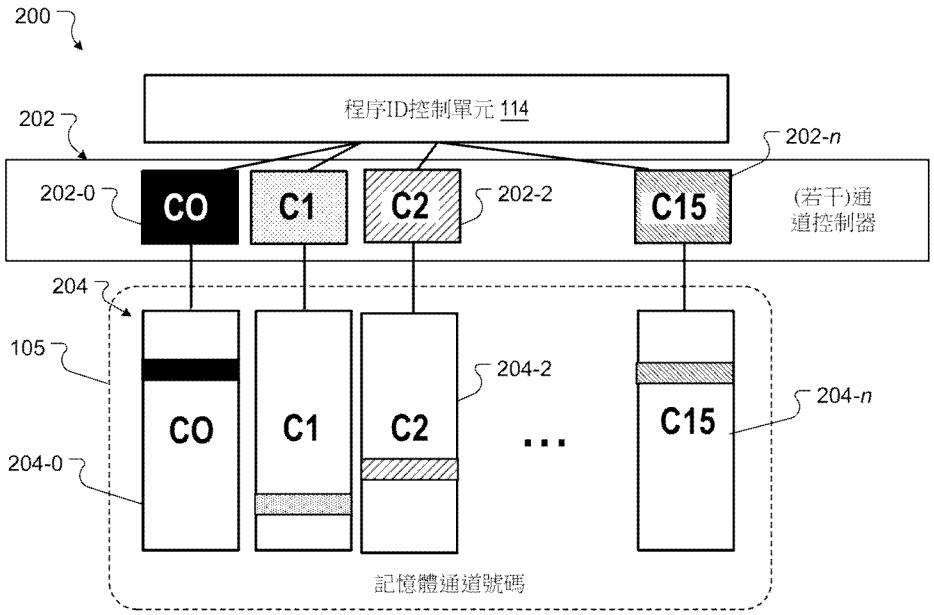
積體電路及使用其執行之電腦實施方法

(57)摘要

本發明描述用於加速機器學習運算之一積體電路之方法、系統及設備，包含電腦可讀媒體。該電路包含處理器核心，各處理器核心包含：多個通道控制器；一晶片上互連(OCI)介面，其用於將各通道控制器耦合至一系統記憶體之任何記憶體通道；及一提取單元，其在各通道控制器中。各提取經組態以：接收編碼定址資訊之通道資料；基於該定址資訊使用該 OCI 介面自該系統記憶體之任何記憶體通道獲得資料；及經由包含該各自提取單元之該對應通道控制器將該所獲得資料寫入至該處理器核心之一向量記憶體。

Methods, systems, and apparatus, including computer-readable media, are described for an integrated circuit that accelerates machine-learning computations. The circuit includes processor cores that each include: multiple channel controllers; an on-chip interconnect (OCI) interface for coupling each channel controller to any memory channel of a system memory; and a fetch unit in each channel controller. Each fetch is configured to: receive channel data that encodes addressing information; obtain, based on the addressing information, data from any memory channel of the system memory using the OCI interface; and write the obtained data to a vector memory of the processor core via the corresponding channel controller that includes the respective fetch unit.

指定代表圖：



【圖2】

符號簡單說明：

105:記憶體單元/記憶體

114:程序識別符(ID)控制單元/控制單元

200:架構

202:通道控制器

202-0 至 202-n:通道控制器

204:記憶體通道

204-0 至 204-n:記憶體通道

113年4月2日 修正

I854206

公告本

【發明摘要】

【中文發明名稱】

積體電路及使用其執行之電腦實施方法

【英文發明名稱】

INTEGRATED CIRCUIT AND COMPUTER-IMPLEMENTED METHOD PERFORMED USING THE SAME

【中文】

本發明描述用於加速機器學習運算之一積體電路之方法、系統及設備，包含電腦可讀媒體。該電路包含處理器核心，各處理器核心包含：多個通道控制器；一晶片上互連(OCI)介面，其用於將各通道控制器耦合至一系統記憶體之任何記憶體通道；及一提取單元，其在各通道控制器中。各提取經組態以：接收編碼定址資訊之通道資料；基於該定址資訊使用該OCI介面自該系統記憶體之任何記憶體通道獲得資料；及經由包含該各自提取單元之該對應通道控制器將該所獲得資料寫入至該處理器核心之一向量記憶體。

【英文】

Methods, systems, and apparatus, including computer-readable media, are described for an integrated circuit that accelerates machine-learning computations. The circuit includes processor cores that each include: multiple channel controllers; an on-chip interconnect (OCI) interface for coupling each channel controller to any memory channel of a system memory; and a fetch unit in each channel controller. Each fetch is configured to: receive channel data that encodes addressing

information; obtain, based on the addressing information, data from any memory channel of the system memory using the OCI interface; and write the obtained data to a vector memory of the processor core via the corresponding channel controller that includes the respective fetch unit.

【指定代表圖】

圖2

【代表圖之符號簡單說明】

105: 記憶體單元/記憶體

114: 程序識別符(ID)控制單元/控制單元

200: 架構

202: 通道控制器

202-0至202-n: 通道控制器

204: 記憶體通道

204-0至204-n: 記憶體通道

【發明說明書】

【中文發明名稱】

積體電路及使用其執行之電腦實施方法

【英文發明名稱】

INTEGRATED CIRCUIT AND COMPUTER-IMPLEMENTED METHOD PERFORMED USING THE SAME

【技術領域】

【先前技術】

【0001】 本說明書大體上係關於使用電路系統以執行神經網路運算。

【0002】 神經網路係採用節點之一或多個層以針對一經接收輸入產生一輸出(例如，一分類)之機器學習模型。除一輸出層之外，一些神經網路亦包含一或多個隱藏層。各隱藏層之輸出用作至網路中之一或多個其他層(例如，網路之其他隱藏層或輸出層)之輸入。網路之一些層根據一各自參數集之當前值自一經接收輸入產生一輸出。

【0003】 一些神經網路係迴旋神經網路(CNN) (例如，用於影像處理)或遞歸神經網路(RNN) (例如，用於語音及語言處理)。此等神經網路之各者包含迴旋或遞歸神經網路層之各自集合。一神經網路層可具有一相關聯內核集合以及用於處理輸入以產生用於訓練一神經網路之向量集合之一嵌入層。內核可表示為一張量，即，權重之一多維陣列。作為一實例，嵌入層可處理一輸入集合(諸如影像像素資料之輸入)或藉由一神經網路層產生之啟動值。該輸入集合或啟動值集合亦可表示為一張量。

【發明內容】

【0004】 一分佈式系統可包含用於儲存經存取且用於執行一運算或運算一值之值之記憶體。各值可儲存於藉由一位址識別之記憶體中之一各自位置處。記憶體可經配置以包含不同記憶體通道，其中各通道包含藉由一對應位址集合識別之一記憶體位置集合。一通道控制器用於控制且管理對一給定記憶體通道之特定記憶體位置之存取以擷取由一請求指定之資料。更具體言之，通道控制器使用分佈式系統之通信通道以管理資料至記憶體或來自記憶體之資料之流動。

【0005】 基於此背景內容，描述用於實施一硬體晶片上互連(OCI)介面之技術，該OCI介面係經組態以容許一積體電路之任何通道控制器與一例示性系統記憶體之任何記憶體通道通信之一共用互連或交叉開關裝置。例如，OCI介面經組態以提供一給定通道控制器至一高頻寬記憶體之各種記憶體通道之動態耦合。通道控制器可包含在OCI介面之硬體架構中。積體電路可係一硬體機器學習加速器或包含多個處理器核心之其他專用處理器。OCI介面可整合於加速器之電路系統之一處理管線中以使各通道控制器能夠自一高頻寬記憶體系統之任何通道讀取資料且將資料寫入至一高頻寬記憶體系統之任何通道。

【0006】 本說明書中描述之標的物之一個態樣可體現於經組態以加速機器學習運算之一積體電路中。該電路包含多個處理器核心且各處理器核心包含：多個通道控制器；一晶片上互連(OCI)介面，其經組態以將該多個通道控制器之各者耦合至一系統記憶體之各記憶體通道；及一各自提取單元，其在該多個通道控制器之各者中。該各自提取單元經組態以：i)接收編碼定址資訊之一請求；ii)基於該定址資訊使用該OCI介面自該系統記憶體之任何記憶體通道獲得資料；及iii)經由包含該提取單元之該通道控

制器將自任何記憶體通道獲得之該資料寫入至該處理器核心之一向量記憶體。

【0007】 此等及其他實施方案可各視情況包含一或多個以下特徵。例如，在一些實施方案中，該OCI介面具有：一記憶體內OCI節點，其包含：i)多個讀取介面，其等用於自沿著該系統記憶體之任何記憶體通道之任何記憶體位置獲得資料；及ii)多個寫入介面，其等用於將資料寫入至沿著該系統記憶體之任何記憶體通道之任何記憶體位置。

【0008】 在一些實施方案中，該記憶體內OCI節點包含：一先入先出(FIFO)記憶體佇列，其經組態以在一現有OCI交易之仲裁期間儲存傳入OCI交易請求以：i)自該系統記憶體之任何記憶體位置獲得資料，或ii)將資料寫入至該系統記憶體之任何記憶體位置。在一些實施方案中，該積體電路進一步包含一OCI控制器，其經組態以：接收編碼該定址資訊之該請求；基於該定址資訊中之多個ID產生多個控制信號；且將該多個控制信號提供至該系統記憶體之任何記憶體通道以提取儲存於該系統記憶體之一記憶體位置中之一資料。

【0009】 在一些實施方案中，該定址資訊係自在該OCI控制器處接收之一或多個傳入OCI交易請求導出；且對於存取該系統記憶體之任何記憶體位置之至少一個現有OCI交易請求先前儲存於該FIFO記憶體佇列中。該定址資訊可自該一或多個傳入OCI交易請求導出；且各傳入OCI交易請求可包含對應於跨該系統記憶體之任何記憶體通道之任何記憶體位置集合之多個識別符(ID)。

【0010】 在一些實施方案中，該OCI介面包含兩個或更多個定址模式；且該OCI控制器可操作以產生容許在該OCI介面之該兩個或更多個定

址模式之間選擇之控制信號。該兩個或更多個定址模式之一第一定址模式係約束一嵌入表相對於該系統記憶體之記憶體通道之一映射之一通道交錯模式。該兩個或更多個定址模式之一第二定址模式係擴展該嵌入表相對於該系統記憶體之記憶體通道之該映射之一堆疊交錯模式。

【0011】 在一些實施方案中，各OCI交易請求係：藉由該提取單元接收；且藉由該OCI控制器處理以起始存取在該OCI交易請求中指示之任何記憶體位置。在一些實施方案中，用於存取儲存於該系統記憶體中之資料之各OCI交易請求編碼：i)對應於該經存取資料之以32位元組計之一長度；ii)表示專用於系統記憶體中之任何記憶體位置之一源位址之一符記ID；及iii)該向量記憶體之一記憶體位置之一目的地位址。在一些實施方案中，該嵌入表被分割為跨整個系統記憶體之記憶體通道分配之多個資料分片；且該OCI控制器使用該多個通道控制器之任一者選擇該堆疊交錯模式以存取該嵌入表之任何部分。

【0012】 該積體電路進一步包含：一各自轉存單元，其在該多個通道控制器之各者中，該各自轉存單元經組態以：i)接收編碼定址資訊之一請求；ii)基於該定址資訊使用該OCI介面將資料自該向量記憶體中之一源位址寫入至該系統記憶體之任何記憶體位置。在一些實施方案中，該等機器學習運算經執行以透過一神經網路層處理神經網路輸入；且該轉存單元用於使用該OCI介面將該神經網路層之參數寫入至該系統記憶體之任何記憶體位置。

【0013】 本說明書中描述之標的物之另一態樣可體現於一種使用經組態以加速機器學習運算之一積體電路執行之電腦實施方法中。該積體電路包含一系統記憶體及包含多個通道控制器之一處理器核心，且該方法包

含接收多個請求，其中該多個請求之各者編碼定址資訊。針對該多個請求之一第一請求，該方法包含：基於該第一請求之定址資訊識別該系統記憶體之任何記憶體通道之任何記憶體位置；使用將該等通道控制器之各者耦合至該系統記憶體之各記憶體通道之一晶片上互連(OCI)介面自該系統記憶體之任何記憶體位置當中之一記憶體位置獲得資料；及基於該第一請求之該定址資訊將自該記憶體位置獲得之該資料寫入至該處理器核心之一向量記憶體。

【0014】 此等及其他實施方案可各視情況包含一或多個以下特徵。例如，在一些實施方案中，該OCI介面包含含有多個讀取介面及多個寫入介面之一記憶體內OCI節點；且該方法進一步包含：使用該等讀取介面自沿著該系統記憶體之任何記憶體通道之任何記憶體位置獲得資料；及使用該等寫入介面將資料寫入至沿著該系統記憶體之任何記憶體通道之任何記憶體位置。

【0015】 在一些實施方案中，該記憶體內OCI節點包含一先入先出(FIFO)記憶體佇列且該方法包含：在該FIFO記憶體佇列處，在一現有OCI交易之仲裁期間儲存傳入OCI交易請求以：i)自該系統記憶體之任何記憶體位置獲得資料，或ii)將資料寫入至該系統記憶體之任何記憶體位置。

【0016】 在一些實施方案中，該方法進一步包含：藉由OCI控制器接收編碼該定址資訊之該請求；藉由該OCI控制器基於該定址資訊中之多個ID產生多個控制信號；及藉由該OCI控制器將該等控制信號提供至該系統記憶體之任何記憶體通道以提取儲存於該系統記憶體之一記憶體位置中之一資料。

【0017】 在一些實施方案中，該定址資訊係自在該OCI控制器處接收之一或多個傳入OCI交易請求導出；且對於存取該系統記憶體之任何記憶體位置之至少一個現有OCI交易請求先前儲存於該FIFO記憶體佇列中。在一些實施方案中，該定址資訊係自該一或多個傳入OCI交易請求導出；且各傳入OCI交易請求包含對應於跨該系統記憶體之任何記憶體通道之任何記憶體位置集合之多個識別符(ID)。

【0018】 此及其他態樣之其他實施方案包含經組態以執行在電腦儲存裝置上編碼之方法之動作之對應系統、設備及電腦程式。一或多個電腦之一系統可憑藉安裝於系統上之在操作中引起系統執行動作之軟體、韌體、硬體或其等之一組合而如此組態。一或多個電腦程式可憑藉具有在藉由資料處理設備實行時引起該設備執行動作之指令而如此組態。

【0019】 本說明書中描述之標的物可在特定實施例中實施以便實現一或多個以下優點。

【0020】 用於一交叉開關/晶片上互連之電路系統可實施於一專用硬體電路(諸如用於一分佈式系統中之一硬體加速器)處。交叉開關容許各通道控制器自與一處理器核心或加速器晶片通信之一高頻寬記憶體系統之任何通道中之一記憶體單元之任何位址之位置讀取資料且將資料寫入至該任何位址之位置。此無需將通道控制器映射至特定記憶體通道(此可引起導致效能損失之負載不平衡)。交叉開關經實施以藉由將位址指派至用於跨全部記憶體通道進行處理之任何通道控制器而對位址之一分配進行負載平衡。因此，交叉開關可相對於先前方法改良一分佈式系統中之效能。

【0021】 在隨附圖式及下文描述中闡述本說明書中描述之標的物之一或多個實施方案之細節。將自描述、圖式及發明申請專利範圍明白標的

物之其他潛在特徵、態樣及優點。

【圖式簡單說明】

【0022】 圖1係一例示性運算系統之一方塊圖。

【0023】 圖2係包含一控制單元、通道控制器及記憶體通道之實例之一架構之一方塊圖。

【0024】 圖3繪示用於實施記憶體通道控制器之負載平衡之一例示性演算法。

【0025】 圖4繪示對不同通道控制器之請求之一例示性分配。

【0026】 圖5A及圖5B展示一例示性OCI介面。

【0027】 圖6展示涉及一OCI處理器節點之一寫入操作之一例示性流程圖。

【0028】 圖7展示涉及一OCI處理器節點之一讀取操作之一例示性流程圖。

【0029】 各種圖式中之相同元件符號及名稱指示相同元件。

【實施方式】

相關申請案之交叉參考

【0030】 本申請案主張2021年3月29日申請之美國臨時申請案第63/167,593號之權利，該案之全文以引用的方式併入本文中。

【0031】 本申請案與2020年3月27日申請之美國臨時申請案第63/001,216號相關。該案之內容以引用的方式併入本文中。

【0032】 本申請案與2020年5月4日申請之美國申請案第16/865,539號相關。該案之內容以引用的方式併入本文中。

【0033】 圖1展示經組態以擷取儲存於系統100之一記憶體中之資料

元素之一例示性運算系統100之一方塊圖。資料元素可經擷取且用於執行一例示性機器學習工作負載之神經網路運算。例如，資料元素可經處理以運算一神經網路層之一輸出或執行嵌入層操作以產生用於訓練一神經網路之嵌入項集合。

【0034】 當訓練系統100之一神經網路以執行特定運算功能(諸如與機器轉譯、神經語言理解、排名模型或內容推薦模型有關之運算)時產生嵌入輸出。在一些實施方案中，訓練神經網路涉及更新先前儲存於神經網路之一嵌入表中之一嵌入項集合(諸如在訓練神經網路之一先前階段期間)。例如，一神經網路之一嵌入層之嵌入項可與將使用嵌入項之神經網路聯合地訓練。因此，相較於先前方法，本說明書中描述之技術可用於以經改良效率在一神經網路之訓練期間更新嵌入項。

【0035】 一般言之，一神經網路之一嵌入層用於將特徵嵌入在對應於嵌入層之一特徵/嵌入空間中。一嵌入向量可係映射至表示一嵌入層之一查找表之一特徵集合中之一對應特徵之一各自數字向量。一特徵可係由待對其執行分析或預測之獨立單元共用之一屬性或性質。例如，獨立單元可係一詞彙表中之字詞或形成諸如影像或其他文件之項目之部分之影像像素之群組。可藉由一神經網路處理器實行用於訓練一嵌入層之嵌入項之一演算法以將特徵映射至嵌入向量。在一些實施方案中，與神經網路之將使用嵌入項之其他層聯合地學習一嵌入表之嵌入項。此類型之學習藉由反向傳播梯度以更新嵌入表而發生。

【0036】 在其他實施方案中，嵌入項可與將使用嵌入項之神經網路之其他層分開(諸如在預訓練嵌入項時)學習。例如，演算法可由神經網路處理器使用以藉由處理關於離散輸入特徵之資訊以判定類似輸入至在嵌入

空間中幾何上接近之嵌入向量之一映射或放置而運算嵌入項。在一些情況中，運算嵌入項之程序可表示容許一系統自原始輸入資料自動發現特徵偵測所需之表示之用於特徵學習或特徵工程設計之一技術。

【0037】 在一些實施方案中，一給定「輸入」可具有一或多個類型之一或多個特徵，且嵌入層針對該等類型之各者產生一各自嵌入項。例如，一輸入可用於具有數個不同特徵類型之一搜尋查詢。特徵類型可包含一使用者或使用者裝置之性質(例如，位置、偏好、裝置類型等)、查詢符記、先前提交之查詢或可對應於一搜尋查詢之屬性之其他相關類型。針對一給定輸入具有多於一個特徵之任何特徵類型，一運算系統可操作以擷取針對該等特徵之各者之個別嵌入項。系統亦可操作以(例如)藉由運算嵌入值之平均值而組合經擷取嵌入項以產生針對該特徵類型之一最終嵌入項。

【0038】 運算系統100包含一主機102、一多核心處理單元104及一記憶體單元105 (「記憶體105」)。記憶體105包含資料分片106a至106k，其中k係大於1之一整數。下文更詳細描述記憶體105。一般言之，主機102可係一處理單元，諸如一處理器、多個處理器或多處理器核心。因此，主機102可包含一或多個處理器且可操作以產生或處理用於存取一目標緻密矩陣之一指令且將一指令110發送至多核心處理單元104以產生目標緻密矩陣。如下文更詳細描述，執行嵌入層操作可包含自一或多個矩陣變換稀疏元素以產生一緻密矩陣。

【0039】 多核心處理單元104自記憶體105中之資料分片106a至106k之一或多者存取對應元素108a至108n，其中*n*係大於1之一整數。多核心處理單元104使用對應元素108a至108n產生目標緻密矩陣112且將目標緻密矩陣112提供至主機102以供進一步處理。多核心處理單元104可藉由將

元素108a至108n之各者變換為一向量且將n個向量級聯成一單一向量而產生目標緻密矩陣112。

【0040】 一般言之，在嵌入項之背景內容中，對應於稀疏元素之「稀疏」資訊可係識別一特徵值之一獨熱(one-hot)向量。例如，若針對一給定特徵存在五個可能值(例如，A、B、C、D、E)，則稀疏向量將特徵值「A」識別為(1、0、0、0、0)且嵌入層將(1、0、0、0、0)映射至用於特徵值「A」之一緻密嵌入向量。在一些實施方案中，在訓練一嵌入層以學習嵌入項期間，元素108a至108n可係一嵌入表之經變換為一向量(諸如用於特徵值「B」或「C」之一嵌入向量)之權重值。可使用多核心處理單元104之一神經網路處理器變換權重值，該神經網路處理器實行一訓練演算法以至少基於特徵至嵌入向量之一映射運算嵌入項。

【0041】 主機102可處理用於更新一目標緻密矩陣之一指令且將一經更新緻密矩陣發送至多核心處理單元104。例如，一目標緻密矩陣可對應於一神經網路之一嵌入項。因此，主機102可處理更新嵌入項之一指令以產生一經更新緻密矩陣。例如，在訓練一神經網路以更新嵌入項之一後續迭代期間，可執行一反向傳遞以藉由判定輸入特徵至嵌入向量之一新映射且基於該新映射產生一經更新緻密矩陣而更新嵌入項。在一些實施方案中，多核心處理單元104可操作以將經更新緻密矩陣變換為對應稀疏元素且相應地更新儲存於資料分片106a至106k中之一或多個稀疏元素(例如，權重)。

【0042】 如上文指示，主機102經組態以處理用於在運算系統100內實行之指令。在一些實施方案中，主機102經組態以處理藉由多核心處理單元104產生之目標緻密矩陣112。在一些其他實施方案中，主機102可經

組態以請求多核心處理單元104產生目標緻密矩陣112，且另一處理單元可經組態以處理目標緻密矩陣112。

【0043】 多核心處理單元104之各處理器經組態以擷取儲存於系統100之一記憶體中之資料元素。記憶體可包含儲存包含元素108a至108n之資料之多個資料分片106a至106k。資料可包含輸入、啟動、增益值或對應於權重之一矩陣結構之參數或內核之權重值。在一些實施方案中，資料分片106a至106k可係一或若干揮發性記憶體單元。在一些其他實施方案中，資料分片106a至106k可係一或若干非揮發性記憶體單元。資料分片106a至106k亦可係另一形式之電腦可讀媒體，諸如一儲存區域網路或其他組態中之裝置。資料分片106a至106k可使用電連接件、光學連接件或無線連接件耦合至多核心處理單元104。在一些實施方案中，資料分片106a至106k可係多核心處理單元104之部分且基於一記憶體中處理器(PIM)架構。

【0044】 多核心處理單元104經組態以基於稀疏元素判定一緻密矩陣。多核心處理單元104包含多個互連處理器或處理器核心。例如，多核心處理單元104可係包含多個互連處理器核心之一分佈式處理系統。一般言之，術語「處理器」及「處理器核心」可互換使用以描述多核心處理單元104之離散互連處理資源。

【0045】 系統100亦包含一程序ID控制單元114 (「控制單元114」)。控制單元114接收一ID標頭集合且執行操作以調度ID標頭或調度包含於ID標頭中之資訊之部分。將ID標頭調度給通道控制器，此在下文參考圖2更詳細描述。在一些實施方案中，系統100包含多個控制單元114。例如，系統100可包含用於系統100處之各處理器或處理器核心之一

控制單元114。耦合至多核心處理單元104之一處理器/核心之控制單元114之各者自一來源接收一ID標頭集合。該來源可係主機102或多核心處理單元104之另一處理器。

【0046】 一ID標頭可表示包含指定用於記憶體105中之記憶體位置之位址之資訊之一請求。記憶體105可表示與包含於系統100處之一例示性硬體電路之一處理器核心中之一控制單元114交換資料通信之一高頻寬記憶體(HBM)或一輸入/輸出(I/O)裝置。例如，記憶體105可與多核心處理單元104之一處理器核心交換資料通信以將輸入傳遞至核心且接收藉由核心之一或多個運算資源產生之輸出。儲存於記憶體105之記憶體位置中或寫入至記憶體105之記憶體位置之輸入及資料值可表示向量元素或向量值陣列。

【0047】 記憶體105可係系統100之動態隨機存取記憶體(DRAM)資產。在一些實施方案中，記憶體105係相對於包含一或多個處理器或處理器核心之一例示性硬體電路之一外部或晶片外記憶體。記憶體105經組態以與硬體電路之晶片上資源(諸如一向量處理單元(VPU)或VPU之向量記憶體庫(下文描述))交換資料通信。例如，記憶體105可安置於在表示系統100之一硬體電路之一積體電路晶粒外部之一實體位置處。因此，相對於安置於積體電路晶粒內之運算資源，記憶體105可係遠端或非本端。替代地，記憶體105或其資源之部分可安置於表示一專用硬體電路之積體電路晶粒內，使得記憶體105係在電路之運算資源本端或與電路之運算資源共置。

【0048】 圖2係包含通道控制器202及記憶體105之記憶體通道204以及上文描述之控制單元114之實例之一架構200之一方塊圖。記憶體通道

204之各者可表示記憶體105之一記憶體庫、記憶體105之一記憶體庫集合、記憶體105之一記憶體位置集合或此等之組合。

【0049】 一通道控制器集合202包含至少指示為C0、C1、C2及C15之多個各自通道控制器。在圖2之實例中，架構200可包含16個通道控制器。在一些實施方案中，架構200包含更多或更少通道控制器。例如，架構200可包含*N*數目個通道控制器以及*N*數目個記憶體通道204。架構200之此等態樣相對於一個別通道控制器由元件符號202-*n*指示且相對於一個別記憶體通道由元件符號204-*n*指示。

【0050】 圖2之實施方案展示其中將個別通道控制器(諸如通道控制器202-0 (C0)及202-2 (C2))分別硬映射至特定對應記憶體通道(諸如記憶體通道204-0 (C0)及204-2 (C2))之一實例。如上文論述，具有經硬映射至特定記憶體通道之通道控制器202之一系統記憶體105可經歷負載不平衡。此等負載不平衡可使用於在系統100處執行之神經網路運算之操作(諸如用於產生用於一嵌入層之一輸出之操作)暫緩或實質上延遲。

【0051】 將特定通道控制器202映射至一特定記憶體通道之此先前方法可具有其他挑戰。例如，該方法可具有需要資料以對位址及資料如何映射至特定通道控制器202敏感之一方式儲存之約束。另外，當需要一系統執行大量隨機化查找以自記憶體中之一大空間擷取向量時，該方法可係低效的。為了解決此等挑戰，將一晶片上互連(OCI)或交叉開關(下文描述)整合於一專用硬體電路處。交叉開關可整合於加速器之電路系統之一處理管線中以使各通道控制器能夠自一高頻寬記憶體系統之任何通道讀取資料且將資料寫入至該高頻寬記憶體系統之任何通道。

【0052】 在一些實施方案中，專用電路係一多核心硬體加速器且

OCI係至少基於硬體加速器之多核心結構唯一組態之一通道控制器介面。例如，通道控制器介面經組態以容許多核心硬體加速器之各核心與記憶體105之各記憶體通道(包含對應於記憶體通道之不同類型之記憶體結構)之間之通信。

【0053】 通道控制器介面可經定大小為32 B x 4而非128 B x1。基於此例示性定大小，通道控制器介面可包含記憶體105與通道控制器202之間的多個獨立交易執行緒，而無需用於OCI硬體之外部埠。在一些實施方案中，通道控制器介面經組態以有效地處置各通道處及針對運算之不同階段之動態頻寬要求。例如，對於不同存取大小(例如，32位元組(32 B)存取、64位元組(64 B)存取、128位元組(128 B)存取)之不同運算，每秒十億位元組數(GBp)頻寬要求可變動。階段可包含正向傳遞運算、反向傳遞運算及實施最佳化演算法(諸如Adagrad)以基於自對一些訓練資料評估一神經網路而產生之梯度來更新一特定向量之經學習值之反向傳遞運算。

【0054】 通道控制器介面可經唯一組態以包含多個節點介面。例如，交叉開關可包含：i)可操作以攜載直接記憶體存取(DMA)描述符及控制訊息之一用戶端內節點介面；ii)可操作以攜載記憶體系統之各種記憶體結構(例如，緩衝記憶體、指令記憶體、共用記憶體、向量記憶體、主機記憶體)之讀取/寫入命令及資料之一記憶體內節點介面；iii)可操作以將負載/儲存訊務自通道控制器202之一第一/下部集合攜載至記憶體105之一處理器內節點介面(下部)；及iv)可操作以將負載/儲存訊務自通道控制器202之一第二/上部集合攜載至記憶體105之一處理器內節點介面(上部)。此在下文至少參考圖5A及圖5B更詳細描述。

【0055】 通道控制器介面容許通道控制器集合存取記憶體105之任

何記憶體通道/位址。但即使在請求中指定之位址散佈在一通道控制器集合202中時，特定機器學習工作負載之大規模實行仍可展現導致一特定通道控制器相對於其他通道控制器接收大量資料處理負載之資料存取型樣。在圖2之實例中，通道控制器202-0證實其中通道相對於其他通道控制器(例如，C1、C2)接收大量資料處理負載之一不平衡。為了解決此挑戰，使用交叉開關以實施一特定控制方案以控制位址或請求至各通道控制器202之分配。控制方案引起在通道控制器202中實質上相等地分配位址。此在下文參考圖3更詳細描述。

【0056】 圖3繪示用於實施用於記憶體通道控制器202之負載平衡之一例示性演算法300。

【0057】 如上文指示，用於一例示性機器學習工作負載之資料存取可展現特定病理型樣。例如，即使通常可跨通道控制器202散佈請求及位址之一集合，但可存在特定型樣，其中需要一特定通道控制器對大量較大特徵或較大向量進行操作。此等型樣可引起控制單元114調度仍導致通道控制器202處之負載不平衡之一處理任務或ID標頭集合。例如，該等型樣可具有引起其等在處理之特定短時間窗內(諸如在20個循環與100個循環之間)出現之一叢發性質。即使通道控制器202之任一者經組態以存取記憶體105之任何記憶體位置及任何記憶體通道204，仍可能發生負載不平衡。

【0058】 演算法300對應於上文提及之控制方案且係用於實施系統100之記憶體通道控制器202之負載平衡之一例示性調度演算法。演算法300可包含如在圖3之實例中展示之偽碼，其表示調度演算法300之一或多個指令步驟。在一些實施方案中，演算法300係一經修改循環調度演算法。調度演算法300之經修改循環屬性容許剖析一ID標頭集合且將其調度

至通道控制器202。

【0059】 例如，經修改循環調度演算法300經組態以破壞或抑制在用於一機器學習工作負載之資料存取期間可能發生之潛在病理序列。由於此，經修改循環調度演算法300經組態而容許以跨一通道控制器集合(350)中之各通道控制器202負載平衡之一方式分配ID標頭(例如，啟動或梯度之位址)。用於對一程序進行排程之一標準循環方法指示以其中在無優先級之情況下執行選擇之一簡單、循環順序來選擇一通道控制器。

【0060】 為了解決上文論述之叢發型樣，可調適或修改循環方法以首先偵測一第一循環選擇順序之一初始完成。回應於偵測初始完成，控制單元114可接著調整一增量參數以修改針對一第二或後續循環選擇回合而選擇之初始通道控制器。

【0061】 例如，系統100可包含16個通道控制器(例如，CC0至CC15)。控制單元114可在一初始回合期間選擇各通道控制器202且基於指示在該回合期間已選擇CC15之一計數參數來偵測初始回合之完成。該計數參數可對應於通道控制器之總數(16)使得在初始回合期間選擇CC15指示選擇16個通道控制器之各者。控制單元114可接著調整一增量參數之值以旁路一特定通道控制器之選擇。

【0062】 例如，控制單元114可增加增量參數以旁路CC0之選擇且在一後續通道選擇回合開始時選擇CC1。同樣地，控制單元114可再次增加增量參數以旁路CC1之選擇且在另一後續通道選擇回合開始時選擇CC2。在一些實施方案中，控制單元114可週期性地調整增量參數之值以基於一或多個經觀察資料存取型樣來增大(或減小)通道計數之一增量，如下文參考圖4更詳細描述。

【0063】 圖4繪示一表400，其展示用於選擇通道控制器202以實現請求至不同通道控制器202之一平衡分配之一例示性序列410。

【0064】 如上文簡要描述，一原生循環方案可遭受經存取以用於一運算之輸入資料之病態型樣。例如，一型樣可係每第16個ID標頭將屬於具有最長嵌入向量及最運算密集最佳化器之一嵌入表。甚至在原生循環方案中，例示性型樣亦可引起負載不平衡。控制單元114可係實行對應於調度演算法300之指令以實施一經修改循環ID標頭調度方案之一處理器核心之一硬體組件。

【0065】 基於演算法300，此調度方案可操作以降低歸因於一輸入資料集合中之病態型樣之負載不平衡之一概率。演算法300可用於產生用於選擇通道控制器202之例示性序列410。序列中之各數字指示待選擇之一通道控制器。在一些實施方案中，序列410可最初基於一初始未修改循環流而迭代通過一集合中之各通道控制器(例如，0至15)。

【0066】 在其中選擇各通道控制器之一初始迭代之後，可修改循環流以選擇通道控制器CC1而非再次以選擇通道控制器CC0開始。同樣地，在其中選擇各通道控制器之一第二迭代之後，可修改循環流以選擇通道控制器CC2而非再次以選擇通道控制器CC1開始。此經修改選擇方案提供可如何由控制單元114選擇一集合中之各通道控制器以容許在該集合中進行相等或實質上相等之位址分佈之一實例。在一些實施方案中，系統100監測用於各通道控制器之資料存取型樣且基於所觀察型樣動態地調整或修改調度方案。

【0067】 控制單元114使用經修改調度方案以針對一通道控制器集合202產生一通道號碼集合。在控制單元114處處理所產生通道號碼集合

以將ID標頭轉送至對應通道控制器204。在一些實施方案中，控制單元114基於自經修改調度方案導出之例示性序列410將ID標頭轉送至對應通道控制器204。為了確保跨通道控制器202之ID標頭之處理工作負載之充分負載平衡，演算法300引起控制單元114實施用於選擇通道號碼之特定性質。在一些實施方案中，演算法300用於基於圖3處展示之偽碼之例示性步驟進行通道選擇。

【0068】 例如，通道選擇性質需要通道號碼之產生係公平且非叢發的。用於產生通道號碼之「公平」性質引起(或需要)針對一給定機器學習任務平等或實質上平等地選擇全部通道控制器。用於產生通道號碼之「非叢發」性質引起(或需要)針對一給定機器學習任務在不間歇性增加一特定通道控制器之重複選擇之情況下選擇通道控制器。例如，「0、1、0、1、4、5、0、....」之一通道號碼序列並非一所要型樣且將不滿足用於產生通道號碼之「非叢發」性質。

【0069】 一例示性度量集合可用於判定是否滿足上述性質(例如，公平及非叢發)之各者。該等度量包含相對於一通道號碼出現以供選擇之次數判定一計數、一平均數(平均值)及一中值。針對「計數」度量，系統100可操作以判定每處理迭代包含一通道或通道號碼之次數之一計數。對於全部通道202或通道控制器202，次數應係相同的。若系統100判定次數不相同，則系統100可偵測針對一給定操作集合，通道控制器選擇之一特定型樣經偏壓且未經負載平衡。

【0070】 對於「平均數」度量，系統100可操作以針對各通道號碼判定在臨限數目個迭代之後一通道號碼出現以供選擇之次數是否收斂至N，其中N係大於或等於1之一整數。例如，若系統100包含16個通道控制

器，則系統100可操作以針對各通道號碼判定在臨限數目個迭代或ID標頭之後一通道號碼出現以供選擇之次數是否收斂至16。在一些實施方案中，迭代之該臨限數目基於經擷取及操作之資料之大小及複雜性而變動。

【0071】「中值」度量指示一特定通道控制器之一叢發性。例如，若系統100判定一通道控制器204-n具有一低中值選擇值，則其相對於其他通道控制器將在一叢發中接收更多ID標頭，此可指示不平衡。表400包含針對一例示性處理迭代(其針對臨限2048個ID標頭運行)用於各通道號碼之樣本度量值。如先前所提及，系統100可相對於上文所論述之度量及性質監測用於各通道控制器之資料存取型樣，且基於所觀察之型樣動態地調整或修改調度/控制方案。例如，控制單元114可基於資料存取型樣週期性地調整增量參數之值以增加(或減小)通道計數之一增量。

【0072】圖5A及圖5B展示包含管理或控制與系統100之一OCI結構(或架構)相關聯之操作之一通道OCI控制器502之一例示性OCI介面500。系統100 (及OCI介面500)可包含多個OCI控制器502。在一些實施方案中，OCI控制器502對應於上文描述之一各自通道控制器202。在一些其他實施方案中，OCI控制器502與上文描述之各自通道控制器202相異。

【0073】OCI介面500可係包含多個晶片之一積體電路之一網路節點，其中各晶片可表示一處理器、處理器核心或硬體加速器。例如，OCI介面500可包括協作以使積體電路之各晶片耦合或互連使得經由一個晶片獲得之資料可經由網路節點路由至另一晶片之多個子網路節點。

【0074】一般言之，控制器502控制與系統100之一OCI介面之一或多個介面裝置相關聯之操作。OCI介面500可包含來自各通道控制器之一各自32B隨機存取載入/儲存介面且可支援每記憶體通道對記憶體105之有

效32B讀取/寫入存取之多個執行緒(例如，八個執行緒)。控制器502經組態以對來自記憶體105之一或多個傳入回應重新排序以更新一給定通道控制器之一提取或轉存單元。此在下文更詳細描述。

【0075】 在一些實施方案中，OCI介面包含每通道504、506 4 × 32B讀取及寫入介面。此等讀取及寫入介面可表示處理器內OCI節點，其中各節點服務兩個通道504、506或對應於通道504、506之通道控制器。圖5A之實例展示與讀取介面508相關聯之一讀取操作，而圖5B之實例展示與寫入介面510相關聯之一寫入操作。OCI介面500之4 × 32B組態容許獨立交易執行緒發生於記憶體105與通道控制器之間。例如，如上文提及，OCI介面500可經定大小為32B × 4而非128B × 1。基於此例示性定大小，OCI介面500可包含記憶體105與通道控制器202之間之多個獨立交易執行緒而無需OCI硬體之外部埠。

【0076】 OCI介面500經組態以發出每資料介面維持之通道信用。在一些實施方案中，各資料介面對應於OCI介面500之一子網路或節點。控制器502可產生對應於各通道信用之一或多個控制信號。例如，控制器502可基於在定址一OCI交易請求中編碼之資訊時之各種ID產生控制信號。控制器502亦可將控制信號提供或路由至系統記憶體之任何記憶體通道以提取儲存於系統記憶體之一記憶體位置中之一資料。

【0077】 在一些實施方案中，OCI介面500之各節點服務兩個通道控制器且此介面節點上之信用在兩個通道控制器之間共用。不同於可在其他通道控制器忙碌時引起一輕度負載之通道控制器在其交易中經歷長延時之一單128B介面，使用OCI介面500之4 × 32B組態，此一相互依賴性主要(或僅)存在於針對相同埠仲裁之兩個通道之間。

【0078】 通道控制器至OCI介面映射可係固定或動態的。在其中映射固定之實施方案中，一個埠忙碌而其他埠閒置達短時間段可係可行的，但整體組態容許ID之一分佈使得全部埠得到同樣良好的利用。

【0079】 OCI介面500可包含與處置一給定處理器核心之批量傳送及控制訊息之系統100之一直接記憶體存取(DMA)單元互動之至少兩個介面。例如，DMA單元與至少兩個OCI介面、一DMA用戶端介面及一DMA記憶體介面互動。DMA用戶端介面係BMEM、BIMEM、SMEM、VIMEM及HMF之一批量資料移動介面且包含將描述符發送至OCI節點之一描述符子介面及用於與同步旗標及中斷操作相關之控制訊息之一訊息子介面。DMA記憶體介面處置來自OCI之讀取及寫入請求且包含一讀取子介面及一寫入子介面。讀取子介面自OCI介面500之控制器502接收讀取命令且在一128位元組資料介面上發送回一回應。寫入子介面接收寫入命令且在一128位元組介面上寫入資料。

【0080】 BMEM係用於儲存資料向量之一向量記憶體結構，而SMEM係用於儲存純量資料值之一純量記憶體結構。BIMEM係一處理器核心指令記憶體，而VIMEM係儲存藉由一位址處理程序VPU單元實行之一程式之一向量指令記憶體(vimem)。在一些實施方案中，跨16個通道控制器之VIMEM由系統100之DMA單元視為(或組態為)一個大循序記憶體。

【0081】 在一些情況中，OCI介面500之讀取及寫入介面係系統100之一記憶體內OCI節點之部分。此節點或單元可包含在針對寫入或讀取操作對不同記憶體區塊/堆疊仲裁時儲存一傳入OCI交易之一輸入先入先出(FIFO)記憶體佇列(或緩衝器)。在一些實施方案中，在一現有操作期間處

理之傳入OCI交易請求之一或多者先前儲存於FIFO記憶體佇列中作為對一操作集合仲裁中之一步驟。

【0082】 此輸入FIFO可基於一最壞情況BMEM存取延時定大小。在一些實施方案中，FIFO以此方式定大小，即使BMEM存取延時可能並非最緩慢記憶體。此係因為可僅在一批次之開始存取除BMEM之外之記憶體，因此將僅遭受一次由於此等存取之OCI介面500上之任何效能損失。

【0083】 記憶體105 (例如，HBM)可包含以64位元組粒度交錯之四個HBM堆疊。例如，記憶體105可包含以位元組[0-63] [128-191]交錯之HBM堆疊0、以位元組[64-127] [192-255]交錯之HBM堆疊1、以位元組[256-319][384-447]交錯之HBM堆疊2及以位元組[320-383][448- 511]交錯之HBM堆疊3。在一些實施方案中，記憶體105可包含更多或更少堆疊及各種位元組粒度。關於64位元組粒度，當自HBM堆疊0存取128個位元組時，該堆疊將傳回儲存於對應於位元組[0-63] [128-191]之記憶體位置處之資料。此可表示OCI結構上之一例示性Q128定址模式。

【0084】 一例示性處理器核心之一OCI控制器502可引起核心在一通道交錯模式或堆疊交錯模式中操作。通道交錯模式或堆疊交錯模式之各者表示處理器核心之一例示性定址模式。通道交錯定址模式可將一嵌入表映射至最接近處理器核心之一單一HBM堆疊，使得對相對於另一HBM堆疊提供一更小延時之最接近HBM堆疊進行全部記憶體存取。

【0085】 在堆疊交錯模式中，一嵌入表可跨一晶片上之(例如，記憶體105之)全部高頻寬記憶體(HBM)堆疊分割以使用不同系統定址方案。例如，在堆疊交錯模式期間，可使用與系統100之剩餘部分相同之位址方案存取嵌入表且系統100之軟體控制件可經組態以使用記憶體105之整個容

量，即使其選取使用包含多個核心之一積體電路晶片上之更少處理核心。

【0086】 在一些實施方案中，系統100之一通道控制器包含至少兩個(及視情況三個)處理階段：提取、運算及轉存(視情況)。此可係以FIFO順序處理通道ID之一有序處理管線。

【0087】 使用一提取ID單元(諸如下文參考圖7論述之提取ID單元702 (或704))實施提取程序。在一些實施方案中，提取ID單元係一通道控制器管線中之第一處理階段。提取ID單元自處理器核心ID單元114接收通道ID資料結構。通道ID資料對待擷取資料之一長度(以32位元組計)、一符記ID (例如，記憶體105之一源位址)及BMEM目的地位址編碼。提取ID單元用於載入來自記憶體105之資料且將所獲得資料儲存至在通道ID資料中指定之一BMEM位址。將通道ID轉送至一通道控制器之一位址處理程序單元且將對應資料儲存至BMEM中。

【0088】 在一些實施方案中，資料可係儲存於BMEM中之一緩衝器(例如，一循環緩衝器)中之一參數向量。每次提取ID單元對記憶體發出一載入請求，一緩衝器寫入指標便移動。後續管線階段一旦已消耗緩衝器中之資料便遞增讀取指標。當緩衝器不具有足夠空間以供記憶體105載入資料以儲存於BMEM中時，提取ID單元可暫緩一記憶體105載入之發出。又，記憶體105可產生一無序讀取回應。提取ID單元包含回應重新排序邏輯以確保通道ID經有序發送至位址處理程序。

【0089】 使用一轉存ID單元(諸如下文參考圖6論述之轉存ID單元602 (或604))實施轉存程序。在一些實施方案中，轉存ID單元係一通道控制器管線中之一選用第三處理階段。一般言之，轉存ID單元用於將資料自(例如)一BMEM源位址移動至一記憶體105目的地位址。轉存ID單元自一

位址處理程序接收通道ID資料結構至一FIFO中。通道ID資料對待擷取資料之一長度(以32位元組計)、一符記ID (例如，記憶體105之一目的地位址)及一BMEM源位址編碼。類似於提取ID單元，轉存ID單元具有自BMEM源位址(即，記憶體位置)載入參數且將其儲存於記憶體105之目的地位址(即，記憶體位置)中之簡化責任。因此，轉存ID單元可用於使用OCI介面500將一神經網路層之參數寫入至一高頻寬系統記憶體之任何記憶體位置。

【0090】 OCI介面500可需要全部請求被分解成128位元組(128B)傳送。在一些情況中，可取決於實施請求之一處理器核心之一位址模式將請求分解成64B或128B傳送。處理器核心可經組態以支援多個定址模式。在將請求向外發送至OCI介面/交叉開關500之前完成位址轉換及將傳送分割成多個128B (或64B)請求。

【0091】 一同步旗標由轉存ID單元在自記憶體105接收對於儲存之回應之後更新。此容許來自後續批次處理之載入持續查看最近資料。由於回應可無序到達，故轉存ID單元使用比較所發送儲存命令之一總數與自記憶體105接收之回應之一總數之一簡單機制。當計數匹配且無額外通道ID資料未處理時，更新同步旗標。

【0092】 圖6展示涉及一OCI處理器節點之一寫入操作600之一例示性流程圖。寫入操作600可包含一或多個交易。各通道控制器透過一OCI介面連接至記憶體105且用於實施一寫入管線(其用於實施操作600)。各通道控制器包含展開與一寫入操作600相關聯之一交易之一各自轉存識別(ID)單元。在圖6之實例中，一第一通道控制器0包含一轉存ID單元602(「轉存單元602」)且執行一或多個展開及轉譯操作606，而一第二不同通

道控制器1包含一轉存ID單元604 (「轉存單元604」)且執行一或多個展開及轉譯操作608。在一些實施方案中，通道控制器0及通道控制器1係同一通道控制器。

【0093】 取決於包含各自通道控制器0及1之一給定處理器核心之通道操作模式，轉存單元602、604之各者可將一各自交易展開至128B或64B之倍數。例如，如上文描述，一OCI交易請求編碼定址資訊以使用OCI介面自系統記憶體之任何記憶體通道獲得資料或將自任何記憶體通道獲得之資料寫入至一處理器核心之一向量記憶體。因此，在一些實施方案中，定址資訊係自在OCI控制器處接收之一或多個傳入OCI交易請求導出。各傳入OCI交易請求可包含對應於跨該系統記憶體之任何記憶體通道之任何記憶體位置集合之多個識別符(ID)。

【0094】 可取決於實施請求之一處理器核心之一位址模式將OCI交易請求展開及/或轉譯(例如，分解)成64B或128B傳送。一各自交易至128B或64B之倍數之展開亦可對準至32B且發送至OCI控制器502。如上文提及，系統100之各處理器核心可在各表示處理器核心之一例示性定址(或操作)模式之一通道交錯模式或堆疊交錯模式中操作。

【0095】 各OCI控制器502可與兩個不同轉存單元(諸如轉存單元602、604或對應於記憶體105之一或多個其他記憶體通道之轉存單元)通信。基於請求者，控制器502將一OCI ID指派至各寫入請求且在一對應寫入介面上向外發送寫入請求。例如，控制器502可經由耦合至一例示性通道0或通道1之一寫入介面藉由使用一通道仲裁器610之例示性選擇邏輯以一循環方式在兩個轉存單元602、604之間選擇而發送或傳輸請求。選擇邏輯可係基於上文描述之經修改循環調度演算法300。在一些實施方案

中，轉存ID單元602、604之各者可操作以產生一「取消分配」信號以指示通道ID資料處理何時完成。如上文論述，可在一神經網路機器學習/資料模型期間執行一反向傳遞以更新一嵌入表。在參數之反向傳遞操作期間，將取消分配信號傳輸至一對應提取ID單元。

【0096】 在一些實施方案中，藉由轉存單元602、604之各者執行之操作不受完成寫入操作之順序影響。由於一給定轉存單元602、604可不關心寫入完成之順序，故不需要使用多於兩個OCI ID用於寫入。因此，控制器502可藉由最小化將額外OCI ID指派至一寫入請求之操作而簡化其操作且實現運算節約或效率。在一些實施方案中，OCI介面500可使用一位元向量以追蹤一未處理ID。取決於用於寫入完成之OCI ID，將ID轉送至產生其中對未處理完成之數目進行計數之交易之轉存單元。

【0097】 圖7展示涉及一OCI處理器節點之一讀取操作700之一例示性流程圖。

【0098】 各通道控制器(例如，控制器502)包含展開與一讀取操作700相關聯之一交易之一各自提取識別(ID)單元。在圖7之實例中，一第一通道控制器0包含一提取ID單元702 (「提取單元702」)且執行展開及轉譯操作706，而一第二不同通道控制器1包含一提取ID單元704 (「提取單元704」)且執行展開及轉譯操作708。針對一例示性讀取操作，在一對應OCI控制器502內完成交易展開及位址轉譯，在此之後，對通道仲裁器610作出一請求以將讀取請求發送至OCI。在此實例中，OCI控制器502對應於通道控制器0或通道控制器1。

【0099】 在一些實施方案中，各提取單元702、704使用一計數標籤記憶體追蹤讀取操作之完成且更新一同步旗標記憶體以說明該完成。在一

些其他實施方案中，展開交易之一控制模組經組態以每4個週期產生至少一個128B交易以匹配可接受讀取資料之一速率。通道仲裁器610以一循環方式服務兩個通道控制器且在一標籤追蹤表710中查找可用ID。例如，追蹤表可每ID保持一個條目且可包含256個條目。在一些實施方案中，追蹤表可經組態以保持更多或更少條目。在256個條目之實例中，表之列0至127可為提取單元702保留且表之列128至255可為提取單元704保留。

【0100】 取決於請求者提取單元，通道仲裁器610可執行一查找以判定包含一或多個可用ID之表之一區域。ID可以一遞增方式分配。例如，一旦ID0經分配，其將不再次經分配直至ID 127已經分配，即使ID0之讀取資料已經傳回。此組態簡化表之實施方案且以降低或消除OCI將經歷缺乏ID之一可能性之一方式提供每通道控制器128個ID之可用性。在一些實施方案中，標籤追蹤表中之各條目保持用於交易之最低有效32B之一記憶體位址之32B、用於資料待寫入至其中之一BMEM位址之13B、指示一交易長度(32B之倍數)之2B、用於自提取單元接收以追蹤完成(可能更大)交易之一計數標籤之5B及供快取區標記此交易是否可在一讀取旁路緩衝器中快取之1B。在一些情況中，需要交易之最低有效32B用於寫入至讀取旁路緩衝器。

【0101】 取決於至一FIFO中之交易之大小，來自OCI介面500之讀取資料可在1至4個週期內發送。至此FIFO中之交易之第一32B列之寫入觸發對標籤表之一查找以擷取附接至此資料之BMEM位址、HBM位址及計數標籤。交易可包含一快取啟用位元。若在表710中將用於此交易之快取啟用位元設定為0，則不對讀取旁路緩衝器進行更新且取消分配ID。若將快取位元設定為1，則將資料寫入至讀取旁路緩衝器。

【0102】 讀取旁路緩衝器中之驅逐可以FIFO順序發生，其中首先寫入一交易之最低有效32B。此與使用一交易之最低有效32B查找HBM位址匹配清單之事實組合將確保若一交易之較低32B引起一「命中」，則交易之剩餘位元組亦可存在於緩衝器中。自一提取單元702、704查找之資料係使得對一特定HBM位址之存取將係相同長度，此引起至該特定HBM位址之各交易以相同方式展開。此實施方案細節避免引起僅「命中」讀取旁路緩衝器中之一交易之一部分之一案例。

【0103】 來自標籤表710之記憶體105位址可添加至匹配清單且在緩衝器中藉由跨來自四個通道OCI控制器之各者之寫入對寫入埠仲裁而更新對應資料。為了避免驅逐在記憶體105位址清單中「命中」之一條目之風險，接近用於驅逐之下一候選者定位之記憶體位址可標記為「未命中」。在一些情況中，此係因為在實際命中與自一旁路緩衝器讀取資料所耗費之時間之間存在一仲裁延時。

【0104】 取決於積體電路之架構佈局，可在覆寫HBM位址匹配清單之各種複本與旁路緩衝器之間之延遲上存在某一差異。在一些實施方案中，系統100包含定義一命中應如何接近待標記為一未命中之一驅逐候選者之臨限值之一控制參數。可跨通道OCI控制器複製記憶體105位址清單以避免對於仲裁以判定一條目是否存在於旁路緩衝器中之需要。系統100可經組態使得讀取旁路緩衝器中之一些(或全部條目)在批次之間無效以確保系統不使用陳舊資料。對此旁路緩衝器之無效請求可連同來自提取單元之批次中之最後ID一起發送。

【0105】 來自OCI或旁路緩衝器之讀取資料連同必須寫入其之BMEM位址一起以32B列向外發送至BMEM。如上文提及，對應提取單元

(例如，提取單元702或704)使用計數標籤記憶體追蹤讀取完成且執行同步旗標記憶體之一更新。

【0106】 一或多個交易可標記為不可快取且向外發送至在此等交易與具有一查找未命中之任何可快取交易之間選擇之另一循環通道仲裁器610。由此通道仲裁器提供之一授予係基於在OCI介面處指示之可用信用。

【0107】 標記為可快取之一交易可發送至一單獨FIFO佇列或表用於查找存在於一讀取旁路緩衝器中之記憶體105位址。系統100藉由(例如)在512個條目中並行搜尋交易之最低有效32B之記憶體105位址而執行位址匹配。在一些實施方案中，系統100可包含4個通道OCI控制器，各通道OCI控制器具有存在於跨全部4個控制器共用之旁路緩衝器中之記憶體105位址之清單之其自身複本。對旁路緩衝器之一更新可導致位址之全部複本經更新。在位址清單中之一命中之情況中，交易必須與來自其他3個控制器之交易進行仲裁以存取讀取資料。

【0108】 在一些實施方案中，經分配至此交易之OCI ID經釋放且交易針對讀取資料查找佇列化。來自此旁路緩衝器之讀取資料佇列化以發送回至請求源自其之提取單元，且此可自最初經分配至此交易之OCI ID之最高有效位元擷取。讀取資料之此發送係透過在來自OCI介面500之資料與來自旁路緩衝器之資料之間選擇之一循環仲裁器執行。

【0109】 本說明書中描述之標的物及功能操作之實施例可實施於數位電子電路系統中，有形體現之電腦軟體或韌體中，電腦硬體(包含本說明書中揭示之結構及其等結構等效物)或其等之一或多者之組合中。本說明書中描述之標的物之實施例可被實施為一或多個電腦程式，即，編碼於

一有形非暫時性程式載體上以由資料處理設備執行或控制資料處理設備之操作的電腦程式指令之一或多個模組。

【0110】 替代地或另外，可將程式指令編碼於一人工產生之傳播信號(例如，一機器產生之電信號、光學信號或電磁信號)上，該傳播信號經產生以編碼用於傳輸至適合接收器設備之資訊以由一資料處理設備執行。電腦儲存媒體可為一機器可讀儲存裝置、一機器可讀儲存基板、一隨機或串列存取記憶體裝置或其等之一或多者之一組合。

【0111】 術語「運算系統」涵蓋用於處理資料之全部種類的設備、裝置及機器，包含例如一可程式化處理器、一電腦或多個處理器或電腦。設備可包含專用邏輯電路系統，例如，一FPGA (場可程式化閘陣列)或一ASIC (特定應用積體電路)。除硬體之外，設備亦可包含針對所述電腦程式產生一實行環境之程式碼，例如構成處理器韌體、一協定堆疊、一資料庫管理系統、一作業系統或其等之一或多者之一組合之程式碼。

【0112】 一電腦程式(其亦可被稱為或描述為一程式、軟體、一軟體應用程式、一模組、一軟體模組、一指令檔或程式碼)可以任何形式之程式設計語言(包含編譯或解譯語言，或宣告式或程序性語言)撰寫，且其可以任何形式部署，包含作為一獨立程式或作為一模組、組件、副常式，或適用於一運算環境中之其他單元。

【0113】 一電腦程式可(但不需要)對應於一檔案系統中之一檔案。一程式可儲存於保存其他程式或資料(例如，儲存於一標記語言文件中之一或多個指令檔)之一檔案之一部分中、專用於討論中程式之一單一檔案中或多個協調檔案(例如，儲存一或多個模組、子程式或程式碼之部分之檔案)中。一電腦程式可經部署以在一個電腦上執行或在定位於一個位點

處或跨多個位點分佈且藉由一通信網路互連之多個電腦上實行。

【0114】 本說明書中描述之程序及邏輯流程可由一或多個可程式化電腦執行，該一或多個可程式化電腦實行一或多個電腦程式以藉由對輸入資料操作且產生輸出而執行功能。程序及邏輯流程亦可由專用邏輯電路系統(例如，一FPGA (場可程式化閘陣列)、一ASIC (特定應用積體電路)或一GPGPU (通用圖形處理單元))執行且設備亦可實施為該專用邏輯電路系統。

【0115】 適用於一電腦程式之實行之電腦包含(舉例而言，可基於)通用微處理器或專用微處理器或兩者或任何其他種類之中央處理單元。一般而言，一中央處理單元將自一唯讀記憶體或一隨機存取記憶體或兩者接收指令及資料。一電腦之一些元件係用於執行或實行指令之一中央處理單元及用於儲存指令及資料之一或多個記憶體裝置。一般而言，一電腦亦將包含用於儲存資料之一或多個大容量儲存裝置(例如，磁碟、磁光碟或光碟)，或可操作耦合以自該一或多個大容量儲存裝置接收資料或將資料傳送至該一或多個大容量儲存裝置，或兩者。然而，一電腦不需要具有此等裝置。此外，一電腦可嵌入於另一裝置中，例如，一行動電話、一個人數位助理(PDA)、一行動音訊或視訊播放器、一遊戲控制台、一全球定位系統(GPS)接收器或一可攜式儲存裝置(例如，一通用串列匯流排(USB)快閃隨身碟)，等等。

【0116】 適用於儲存電腦程式指令及資料之電腦可讀媒體包含所有形式之非揮發性記憶體、媒體及記憶體裝置，藉由實例包含：半導體記憶體裝置，例如，EPROM、EEPROM、及快閃記憶體裝置；磁碟，例如，內部硬碟或可抽換式磁碟；磁光碟；及CD ROM及DVD-ROM光碟。處理

器及記憶體可藉由專用邏輯電路系統增補或併入專用邏輯電路系統中。

【0117】 為提供與一使用者之互動，可在一電腦上實施本說明書中所描述之標的物之實施例，該電腦具有用於向該使用者顯示資訊之一顯示裝置(例如，LCD (液晶顯示器)監視器)及該使用者可藉由其提供輸入至該電腦之一鍵盤及一指標裝置(例如，一滑鼠或一軌跡球)。其他種類之裝置亦可用於提供與一使用者之互動；例如，提供給該使用者之回饋可為任何形式之感覺回饋，例如，視覺回饋、聽覺回饋或觸覺回饋；且來自該使用者之輸入可以任何形式接收，包含聲音、語音或觸覺輸入。另外，一電腦可藉由發送文件至由一使用者使用之一裝置及自該裝置接收文件而與該使用者互動；例如，藉由回應於自一使用者之用戶端裝置上之一網頁瀏覽器接收之請求而將網頁發送至該網頁瀏覽器。

【0118】 可在一運算系統中實施本說明書中所描述之標的物之實施例，該運算系統包含一後端組件(例如，作為一資料伺服器)，或包含一中介軟體組件(例如，一應用程式伺服器)，或包含一前端組件(例如，具有一使用者可透過其與本說明書中所描述之標的物之一實施方案互動之一圖形使用者介面或一網頁瀏覽器之一用戶端電腦)，或一或多個此等後端、中介軟體或前端組件之任何組合。該系統之該等組件可藉由數位資料通信之任何形式或媒體(例如，一通信網路)互連。通信網路之實例包含一區域網路(「LAN」)及一廣域網路(「WAN」)，例如，網際網路。

【0119】 運算系統可包含用戶端及伺服器。一用戶端及伺服器通常彼此遠離且通常透過一通信網路互動。用戶端及伺服器之關係憑藉運行於各自電腦上且彼此具有一用戶端-伺服器關係之電腦程式而產生。

【0120】 雖然本說明書含有許多特定實施方案細節，但此等細節不

應被解釋為限制任何發明或可主張內容之範疇，而應當解釋為可特定於特定發明之特定實施例之特徵之描述。亦可在一單一實施例中組合實施本說明書中在單獨實施例之內容背景中描述之特定特徵。相反地，在一單一實施例之背景內容中描述之各種特徵亦可單獨地或以任何適合子組合在多項實施例中實施。再者，雖然上文可將特徵描述為以特定組合起作用且甚至最初如此主張，但在一些情況中，來自一所主張組合之一或多個特徵可自組合中免除，且所主張組合可係關於一子組合或一子組合之變動。

【0121】 類似地，雖然在圖式中按一特定順序描繪操作，但此不應被理解為要求按所展示之特定順序或循序順序執行此等操作，或執行全部繪示之操作以達成所要結果。在某些境況中，多任務處理及平行處理可為有利的。再者，在上文描述之實施例中之各種系統模組及組件之分離不應被理解為在全部實施例中需要此分離，且應理解，所述程式組件及系統可大體上一起整合於一單一軟體產品中或封裝至多個軟體產品中。

【0122】 已描述標的物之特定實施例。其他實施例在以下發明申請專利範圍之範疇內。例如，在發明申請專利範圍中敘述之動作可以一不同順序執行且仍達成所要結果。作為一個實例，在附圖中描繪之程序不必要求所展示之特定順序或循序順序來達成所要結果。在某些實施方案中，多任務處理及平行處理可為有利的。

【符號說明】

【0123】

100: 運算系統

102: 主機

104: 多核心處理單元

105: 記憶體單元/記憶體

106a至106k: 資料分片

108a至108n: 元素

110: 指令

112: 目標緻密矩陣

114: 程序識別符(ID)控制單元/控制單元

200: 架構

202: 通道控制器

202-0至202-n: 通道控制器

204: 記憶體通道

204-0至204-n: 記憶體通道

300: 演算法

350: 通道控制器

400: 表

410: 序列

500: 晶片上互連(OCI)介面

502: 通道晶片上互連(OCI)控制器

504: 通道

506: 通道

508: 讀取介面

510: 寫入介面

600: 寫入操作

602: 轉存識別符(ID)單元

604: 轉存識別符(ID)單元

606: 展開及轉譯操作

608: 展開及轉譯操作

610: 通道仲裁器

700: 讀取操作

702: 提取識別符(ID)單元

704: 提取識別符(ID)單元

706: 展開及轉譯操作

710: 標籤追蹤表

【發明申請專利範圍】

【請求項1】

一種積體電路，其經組態以加速機器學習運算，該積體電路包括：

複數個處理器核心，各處理器核心包括：

複數個通道控制器；

一晶片上互連(on-chip interconnect; OCI)介面，其經組態以將該複數個通道控制器之各者耦合至一系統記憶體之各記憶體通道；及

在該複數個通道控制器之各者中之一各自提取單元(fetch unit)，該各自提取單元經組態以：

i)接收編碼定址資訊(addressing information)之一請求；

ii)基於該定址資訊，使用該OCI介面自該系統記憶體之任何記憶體通道獲得資料；及

iii)經由包含該提取單元之該通道控制器將自任何記憶體通道獲得之該資料寫入至該處理器核心之一向量記憶體。

【請求項2】

如請求項1之積體電路，其中該OCI介面包括：

一記憶體內OCI節點，其包含：

i)複數個讀取介面，其等用於自沿著該系統記憶體之任何記憶體通道之任何記憶體位置獲得資料；及

ii)複數個寫入介面，其等用於將資料寫入至沿著該系統記憶體之任何記憶體通道之任何記憶體位置。

【請求項3】

如請求項2之積體電路，其中該記憶體內OCI節點包括：

一先入先出(FIFO)記憶體佇列，其經組態以在一現有OCI交易之仲裁期間儲存傳入OCI交易請求以：i)自該系統記憶體之任何記憶體位置獲得資料，或ii)將資料寫入至該系統記憶體之任何記憶體位置。

【請求項4】

如請求項3之積體電路，其進一步包括一OCI控制器，該OCI控制器經組態以：

接收編碼該定址資訊之該請求；

基於該定址資訊中之複數個ID產生複數個控制信號；且

將該複數個控制信號提供至該系統記憶體之任何記憶體通道以提取儲存於該系統記憶體之一記憶體位置中之一資料。

【請求項5】

如請求項4之積體電路，其中：

該定址資訊係自在該OCI控制器處接收之一或多個傳入OCI交易請求導出；且

對於存取該系統記憶體之任何記憶體位置之至少一個現有OCI交易請求先前儲存於該FIFO記憶體佇列中。

【請求項6】

如請求項5之積體電路，其中：

各傳入OCI交易請求包括對應於跨該系統記憶體之任何記憶體通道之任何記憶體位置集合之複數個識別符(ID)。

【請求項7】

如請求項6之積體電路，其中：

該OCI介面包含兩個或更多個定址模式；且

該OCI控制器可操作以產生容許在該OCI介面之該兩個或更多個定址模式之間選擇之控制信號。

【請求項8】

如請求項7之積體電路，其中：

該兩個或更多個定址模式之一第一定址模式係約束一嵌入表相對於該系統記憶體之記憶體通道之一映射之一通道交錯模式。

【請求項9】

如請求項8之積體電路，其中：

該兩個或更多個定址模式之一第二定址模式係擴展該嵌入表相對於該系統記憶體之記憶體通道之該映射之一堆疊交錯模式。

【請求項10】

如請求項7之積體電路，其中各OCI交易請求係：

藉由該提取單元接收；且

藉由該OCI控制器處理以起始存取在該OCI交易請求中指示之任何記憶體位置。

【請求項11】

如請求項10之積體電路，其中用於存取儲存於該系統記憶體中之資料之各OCI交易請求編碼：

i)對應於該經存取資料之以32位元組計之一長度；

ii)表示專用於系統記憶體中之任何記憶體位置之一源位址之一TokenID；及

iii)該向量記憶體之一記憶體位置之一目的地位址。

【請求項12】

如請求項9之積體電路，其中：

該嵌入表被分割為跨整個系統記憶體之記憶體通道分配之多個資料分片；且

該OCI控制器使用該複數個通道控制器之任一者選擇用於存取該嵌入表之任何部分之該堆疊交錯模式。

【請求項13】

如請求項1之積體電路，其進一步包括：

在該複數個通道控制器之各者中之一各自轉存單元，該各自轉存單元經組態以：

i)接收編碼定址資訊之一請求；

ii)基於該定址資訊使用該OCI介面將資料自該向量記憶體中之一源位址寫入至該系統記憶體之任何記憶體位置。

【請求項14】

如請求項13之積體電路，其中：

該等機器學習運算經執行以透過一神經網路層處理神經網路輸入；且

該轉存單元用於使用該OCI介面將該神經網路層之參數寫入至該系統記憶體之任何記憶體位置。

【請求項15】

一種使用經組態以加速機器學習運算之一積體電路執行之電腦實施方法，該積體電路包括一系統記憶體及包含複數個通道控制器之一處理器核心，該方法包括：

接收複數個請求，其中該複數個請求之各者編碼定址資訊；

針對該複數個請求之一第一請求：

基於該第一請求之定址資訊識別該系統記憶體之任何記憶體通道之任何記憶體位置；

使用將該複數個通道控制器之各者耦合至該系統記憶體之各記憶體通道之一晶片上互連(OCI)介面自該系統記憶體之任何記憶體位置當中之一記憶體位置獲得資料；及

基於該第一請求之該定址資訊將自該記憶體位置獲得之該資料寫入至該處理器核心之一向量記憶體。

【請求項16】

如請求項15之方法，其中：

該OCI介面包括包含複數個讀取介面及複數個寫入介面之一記憶體內OCI節點；且

該方法進一步包括：

使用該複數個讀取介面自沿著該系統記憶體之任何記憶體通道之任何記憶體位置獲得資料；及

使用該複數個寫入介面將資料寫入至沿著該系統記憶體之任何記憶體通道之任何記憶體位置。

【請求項17】

如請求項16之方法，其中該記憶體內OCI節點包括一先入先出(FIFO)記憶體佇列且該方法包括：

在該FIFO記憶體佇列處，在一現有OCI交易之仲裁期間儲存傳入OCI交易請求以：i)自該系統記憶體之任何記憶體位置獲得資料，或ii)將資料寫入至該系統記憶體之任何記憶體位置。

【請求項18】

如請求項17之方法，其進一步包括：

藉由OCI控制器接收編碼該定址資訊之該請求；

藉由該OCI控制器基於該定址資訊中之複數個ID產生複數個控制信號；及

藉由該OCI控制器將該複數個控制信號提供至該系統記憶體之任何記憶體通道以提取儲存於該系統記憶體之一記憶體位置中之一資料。

【請求項19】

如請求項18之方法，其中：

該定址資訊係自在該OCI控制器處接收之一或多個傳入OCI交易請求導出；且

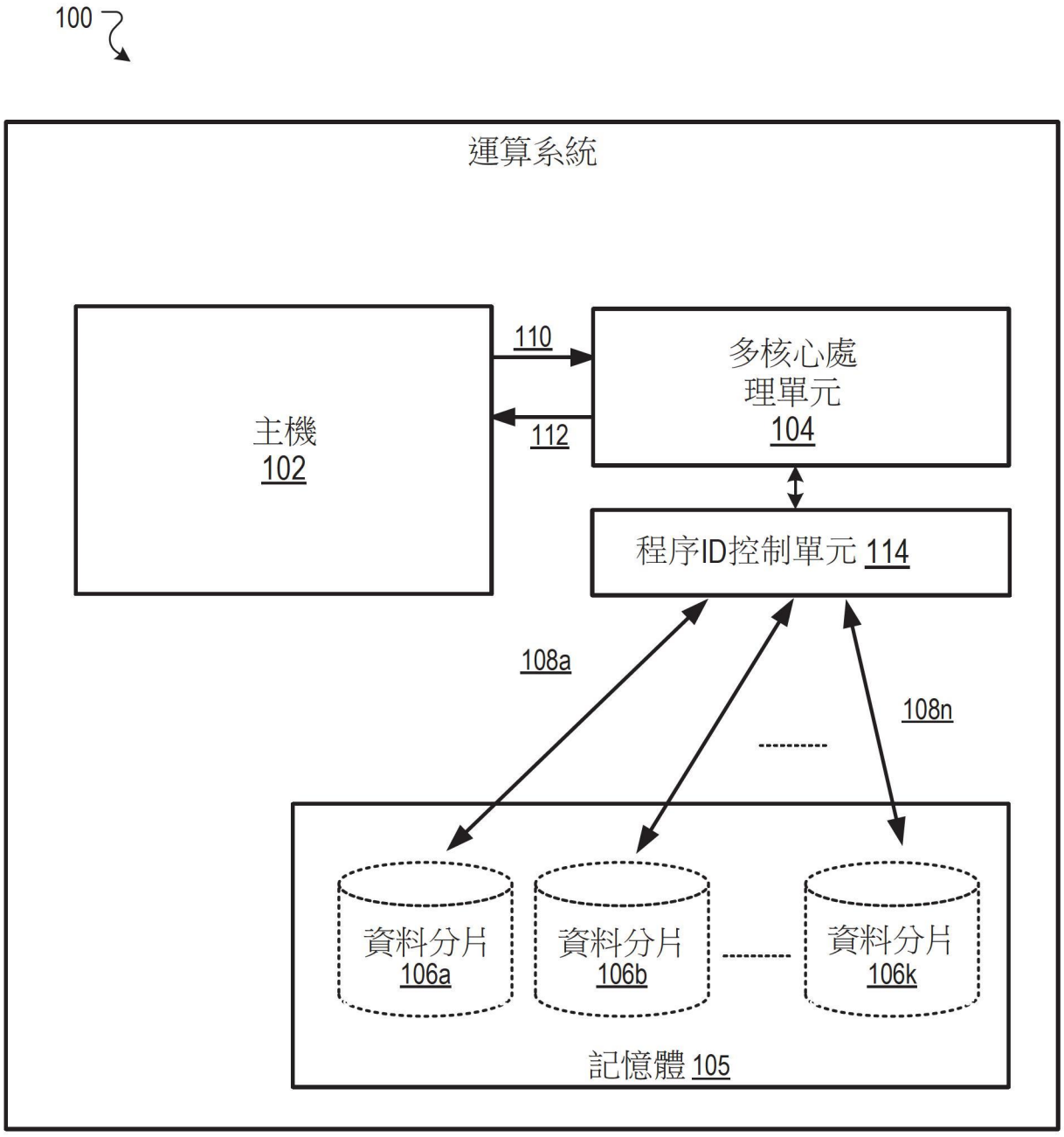
對於存取該系統記憶體之任何記憶體位置之至少一個現有OCI交易請求先前儲存於該FIFO記憶體佇列中。

【請求項20】

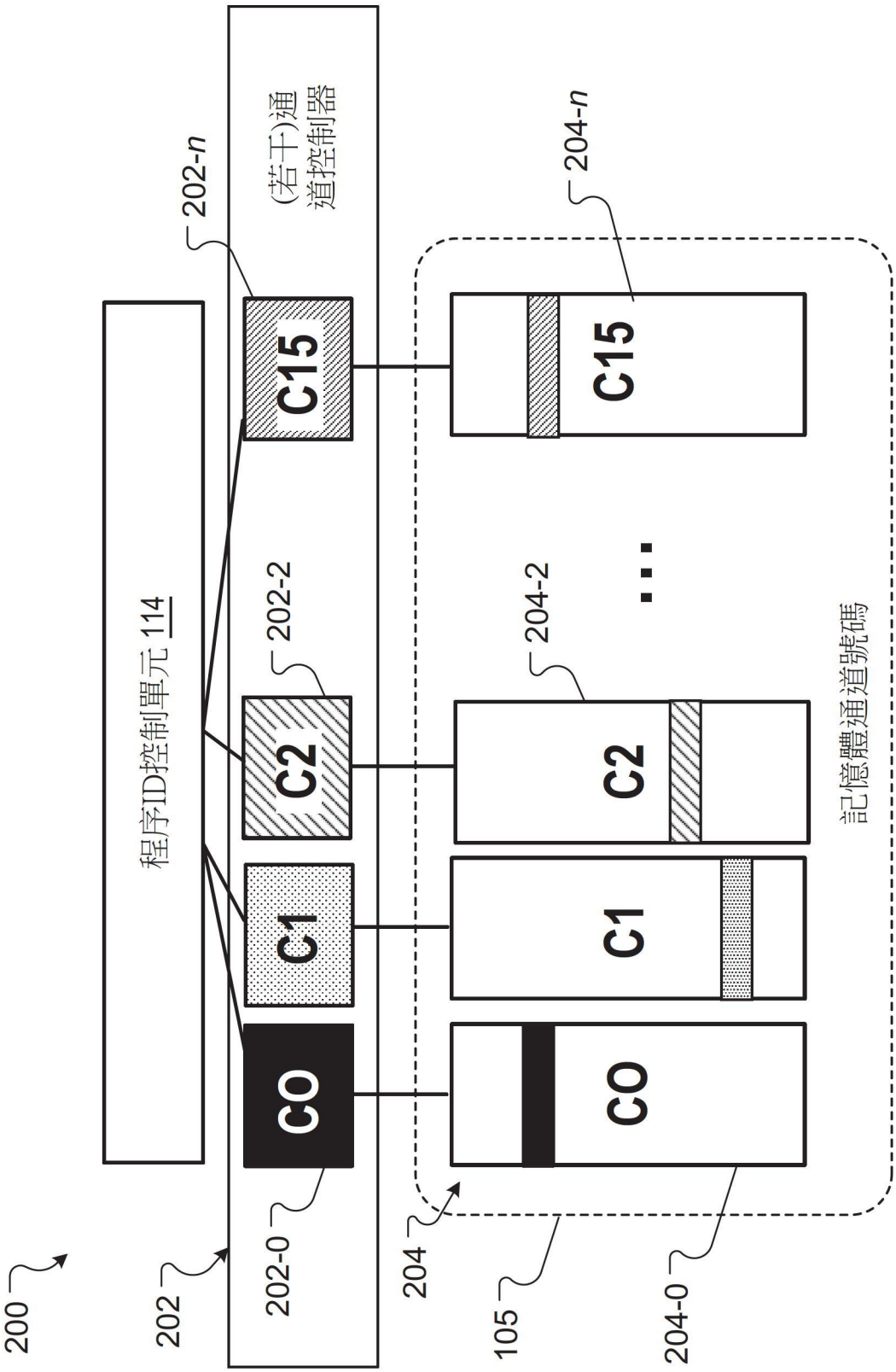
如請求項19之方法，其中：

各傳入OCI交易請求包括對應於跨該系統記憶體之任何記憶體通道之任何記憶體位置集合之複數個識別符(ID)。

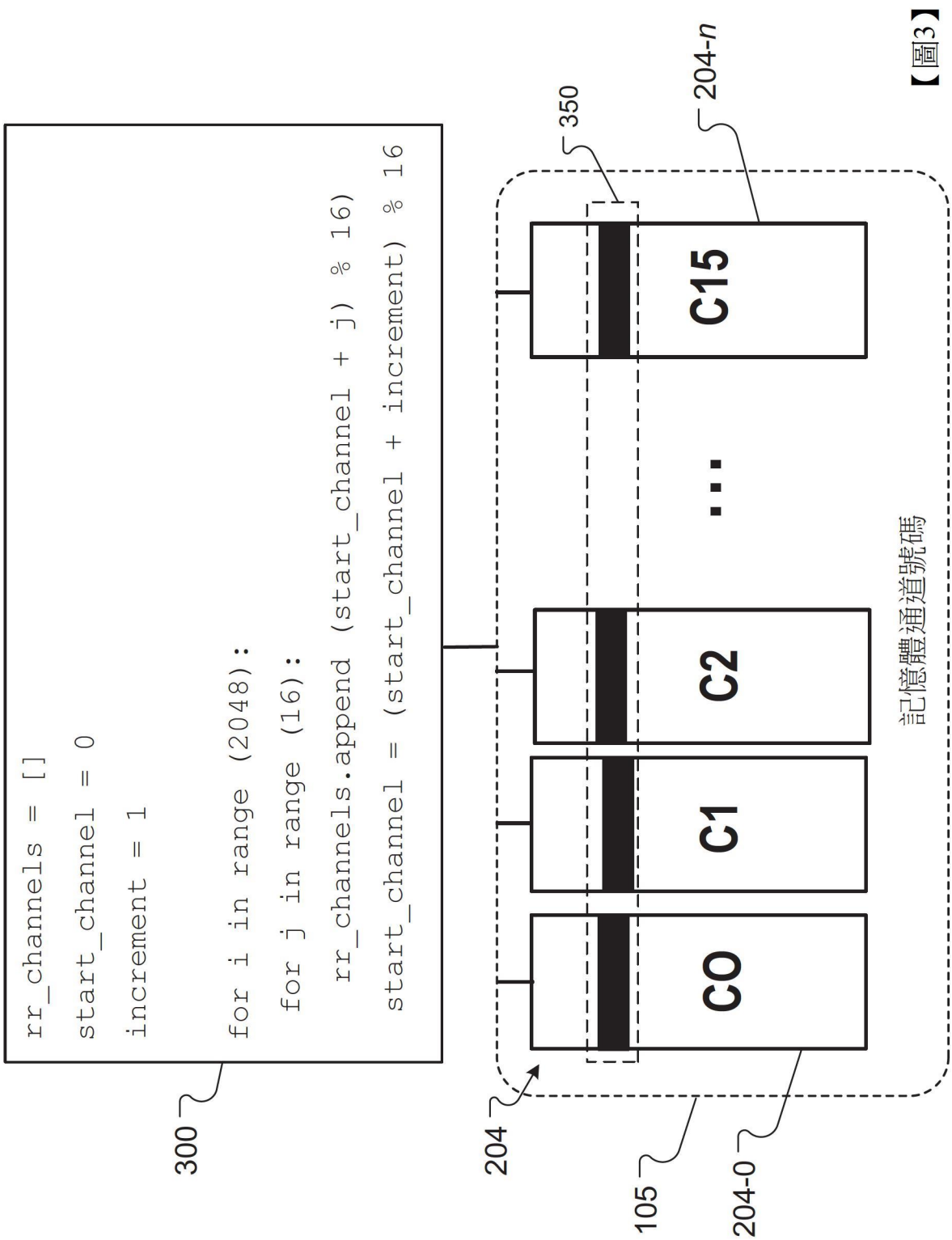
【發明圖式】


100
運算系統
主機
102
110
112
多核心處
理單元
104
程序ID控制單元 114
108a
108n
資料分片
106a
資料分片
106b
資料分片
106k
記憶體 105

【圖1】


200
202
202-0
202-2
202-n
204
204-0
204-2
204-n
105
程序ID控制單元 114
(若干)通道控制器
C0
C1
C2
C15
記憶體通道號碼

【圖2】


rr_channels = []
start_channel = 0
increment = 1
for i in range (2048):
for j in range (16):
rr_channels.append (start_channel + j) % 16)
start_channel = (start_channel + increment) % 16
300
204
105
204-0
350
204-n
C0
C1
C2
...
C15
記憶體通道號碼

【圖3】

```
rr_channels = []
start_channel = 0
increment = 1

for i in range (2048):
  for j in range (16):
    rr_channels.append (start_channel + j) % 16)
  start_channel = (start_channel + increment) % 16
```

300

【圖4】

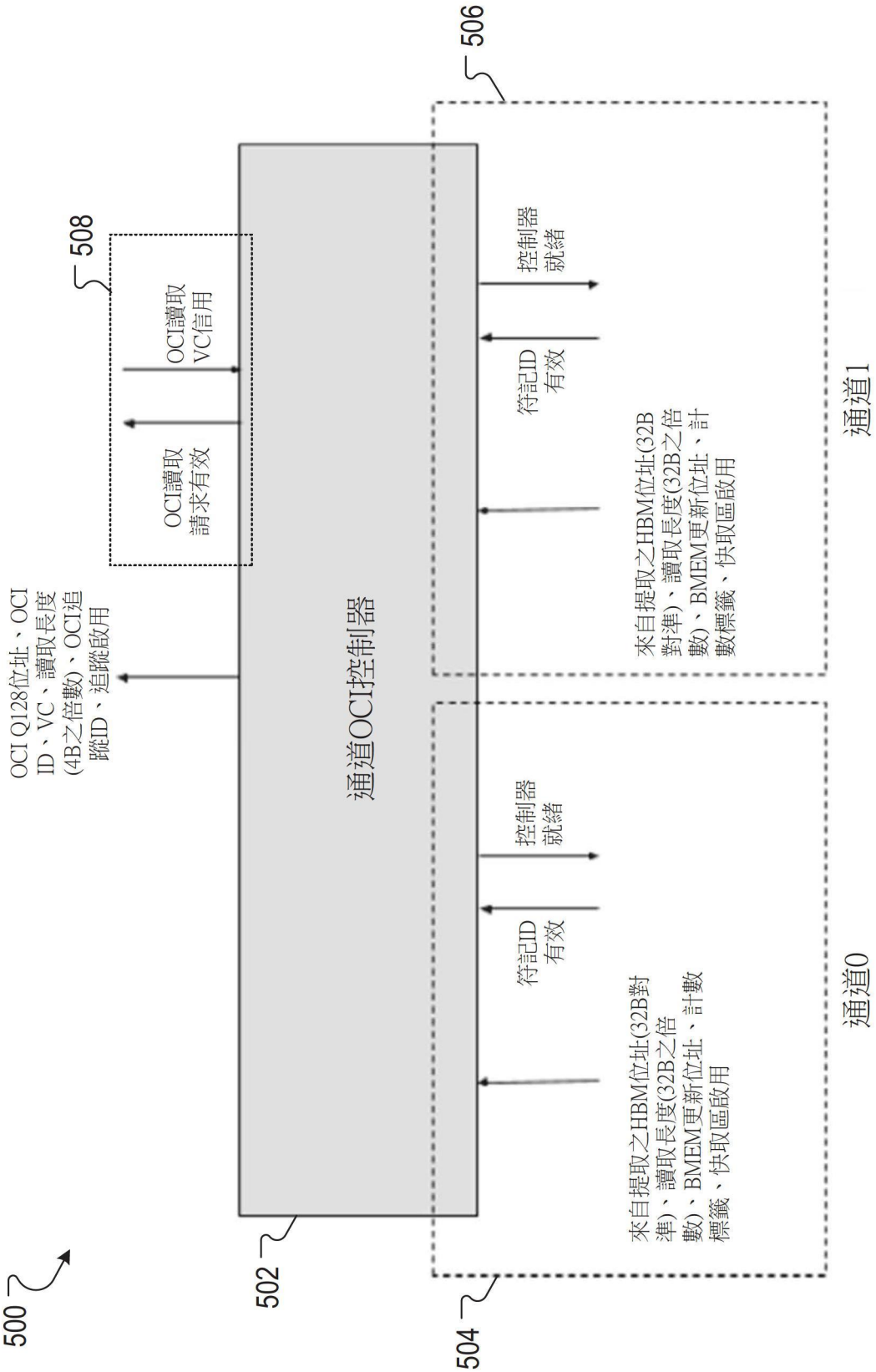
400

410

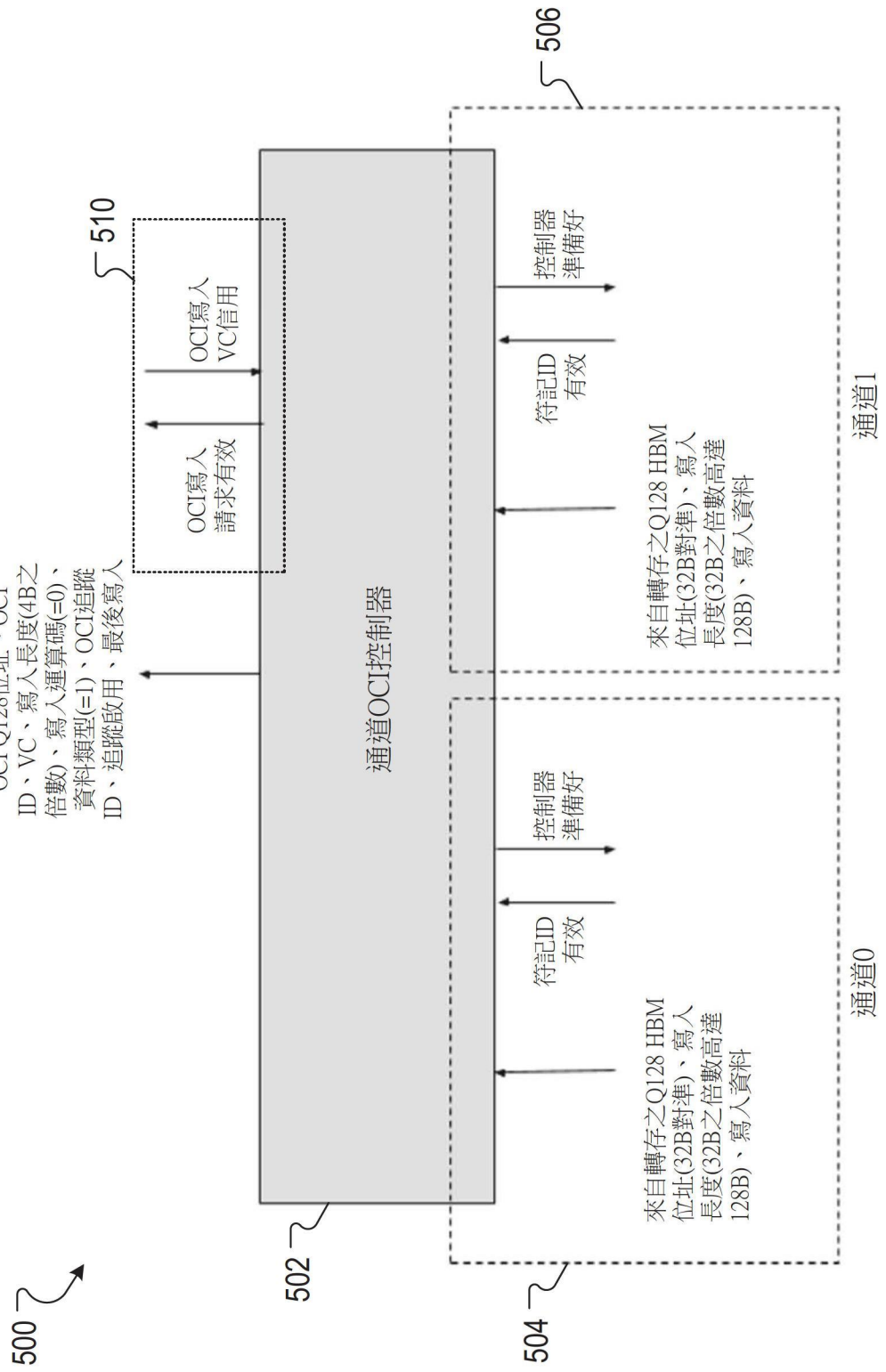
```
[[0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 1, 2, 3, 4, 5, 6, 7, 8, 9,
10, 11, 12, 13, 14, 15, 1, 2, 3, 4, 5, 6, 7, 8, 9, ….]
```

通道[0]計數：2048 中值：15.0 平均值：15.9926757812
通道[1]計數：2048 中值：15.0 平均值：15.9926757812
通道[2]計數：2048 中值：15.0 平均值：15.9926757812
通道[3]計數：2048 中值：15.0 平均值：15.9926757812
通道[4]計數：2048 中值：15.0 平均值：15.9926757812
通道[5]計數：2048 中值：15.0 平均值：15.9926757812
通道[6]計數：2048 中值：15.0 平均值：15.9926757812
通道[7]計數：2048 中值：15.0 平均值：15.9926757812
通道[8]計數：2048 中值：15.0 平均值：15.9926757812
通道[9]計數：2048 中值：15.0 平均值：15.9926757812
通道[10]計數：2048 中值：15.0 平均值：15.9926757812

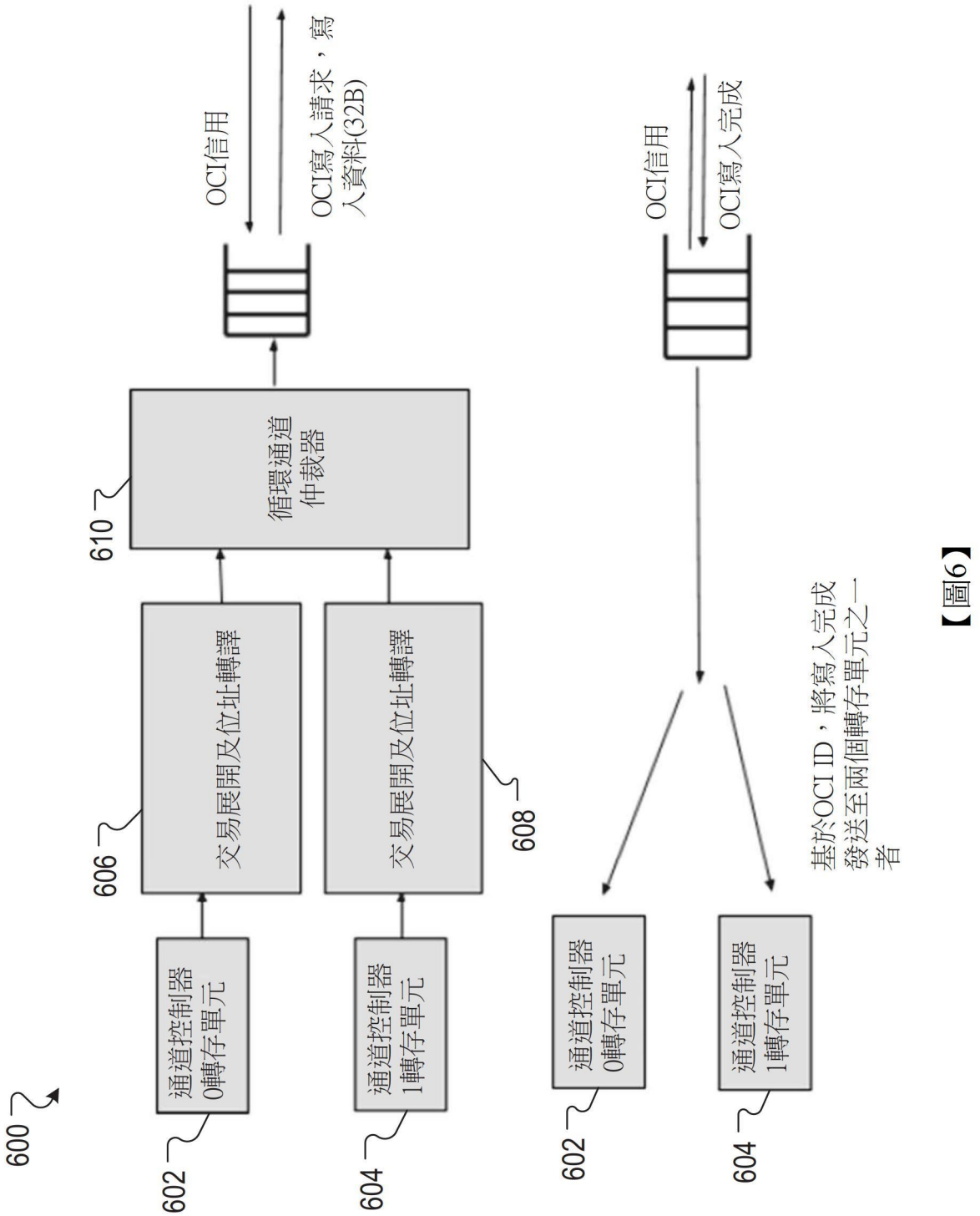
請求ID至通道之例示性分配


500
502
504
506
508
通道OCI控制器
OCI Q128位址、OCI ID、VC、讀取長度(4B之倍數)、OCI追蹤ID、追蹤啟用
OCI讀取請求有效
OCI讀取VC信用
通道0
來自提取之HBM位址(32B對準)、讀取長度(32B之倍數)、BMEM更新位址、計數標籤、快取區啟用
符記ID有效
控制器就緒
通道1
來自提取之HBM位址(32B對準)、讀取長度(32B之倍數)、BMEM更新位址、計數標籤、快取區啟用
符記ID有效
控制器就緒

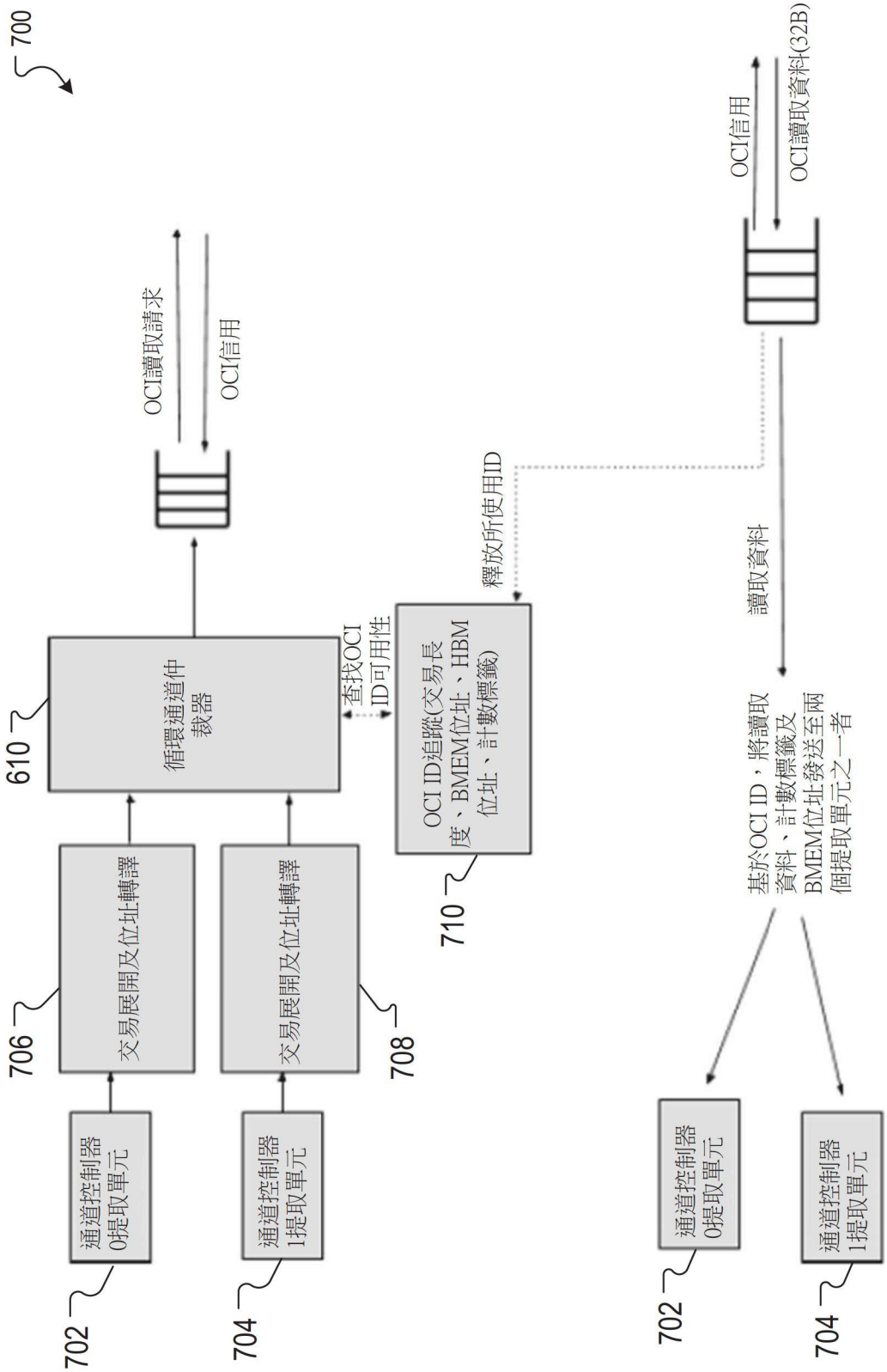
【圖5A】


500
502
504
506
510
通道OCI控制器
通道0
通道1
OCI Q128位址、OCI ID、VC、寫入長度(4B之倍數)、寫入運算碼(=0)、資料類型(=1)、OCI追蹤ID、追蹤啟用、最後寫入
OCI寫入請求有效
OCI寫入VC信用
來自轉存之Q128 HBM位址(32B對準)、寫入長度(32B之倍數高達128B)、寫入資料
符記ID有效
控制器準備好
來自轉存之Q128 HBM位址(32B對準)、寫入長度(32B之倍數高達128B)、寫入資料
符記ID有效
控制器準備好

【圖5B】


600
通道控制器
0轉存單元
602
通道控制器
1轉存單元
604
交易展開及位址轉譯
606
交易展開及位址轉譯
608
循環通道
仲裁器
610
OCI信用
OCI寫入請求，寫
入資料(32B)
通道控制器
0轉存單元
602
通道控制器
1轉存單元
604
OCI信用
OCI寫入完成
基於OCI ID，將寫入完成
發送至兩個轉存單元之一
者

【圖6】


700
OCI讀取請求
OCI信用
610
循環通道仲裁器
查找OCI ID可用性
OCI ID追蹤(交易長度、BMEM位址、計數標籤)
710
釋放所使用ID
706
交易展開及位址轉譯
708
交易展開及位址轉譯
通道控制器0提取單元
通道控制器1提取單元
702
704
OCI信用
OCI讀取資料(32B)
讀取資料
基於OCI ID，將讀取資料、計數標籤及BMEM位址發送至兩個提取單元之一者
通道控制器0提取單元
通道控制器1提取單元
702
704

【圖7】