

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-5408

(P2017-5408A)

(43) 公開日 平成29年1月5日(2017.1.5)

(51) Int.Cl.			F I	テーマコード (参考)		
H03M	1/68	(2006.01)	H03M	1/68		5C006
G09G	3/36	(2006.01)	G09G	3/36		5C080
G09G	3/20	(2006.01)	G09G	3/20	623F	5C380
G09G	3/30	(2006.01)	G09G	3/30	H	5J022
H03M	1/76	(2006.01)	G09G	3/20	611H	

審査請求 未請求 請求項の数 18 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2015-115528 (P2015-115528)
 (22) 出願日 平成27年6月8日 (2015.6.8)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100118290
 弁理士 吉井 正明
 (74) 代理人 100094363
 弁理士 山本 孝久
 (72) 発明者 青木 健之
 東京都港区港南1丁目7番1号 ソニー株式会社社内
 Fターム(参考) 5C006 AA21 AC11 AC21 AF43 AF82
 BB15 BC11 BF25 BF43 FA16
 5C080 AA06 AA10 BB05 DD09 EE19
 FF11 JJ02 JJ03 JJ06 KK07
 KK43
 最終頁に続く

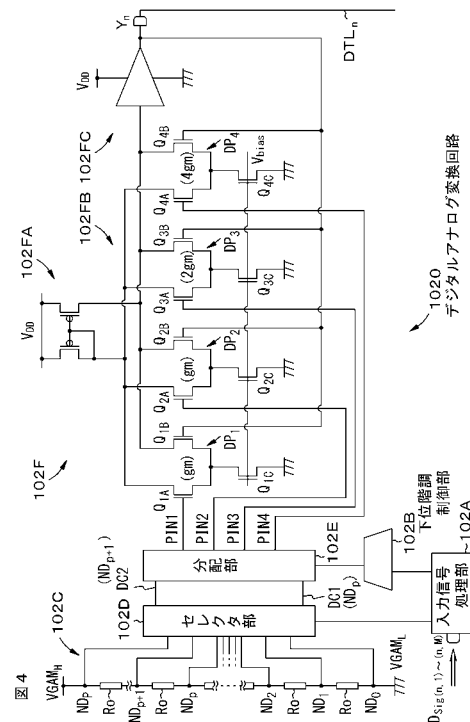
(54) 【発明の名称】 デジタルアナログ変換回路、データドライバ、表示装置、及び、電子機器、並びに、デジタルアナログ変換回路の駆動方法、データドライバの駆動方法、及び、表示装置の駆動方法

(57) 【要約】 (修正有)

【課題】 差動対と電圧の対応関係によるセtringタイムのばらつきを低減することができるデジタルアナログ変換回路を提供する。

【解決手段】 デジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し電圧を出力するセクタ部 102D 及びセクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部 102F を備え、デジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御され、デジタル信号に応じた電圧が出力されるデジタルアナログ変換回路 1020 である。デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセtringタイムの短い対応関係とされた後、入力デジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御される。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、

セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力される、

デジタルアナログ変換回路であって、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされた後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御される、

デジタルアナログ変換回路。

10

【請求項 2】

複数の差動対は、同じ相互コンダクタンス特性の差動対から成る、
請求項 1 に記載のデジタルアナログ変換回路。

【請求項 3】

複数の差動対は、相互コンダクタンス特性に重み付けがされている差動対から成る、
請求項 1 に記載のデジタルアナログ変換回路。

20

【請求項 4】

差動増幅部は、相互コンダクタンス特性の重み付けが 1 : 1 : 2 : 4 の比となる、第 1 差動対、第 2 差動対、第 3 差動対、及び、第 4 差動対を備えており、

セクタ部の出力電圧と差動増幅部の各差動対の入力とのセトリングタイムが短い対応関係は、セクタ部が選択した 2 つのノードのうち一方の電圧を第 4 差動対の入力とし、他方の電圧を第 1 差動対、第 2 差動対、及び、第 3 差動対の入力とする対応関係である、
請求項 3 に記載のデジタルアナログ変換回路。

【請求項 5】

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされる期間は、所定の一定の長さに設定されている、
請求項 1 に記載のデジタルアナログ変換回路。

30

【請求項 6】

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされる期間の長さは、入力されるデジタル信号の下位側のビット情報に応じて制御される、

請求項 1 に記載のデジタルアナログ変換回路。

【請求項 7】

表示パネルを駆動するために用いられるデータドライバであって、

入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、

セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力され、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされた後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御される、

40

50

データドライバ。

【請求項 8】

表示パネル、及び、
表示パネルを駆動するために用いられるデータドライバ、
を含んでおり、
データドライバは、
入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、
セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、

10

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力され、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされた後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御される、
表示装置。

【請求項 9】

表示装置を備えた電子機器であって、
表示装置は、
表示パネル、及び、
表示パネルを駆動するために用いられるデータドライバ、
を含んでおり、
データドライバは、
入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、
セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、

20

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力され、

30

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされた後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御される、
電子機器。

【請求項 10】

入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、
セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、

40

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力される、

デジタルアナログ変換回路の駆動方法であって、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とした後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係を制御する、

50

デジタルアナログ変換回路の駆動方法。

【請求項 1 1】

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とする期間は、所定の一定の長さに設定されている、
請求項 1 0 に記載のデジタルアナログ変換回路の駆動方法。

【請求項 1 2】

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とする期間の長さを、入力されるデジタル信号の下位側のビット情報に応じて制御する、
請求項 1 0 に記載のデジタルアナログ変換回路の駆動方法。

10

【請求項 1 3】

入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、
セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、
入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力される、
表示パネル用のデータドライバの駆動方法であって、

20

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とした後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係を制御する、
データドライバの駆動方法。

【請求項 1 4】

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とする期間は、表示パネルにおける走査期間に対して一定の割合を占めるように設定されている、
請求項 1 3 に記載のデータドライバの駆動方法。

【請求項 1 5】

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とする期間が表示パネルにおける走査期間に対して占める割合を、入力されるデジタル信号の下位側のビット情報に応じて制御する、
請求項 1 3 に記載のデータドライバの駆動方法。

30

【請求項 1 6】

表示パネル、及び、
表示パネルを駆動するために用いられるデータドライバ、
を含んでおり、
データドライバは、
入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、
セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、
入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力される、
表示装置の駆動方法であって、

40

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とした後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入

50

力との対応関係を制御する、
表示装置の駆動方法。

【請求項 17】

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とする期間は、表示パネルにおける走査期間に対して一定の割合を占めるように設定されている、

請求項 16 に記載の表示装置の駆動方法。

【請求項 18】

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とする期間が表示パネルにおける走査期間に対して占める割合を、入力されるデジタル信号の下位側のビット情報に応じて制御する、

請求項 16 に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、デジタルアナログ変換回路、データドライバ、表示装置、及び、電子機器、並びに、デジタルアナログ変換回路の駆動方法、データドライバの駆動方法、及び、表示装置の駆動方法に関する。

【背景技術】

【0002】

エレクトロルミネッセンス表示パネルや液晶表示パネルといった表示パネルを備えた表示装置にあっては、画像を表示するために、画像の階調に応じた電圧を発生するデジタルアナログ変換回路が用いられる。例えば、ラダー抵抗（ガンマ抵抗）などから成る分圧回路によって分圧した電圧の中から、階調信号の値に応じた電圧を適宜選択して出力するという構成のデジタルアナログ変換回路が知られている。

【0003】

しかしながら、このような構成のデジタルアナログ変換回路にあっては、階調数に応じて分圧回路の規模が大きくなり、また、分圧回路から電圧を引き出す配線の数も増加する。従って、階調数が大きくなるほど、回路規模が大きくなる。

【0004】

そこで、例えば、米国特許第 6 2 4 6 3 5 1 号明細書（特許文献 1）等が開示されているように、階調値の上位側のビット情報に基づいて分圧回路から複数の電圧を選択し、選択した電圧と階調値の下位側のビット情報とに基づいて、差動増幅部を構成する複数の差動対を駆動することで、階調値に応じた電圧を出力するというデジタルアナログ変換回路が知られている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】米国特許第 6 2 4 6 3 5 1 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0006】

階調値の上位側のビット情報に基づいて選択した複数の電圧と階調値の下位側のビット情報とに基づいて複数の差動対を駆動する構成の回路にあっては、階調値の下位側のビット情報に基づいて、各差動対に入力する電圧の対応関係を変えるとといった動作を行う。このため、差動対と入力電圧の対応関係によってセトリングタイム（整定時間）が影響を受け、結果として、セトリングタイムがばらつく。よって、このような変換回路を表示装置の駆動に用いると、セトリングタイムのばらつきによって表示装置の画像に影響を及ぼすといったことが考えられる。

【0007】

10

20

30

40

50

従って、本開示の目的は、差動対と電圧の対応関係によるセトリングタイムのばらつきを低減することができる、デジタルアナログ変換回路、係るデジタルアナログ変換回路を用いたデータドライバ、係るデータドライバを備えた表示装置、及び、係る表示装置を備えた電子機器、並びに、デジタルアナログ変換回路の駆動方法、データドライバの駆動方法、及び、表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0008】

上記の目的を達成するための本開示の第1の態様に係るデジタルアナログ変換回路は、入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、

10

セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、を備えており、

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力される、デジタルアナログ変換回路であって、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされた後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御される、デジタルアナログ変換回路である。

20

【0009】

上記の目的を達成するための本開示の第1の態様に係るデータドライバは、表示パネルを駆動するために用いられるデータドライバであって、

入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、

セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、を備えており、

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力され、

30

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされた後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御される、データドライバである。

【0010】

上記の目的を達成するための本開示の第1の態様に係る表示装置は、表示パネル、及び、

表示パネルを駆動するために用いられるデータドライバ、を含んでおり、

40

データドライバは、

入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、

セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、を備えており、

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力され、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差

50

動対の入力との対応関係がセトリングタイムの短い対応関係とされた後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御される、
表示装置である。

【 0 0 1 1 】

上記の目的を達成するための本開示の第 1 の態様に係る電子機器は、
表示装置を備えた電子機器であって、
表示装置は、
表示パネル、及び、
表示パネルを駆動するために用いられるデータドライバ、
を含んでおり、
データドライバは、

入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、
セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力され、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされた後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御される、
電子機器である。

【 0 0 1 2 】

上記の目的を達成するための本開示の第 1 の態様に係るデジタルアナログ変換回路の駆動方法は、

入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、

セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力される、

デジタルアナログ変換回路の駆動方法であって、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とした後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係を制御する、

デジタルアナログ変換回路の駆動方法である。

【 0 0 1 3 】

上記の目的を達成するための本開示の第 1 の態様に係るデータドライバの駆動方法は、
入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、

セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力される、

表示パネル用のデータドライバの駆動方法であって、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とした後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係を制御する、データドライバの駆動方法である。

【0014】

上記の目的を達成するための本開示の第1の態様に係る表示装置の駆動方法は、表示パネル、及び、表示パネルを駆動するために用いられるデータドライバ、

を含んでおり、

データドライバは、入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、

セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、を備えており、

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力される、

表示装置の駆動方法であって、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とした後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係を制御する、表示装置の駆動方法である。

【発明の効果】

【0015】

本開示の第1の態様に係るデジタルアナログ変換回路、データドライバ、表示装置、及び、電子機器によれば、デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされた後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御される。これによって、セトリングタイムのばらつきが低減される。また、本開示に記載された効果は例示であって限定されるものではなく、また、付加的な効果があってもよい。

【図面の簡単な説明】

【0016】

【図1】図1は、第1の実施形態に係る表示装置の概念図である。

【図2】図2は、図1に示す表示素子とは異なる構成の表示素子を備えた表示装置の概念図である。

【図3】図3は、図2に示す表示素子の模式的な一部断面図である。

【図4】図4は、第1の実施形態に係るデータドライバにおいて、第n番目のデータ線の駆動に関与する部分を構成するデジタルアナログ変換回路の構成を説明するための模式的な回路図である。

【図5】図5は、第n番目のデータ線の駆動に関与する部分を構成する参考例のデジタルアナログ変換回路の構成を説明するための模式的な回路図である。

【図6】図6Aは、参考例のデジタルアナログ変換回路において、入力信号の下位3ビットと各差動対に入力される電圧との関係を説明するための表である。図6Bは、図6Aに示す関係において、セトリングタイムが最も長くなる関係を示す。図6Cは、図6Aに示す関係において、セトリングタイムが最も短くなる関係を示す。

【図7】図7は、参考例のデジタルアナログ変換回路を用いたデータドライバにおける、階調値とセトリングタイムとの関係を示す模式的なグラフである。

10

20

30

40

50

【図 8】図 8 は、第 1 の実施形態に係る下位階調制御回路の動作を説明するための図である。

【図 9】図 9 は、第 m 行の走査期間と、第 (m + 1) 行の走査期間におけるデータドライバの動作などを説明するための模式的なグラフである。

【図 10】図 10 は、レンズ交換式一眼レフレックスタイプのデジタルスチルカメラの外観図であり、図 10 A にその正面図を示し、図 10 B にその背面図を示す。

【図 11】図 11 は、ヘッドマウントディスプレイの外観図である。

【図 12】図 12 は、シースルーヘッドマウントディスプレイの外観図である。

【発明を実施するための形態】

【0017】

10

以下、図面を参照して、実施形態に基づいて本開示を説明する。本開示は実施形態に限定されるものではなく、実施形態における種々の数値や材料は例示である。以下の説明において、同一要素または同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は、以下の順序で行う。

1. 本開示に係るデジタルアナログ変換回路、データドライバ、表示装置、及び、電子機器、並びに、デジタルアナログ変換回路の駆動方法、データドライバの駆動方法、及び、表示装置の駆動方法、全般に関する説明

2. 第 1 の実施形態

3. 電子機器の説明、その他

【0018】

20

[本開示に係るデジタルアナログ変換回路、データドライバ、表示装置、及び、電子機器、並びに、デジタルアナログ変換回路の駆動方法、データドライバの駆動方法、及び、表示装置の駆動方法、全般に関する説明]

本開示の第 1 の態様に係るデジタルアナログ変換回路、データドライバ、表示装置、及び、電子機器において、差動増幅部の複数の差動対は、同じ相互コンダクタンス特性の差動対から成る構成とすることができるし、あるいは又、相互コンダクタンス特性に重み付けがされている差動対から成る構成とすることができる。本開示の第 1 の態様に係るデジタルアナログ変換回路の駆動方法、データドライバの駆動方法、表示装置の駆動方法において用いられる差動増幅部の複数の差動対についても同様である。

【0019】

30

この場合において、

差動増幅部は、相互コンダクタンス特性の重み付けが 1 : 1 : 2 : 4 の比となる、第 1 差動対、第 2 差動対、第 3 差動対、及び、第 4 差動対を備えており、

セクタ部の出力電圧と差動増幅部の各差動対の入力とのセトリングタイムが短い対応関係は、セクタ部が選択した 2 つのノードのうち一方の電圧を第 4 差動対の入力とし、他方の電圧を第 1 差動対、第 2 差動対、及び、第 3 差動対の入力とする対応関係である、構成とすることができる。

【0020】

上述した各種の好ましい構成を含む本開示の第 1 の態様に係るデジタルアナログ変換回路において、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされる期間は、所定の一定の長さに設定されている構成とすることができるし、あるいは又、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされる期間の長さは、入力されるデジタル信号の下位側のビット情報に応じて制御される構成とすることができる。同様に、本開示の第 1 の態様に係るデジタルアナログ変換回路の駆動方法にあっては、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とする期間は、所定の一定の長さに設定されている構成とすることができるし、あるいは又、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とする期間の長さを、入力されるデジタル信号の下位側のビット情報に応じて制御する構成とすることができる。

40

50

【 0 0 2 1 】

本開示の第1の態様に係るデータドライバの駆動方法にあっては、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とする期間は、表示パネルにおける走査期間に対して一定の割合を占めるように設定されている構成とすることができるし、あるいは又、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とする期間が表示パネルにおける走査期間に対して占める割合を、入力されるデジタル信号の下位側のビット情報に応じて制御する構成とすることができる。本開示の第1の態様に係る表示装置の駆動方法においても同様である。

【 0 0 2 2 】

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムが短いものであるかどうかは、基本的には、各差動対を駆動する際の負担が相対的に小さいものであるか否かで決定される。従って、基本的には、差動増幅部の回路構成に基づいて定まるが、実機などを用いた評価で妥当性を適宜確認すればよい。

【 0 0 2 3 】

以下、本開示の第1の態様に係るデジタルアナログ変換回路、データドライバ、表示装置、及び、電子機器、ならびに、第1の態様に係るデジタルアナログ変換回路の駆動方法、データドライバの駆動方法、及び、表示装置の駆動方法を、単に、本開示と呼ぶ場合がある。

【 0 0 2 4 】

デジタルアナログ変換回路やデータドライバは、各構成部分が集積され一体となった構成であってもよいし、適宜別体として構成されていてもよい。これらは、周知の回路素子を用いて構成することができる。例えば、分圧回路は、抵抗などを用いて構成することができるし、セクタ部は、論理回路などから構成することができる。後述する図1に示す分配部についても同様である。また、作動増幅回路は、トランジスタやオペアンプなどを用いて構成することができる。尚、図1に示す走査部や電源部、図4に示す入力信号処理部や下位階調制御部についても、周知の回路素子を用いて構成することができる。

【 0 0 2 5 】

本開示の表示装置に用いられる表示パネルとして、液晶表示パネルやエレクトロルミネッセンス表示パネルなどといった、周知の表示パネルを例示することができる。表示パネルの構成は、表示装置としての動作に支障がない限り、特に限定するものではない。

【 0 0 2 6 】

表示パネルは、所謂モノクロ表示の構成であってもよいし、カラー表示の構成であってもよい。カラー表示の構成とする場合には、1つの画素は複数の副画素から成る構成、具体的には、1つの画素は、赤色発光副画素、緑色発光副画素、及び、青色発光副画素の3つの副画素から成る構成とすることができる。更には、これらの3種の副画素に更に1種類あるいは複数種類の副画素を加えた1組（例えば、輝度向上のために白色光を発光する副画素を加えた1組、色再現範囲を拡大するために補色を発光する副画素を加えた1組、色再現範囲を拡大するためにイエローを発光する副画素を加えた1組、色再現範囲を拡大するためにイエロー及びシアンを発光する副画素を加えた1組）から構成することもできる。

【 0 0 2 7 】

表示パネルの画素（ピクセル）の値として、U - XGA（1600，1200）、HD - TV（1920，1080）、Q - XGA（2048，1536）の他、（3840，2160）、（7680，4320）等、画像表示用解像度の幾つかを例示することができるが、これらの値に限定するものではない。

【 0 0 2 8 】

本明細書における各種の条件は、数学的に厳密に成立する場合の他、実質的に成立する場合にも満たされる。設計上あるいは製造上生ずる種々のばらつきは許容される。

【 0 0 2 9 】

10

20

30

40

50

以下の説明で用いるタイミングチャートにおいて、各期間を示す横軸の長さ（時間長）は模式的なものであり、各期間の時間長の割合を示すものではない。縦軸においても同様である。また、タイミングチャートにおける波形の形状も模式的なものである。

【0030】

[第1の実施形態]

第1の実施形態は、本開示の第1の態様に係る、デジタルアナログ変換回路、データドライバ、及び、表示装置、並びに、デジタルアナログ変換回路の駆動方法、データドライバの駆動方法、及び、表示装置の駆動方法に関する。

【0031】

図1は、第1の実施形態に係る表示装置の概念図である。表示装置1は、電流駆動型の発光部と発光部を駆動する駆動回路とを含む表示素子3が、行方向（図1においてX方向）に延びる走査線SCLと列方向（図1においてY方向）に延びるデータ線DTLとに接続された状態で2次元マトリクス状に配列された表示パネル2、及び、データ線DTLに電圧を印加するデータドライバ102を備えている。走査線SCLには、走査部101から走査信号が供給される。表示素子3を構成する発光部は、例えば有機エレクトロルミネセンス発光部から成る。尚、図示の都合上、図1においては、1つの表示素子3、より具体的には、後述する第(n, m)番目の表示素子3についての結線関係を示した。後述する図2においても同様である。

10

【0032】

表示パネル2は、更に、行方向に並ぶ表示素子3に接続される給電線PS1と、全ての表示素子3に共通に接続される共通給電線PS2を備えている。給電線PS1には、電源部100から所定の駆動電圧が供給される。共通給電線PS2には、共通の電圧（例えば接地電位）が供給される。

20

【0033】

図1では図示されていないが、表示パネル2が画像を表示する領域（表示領域）は、行方向にN個、列方向にM個、合計N×M個の、2次元マトリクス状に配列された表示素子3から構成されている。表示領域における表示素子3の行数はMであり、各行を構成する表示素子3の数はNである。

【0034】

また、走査線SCL及び給電線PS1の本数はそれぞれM本である。第m行目（但し、 $m = 1, 2, \dots, M$ ）の表示素子3は、第m番目の走査線SCL_m及び第m番目の給電線PS1_mに接続されており、1つの表示素子行を構成する。尚、図1では、給電線PS1_mのみが示されている。

30

【0035】

また、データ線DTLの本数はN本である。第n列目（但し、 $n = 1, 2, \dots, N$ ）の表示素子3は、第n番目のデータ線DTL_nに接続されている。尚、図1では、データ線DTL_nのみが示されている。

【0036】

表示装置1は、例えばモノクロ表示の表示装置であり、1つの表示素子3が1つの画素を構成する。走査部101からの走査信号によって、表示装置1は行単位で線順次走査される。第m行、第n列目に位置する表示素子3を、以下、第(n, m)番目の表示素子3あるいは第(n, m)番目の画素と呼ぶ。

40

【0037】

表示装置1にあっては、第m行目に配列されたN個の画素のそれぞれを構成する表示素子3が同時に駆動される。換言すれば、行方向に沿って配されたN個の表示素子3にあっては、その発光/非発光のタイミングは、それらが属する行単位で制御される。表示装置1の表示フレームレートをFR（回/秒）と表せば、表示装置1を行単位で線順次走査するときの1行当たりの走査期間（いわゆる水平走査期間）は、 $(1/FR) \times (1/M)$ 秒未満である。

【0038】

50

表示装置 1 のデータドライバ 102 には、例えば図示せぬ装置から、表示すべき画像に応じた階調を表すデジタル信号 D_{sig} が入力される。入力されるデジタル信号 D_{sig} のうち、第 (n, m) 番目の表示素子 3 に対応するデジタル信号を $D_{sig(n,m)}$ と表す場合がある。

【0039】

説明の都合上、デジタル信号 $D_{sig(n,m)}$ の階調ビット数は 12 ビットであるとする。階調値は、表示すべき画像の輝度に応じて、0 ないし 4095 のいずれかの値となる。ここでは、階調値が大きいほど表示すべき画像の輝度が高いものとする。尚、上述の階調ビット数は例示に過ぎない。8 ビット、16 ビットおよび 24 ビットなどといった階調ビット数とした構成であってもよい。

10

【0040】

表示素子 3 は、電流駆動型の発光部 ELP、書込みトランジスタ T_{RW} 、駆動トランジスタ T_{RD} 、及び、容量部 C_1 を少なくとも備えており、駆動トランジスタ T_{RD} のソース/ドレイン領域を介して発光部 ELP に電流が流れると発光する。これらのトランジスタは、例えば、ガラスなどの基板上に形成された半導体薄膜から構成されていてもよいし、シリコン半導体基板上に設けられていてもよい。各トランジスタは、n チャンネル型の電界効果トランジスタから構成されている。

【0041】

容量部 C_1 は、駆動トランジスタ T_{RD} のソース領域に対するゲート電極の電圧（所謂ゲート-ソース間電圧）を保持するために用いられる。表示素子 3 の発光状態においては、駆動トランジスタ T_{RD} の一方のソース/ドレイン領域（図 1 において給電線 PS1 に接続されている側）はドレイン領域として働き、他方のソース/ドレイン領域（発光部 ELP の一端、具体的には、アノード電極に接続されている側）はソース領域として働く。容量部 C_1 を構成する一方の電極と他方の電極は、それぞれ、駆動トランジスタ T_{RD} の他方のソース/ドレイン領域とゲート電極に接続されている。

20

【0042】

書込みトランジスタ T_{RW} は、走査線 SCL に接続されたゲート電極と、データ線 DTL に接続された一方のソース/ドレイン領域と、駆動トランジスタ T_{RD} のゲート電極に接続された他方のソース/ドレイン領域とを有する。

【0043】

駆動トランジスタ T_{RD} のゲート電極は、書込みトランジスタ T_{RW} の他方のソース/ドレイン領域と容量部 C_1 の他方の電極とに接続されており、駆動トランジスタ T_{RD} の他方のソース/ドレイン領域は、容量部 C_1 の一方の電極と発光部 ELP のアノード電極とに接続されている。

30

【0044】

発光部 ELP の他端（具体的には、カソード電極）は、共通給電線 PS2 に接続されている。共通給電線 PS2 には所定のカソード電圧 V_{cat} が供給される。尚、発光部 ELP の容量を符号 C_{EL} で表す。

【0045】

データドライバ 102 からデータ線 DTL に、表示すべき画像の輝度に応じた電圧が供給された状態で、走査部 101 からの走査信号により書込みトランジスタ T_{RW} が導通状態とされると、容量部 C_1 に表示すべき画像の輝度に応じた電圧が書き込まれる。書込みトランジスタ T_{RW} が非導通状態とされた後、容量部 C_1 に保持された電圧に応じて駆動トランジスタ T_{RD} に電流が流れ、発光部 ELP が発光する。

40

【0046】

表示装置を構成する表示素子は、図 1 に示す構成に限るものではない。別の構成の表示素子を備えた例について説明する。

【0047】

図 2 は、図 1 に示す表示素子とは異なる構成の表示素子を備えた表示装置の概念図である。図 3 は、図 2 に示す表示素子の模式的な一部断面図である。

50

【0048】

図2に示す表示装置1'を構成する表示素子3'は、電流駆動型の発光部ELP、書込みトランジスタ TR_W 、駆動トランジスタ TR_D 、及び、容量部 C_1 に加えて、第1発光制御トランジスタ TR_{EL1} 、第2発光制御トランジスタ TR_{EL2} 、及び、補助容量部 C_2 を備えている。これらのトランジスタは、例えば、シリコン半導体基板上に設けられている。各トランジスタは、pチャネル型の電界効果トランジスタから構成されている。

【0049】

表示装置1'にあつては、走査線 SC_L 、データ線 DT_L に加えて、第1発光制御線 CL_1 、第2発光制御線 CL_2 を備えている。これらは、発光制御部103に接続されている。

10

【0050】

また、表示装置1'にあつては、図1に示す給電線 PS_1 に代えて、第1給電線 PS_1A 、第2給電線 PS_1B を備えている。第1給電線 PS_1A は第1電源部100Aに接続され、第2給電線 PS_1B は第2電源部100Bに接続されている。

【0051】

表示素子3'にあつては、駆動トランジスタ TR_D の一方のソース/ドレイン領域23は、第1発光制御トランジスタ TR_{EL1} の他方のソース/ドレイン領域37に接続されており、他方のソース/ドレイン領域24は、発光部ELPに接続されており、ゲート電極21は、書込みトランジスタ TR_W の他方のソース/ドレイン領域34に接続され、且つ、容量部 C_1 の他端42に接続されている。

20

【0052】

また、書込みトランジスタ TR_W にあつては、一方のソース/ドレイン領域33は、データ線 DT_L に接続されており、ゲート電極31は、走査線 SC_L に接続されている。

【0053】

第1発光制御トランジスタ TR_{EL1} にあつては、一方のソース/ドレイン領域36は、第1給電線 PS_1A に接続されており、ゲート電極35は、第1発光制御線 CL_1 に接続されている。

【0054】

容量部 C_1 の一端41は、補助容量部 C_2 を介して第2給電線 PS_1B に接続されており、且つ、駆動トランジスタ TR_D の一方のソース/ドレイン領域23及び第1発光制御トランジスタ TR_{EL1} の他方のソース/ドレイン領域37に接続されている。

30

【0055】

第2発光制御トランジスタ TR_{EL2} のゲート電極は、第2発光制御線 CL_2 に接続されており、一方のソース/ドレイン領域は、駆動トランジスタ TR_D の他方のソース/ドレイン領域(ドレイン領域24)に接続されており、他方のソース/ドレイン領域は電位 V_{SS} とされている。

【0056】

図3に示すように、駆動トランジスタ TR_D 、書込みトランジスタ TR_W 、及び、第1発光制御トランジスタ TR_{EL1} は、それぞれ、p型シリコン半導体基板10に形成されたn型ウエル内に設けられている。即ち、これらのトランジスタは、pチャネル型MOSFETから成る。駆動トランジスタ TR_D は第1ウエル11内に設けられており、書込みトランジスタ TR_W は第2ウエル12内に設けられており、第1発光制御トランジスタ TR_{EL1} は第3ウエル(図示せず)、第2発光制御トランジスタ TR_{EL2} は第4ウエル(図示せず)に設けられている。

40

【0057】

そして、駆動トランジスタ TR_D の一方のソース/ドレイン領域23と、駆動トランジスタ TR_D が形成されたn型ウエル(第1ウエル11)とは、電氣的に接続されている。具体的には、図3に示すように、第1ウエル11の表面領域に、 n^+ を有する接続領域25が設けられている。そして、接続領域25と駆動トランジスタ TR_D の一方のソース/ドレイン領域23とは、コンタクトホール70及び配線等(具体的には、容量部 C_1 の一

50

方の電極 4 1) を介して電氣的に接続されている。

【 0 0 5 8 】

容量部 C_1 (図 3 には、円で囲んだ部分で示す) は、一方の電極 (一端) 4 1、他方の電極 (他端) 4 2、及び、これらの電極 4 1、4 2 に挟まれた誘電体層 (絶縁層) 4 3 から構成されている。

【 0 0 5 9 】

第 2 ウエル 1 2 は、全ての表示素子 3 ' において同じ電位とされている。具体的には、第 2 ウエル 1 2 は、シリコン半導体基板 1 0 を介して所定の電位 (基板電位であり、例えば、駆動回路で使用される最も高い電位) とされている。第 3 ウエルも、シリコン半導体基板 1 0 を介して所定の電位 (基板電位であり、例えば、駆動回路で使用される最も高い電位) とされている。各表示素子 3 ' を構成する駆動トランジスタ T_{RD} 、書込みトランジスタ T_{RW} 、第 1 発光制御トランジスタ T_{REL1} は、素子分離領域 1 4 によって囲まれている。

10

【 0 0 6 0 】

駆動トランジスタ T_{RD} において、一方のソース/ドレイン領域 2 3 は、コンタクトホール 7 0 を介して容量部 C_1 の一方の電極 4 1 に接続されており、更には、発光制御トランジスタ T_{REL_C} の他方のソース/ドレイン領域 3 7 (図 3 には図示せず) に接続されている。また、他方のソース/ドレイン領域 2 4 は、別のコンタクトホール及びコンタクトパッド 7 1 を介して発光部 (有機 EL 発光部) ELP の第 1 電極 5 1 に接続されている。ゲート電極 2 1 は、更に別のコンタクトホール及びコンタクトパッド 7 2 を介して容量部 C_1 の他方の電極 4 2 に接続されており、更に、書込みトランジスタ T_{RW} の他方のソース/ドレイン領域 3 4 (実施例にあつては、具体的には、画像信号の書き込み時、ドレイン領域 3 4 として機能するソース/ドレイン領域。以下においても同様) に接続されている。

20

【 0 0 6 1 】

更には、書込みトランジスタ T_{RW} において、一方のソース/ドレイン領域 3 3 は、コンタクトホール及びコンタクトパッド 7 3、データ線 DTL を介してデータドライバ 1 0 2 に接続されている。ゲート電極 3 1 は、別のコンタクトホール及びコンタクトパッド 7 4、走査線 SC_L を介して走査部 1 0 1 に接続されている。

【 0 0 6 2 】

図 3 において、尚、参照番号 1 4 は素子分離領域を示し、参照番号 2 2、3 2 はゲート絶縁層を示す。コンタクトホール及びコンタクトパッド 7 1、7 2、7 3、7 4 は、第 1 の方向に延びる走査線 SC_L や第 1 給電線 $PS1A$ 等と短絡しないように設けられており、図 3 には、この状態が図示されている。

30

【 0 0 6 3 】

シリコン半導体基板 1 0 に設けられた駆動トランジスタ T_{RD} 、書込みトランジスタ T_{RW} 、及び、第 1 発光制御トランジスタ T_{REL1} (図 3 には図示せず) は、層間絶縁層 6 1 によって覆われている。そして、層間絶縁層 6 1 上に、容量部 C_1 の一方の電極 4 1 及び誘電体層 (絶縁層) 4 3 が形成されており、誘電体層 (絶縁層) 4 3 の上に容量部 C_1 の他方の電極 4 2 が形成されている。また、誘電体層 (絶縁層) 4 3 及び容量部 C_1 の他方の電極 4 2 の上に層間絶縁層 6 2 が形成され、層間絶縁層 6 2 の上に走査線 SC_L が形成されている。更には、層間絶縁層 6 2 及び走査線 SC_L の上に層間絶縁層 6 3 が形成され、層間絶縁層 6 3 の上にデータ線 DTL が形成されている。また、層間絶縁層 6 3 及びデータ線 DTL の上に層間絶縁層 6 4 が形成され、層間絶縁層 6 4 の上に第 1 給電線 $PS1A$ 、第 2 給電線 $PS1B$ (図 3 には図示せず) 及び第 1 発光制御線 $CL1$ (図 3 には図示せず) が形成されている。更には、層間絶縁層 6 4、第 1 給電線 $PS1A$ 、第 2 給電線 $PS1B$ 及び第 1 発光制御線 $CL1$ の上に層間絶縁層 6 5 が形成され、層間絶縁層 6 5 の上に、発光部 ELP を構成する第 1 電極 5 1 が形成されている。また、層間絶縁層 6 5 及び第 1 電極 5 1 の上に、第 1 電極 5 1 が底部に露出した開口部を有する層間絶縁層 6 6 が形成され、層間絶縁層 6 6 及び第 1 電極 5 1 の上に、発光部 ELP を構成する正孔輸送層、

40

50

発光層、電子輸送層（これらの積層構造体である有機材料層 5 2）、第 2 電極 5 3 が形成され、第 2 電極 5 3 上に絶縁層 6 7 が形成されている。絶縁層 6 7 の上には、図示しない接着層を介してガラス板（図示せず）が接着されている。場合によっては、有機材料層 5 2 及び第 2 電極 5 3 のパターンングは不要である。走査線 SCL、データ線 DTL、第 1 給電線 PS1A、第 2 給電線 PS1B、第 1 発光制御線 CL1 の積層順は、上記の積層順に限定されるものではなく、本質的に任意である。第 2 電極 5 3 にはカソード電圧 V_{Cat} が供給される。

【0064】

以上に説明した表示素子 3' の製造は、周知の方法に基づき行うことができるし、表示素子 3' の製造に用いる各種の材料も周知の材料とすることができる。

10

【0065】

図 2 に示す表示素子 3' の動作の概要について説明する。発光時には、書込みトランジスタ TR_W 、第 2 発光制御トランジスタ TR_{EL2} は非導通状態、第 1 発光制御トランジスタ TR_{EL1} は導通状態である。容量部 C_1 に保持された電圧に応じて駆動トランジスタ TR_D に電流が流れ、発光部 ELP が発光する。

【0066】

この状態から、第 1 発光制御トランジスタ TR_{EL1} を非導通状態とする。駆動トランジスタ TR_D が第 1 電源部 100A から切り離されるので、発光部 ELP は非発光状態となる。次いで、第 2 発光制御トランジスタ TR_{EL2} を導通状態とし、発光部 ELP のアノード電極 5 1 の電位を V_{SS} とする。電位 V_{SS} は、発光部 ELP の閾値電圧を超えない値に設定されている。その後、第 1 発光制御トランジスタ TR_{EL1} を導通状態とし、駆動トランジスタ TR_D を介して電流を流す。このとき、発光部 ELP のアノード電位は電位 V_{SS} なので発光部 ELP は非発光状態を保つ。従って、駆動トランジスタ TR_D を流れる電流は、第 2 発光制御トランジスタ TR_{EL2} に流れる。

20

【0067】

その後、駆動トランジスタ TR_D のゲートに基準電位 V_{ofs} を印加する。基準電位 V_{ofs} は、例えば、データ線 DTL から書込みトランジスタ TR_W を介して印加される。駆動トランジスタ TR_D のソース領域には駆動電圧が印加され、ドレイン領域の電位は電位 V_{SS} である。駆動トランジスタ TR_D におけるゲート/ソース間電圧が駆動トランジスタ TR_D の閾値電圧 V_{th} よりも充分に大きくなるように基準電位 V_{ofs} は設定されている。

30

【0068】

その後、第 1 発光制御トランジスタ TR_{EL1} を非導通状態とする。このとき、容量部 C_1 から、駆動トランジスタ TR_D を経由して第 2 発光制御トランジスタ TR_{EL2} へと電流が流れる。駆動トランジスタ TR_D のゲートに基準電圧 V_{ofs} が印加されているので、駆動トランジスタ TR_D のソース電位が低下し、やがて、駆動トランジスタ TR_D がカットオフした時点で電流が流れなくなる。駆動トランジスタ TR_D がカットオフしたとき、ソース領域とゲート電極との間には、駆動トランジスタ TR_D の閾値電圧 V_{th} 相当の電位差が生じる。この電位差は、容量部 C_1 に保持される。

【0069】

次いで、データドライバ 102 からデータ線 DTL に、表示すべき画像の輝度に応じた電圧が供給された状態で、導通状態の書込みトランジスタ TR_W を介して容量部 C_1 に表示すべき画像の輝度に応じた電圧が書き込まれる。書込みトランジスタ TR_W や第 2 発光制御トランジスタ TR_{EL2} が非導通状態とされ、第 1 発光制御トランジスタ TR_{EL1} が導通状態とされると、容量部 C_1 に保持された電圧に応じて駆動トランジスタ TR_D に電流が流れ、発光部 ELP が発光する。

40

【0070】

以上、第 1 の実施形態に係る表示装置の概要について説明した。

【0071】

図 4 は、第 1 の実施形態に係るデータドライバにおいて、第 n 番目のデータ線の駆動に関与する部分を構成するデジタルアナログ変換回路の構成を説明するための模式的な回路

50

図である。

【0072】

デジタルアナログ変換回路1020の構成について詳しく説明する。データドライバ102を構成するデジタルアナログ変換回路1020は、
入力されるデジタル信号の上位側のビット情報に応じて分圧回路102Cから複数のノードを選択し、選択したノードの電圧を出力するセクタ部102D、及び、
セクタ部102Dの出力電圧が入力される複数の差動対を備えた差動増幅部102F、
を備えている。

【0073】

デジタルアナログ変換回路1020は、更に、タイミングコントローラやバッファなどを備えた入力信号処理部102A、テーブルなどを備えた下位階調制御部102B、及び、分配部102Eを備えている。

【0074】

入力信号処理部には、表示パネルの走査に併せて、第m列目の表示素子3に対応するデジタル信号 $D_{Sig(n,1)}$ ないし $D_{(n,M)}$ が順次入力される。

【0075】

分圧回路102Cは、符号R_oで示す抵抗素子がP個直列に接続されて構成されている。分圧回路の一端には高階調側の基準電圧 V_{GAM_H} が印加され、他端には低階調側の基準電圧 V_{GAM_L} が印加される。ここでは、基準電圧 $V_{GAM_H} > 基準電圧 V_{GAM_L}$ といった高低関係であるとする。図4において、符号 ND_0 ないし ND_p は、分圧回路102Cのノードを示す。記載の都合上、ノード ND_p （但し、 $p = 0, 1, \dots, P$ ）の電圧を、電圧 ND_p と表す。尚、分圧回路102Cは、データドライバ102において共通の回路として設けられている。

【0076】

図4に示す例では、電圧 $ND_0 = 基準電圧 V_{GAM_L}$ 、電圧 $ND_p < 電圧 ND_{p+1}$ 、電圧 $ND_p = 基準電圧 V_{GAM_H}$ といった関係にある。

【0077】

説明の都合上、デジタル信号 $D_{Sig(n,m)}$ が入力信号処理部102Aに入力されているとして説明する。

【0078】

入力信号処理部102Aは、デジタル信号 $D_{Sig(n,m)}$ の上位側のビット情報をセクタ部102Dに送り、下位側のビット情報を下位階調制御部102Bに送る。具体的には、12ビットの情報のうち上位9ビットの情報をセクタ部102Dに送り、下位3ビットの情報を下位階調制御部102Bに送る。

【0079】

セクタ部102Dは、入力されるデジタル信号の上位側のビット情報に応じて分圧回路102Cから複数のノードを選択し、選択したノードの電圧を出力する。

【0080】

第1の実施形態にあつては、上位9ビットが示す値が「0」である場合、ノード ND_0 とノード ND_1 とが選択される。そして、出力電圧DC1としてノード ND_0 の電圧が出力され、出力電圧DC2としてノード ND_1 の電圧が出力される。同様に、上位9ビットが示す値が「1」である場合、ノード ND_1 とノード ND_2 とが選択される。そして、出力電圧DC1としてノード ND_1 の電圧が出力され、出力電圧DC2としてノード ND_2 の電圧が出力される。同様に、上位9ビットが示す値が「511」である場合、ノード ND_{511} とノード ND_{512} とが選択され、そして、出力電圧DC1としてノード ND_{511} の電圧が出力され、出力電圧DC2としてノード ND_{512} の電圧が出力される。

【0081】

デジタルアナログ変換回路1020にあつては、入力されるデジタル信号の下位側のビット情報に応じてセクタ部102Dの出力電圧と差動増幅部102Fの各差動対の入力

10

20

30

40

50

との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部 102F から出力される。

【0082】

差動増幅部 102F は、共通のカレントミラー 102FA に、複数の同極性の差動対が接続され、各差動対を個別の電流源で駆動するといった構成である。符号 V_{DD} は電源電圧を示す。

【0083】

複数の差動対は、同じ相互コンダクタンス特性の差動対から成る構成であってもよいし、相互コンダクタンス特性に重み付けがされている差動対から成る構成であってもよい。後者の構成は、階調表示のための差動対の数を前者よりも少なくすることができるといった利点を備えている。

10

【0084】

図 4 において、差動対群 102FB は、相互コンダクタンス特性の重み付けが 1 : 1 : 2 : 4 の比となる、第 1 差動対 DP_1 、第 2 差動対 DP_2 、第 3 差動対 DP_3 、及び、第 4 差動対 DP_4 を備えている。各差動対は、電界効果トランジスタから構成されている。

【0085】

第 1 差動対 DP_1 は、トランジスタ Q_{1A} 、 Q_{1B} の対に加えてトランジスタ Q_{1C} から構成され、第 2 差動対 DP_2 はトランジスタ Q_{2A} 、 Q_{2B} の対に加えてトランジスタ Q_{2C} から構成されている。同様に、第 3 差動対 DP_3 はトランジスタ Q_{3A} 、 Q_{3B} の対に加えてトランジスタ Q_{3C} から構成され、第 4 差動対 DP_4 はトランジスタ Q_{4A} 、 Q_{4B} の対に加えてトランジスタ Q_{4C} から構成されている。

20

【0086】

符号 102FC は差動増幅部 102F の最終段を構成する増幅器である。増幅器 102FC の出力端 Y_n は、差動対を構成するトランジスタ Q_{1B} 、 Q_{2B} 、 Q_{3B} 、 Q_{4B} のゲートと、表示パネルのデータ線 DTL_n に接続される。また、差動対を構成するトランジスタ Q_{1C} 、 Q_{2C} 、 Q_{3C} 、 Q_{4C} のゲートには、所定の共通の電圧 V_{bias} が印加される。

【0087】

各差動対の入力は、差動対を構成するトランジスタ Q_{1A} 、 Q_{2A} 、 Q_{3A} 、 Q_{4A} のゲートとから構成される。各差動対における相互コンダクタンス特性の重み付けは、例えば、差動対を構成するトランジスタのサイズの重み付けをすることによって行うことができる。

30

【0088】

デジタルアナログ変換回路 1020 にあっては、入力されるデジタル信号の下位側のビット情報に応じてセクタ部 102D の出力電圧と差動増幅部 102F の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部 102F から出力される。

【0089】

分配部 102E は、入力されるデジタル信号の下位側のビット情報に応じてセクタ部 102D の出力電圧 ($DC1$ 、 $DC2$) と差動増幅部 102F の各差動対の入力 ($PIN1$ 、 $PIN2$ 、 $PIN3$ 、 $PIN4$) との対応関係を制御する。

【0090】

ここで、本開示の理解を助けるため、図 4 から下位階調制御部 102B を除いた参考例のデジタルアナログ変換回路について、動作と問題点を説明する。

40

【0091】

図 5 は、第 n 番目のデータ線の駆動に参与する部分を構成する参考例のデジタルアナログ変換回路の構成を説明するための模式的な回路図である。

【0092】

図 5 に示す構成において、セクタ部 102D の出力電圧 $DC1$ 、 $DC2$ と差動増幅部 102F の各差動対の入力 $PIN1$ 、 $PIN2$ 、 $PIN3$ 、 $PIN4$ との対応関係は、入力信号処理部 102A から分配部 102E に送られるデジタル信号 $D_{Sig(n,m)}$ の下位 3 ビットの情報に基づいて制御される。

50

【 0 0 9 3 】

図 6 A は、参考例のデジタルアナログ変換回路において、入力信号の下位 3 ビットと各差動対に入力される電圧との関係を説明するための表である。

【 0 0 9 4 】

下位 3 ビットが [0 0 0] の場合、差動増幅部 1 0 2 F からの出力が最も低くなるように、セレクタ部 1 0 2 D の出力電圧 D C 1 , D C 2 と差動増幅部 1 0 2 F の各差動対の入力 P I N 1 , P I N 2 , P I N 3 , P I N 4 を対応させればよい。具体的には、各差動対の入力 P I N 1 , P I N 2 , P I N 3 , P I N 4 の全てに出力電圧 D C 1 を対応させる。

【 0 0 9 5 】

そして、下位 3 ビットが [0 0 1] ないし [1 1 1] の場合には、順次差動増幅部 1 0 2 F からの出力が順次増加するように、出力電圧 D C 1 , D C 2 と差動増幅部 1 0 2 F の各差動対の入力 P I N 1 , P I N 2 , P I N 3 , P I N 4 を対応させればよい。

10

【 0 0 9 6 】

以上の結果から、図 5 に示す例では、入力信号の下位 3 ビットと各差動対に入力される電圧との関係は図 6 A のように表される。

【 0 0 9 7 】

ここで、差動対群 1 0 2 F B を駆動する際の負荷を考える。差動対群 1 0 2 F B の駆動に最も負荷がかかるのは、同じ電圧で 4 つの差動対を駆動する場合、特に、出力電圧 D C 1 で 4 つの差動対を駆動する場合である。従って、図 6 B に示すように、下位 3 ビットが [0 0 0] のときにセトリングタイムが最も長くなる。

20

【 0 0 9 8 】

一方、差動対群 1 0 2 F B の駆動に負荷が最も軽くなるのは、電圧が高い出力電圧 D C 2 を用いて相互コンダクタンス特性の重み付けが大きい第 4 差動対 D P₄ を駆動し、他の駆動対を出力電圧 D C 1 で駆動するといった場合である。従って、下位 3 ビットが [1 0 0] のときにセトリングタイムが最も短くなる。

【 0 0 9 9 】

従って、入力信号の下位 3 ビット単位で、セトリングタイムには周期的な変動が生ずる。具体的には、図 7 に示すように、8 階調周期でセトリングタイムがばらつくといった問題が生ずる。

【 0 1 0 0 】

そこで、図 4 に示す第 1 の実施形態にあっては、デジタル信号に応じた電圧を出力する際に、セレクタ部 1 0 2 D の出力電圧と差動増幅部 1 0 2 F の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされた後、入力されるデジタル信号の下位側のビット情報に応じてセレクタ部 1 0 2 D の出力電圧と差動増幅部 1 0 2 F の各差動対の入力との対応関係が制御される。下位階調制御部 1 0 2 B は、上述した制御を行うために用いられる。

30

【 0 1 0 1 】

第 1 の実施形態において、デジタル信号 $D_{sig(n,m)}$ の下位 3 ビットの情報は、入力信号処理部 1 0 2 A から下位階調制御部 1 0 2 B に送られる。そして、分配部 1 0 2 E の動作は、下位階調制御部 1 0 2 B によって制御される。

40

【 0 1 0 2 】

図 8 は、第 1 の実施形態に係る下位階調制御回路の動作を説明するための図である。

【 0 1 0 3 】

下位階調制御部 1 0 2 B は、最速の書込みを行う期間、より具体的には、セトリングタイムが最も短くなる、下位 3 ビット [1 0 0] の書込みを行う期間 T_{pcg} を決定し、併せて、デジタル信号 $D_{sig(n,m)}$ の下位 3 ビットの情報に応じた、出力電圧 D C 1 , D C 2 と差動増幅部 1 0 2 F の各差動対の入力 P I N 1 , P I N 2 , P I N 3 , P I N 4 を対応する。後者の対応関係は、図 6 A において示したものと同様である。

【 0 1 0 4 】

そして、期間 T_{pcg} の間、出力電圧 D C 1 , D C 2 と差動増幅部 1 0 2 F の各差動対の

50

入力 $PIN1$, $PIN2$, $PIN3$, $PIN4$ の対応関係が最速、より具体的には、図 6 C となるようにし、その後、デジタル信号 $D_{Sig(n,m)}$ の下位 3 ビットの情報に応じた、出力電圧 $DC1$, $DC2$ と差動増幅部 102F の各差動対の入力 $PIN1$, $PIN2$, $PIN3$, $PIN4$ の対応関係となるように、分配部 102E を制御する。

【0105】

ここで、セクタ部 102D の出力電圧と差動増幅部 102F の各差動対の入力との対応関係がセtringタイムの短い対応関係とされる期間 T_{pcg} は、所定の一定の長さに設定されている構成であってもよいし、あるいは又、その長さは入力されるデジタル信号の下位側のビット情報に応じて制御されるといった構成であってもよい。例えば、下位階調制御部 102B は、下位 3 ビットに対応した期間 T_{pcg} の長さを納めたテーブルを参照して制御するといった構成とすることができる。

10

【0106】

あるいは又、表示装置を走査するといった観点から、期間 T_{pcg} は表示パネルにおける走査期間に対して一定の割合を占めるように設定されている構成であってもよいし、あるいはまた、走査期間に対して占める割合が、入力されるデジタル信号の下位側のビット情報に応じて制御されるといった構成であってもよい。表示装置の構成にもよるが、期間 T_{pcg} が走査期間に占める割合は 10% ないし 50% 程度とすることが好ましい。

【0107】

図 9 は、第 m 行の走査期間と、第 $(m+1)$ 行の走査期間におけるデータドライバの動作などを説明するための模式的なグラフである。

20

【0108】

このグラフは、出力電圧 $DC1$ が電圧 ND_p 、出力電圧 $DC2$ が電圧 ND_{p+1} である場合に、第 m 行の走査期間において下位階調 [111] の書き込みを行い、第 $(m+1)$ 行の走査期間において下位階調 [001] の書き込みを行う際の動作を示す。

【0109】

第 m 行の走査期間にあつては、その始期から期間 T_{pcg} に亘って階調 [100] の書き込みを行い、次いで、下位階調 [111] の書き込みを行う。破線は、期間 T_{pcg} の書き込みを行わずに、走査期間全般において下位階調 [111] の書き込みを行った場合のグラフを示す。同様に、第 $(m+1)$ 行の走査期間にあつては、その始期から期間 T_{pcg} に亘って階調 [100] の書き込みを行い、次いで、下位階調 [001] の書き込みを行う。破線は、期間 T_{pcg} の書き込みを行わずに、走査期間全般において下位階調 [001] の書き込みを行った場合のグラフを示す。

30

【0110】

図 9 に示すように、デジタル信号 $D_{Sig(n,m)}$ に応じた電圧 $V_{Sig(n,m)}$ に達するまでの時間、あるいは又、デジタル信号 $D_{Sig(n,m+1)}$ に応じた電圧 $V_{Sig(n,m+1)}$ に達するまでの時間は、期間 T_{pcg} に亘る書き込みを行うことにより短縮される。これによって、セtringタイムを短縮することができるので、結果として、セtringタイムの周期的な変動が軽減される。

【0111】

回路シミュレーションでの検証では、従来構成の回路においてセtringタイムが 400 ~ 800 [nS] の範囲でばらついていた。これに対し、本開示の構成ではセtringタイムは 400 ~ 480 [nS] の範囲のばらつきに留まるといった結果が得られた。

40

【0112】

以上、第 1 の実施形態について説明した。

【0113】

上述の説明では、セクタ部 102D は分圧回路 102C の 2 つのノード、より具体的には、隣接するノード ND_p とノード ND_{p+1} とを選択するとして説明したが、これは例示に過ぎない。例えば、離隔したノードを選択するといった構成も考えられる。あるいは又、分配部 102E の構成にもよるが、セクタ部 102D が 3 つ以上のノードを選択するといった構成も考えられる。

50

【 0 1 1 4 】

また、図 9 に示す例では、期間 T_{pcg} において一律に階調 [1 0 0] を書き込むとして説明したが、デジタル信号 $D_{sig(n,m)}$ の下位 3 ビットの値に応じて、期間 T_{pcg} において書き込む階調を変えるといった構成であってもよい。

【 0 1 1 5 】

[電子機器]

以上説明した本開示の表示装置は、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示部（表示装置）として用いることができる。一例として、例えば、テレビジョンセット、デジタルスチルカメラ、ノート型パーソナルコンピュータ、携帯電話機等の携帯端末装置、ビデオカメラ、ヘッドマウントディスプレイ（頭部装着型ディスプレイ）等の表示部として用いることができる。

10

【 0 1 1 6 】

本開示の表示装置は、封止された構成のモジュール形状のものをも含む。一例として、画素アレイ部に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが該当する。尚、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やフレキシブルプリントサーキット（FPC）などが設けられていてもよい。以下に、本開示の表示装置を用いる電子機器の具体例として、デジタルスチルカメラ及びヘッドマウントディスプレイを例示する。但し、ここで例示する具体例は一例に過ぎず、これに限られるものではない。

20

【 0 1 1 7 】

(具体例 1)

図 10 は、レンズ交換式一眼レフレックスタイプのデジタルスチルカメラの外観図であり、図 10 A にその正面図を示し、図 10 B にその背面図を示す。レンズ交換式一眼レフレックスタイプのデジタルスチルカメラは、例えば、カメラ本体部（カメラボディ）311 の正面右側に交換式の撮影レンズユニット（交換レンズ）312 を有し、正面左側に撮影者が把持するためのグリップ部 313 を有している。

【 0 1 1 8 】

そして、カメラ本体部 311 の背面略中央にはモニタ 314 が設けられている。モニタ 314 の上部には、ビューファインダ（接眼窓）315 が設けられている。撮影者は、ビューファインダ 315 を覗くことによって、撮影レンズユニット 312 から導かれた被写体の光像を視認して構図決定を行うことが可能である。

30

【 0 1 1 9 】

上記の構成のレンズ交換式一眼レフレックスタイプのデジタルスチルカメラにおいて、そのビューファインダ 315 として本開示の表示装置を用いることができる。すなわち、本例に係るレンズ交換式一眼レフレックスタイプのデジタルスチルカメラは、そのビューファインダ 315 として本開示の表示装置を用いることによって作製される。

【 0 1 2 0 】

(具体例 2)

図 11 は、ヘッドマウントディスプレイの外観図である。ヘッドマウントディスプレイは、例えば、眼鏡形の表示部 411 の両側に、使用者の頭部に装着するための耳掛け部 412 を有している。このヘッドマウントディスプレイにおいて、その表示部 411 として本開示の表示装置を用いることができる。すなわち、本例に係るヘッドマウントディスプレイは、その表示部 411 として本開示の表示装置を用いることによって作製される。

40

【 0 1 2 1 】

(具体例 3)

図 12 は、シースルーヘッドマウントディスプレイの外観図である。シースルーヘッドマウントディスプレイ 511 は、本体部 512、アーム 513 および鏡筒 514 で構成される。

【 0 1 2 2 】

50

本体部 5 1 2 は、アーム 5 1 3 および眼鏡 5 0 0 と接続される。具体的には、本体部 5 1 2 の長辺方向の端部はアーム 5 1 3 と結合され、本体部 5 1 2 の側面の一侧は接続部材を介して眼鏡 5 0 0 と連結される。なお、本体部 5 1 2 は、直接的に人体の頭部に装着されてもよい。

【 0 1 2 3 】

本体部 5 1 2 は、シースルーヘッドマウントディスプレイ 5 1 1 の動作を制御するための制御基板や、表示部を内蔵する。アーム 5 1 3 は、本体部 5 1 2 と鏡筒 5 1 4 とを接続させ、鏡筒 5 1 4 を支える。具体的には、アーム 5 1 3 は、本体部 5 1 2 の端部および鏡筒 5 1 4 の端部とそれぞれ結合され、鏡筒 5 1 4 を固定する。また、アーム 5 1 3 は、本体部 5 1 2 から鏡筒 5 1 4 に提供される画像に係るデータを通信するための信号線を内蔵する。

10

【 0 1 2 4 】

鏡筒 5 1 4 は、本体部 5 1 2 からアーム 5 1 3 を経由して提供される画像光を、接眼レンズを通じて、シースルーヘッドマウントディスプレイ 5 1 1 を装着するユーザの目に向かって投射する。このシースルーヘッドマウントディスプレイ 5 1 1 において、本体部 5 1 2 の表示部に、本開示の表示装置を用いることができる。

【 0 1 2 5 】

[その他]

なお、本開示の技術は以下のような構成も取ることができる。

[1]

20

入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、

セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、を備えており、

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力される、デジタルアナログ変換回路であって、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされた後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御される、デジタルアナログ変換回路。

30

[2]

複数の差動対は、同じ相互コンダクタンス特性の差動対から成る、上記 [1] に記載のデジタルアナログ変換回路。

[3]

複数の差動対は、相互コンダクタンス特性に重み付けがされている差動対から成る、上記 [1] に記載のデジタルアナログ変換回路。

[4]

40

差動増幅部は、相互コンダクタンス特性の重み付けが 1 : 1 : 2 : 4 の比となる、第 1 差動対、第 2 差動対、第 3 差動対、及び、第 4 差動対を備えており、

セクタ部の出力電圧と差動増幅部の各差動対の入力とのセトリングタイムが短い対応関係は、セクタ部が選択した 2 つのノードのうち一方の電圧を第 4 差動対の入力とし、他方の電圧を第 1 差動対、第 2 差動対、及び、第 3 差動対の入力とする対応関係である、上記 [3] に記載のデジタルアナログ変換回路。

[5]

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされる期間は、所定の一定の長さに設定されている、上記 [1] ないし [4] のいずれかに記載のデジタルアナログ変換回路。

50

[6]

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされる期間の長さは、入力されるデジタル信号の下位側のビット情報に応じて制御される、

上記 [1] ないし [4] のいずれかに記載のデジタルアナログ変換回路。

[7]

表示パネルを駆動するために用いられるデータドライバであって、

入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、

セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、

10

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力され、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされた後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御される、

データドライバ。

[8]

20

複数の差動対は、同じ相互コンダクタンス特性の差動対から成る、

上記 [7] に記載のデータドライバ。

[9]

複数の差動対は、相互コンダクタンス特性に重み付けがされている差動対から成る、

上記 [7] に記載のデータドライバ。

[10]

差動増幅部は、相互コンダクタンス特性の重み付けが 1 : 1 : 2 : 4 の比となる、第 1 差動対、第 2 差動対、第 3 差動対、及び、第 4 差動対を備えており、

セクタ部の出力電圧と差動増幅部の各差動対の入力とのセトリングタイムが短い対応関係は、セクタ部が選択した 2 つのノードのうち一方の電圧を第 4 差動対の入力とし、他方の電圧を第 1 差動対、第 2 差動対、及び、第 3 差動対の入力とする対応関係である、
上記 [9] に記載のデータドライバ。

30

[11]

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされる期間は、所定の一定の長さに設定されている、

上記 [7] ないし [10] のいずれかに記載のデータドライバ。

[12]

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされる期間の長さは、入力されるデジタル信号の下位側のビット情報に応じて制御される、

上記 [7] ないし [10] のいずれかに記載のデータドライバ。

40

[13]

表示パネル、及び、

表示パネルを駆動するために用いられるデータドライバ、
を含んでおり、

データドライバは、

入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、

セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、

50

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力され、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされた後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御される、
表示装置。

[1 4]

複数の差動対は、同じ相互コンダクタンス特性の差動対から成る、
上記 [1 3] に記載の表示装置。

10

[1 5]

複数の差動対は、相互コンダクタンス特性に重み付けがされている差動対から成る、
上記 [1 3] に記載の表示装置。

[1 6]

差動増幅部は、相互コンダクタンス特性の重み付けが 1 : 1 : 2 : 4 の比となる、第 1 差動対、第 2 差動対、第 3 差動対、及び、第 4 差動対を備えており、

セクタ部の出力電圧と差動増幅部の各差動対の入力とのセトリングタイムが短い対応関係は、セクタ部が選択した 2 つのノードのうち一方の電圧を第 4 差動対の入力とし、他方の電圧を第 1 差動対、第 2 差動対、及び、第 3 差動対の入力とする対応関係である、
上記 [1 5] に記載の表示装置。

20

[1 7]

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされる期間は、所定の一定の長さに設定されている、
上記 [1 3] ないし [1 6] のいずれかに記載の表示装置。

[1 8]

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされる期間の長さは、入力されるデジタル信号の下位側のビット情報に応じて制御される、

上記 [1 3] ないし [1 6] のいずれかに記載の表示装置。

30

[1 9]

表示装置を備えた電子機器であって、

表示装置は、

表示パネル、及び、

表示パネルを駆動するために用いられるデータドライバ、
を含んでおり、

データドライバは、

入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、

セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、

40

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力され、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセトリングタイムの短い対応関係とされた後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御される、

電子機器。

[2 0]

50

複数の差動対は、同じ相互コンダクタンス特性の差動対から成る、
上記 [1 9] に記載の電子機器。

[2 1]

複数の差動対は、相互コンダクタンス特性に重み付けがされている差動対から成る、
上記 [1 9] に記載の電子機器。

[2 2]

差動増幅部は、相互コンダクタンス特性の重み付けが 1 : 1 : 2 : 4 の比となる、第 1
差動対、第 2 差動対、第 3 差動対、及び、第 4 差動対を備えており、

セレクタ部の出力電圧と差動増幅部の各差動対の入力とのセットリングタイムが短い対応
関係は、セレクタ部が選択した 2 つのノードのうち一方の電圧を第 4 差動対の入力とし、
他方の電圧を第 1 差動対、第 2 差動対、及び、第 3 差動対の入力とする対応関係である、
上記 [2 1] に記載の電子機器。

10

[2 3]

セレクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセットリングタイム
の短い対応関係とされる期間は、所定の一定の長さに設定されている、
上記 [1 9] ないし [2 2] のいずれかに記載の電子機器。

[2 4]

セレクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係がセットリングタイム
の短い対応関係とされる期間の長さは、入力されるデジタル信号の下位側のビット情報に
応じて制御される、

20

上記 [1 9] ないし [2 2] のいずれかに記載の電子機器。

[2 5]

入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選
択し、選択したノードの電圧を出力するセレクタ部、及び、

セレクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、

入力されるデジタル信号の下位側のビット情報に応じてセレクタ部の出力電圧と差動増
幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電
圧が差動増幅部から出力される、

デジタルアナログ変換回路の駆動方法であって、

30

デジタル信号に応じた電圧を出力する際に、セレクタ部の出力電圧と差動増幅部の各差
動対の入力との対応関係をセットリングタイムが短い対応関係とした後、入力されるデジ
タル信号の下位側のビット情報に応じてセレクタ部の出力電圧と差動増幅部の各差動対の入
力との対応関係を制御する、

デジタルアナログ変換回路の駆動方法。

[2 6]

セレクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセットリングタイム
が短い対応関係とする期間は、所定の一定の長さに設定されている、

上記 [2 5] に記載のデジタルアナログ変換回路の駆動方法。

[2 7]

セレクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセットリングタイム
が短い対応関係とする期間の長さを、入力されるデジタル信号の下位側のビット情報に応
じて制御する、

40

上記 [2 5] に記載のデジタルアナログ変換回路の駆動方法。

[2 8]

入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選
択し、選択したノードの電圧を出力するセレクタ部、及び、

セレクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、

入力されるデジタル信号の下位側のビット情報に応じてセレクタ部の出力電圧と差動増

50

幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力される、

表示パネル用のデータドライバの駆動方法であって、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とした後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係を制御する、

データドライバの駆動方法。

[2 9]

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とする期間は、表示パネルにおける走査期間に対して一定の割合を占めるように設定されている、

上記 [2 8] に記載のデータドライバの駆動方法。

[3 0]

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とする期間が表示パネルにおける走査期間に対して占める割合を、入力されるデジタル信号の下位側のビット情報に応じて制御する、

上記 [2 8] に記載のデータドライバの駆動方法。

[3 1]

表示パネル、及び、

表示パネルを駆動するために用いられるデータドライバ、
を含んでおり、

データドライバは、

入力されるデジタル信号の上位側のビット情報に応じて分圧回路から複数のノードを選択し、選択したノードの電圧を出力するセクタ部、及び、

セクタ部の出力電圧が入力される複数の差動対を備えた差動増幅部、
を備えており、

入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係が制御されることによって、デジタル信号に応じた電圧が差動増幅部から出力される、

表示装置の駆動方法であって、

デジタル信号に応じた電圧を出力する際に、セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とした後、入力されるデジタル信号の下位側のビット情報に応じてセクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係を制御する、

表示装置の駆動方法。

[3 2]

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とする期間は、表示パネルにおける走査期間に対して一定の割合を占めるように設定されている、

上記 [3 1] に記載の表示装置の駆動方法。

[3 3]

セクタ部の出力電圧と差動増幅部の各差動対の入力との対応関係をセトリングタイムが短い対応関係とする期間が表示パネルにおける走査期間に対して占める割合を、入力されるデジタル信号の下位側のビット情報に応じて制御する、

上記 [3 1] に記載の表示装置の駆動方法。

【符号の説明】

【 0 1 2 6 】

1 , 1 ' . . . 表示装置、 2 . . . 表示パネル、 3 , 3 ' . . . 表示素子、 1 0 . . . 半
導体基板、 1 1 . . . 第 1 ウエル、 1 2 . . . 第 2 ウエル、 1 3 . . . 素子分離領域、 2

10

20

30

40

50

1・・・駆動トランジスタのゲート電極、22・・・駆動トランジスタのゲート絶縁層、
 23・・・駆動トランジスタの一方のソース/ドレイン領域、24・・・駆動トランジスタ
 の他方のソース/ドレイン領域、25・・・接続領域、26・・・導電材料層、28、
 38・・・ゲートサイドウォール、31・・・書込みトランジスタのゲート電極、32・
 ・書込みトランジスタのゲート絶縁層、33・・・書込みトランジスタの一方のソース
 /ドレイン領域、34・・・書込みトランジスタの他方のソース/ドレイン領域、35・
 ・発光制御トランジスタのゲート電極、36・・・発光制御トランジスタの一方のソー
 ス/ドレイン領域、37・・・発光制御トランジスタの他方のソース/ドレイン領域、4
 1・・・容量部を構成する一方の電極、42・・・容量部を構成する他方の電極、43・
 ・容量部を構成する誘電体層(絶縁層)、51・・・発光部の第1電極、52・・・有 10
 機材料層、53・・・発光部の第2電極、61, 62, 63, 64, 65, 66, 67・
 ・絶縁層あるいは層間絶縁層、70・・・コンタクトホール、71, 72, 73, 74
 ・コンタクトホール及びコンタクトパッド、100・・・電源部、100A・・・第
 1電源部、100B・・・第2電源部、101・・・走査部、102・・・データドライ
 バ、103・・・発光制御部、 T_{RW} ・・・書込みトランジスタ、 T_{RD} ・・・駆動トラン
 ジスタ、 T_{REL1} ・・・第1発光制御トランジスタ、 T_{REL2} ・・・第2発光制御トランジ
 スタ、 C_1 ・・・容量部、 C_2 ・・・補助容量部、ELP・・・有機エレクトロルミネッセ
 ンス発光部、 C_{EL} ・・・発光部ELPの容量、SCL・・・走査線、DTL・・・デー
 タ 20
 線、PS1・・・給電線、PS1A・・・第1給電線、PS1B・・・第2給電線、PS
 2・・・共通給電線、CL1・・・第1発光制御線、CL2・・・第2発光制御線、10
 20・・・デジタルアナログ変換回路、102A・・・入力信号処理部、102B・・・
 下位階調制御部、102C・・・分圧回路、102D・・・セクタ部、102E・・・
 分配部、102F・・・差動増幅部、102FA・・・カレントミラー回路、102FB
 ・・・・4個の差動対から成る差動入力部、102FC・・・出力アンプ、 V_{DD} ・・・電源
 電圧、 V_{SS} ・・・電位、 V_{GAM_L} ・・・低階調側の基準電圧、 V_{GAM_H} ・・・高階調側
 の基準電圧、 R_0 ・・・抵抗素子、 DC_0 ないし DC_P ・・・ノード電圧、DC1, DC2
 ・・・・セクタ部の出力電圧、 DP_1 ・・・第1差動対、 DP_2 ・・・第2差動対、 DP_3
 ・・・・第3差動対、 DP_4 ・・・第4差動対、 Q_{1A} , Q_{1B} , Q_{1C} ・・・第1差動対を構成
 するトランジスタ、 Q_{2A} , Q_{2B} , Q_{2C} ・・・第2差動対を構成するトランジスタ、 Q_{3A} ,
 Q_{3B} , Q_{3C} ・・・第3差動対を構成するトランジスタ、 Q_{4A} , Q_{4B} , Q_{4C} ・・・第4差動 30
 対を構成するトランジスタ、311・・・カメラ本体部、312・・・撮影レンズユニッ
 ト、313・・・グリップ部、314・・・モニタ、315・・・ビューファインダ、5
 00・・・眼鏡、511・・・シースルーヘッドマウントディスプレイ、512・・・本
 体部、513・・・アーム、514・・・鏡筒

【 図 1 】

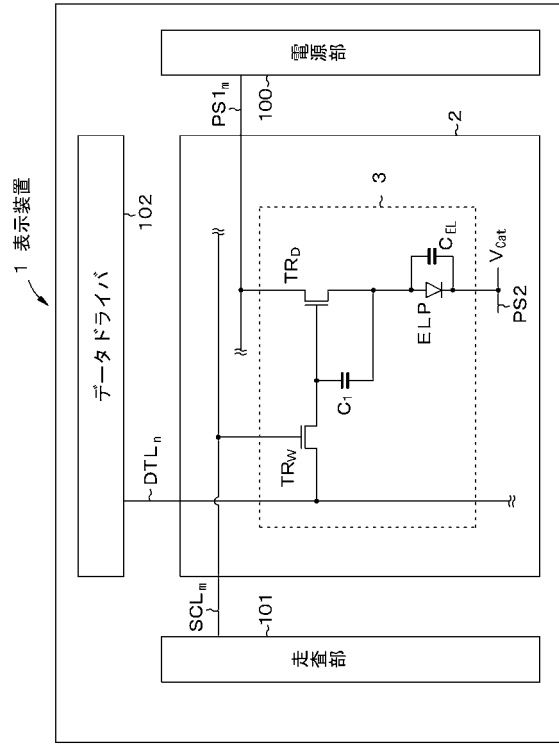


図 1

【 図 2 】

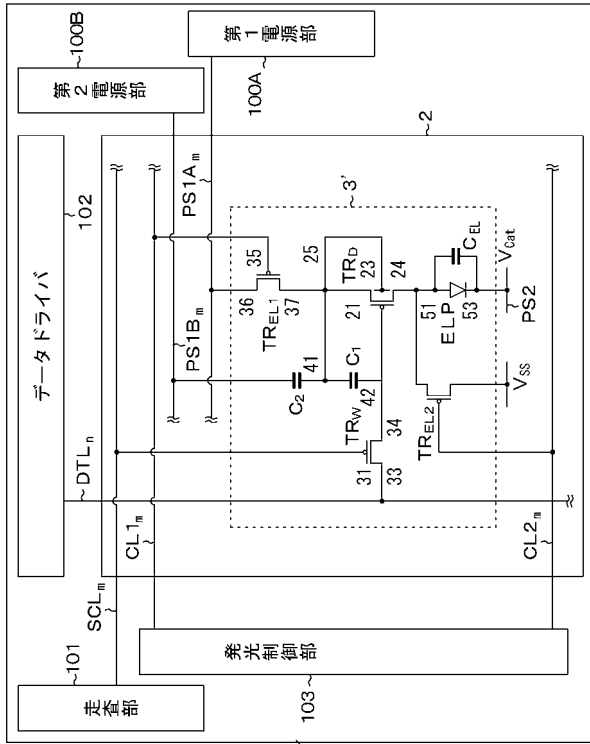


図 2

【 図 3 】

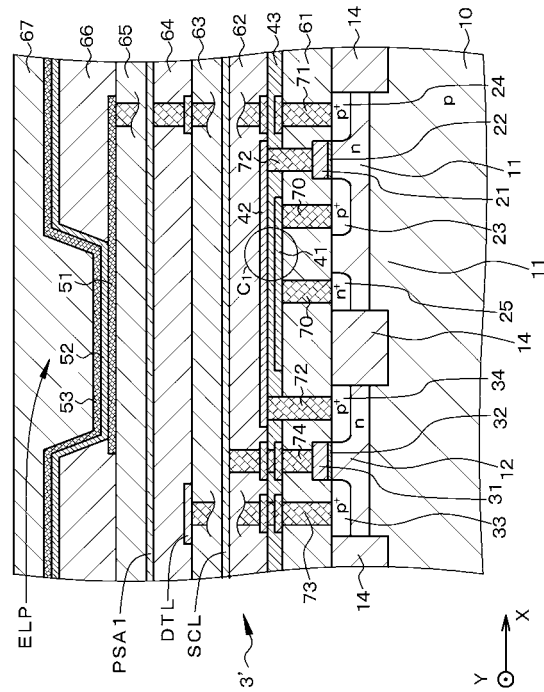


図 3

【 図 4 】

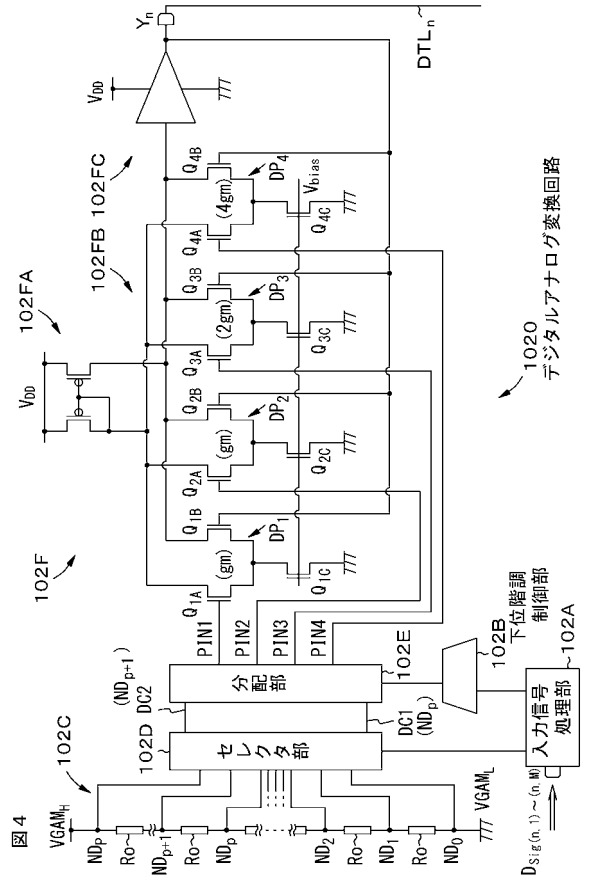
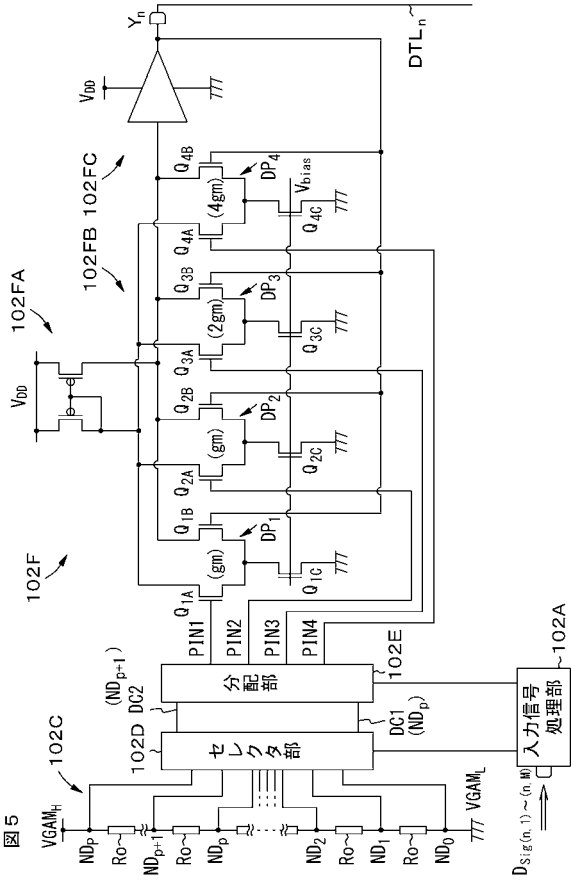
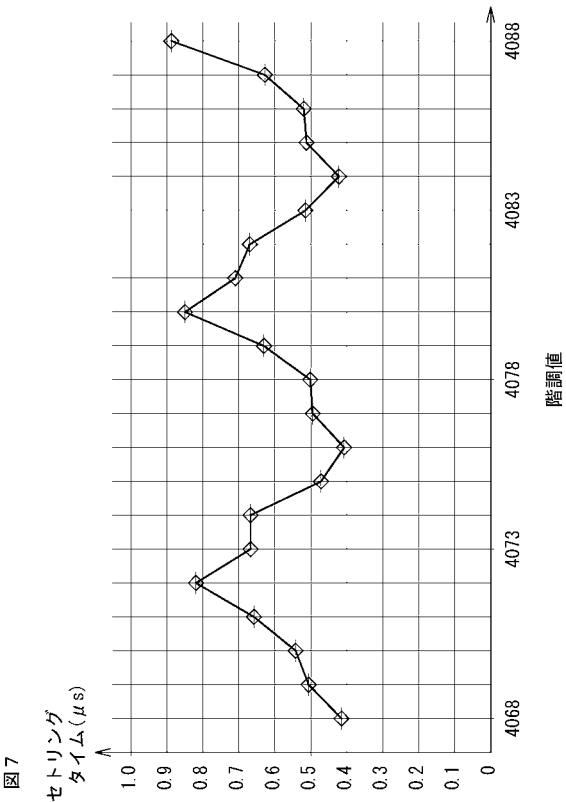


図 4

【 図 5 】



【 図 7 】



【 図 6 】

図 6 A

下位3bit			PIN1(gm)	PIN2(gm)	PIN3(2gm)	PIN4(4gm)
0	0	0	DC1	DC1	DC1	DC1
0	0	1	↓	DC2	↓	↓
0	1	0	↓	DC1	DC2	↓
0	1	1	↓	DC2	↓	↓
1	0	0	↓	DC1	DC1	DC2
1	0	1	↓	DC2	↓	↓
1	1	0	↓	DC1	DC2	↓
1	1	1	↓	DC2	↓	↓

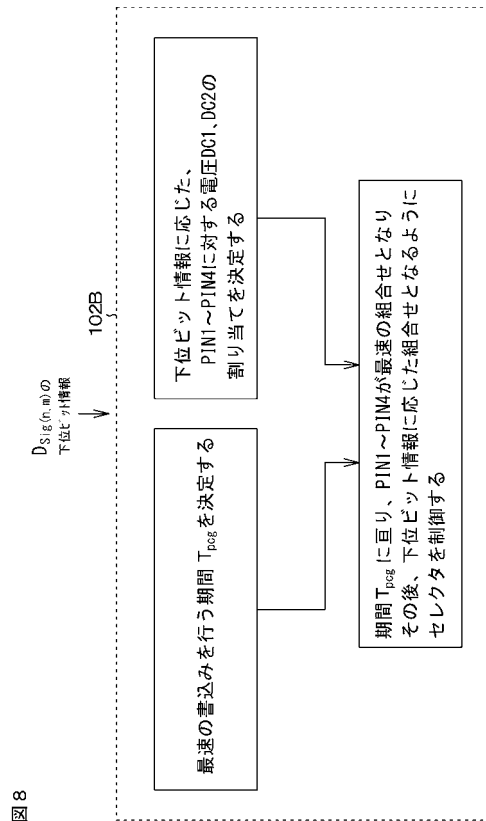
図 6 B

下位3bit			PIN1(gm)	PIN2(gm)	PIN3(2gm)	PIN4(4gm)
0	0	0	DC1	DC1	DC1	DC1

図 6 C

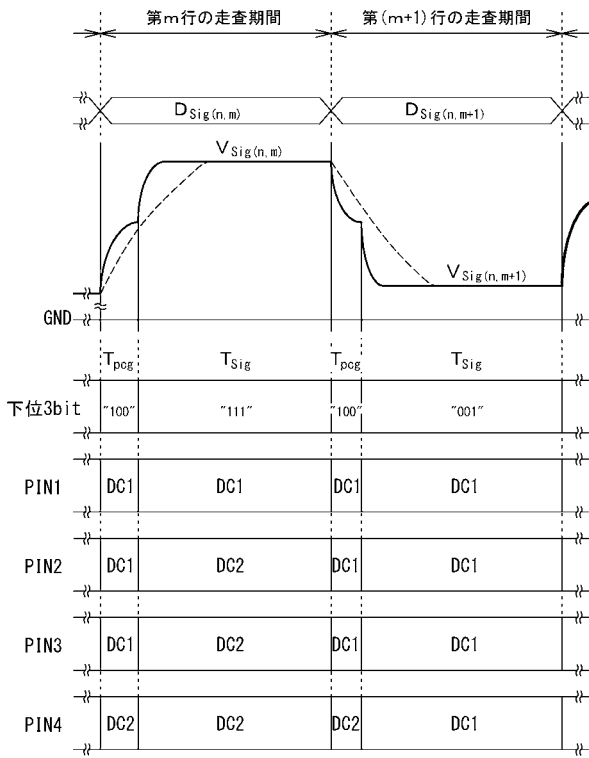
下位3bit			PIN1(gm)	PIN2(gm)	PIN3(2gm)	PIN4(4gm)
1	0	0	DC1	DC1	DC1	DC2

【 図 8 】



【 図 9 】

図 9



【 図 1 0 】

図 1 0 A

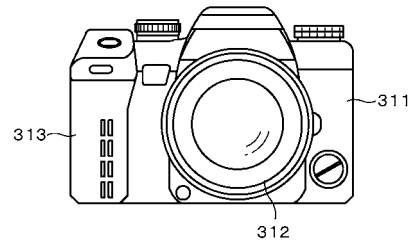
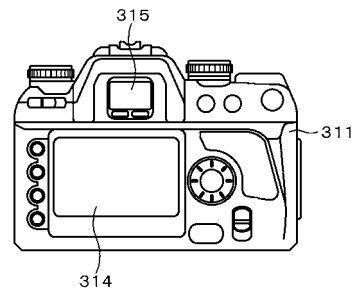
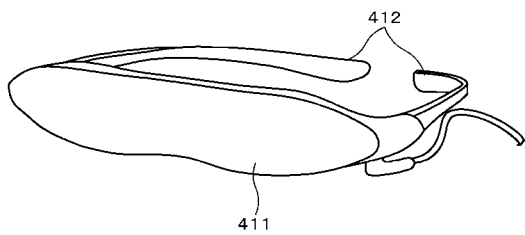


図 1 0 B



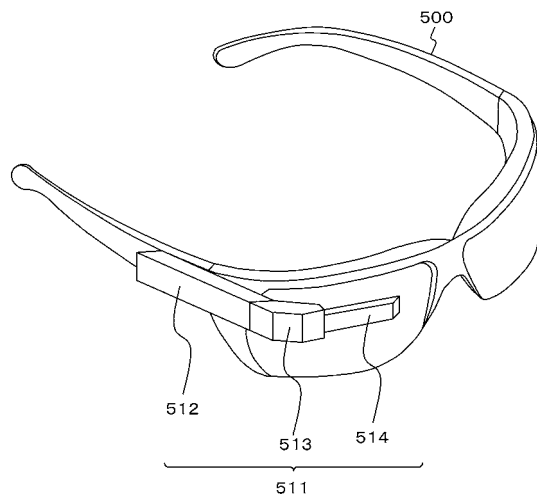
【 図 1 1 】

図 1 1



【 図 1 2 】

図 1 2



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 3 M 1/76

Fターム(参考) 5C380 AA01 AB06 AB31 AB32 AC09 AC11 BA32 CA04 CA12 CA32
CC03 CC33 CC37 CC39 CC62 CC64 CD022 CD034 CE07 CF28
CF48 DA02 DA38
5J022 AB04 AB05 AB09 CB02 CF02 CF04 CF08 CF09 CG04