

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5285945号
(P5285945)

(45) 発行日 平成25年9月11日 (2013. 9. 11)

(24) 登録日 平成25年6月7日 (2013. 6. 7)

(51) Int. Cl.

F I

HO 1 L 21/822 (2006. 01)
 HO 1 L 27/04 (2006. 01)
 HO 1 L 29/786 (2006. 01)
 GO 6 K 19/07 (2006. 01)

HO 1 L 27/04 F
 HO 1 L 27/04 G
 HO 1 L 29/78 6 2 3 Z
 HO 1 L 29/78 6 1 4
 HO 1 L 29/78 6 1 3 Z

請求項の数 7 (全 36 頁) 最終頁に続く

(21) 出願番号 特願2008-97679 (P2008-97679)
 (22) 出願日 平成20年4月4日 (2008. 4. 4)
 (65) 公開番号 特開2008-277804 (P2008-277804A)
 (43) 公開日 平成20年11月13日 (2008. 11. 13)
 審査請求日 平成23年3月17日 (2011. 3. 17)
 (31) 優先権主張番号 特願2007-97991 (P2007-97991)
 (32) 優先日 平成19年4月4日 (2007. 4. 4)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (74) 代理人 100099173
 弁理士 澁谷 孝
 (72) 発明者 藤田 雅史
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 加藤 清
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

審査官 小田 浩

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

信号入力端子と、

前記信号入力端子に接続され、前記信号入力端子から入力された信号から第 1 の直流電圧を生成する整流回路と、

前記整流回路に接続され、前記整流回路から入力された前記第 1 の直流電圧と基準となる電圧との比較を行う比較部と、

前記比較部に接続されたスイッチと、前記整流回路に接続され、且つ前記スイッチを介して前記信号入力端子に接続された基板電圧生成回路と、を有し、前記比較部における比較結果に従って前記スイッチがオンになることにより、前記スイッチを介して前記信号入力端子から入力された信号から第 2 の直流電圧を生成する基板電圧生成部と、を有し、

前記整流回路は、

少なくともゲート端子と、ソース端子と、ドレイン端子と、基板端子と、を有し、前記ゲート端子が前記ソース端子及び前記ドレイン端子の一方に接続され、前記基板端子が前記基板電圧生成回路に接続されたトランジスタと、

前記ソース端子及び前記ドレイン端子の一方に接続された容量素子と、を有し、

前記トランジスタは、前記基板端子を介して前記第 2 の直流電圧が印加されることにより基板電圧の値が制御される半導体装置。

【請求項 2】

請求項 1 において、

10

20

前記比較部に接続され、前記基準となる電圧を生成し、前記基準となる電圧を前記比較部に出力するバイアス回路を有する半導体装置。

【請求項 3】

信号入力端子と、

前記信号入力端子に接続され、前記信号入力端子から入力された信号から第 1 の直流電圧を生成する整流回路と、

前記整流回路に接続され、前記整流回路から入力された前記第 1 の直流電圧と基準となる電圧との比較を行う比較部と、

前記比較部に接続された第 1 のスイッチと、前記整流回路に接続され、且つ前記第 1 のスイッチを介して前記信号入力端子に接続された基板電圧生成回路と、を有し、前記比較部における比較結果に従って前記第 1 のスイッチがオンになることにより、前記第 1 のスイッチを介して前記信号入力端子から入力された信号から第 2 の直流電圧を生成する基板電圧生成部と、

前記比較部に接続された第 2 のスイッチと、

前記第 2 のスイッチに接続されたバイアス回路と、を有し、

前記整流回路は、

少なくともゲート端子と、ソース端子と、ドレイン端子と、基板端子と、を有し、前記ゲート端子が前記ソース端子及び前記ドレイン端子の一方に接続され、前記基板端子が前記基板電圧生成回路に接続されたトランジスタと、

前記ソース端子及び前記ドレイン端子の一方に接続された容量素子と、を有し、

前記第 2 のスイッチは、前記ソース端子及び前記ドレイン端子の他方に接続され、

前記バイアス回路は、前記基板端子に接続され、且つ前記第 2 のスイッチを介して前記ソース端子及び前記ドレイン端子の他方に接続され、前記比較部における比較結果に従って第 2 のスイッチがオンになることにより、前記第 2 のスイッ

チを介して前記整流回路から入力された信号から第 3 の直流電圧を生成し、

前記トランジスタは、前記基板端子を介して前記第 2 の直流電圧または前記第 3 の直流電圧が印加されることにより基板電圧の値が制御される半導体装置。

【請求項 4】

請求項 3 において、

前記比較部に接続され、前記基準となる電圧を生成し、前記基準となる電圧を前記比較部に出力する第 2 のバイアス回路を有する半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記信号入力端子に接続され、信号の送受信を行うアンテナを有する半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記トランジスタは、単結晶半導体層を有する半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記整流回路は、半波倍圧整流回路である半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

近年、個別の対象物に ID (個体識別番号) を与えることで、その対象物が持っている情報の履歴を明確にし、生産、または管理等に役立てるといった個体認識技術が注目されている。その中でも、無線通信装置 (リーダ / ライタ、携帯電話、パーソナルコンピュータなど、無線による信号の送受信が可能であるもの) と無線によるデータの通信が可能な

10

20

30

40

50

半導体装置（以下半導体装置という）であるRFタグ（IDタグ、ICタグ、ICチップ、無線タグ、または電子タグともいう）等のRFID（Radio Frequency Identification）が市場等で試験的に導入されており、様々な分野への応用が期待されている。半導体装置には、電源を持たず、外部から電源を得る受動型（パッシブ型）のものや、電源を内蔵する能動型（アクティブ型）のものが存在する。

【0003】

半導体装置は、無線通信装置と無線によるデータの通信を行うことができるため、無線通信装置と、距離が離れている場合であっても通信が可能である。通信可能な距離のことを通信距離という。通信距離は、電源を持たない受動型の半導体装置においては、送受信回路の整流機能の性能による影響が大きく、受信電力から直流電圧を生成する際の変換効率によって左右される。また、電源を内蔵する能動型の半導体装置においては、通信距離は、電源を充電する際の効率（時間）に影響する。そのため、無線通信装置及び半導体装置間においては、通信距離を伸ばすために無線通信装置から半導体装置への電力供給効率を高める研究開発が盛んである。（例えば特許文献1）

【特許文献1】特開2006-5651号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、無線通信において、無線通信装置により複数の半導体装置からの信号を同時に読み取る場合、無線通信装置とそれぞれの半導体装置との間の通信距離は異なっている場合がある。また、例えば半導体装置が貼り付けられた商品を箱に詰めてフォークリフトなどで運ぶ場合のように、無線通信装置の前を通過するまでに通信距離が変化する場合がある。一般に電力は、電力が放射される点から電力の測定点までの距離の二乗に比例して減衰する。つまり、通信距離によって無線通信装置から半導体装置へ供給される電力は異なる。そのため、ある一定の長さの通信距離の通信が可能な場合において、例えば無線通信装置と半導体装置が接触するなど、極端に短い距離において信号を受信した場合には、半導体装置に高周波信号が供給されると、半導体装置に大電流が流れてしまう。この場合、半導体装置は無線通信装置からの信号を正確に復調できずに誤動作し、半導体装置の内部素子が劣化する。また最悪の場合、半導体装置自体が破壊されたりする可能性がある。

【0005】

本発明は、以上のような問題を鑑みてなされたものであり、素子が破壊されるような高周波信号を受信した場合においても、正常に動作し、かつ、信頼性の高い半導体装置を提供することを課題とする。

【0006】

なお、本発明における半導体装置は、ICタグ、無線タグ、電子タグ等の無線通信によりデータの通信が可能なものであれば全てその範疇に含まれる。

【課題を解決するための手段】

【0007】

本発明は、上記課題を解決するため、以下の構成を採用した。

【0008】

本発明の一は、整流回路と、整流回路の出力と基準となる電圧を比較する比較回路と、比較回路における比較結果に従って、整流回路の出力電圧を制御するための制御回路を有する半導体装置である。

【0009】

より具体的には、本発明の一は信号入力端子（入力端子ともよぶ）と、信号入力端子に接続され、信号入力端子から入力された信号から第1の直流電圧を生成する整流回路と、整流回路に接続され、整流回路から入力された第1の直流電圧と基準電圧との比較を行う比較部と、比較部に接続されたスイッチと、整流回路に接続され、且つスイッチを介して信号入力端子に接続された基板電圧生成回路と、比較部における比較結果に従ってスイッ

10

20

30

40

50

チがオンになることにより、スイッチを介して信号入力端子から入力された信号から第2の直流電圧を生成する基板電圧生成部と、を有し、整流回路は、少なくともゲート端子と、ソース端子と、ドレイン端子と、基板端子（第2のゲート端子、制御端子ともよぶ）と、を有し、ゲート端子がソース端子及びドレイン端子の一方に接続され、基板端子が基板電圧生成回路に接続されたトランジスタと、トランジスタのソース端子及びドレイン端子の一方に電氣的に接続された容量素子と、を有し、トランジスタは、基板端子を介して第2の直流電圧が印加されることにより基板電圧の値が制御される半導体装置である。

【0010】

なお、本発明の一において、比較部に接続され、基準電圧を生成し、基準電圧を比較部

10

【0011】

本発明の一は、信号入力端子と、信号入力端子に接続され、信号入力端子から入力された信号から第1の直流電圧を生成する整流回路と、整流回路に接続され、整流回路から入力された第1の直流電圧と基準電圧の比較とを行う比較部と、比較部に接続された第1のスイッチと、整流回路に接続され、且つ第1のスイッチを介して信号入力端子に接続された基板電圧生成回路と、を有し、比較部における比較結果に従って第1のスイッチがオンになることにより、第1のスイッチを介して信号入力端子から入力された信号から第2の直流電圧を生成する基板電圧生成部と、比較部に接続された第2のスイッチと、第2のスイッチに接続されたバイアス回路と、を有し、整流回路は、少なくともゲート端子と、ソース端子と、ドレイン端子と、基板端子と、を有し、ゲート端子がソース端子及びドレイン端子の一方に電氣的に接続され、基板端子が基板電圧生成回路に接続されたトランジスタと、トランジスタのソース端子及びドレイン端子の一方に電氣的に接続された容量素子と、を有し、第2のスイッチは、トランジスタのソース端子及びドレイン端子の他方に接続され、バイアス回路は、トランジスタの基板端子に接続され、且つ第2のスイッチを介してトランジスタのソース端子及びドレイン端子の他方に接続され、比較部における比較結果に従って第2のスイッチがオンになることにより、第2のスイッチを介して整流回路から入力された信号から第3の直流電圧を生成し、トランジスタは、基板端子を介して第2の直流電圧または第3の直流電圧が印加されることにより基板電圧の値が制御される半導体装置である。

20

【0012】

なお、本発明の一において、比較部に接続され、基準電圧を生成し、基準電圧を比較部

30

【0013】

なお、本発明において、信号入力端子に接続され、信号の送受信を行うアンテナを有する構成とすることもできる。

【0014】

また、本発明において、トランジスタは、単結晶半導体層を有する構成とすることもできる。

【0015】

また、本発明において、整流回路として半波倍圧整流回路を用いることもできる。半波倍圧整流回路は、入力された信号を倍圧整流することにより、入力された信号の電圧より高い電圧を生成する。

40

【0016】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0017】

50

なお、本書類（明細書、特許請求の範囲または図面など）におけるトランジスタは、ゲート端子、ソース端子、及びドレイン端子の少なくとも3つの端子を有し、ゲート端子とは、ゲート電極の部分（ゲートとなる領域、導電層、及び配線などを含む）または、ゲート電極と電氣的に接続されている部分の一部のことを言う。また、ソース端子とは、ソース電極の部分（ソースとなる領域、導電層、及び配線などを含む）や、ソース電極と電氣的に接続されている部分の一部のことを言う。また、ドレイン端子とは、ドレイン電極（ドレインとなる領域、導電層、及び配線などを含む）や、ドレイン電極と電氣的に接続されている部分の一部のことを言う。

【0018】

また、本書類（明細書、特許請求の範囲または図面など）におけるトランジスタのソース端子とドレイン端子は、トランジスタの構造や動作条件などによって変わるため、いずれがソース端子またはドレイン端子であるかを限定することが困難である。そこで、本書類（明細書、特許請求の範囲または図面など）においては、ソース端子及びドレイン端子から任意に選択した一方の端子をソース端子及びドレイン端子の一方と表記し、他方の端子をソース端子及びドレイン端子の他方と表記する。

【0019】

また、本書類（明細書、特許請求の範囲または図面など）における容量素子は、一方の電極と、他方の電極の少なくとも2つの電極を有し、一方の電極の一部または全部を第1端子と表記し、他方の電極の一部または全部を第2端子と表記する。

【発明の効果】

【0020】

本発明を用いることにより、半導体装置内において、装置内の素子が破壊されるような高周波信号が供給された場合であっても、装置内に必要以上の電圧がかからない半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0021】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更しうることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態において、同じ物を指し示す符号は異なる図面において共通とする。

【0022】

（実施の形態1）

本実施の形態では、本発明の半導体装置における電源部の回路構成について図1を用いて説明する。

【0023】

図1に示すように電源部は、整流回路100と、電源回路101と、比較部102と、基板電圧生成部103と、バイアス回路107を有する。

【0024】

整流回路100は、信号入力端子である+V端子から入力された信号を整流化、かつ平滑化することにより第1の直流電圧である直流電圧VDCを生成し、+V'端子に出力する。

【0025】

電源回路101は、+V'端子から入力された直流電圧VDCを定電圧化することにより、電源電圧を生成し、+V''端子に出力する。

【0026】

バイアス回路107は、+V'端子から入力された直流電圧VDCより基準電圧V_{BIAS}を生成し、電源回路101及び比較部102に出力する。但し、電源回路101で基準電圧V_{BIAS}を生成する場合、または、基準電圧V_{BIAS}が必要無い場合は、バイアス回路107から基準電圧V_{BIAS}を電源回路101に出力しなくて良い。

【0027】

比較部 102 は、比較回路 104 と、抵抗素子 108 及びトランジスタ群 109 と、を有する。抵抗素子 108 及びトランジスタ群 109 は、整流回路 100 にて生成された直流電圧 V_{DC} を基に直流電圧 V_{DC}' を生成し、比較回路 104 に出力する。ここで、直流電圧 V_{DC}' を生成するためにトランジスタ群 109 を用いたが、トランジスタ群 109 を抵抗素子に置き換えることもできる。

【0028】

比較回路 104 は、直流電圧 V_{DC}' と基準電圧 V_{BIAS} の大きさを比較し、その結果を基板電圧生成部 103 に出力する。

【0029】

基板電圧生成部 103 は、基板電圧生成回路 105 及びスイッチ 106 を有する。スイッチ 106 は、比較回路 104 から入力される信号に応じてオンまたはオフが選択され、+V 端子と基板電圧生成回路 105 の導通または非導通が選択される。基板電圧生成回路 105 は、スイッチ 106 がオンの時、+V 端子と接続状態になり、+V 端子より基板電圧生成回路 105 に信号が入力される。基板電圧生成回路 105 は、+V 端子から入力された信号を、整流化、かつ平滑化することにより第 2 の直流電圧である直流電圧 V_{SUB} を生成し、整流回路 100 に出力する。スイッチ 106 がオフの時は、基板電圧生成回路 105 は、-V 端子の電位と同じ値の電位を整流回路 100 に出力する。

【0030】

図 1 に示していないが、例えばアンテナから信号が供給される半導体装置では、+V 端子にはアンテナの + 端子が接続され、-V 端子には、アンテナの - 端子が接続される。

【0031】

次に各回路の構成について説明する。

【0032】

整流回路 100 の構成について図 2 を用いて説明する。なお、本実施の形態において、第 1 のトランジスタ 201 及び第 2 のトランジスタ 202 を N チャネル型トランジスタとして説明するが、各トランジスタにおけるゲート端子の接続先をソース端子及びドレイン端子の一方からソース端子及びドレイン端子の他方に変え、後述する基板電圧生成回路 105 の各トランジスタのゲート端子の接続先を逆にすることで、P チャネル型トランジスタを用いることもできる。

【0033】

整流回路 100 の構成を図 2 に示す。整流回路 100 は、ソース端子及びドレイン端子の一方が -V 端子に接続された第 1 のトランジスタ 201 と、ソース端子及びドレイン端子の一方が第 1 のトランジスタ 201 のソース端子及びドレイン端子の他方に接続され、ソース端子及びドレイン端子の他方が +V' 端子に接続された第 2 のトランジスタ 202 と、第 1 端子が +V 端子に接続され、第 2 端子が第 1 のトランジスタ 201 のソース端子及びドレイン端子の他方、及び第 2 のトランジスタ 202 のソース端子及びドレイン端子の一方に接続された第 1 の容量素子 203 と、第 1 端子が第 2 のトランジスタ 202 のソース端子及びドレイン端子の他方及び +V' 端子に接続され、第 2 端子が第 1 のトランジスタ 201 のソース端子及びドレイン端子の一方及び -V 端子に接続された第 2 の容量素子 204 と、を有する。

【0034】

第 1 のトランジスタ 201 及び第 2 のトランジスタ 202 はそれぞれ、ゲート端子とソース端子及びドレイン端子の一方が接続される。

【0035】

さらに、第 1 のトランジスタ 201 及び第 2 のトランジスタ 202 としては、例えば半導体基板を用いたトランジスタを適用することができる。半導体基板を用いた第 1 のトランジスタ及び第 2 のトランジスタ 202 の半導体層は、同じ半導体基板を用いて設けられ、それぞれのトランジスタの半導体層が素子分離層で分離されている。また、半導体基板を用いたトランジスタを適用した第 1 のトランジスタ 201 及び第 2 のトランジスタ 202 は、それぞれ独立に制御されるように設けられた基板端子を有し、第 1 のトランジスタ

10

20

30

40

50

201及び第2のトランジスタ202の基板端子は、基板電圧生成回路105に接続される。

【0036】

第1のトランジスタ201及び第2のトランジスタ202として、半導体基板を用いたトランジスタを適用した場合、半導体基板の活性層として機能する単結晶半導体層に、少なくとも第1乃至第3の不純物領域が設けられている。第1の不純物領域はソース領域であり、第2の不純物領域はドレイン領域であり、第3の不純物領域には電圧が印加される領域である。このトランジスタは、ゲートから活性層に第1の電圧が印加され、第3の不純物領域から活性層に第2の電圧が印加される。活性層に印加する第1の電圧と第2の電圧の電圧値を制御することにより、トランジスタのしきい値電圧を制御することができる。なお、第3の不純物領域を基板端子とよび、第3の不純物領域に印加される電圧を基板電圧とよぶことがある。

10

【0037】

また、SOI基板を用いた単結晶半導体膜を有するトランジスタも用いることができる。これにより、基板の一部に基板端子となる領域を設けることができ、さらには電気特性やサイズや形状などのバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することができる。

【0038】

また、第1のトランジスタ201及び第2のトランジスタ202としては、活性層を間に挟んで、第1のゲート端子と第2のゲート端子が設けられているトランジスタを用いることができる。このトランジスタは、第1のゲート端子から活性層に第1の電圧が印加され、第2のゲート端子から活性層に第2の電圧が印加される。活性層に印加される第1の電圧と第2の電圧の電圧値を制御することにより、トランジスタのしきい値電圧を制御することができる。なお、第1のゲート端子と第2のゲート端子の一方を基板端子とよび、基板端子に印加される電圧を基板電圧とよぶことがある。基板電圧を制御できるトランジスタの例としては、例えば、基板にガラス基板、石英基板を用いることができ、半導体層に非晶質シリコン、多結晶シリコン、または微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコンなどの非単結晶半導体膜を用いることができる。

20

【0039】

さらに、第1のトランジスタ201及び第2のトランジスタ202の構造としては、MOS型トランジスタ、接合型トランジスタなどを用いることができる。例えば、MOS型トランジスタを用いた場合、上記半導体基板を適用することができ、高い移動度を得ることができるため、トランジスタのサイズを小さくすることができる。

30

【0040】

電源回路101は、整流回路100から入力された直流電圧を用いて、定電圧の電源電圧を生成する機能を有する。電源回路101としてはレギュレータなどを用いることができる。

【0041】

次に比較部102の構成について図3を用いて説明する。なお、本実施の形態において、第1のトランジスタ402及び第2のトランジスタ403をそれぞれPチャネル型トランジスタ及びNチャネル型トランジスタとして説明する。

40

【0042】

また、トランジスタ群401は、Nチャネル型トランジスタとして説明するが、各トランジスタにおけるゲート端子の接続先をソース端子及びドレイン端子の一方からソース端子及びドレイン端子の他方に変えることによりPチャネル型トランジスタを用いることもできる。

【0043】

図3に示すように比較部102は、任意の数のトランジスタを有するトランジスタ群401（図1におけるトランジスタ群109に相当）と、ゲート端子がトランジスタ群401に接続され、ソース端子及びドレイン端子の一方がスイッチ106に接続され、ソース

50

端子及びドレイン端子の他方が $+V'$ 端子に接続された第1のトランジスタ402と、ゲート端子がバイアス回路107に接続され、ソース端子及びドレイン端子の一方が第1のトランジスタ402のソース端子及びドレイン端子の一方に接続され、ソース端子及びドレイン端子の他方がトランジスタ群401及び $-V$ 端子に接続された第2のトランジスタ403と、一端がトランジスタ群401の一端及び第1のトランジスタのゲート端子に接続され、他端が $+V'$ 端子に接続された抵抗素子404（図1における抵抗素子108に相当）とを有する。なお、トランジスタ群401における各トランジスタは、それぞれゲート端子がソース端子及びドレイン端子の一方に接続される。また、第1のトランジスタ402のゲート端子とトランジスタ群401の一端と抵抗素子404の一端の接続点をノードpとし、第1のトランジスタ402のソース端子及びドレイン端子の一方と、第2のトランジスタ403のソース端子及びドレイン端子の一方及び図1におけるスイッチ106の接続点をノードqとする。

10

【0044】

なお、比較部102は、別の構成を適用することもできる。比較部102の別の構成について図4(a)、及び図4(b)を用いて説明する。

【0045】

例えば比較部102は、図4(a)に示すように、 $+V'$ 端子と比較回路104の入力端子との間に抵抗素子108を有する構成や、図4(b)に示すように抵抗素子108とトランジスタ群109を設けない構成とすることもできる。外部から入力されると、素子に電流が流れる。素子に流れる電流量と素子の負担とは比例しており、各構成を適宜選択して用いることにより、素子に流れる電流の大きさに応じて、素子の負担を軽減して比較動作を行うことができる。

20

【0046】

バイアス回路107は、基準電圧 V_{BIAS} を生成し、比較部102に入力する機能を有する。なお、電源回路101にて基準電圧 V_{BIAS} が必要な場合、電源回路101内にバイアス回路107を設けても良く、その場合、バイアス回路107から基準電圧 V_{BIAS} を入力することで回路の簡略化ができる。

【0047】

次に基板電圧生成回路105の構成について説明する。なお、本実施の形態では、第1のトランジスタ301及び第2のトランジスタ302をNチャネル型トランジスタとして説明するが、各トランジスタにおけるゲート端子の接続先をソース端子及びドレイン端子の他方からソース端子及びドレイン端子の一方に変えることによりPチャネル型トランジスタを用いることもできる。

30

【0048】

基板電圧生成回路105の構成について図5に示す。基板電圧生成回路105は、ソース端子及びドレイン端子の一方が $-V$ 端子に接続された第1のトランジスタ301と、ソース端子及びドレイン端子の一方が第1のトランジスタ301のソース端子及びドレイン端子の他方に接続され、ソース端子及びドレイン端子の他方が図1における整流回路100に接続された第2のトランジスタ302と、第1端子が図1におけるスイッチ106に接続され、第2端子が第1のトランジスタ301のソース端子及びドレイン端子の他方、及び第2のトランジスタ302のソース端子及びドレイン端子の一方に接続された第1の容量素子303と、第1端子が第2のトランジスタ302のソース端子及びドレイン端子の他方に接続され、第2端子が第1のトランジスタ301のソース端子及びドレイン端子の一方に接続された第2の容量素子304と、一端が第2のトランジスタ302のソース端子及びドレイン端子の他方及び第2の容量素子304の第1端子に接続され、他端が第2のトランジスタ302のソース端子及びドレイン端子の一方及び第2の容量素子304の第2端子に接続された抵抗素子305と、一端が第1の容量素子303の第1端子に接続され、他端が第1のトランジスタ301のソース端子及びドレイン端子の一方に接続された抵抗素子306と、を有する。また、第1のトランジスタ301及び第2のトランジスタ302は、それぞれゲート端子とソース端子及びドレイン端子の他方が接続され、ま

40

50

た、基板端子は、それぞれ - V 端子に接続される。

【 0 0 4 9 】

スイッチ 1 0 6 としては、特定のものに限定されず、例えば、電氣的スイッチや機械的なスイッチなど、電流の流れを制御できるものであれば用いることができる。例えば、スイッチとして、トランジスタ（例えば、接合型トランジスタ、M O S トランジスタなど）を用いることができる。基板電圧生成回路 1 0 5 は、スイッチ 1 0 6 を介して図 1 における + V 端子に接続される。

【 0 0 5 0 】

次に本実施の形態の電源部における動作について説明する。

【 0 0 5 1 】

アンテナから受信された信号は、+ V、- V 端子に入力される。

【 0 0 5 2 】

なお本実施の形態では、説明を分かり易くするために、- V 端子の信号を基準として、一定とした場合の + V 端子の信号に対する動作の説明をする。アンテナから信号が供給される半導体装置では、主に入力信号は差動信号の場合がある。差動信号とは、一对の信号線を用い、一对の信号線のそれぞれに互いに逆位相の信号を伝送し、それぞれの信号線の信号の値を足し合わせることで生成される信号である。入力信号が差動信号であっても、基準とする信号が一定か否かの違いだけであるため、本実施の形態では適応可能である。

【 0 0 5 3 】

まず基板端子の電位が - V 端子の電位と同じ場合の整流回路 1 0 0 の動作について、図 2 を用いて説明する。

【 0 0 5 4 】

+ V 端子から入力された信号（以下第 1 の入力信号という）は、第 1 のトランジスタ 2 0 1 のソース端子及びドレイン端子の他方に入力される。第 1 のトランジスタ 2 0 1 は、ソース端子及びドレイン端子の他方に入力された第 1 の入力信号の電位がソース端子及びドレイン端子の一方の電位より小さい場合にオンとなり、大きい場合はオフとなるため、第 1 の入力信号を整流化する。第 1 のトランジスタ 2 0 1 は、整流化された信号を第 1 の容量素子 2 0 3 に出力する。第 1 の容量素子 2 0 3 は、入力された信号を平滑化し、平滑化された信号に + V 端子から入力された第 1 の入力信号を加えた信号（以下第 2 の入力信号という）を第 2 のトランジスタ 2 0 2 のソース端子及びドレイン端子の一方に出力する。第 2 のトランジスタ 2 0 2 は、ソース端子及びドレイン端子の一方に入力された第 2 の入力信号の電位がソース端子及びドレイン端子の他方の電位より大きい場合にオンとなり、小さい場合はオフとなるため、第 2 の入力信号を整流化する。第 2 のトランジスタ 2 0 2 は、整流化された第 2 の入力信号を第 2 の容量素子 2 0 4 に出力する。第 2 の容量素子 2 0 4 では、第 2 のトランジスタ 2 0 2 から入力された整流化された第 2 の入力信号が平滑化され、平滑化された第 2 の入力信号は、直流電圧 V D C として比較部 1 0 2 に入力される。

【 0 0 5 5 】

以上のように、電源部において、アンテナから入力された信号を整流回路 1 0 0 により整流化、平滑化することによって直流電圧 V D C を生成する。

【 0 0 5 6 】

なお、本実施の形態における整流回路 1 0 0 は、半波倍圧整流回路であり、+ V 端子から入力された第 1 の入力信号に第 1 の容量素子により平滑化された信号を加えた信号が第 2 の入力信号として整流化、平滑化されるため、出力される直流電圧 V D C を入力信号より高くすることができる。また、このときの直流電圧 V D C は正の値となる。

【 0 0 5 7 】

なお、倍圧整流回路の出力である直流電圧 V D C を求める理論式は、整流回路 1 0 0 に入力される電圧を V I N とし、整流回路 1 0 0 を構成するトランジスタのしきい値電圧を V t h とすると、式（ 1 ）で表される。

【 0 0 5 8 】

$$VDC = 2N(VIN - Vth) \quad (1)$$

【0059】

式(1)でNは倍圧整流回路の段数を表す。このとき、2つのトランジスタと2つの容量素子を用いた倍圧整流回路の構成を1段とすると、図2に示す整流回路100は、1段構成なので、 $N = 1$ となる。

【0060】

従って、高い直流電圧VDC得るために、整流回路100として、半波4倍圧整流回路や、半波6倍圧整流回路等を用いることができる。また、その他に全波整流回路を用いることもできる。

【0061】

次に比較部102の動作について図3を用いて説明する。比較部102は、整流回路100から直流電圧VDCが入力され、バイアス回路107から基準電圧V_BIASが入力される。ここで、直流電圧VDCは、式(1)により、入力電圧VINが高くなればなるほど、高くなることがわかる。言い換えると、アンテナから供給される電力が増えれば増えるほど、直流電圧VDCも高くなる。

【0062】

まず、トランジスタ群401と抵抗素子404の動作について説明する。トランジスタ群401と抵抗素子404は、直流電圧VDCから直流電圧VDC'を生成する。直流電圧VDC'は、抵抗素子404の抵抗値とトランジスタ群401を抵抗と見なした場合の抵抗値の和に対するトランジスタ群401の抵抗値の割合と直流電圧VDCの積によって決まる。

【0063】

そのため、直流電圧VDCがトランジスタ群401の全てのトランジスタがオフの状態になる値の場合は、トランジスタ群401はオフの状態となる。このとき、トランジスタ群401は、抵抗素子404に対し、非常に大きな抵抗と見なせるため、直流電圧VDC'は、直流電圧VDCとほぼ同じ電位となる。

【0064】

一方、直流電圧VDCがトランジスタ群401の全てのトランジスタがオンの状態になる値の場合は、トランジスタ群401はオンの状態となる。このとき、トランジスタ群401は、抵抗素子404と同等、もしくは、それよりも小さな抵抗と見なせるため、直流電圧VDC'も小さくなる。直流電圧VDCが高くなっていくと、直流電圧VDCと、生成される直流電圧VDC'との電位差が大きくなる。

【0065】

ここで、直流電圧VDCがトランジスタ群401の全てのトランジスタがオフの状態になる値の場合というのは、アンテナから供給される電力が適切である場合である。直流電圧VDCがトランジスタ群401の全てのトランジスタがオンの状態になる値の場合というのは、アンテナから供給される電力が高く、素子の劣化、破壊や、動作不良を引き起こすおそれのある場合である。

【0066】

なお、図3においてトランジスタ群401のトランジスタの数は3つの場合について説明しているが、これに限定されず、トランジスタ群401のトランジスタの数を变えることでトランジスタ群401の全てのトランジスタがオンの状態になる値を变えることができるので、素子の劣化、破壊や、動作不良を考慮して、トランジスタ群401におけるトランジスタのしきい値電圧を設定することができる。

【0067】

続いて、比較回路104の動作について図3を用いて説明する。直流電圧VDCがトランジスタの全てのトランジスタがオフの状態になる値の場合は、前述の通り、直流電圧VDC'は、直流電圧VDCとほぼ同じ電位となり、比較回路104に入力され、第1のトランジスタ402はオフとなる。基準電圧V_BIASは、常にバイアス回路107から比較回路104に入力されているので、第2のトランジスタ403は、オンの状態になっ

10

20

30

40

50

ている。

そのためノードqは、-V端子の電位とほぼ同じ電位になっており、図1のスイッチ106におけるノードqに接続された端子は、-V端子の電位とほぼ同じ電位になる。

【0068】

一方、直流電圧VDCがトランジスタ群401の全てのトランジスタがオンの状態になる値の場合は、前述の通り、トランジスタ群401の各トランジスタのしきい値電圧と直流電圧VDCの関係に応じて直流電圧VDC'は変化する。第1のトランジスタ402は、直流電圧VDC'が小さくなるとオンする。第1のトランジスタ402を流れる電流量は、直流電圧VDC'を小さくしていくと多くなる。第2のトランジスタ403は、常にオンの状態なので、常にある一定の電流が流れる。ここで、ノードqの電位は、第1のトランジスタ402と第2のトランジスタ403に流れる電流量によって決まり、第1のトランジスタ402に流れる電流量が、第2のトランジスタ403に流れる電流量より多くなれば、ノードqの電位は高くなる。つまり、直流電圧VDC'が小さくなるほどノードqの電位は高くなる。さらに言うと、直流電圧VDCが高くなればなるほど、ノードqの電位は高くなる。この電位は、図1のスイッチ106におけるノードqに接続された端子に出力される。

10

【0069】

次に基板電圧生成部103を構成する基板電圧生成回路105及びスイッチ106の動作について図1及び図5を用いて説明する。ここでは、スイッチ106を、Nチャネル型トランジスタとして説明を行う。また、ソース端子及びドレイン端子の一方を+V端子に接続し、ソース端子及びドレイン端子の他方を-V端子に接続し、ゲート端子は、比較部102に接続される。

20

【0070】

直流電圧VDCがトランジスタ群401の全てのトランジスタがオフの状態になる値の場合は、スイッチ106は、ノードqの電位により、ノードqに接続されたゲート端子が-V端子の電位となり、ソース端子及びドレイン端子の他方に抵抗素子306を介して-V端子の電位が伝達されるため、オフとなる。このとき、整流回路100に出力される電圧は、抵抗素子305を介して-V端子の電位と同じ値になる。このとき、抵抗素子305及び抵抗素子306の抵抗値は、基板電圧生成時に影響しない程度に大きな値であることが望ましい。

30

【0071】

一方、直流電圧VDCがトランジスタ群401の全てのトランジスタがオンの状態になる値の場合は、前述の通り、スイッチ106のゲート端子にノードqの電位が入力され、ソース端子及びドレイン端子の他方に抵抗素子306を介し-V端子の電位が伝達されるため、スイッチ106はオンとなる。そのため、+V端子より外部から入力された信号(第1の入力信号)は、基板電圧生成回路105に入力される。

【0072】

ここで、スイッチ106がオンすることで、外部から入力された信号は、整流回路100及び基板電圧生成回路105に供給される。その場合、整流回路100のみに供給されていた場合よりも基板電圧生成回路105に供給される分、整流回路100に供給される電力が減るため、整流回路100を構成する素子への負荷が軽減される。

40

【0073】

また、式(1)により、アンテナからの供給電力が減るという事は、入力電圧VINが小さくなるため、整流回路100が生成する直流電圧VDCも低くなる。

【0074】

ここで、直流電圧VDCがトランジスタ群401の全てのトランジスタがオフの状態になる値である可能性もあるが、それでも直流電圧VDCがトランジスタ群401の全てのトランジスタがオンの状態になる値の場合、基板電圧生成回路105は、以下のような動作をする。

【0075】

50

基板電圧生成回路 105 は、整流回路 100 とは、第 1 のトランジスタ 301 と第 2 のトランジスタ 302 の基板端子の接続先と、ゲート端子の接続先が違い、抵抗素子 305、306 が追加されている点で異なる。また、ゲート端子の接続先が、ソース端子及びドレイン端子の一方ではなく、ソース端子及びドレイン端子の他方であるので、この場合の基板電圧生成回路 105 の出力である直流電圧 V_{SUB} は、 $-V$ 端子の電位より低くなる。直流電圧 V_{SUB} を求める理論式は、基板電圧生成回路 105 に入力される電圧を $V_{IN'}$ とし、その回路を構成するトランジスタのしきい値電圧を V_{th} とすると、式 (2) で表される。

【0076】

$$-V_{SUB} = -2N(V_{IN'} - V_{th}) \quad (2)$$

10

【0077】

式 (2) で N は倍圧整流回路の段数を表す。このとき、2 つのトランジスタと 2 つの容量素子を用いた倍圧整流回路の構成を 1 段とすると、図 5 に示す基板電圧生成回路 105 は、1 段構成なので、 $N = 1$ となる。

【0078】

基板電圧生成回路 105 で生成された直流電圧 V_{SUB} は、図 2 における整流回路 100 の第 1 のトランジスタ 201 及び第 2 のトランジスタ 202 の基板端子に出力される。

【0079】

再び、整流回路 100 の動作について図 2 を用いて説明する。ここで、基板端子の電位は、 $-V$ 端子の電位より低くなっている。これは、前述した通り、直流電圧 V_{DC} がトランジスタ群 401 の全てのトランジスタがオンの状態になる値の場合に、比較回路 104 のノード q の電位が高くなり、スイッチ 106 がオンになるからである。すると、基板電圧生成回路 105 から $-V$ 端子より低い直流電圧 V_{SUB} が整流回路 100 に出力される。

20

【0080】

一方、整流回路 100 の、基板端子の電位が $-V$ 端子の電位と同じまたはそれに近い値である場合、つまり直流電圧 V_{DC} がトランジスタ群 401 の全てのトランジスタがオフの状態になる値の場合であり、アンテナから供給される電力が適切である場合は、スイッチ 106 がオフの状態、基板電圧生成回路 105 から $-V$ 端子と同じまたはそれに近い値である直流電圧 V_{SUB} が整流回路 100 に出力される。

30

【0081】

整流回路 100 における第 1 のトランジスタ 201 及び第 2 のトランジスタ 202 では、基板端子に入力された直流電圧 V_{SUB} を基板電圧として、基板電圧に従ってそれぞれのトランジスタのしきい値電圧 V_{th} が制御される。例えば第 1 のトランジスタ 201 及び第 2 のトランジスタ 202 が N チャネル型トランジスタの場合、基板電圧を低くすることにより、しきい値電圧 V_{th} を高く、また、基板電圧を高くすることにより、しきい値電圧 V_{th} を低くすることができる。あるいは、 P チャネル型トランジスタの場合、基板電圧を低くすることにより、しきい値電圧 V_{th}' を低く、また、基板電圧を高くすることにより、しきい値電圧 V_{th}' を高くすることができる。

【0082】

40

整流回路 100 における第 1 のトランジスタ 201 及び第 2 のトランジスタ 202 の基板電圧は通常の値（供給される電力が適切であるときの値）より低くなるため、第 1 のトランジスタ 201 及び第 2 のトランジスタ 202 のしきい値電圧 V_{th} は高くなる。しきい値電圧 V_{th} と整流回路 100 の出力である直流電圧 V_{DC} の関係は、式 (1) の通りであるため、第 1 のトランジスタ 201 及び第 2 のトランジスタ 202 のしきい値電圧 V_{th} が高くなると、直流電圧 V_{DC} が低くなる。

【0083】

以上のように、素子が破壊されるような高周波信号が供給された場合であっても、整流回路 100 に供給される電力を分配することができる。さらに、整流回路 100 における第 1 のトランジスタ 201 及び第 2 のトランジスタ 202 のしきい値電圧を上昇させるこ

50

とにより、整流回路 100 における出力電圧を低下させることができる。そのため直流電圧 VDC が大きくなるのを抑えることができる。

【0084】

本実施の形態の構成とすることにより、所定の通信距離で通信が可能な半導体装置において、例えば通信距離が変化した状態で、素子が破壊されるような高周波信号が入力され、回路内に大電流が流れた場合であっても、整流回路に設けたトランジスタのしきい値電圧を制御することにより、半導体装置の内部の回路に必要以上の電圧がかからないようにすることができる。したがって、半導体装置の内部の回路を構成する素子を劣化または破壊してしまうことなく、正常に動作させることのできる半導体装置を提供できる。

【0085】

10

(実施の形態 2)

本実施の形態では、上記実施の形態 1 の図 1 において説明した電源部における整流回路 100 及び基板電圧生成回路 105 が別の構成である場合について説明する。なお、整流回路 100 と、基板電圧生成回路 105 以外の各回路の構成は、上記実施の形態 1 と同じであるため、実施の形態 1 で述べた説明を援用する。

【0086】

まず、整流回路 100 の別の構成について説明する。なお、本実施の形態において、第 1 のトランジスタ 201' 及び第 2 のトランジスタ 202' を N チャネル型トランジスタとして説明するが、各トランジスタにおけるゲート端子の接続先をソース端子及びドレイン端子の一方からソース端子及びドレイン端子の他方に変え、後述する基板電圧生成回路 105 の各トランジスタのゲート端子の接続先をソース端子及びドレイン端子の他方からソース端子及びドレイン端子の一方に変えることで、P チャネル型トランジスタを用いることもできる。

20

【0087】

整流回路 100 の構成について図 6 に示す。整流回路 100 は、ソース端子及びドレイン端子の一方が -V 端子に接続された第 1 のトランジスタ 201' と、ソース端子及びドレイン端子の一方が第 1 のトランジスタ 201' のソース端子及びドレイン端子の他方に接続され、ソース端子及びドレイン端子の他方が +V' 端子に接続された第 2 のトランジスタ 202' と、第 1 端子が +V 端子に接続され、第 2 端子が第 1 のトランジスタ 201' のソース端子及びドレイン端子の他方、及び第 2 のトランジスタ 202' のソース端子及びドレイン端子の一方に接続された第 1 の容量素子 203' と、第 1 端子が第 2 のトランジスタ 202' のソース端子及びドレイン端子の他方及び +V' 端子に接続され、第 2 端子が第 1 のトランジスタ 201' のソース端子及びドレイン端子の一方及び -V 端子に接続された第 2 の容量素子 204' と、を有する整流回路 100 の第 1 のトランジスタ 201' 及び第 2 のトランジスタ 202' として、半導体基板を用いたトランジスタを適用した場合、第 1 のトランジスタ 201' 及び第 2 のトランジスタ 202' は、それぞれ独立に制御されるように設けられた基板端子を有し、第 1 のトランジスタ 201' の基板端子は、図 1 における基板電圧生成回路 105 に接続され、第 2 のトランジスタ 202' の基板端子は、-V 端子に接続される。

30

【0088】

40

第 1 のトランジスタ 201' 及び第 2 のトランジスタ 202' として、半導体基板を用いたトランジスタを適用した場合、半導体基板の活性層として機能する単結晶半導体層に、少なくとも第 1 乃至第 3 の不純物領域が設けられている。第 1 の不純物領域はソース領域であり、第 2 の不純物領域はドレイン領域であり、第 3 の不純物領域には電圧が印加される領域である。このトランジスタは、ゲートから活性層に第 1 の電圧が印加され、第 3 の不純物領域から活性層に第 2 の電圧が印加される。活性層に印加する第 1 の電圧と第 2 の電圧の電圧値を制御することにより、トランジスタのしきい値電圧を制御することができる。なお、第 3 の不純物領域を基板端子とよび、第 3 の不純物領域に印加される電圧を基板電圧とよぶことがある。

【0089】

50

また、第1のトランジスタ201'及び第2のトランジスタ202'は、ゲート端子とソース端子及びドレイン端子の一方がそれぞれ接続される。

【0090】

また、SOI基板を用いた単結晶半導体膜を有するトランジスタも用いることができる。これにより、基板の一部に基板端子となる領域を設けることができ、さらには電気特性やサイズや形状などのバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することができる。

【0091】

さらに第1のトランジスタ201'及び第2のトランジスタ202'としては、活性層を間に挟んで、第1のゲート端子と第2のゲート端子が設けられているトランジスタを用いることができる。このトランジスタは、第1のゲート端子から活性層に第1の電圧が印加され、第2のゲート端子から活性層に第2の電圧が印加される。活性層に印加される第1の電圧と第2の電圧の電圧値を制御することにより、トランジスタのしきい値電圧を制御することができる。なお、第1のゲート端子と第2のゲート端子の一方を基板端子とよび、基板端子に印加される電圧を基板電圧とよぶことがある。第1のゲート端子と第2のゲート端子が設けられているトランジスタの例としては、例えば、基板にガラス基板、石英基板を用いることができ、半導体層に非晶質シリコン、多結晶シリコン、または微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコンなどの非単結晶半導体膜を用いた構成のものを用いることができる。

【0092】

さらに、第1のトランジスタ201'及び第2のトランジスタ202'の構造としては、MOS型トランジスタ、接合型トランジスタなどを用いることができる。例えば、MOS型トランジスタを用いることにより、上記半導体基板を用いることができ、高い移動度を得ることができるため、トランジスタのサイズを小さくすることができる。

【0093】

次に基板電圧生成回路105の別の構成について説明する。なお、本実施の形態では、第1のトランジスタ301'、第2のトランジスタ302'、及びスイッチ106をNチャネル型トランジスタとして説明するが、各トランジスタにおけるゲート端子の接続先をソース端子及びドレイン端子の一方からソース端子及びドレイン端子の他方に変えることによりPチャネル型トランジスタを用いることもできる。

【0094】

基板電圧生成回路105の構成を図7に示す。基板電圧生成回路105は、ソース端子及びドレイン端子の一方が-V端子に接続された第1のトランジスタ301'と、ソース端子及びドレイン端子の一方が第1のトランジスタ301'のソース端子及びドレイン端子の他方に接続され、ソース端子及びドレイン端子の他方が図1における整流回路100に接続された第2のトランジスタ302'と、第1端子が図1におけるスイッチ106に接続され、第2端子が第1のトランジスタ301'のソース端子及びドレイン端子の他方、及び第2のトランジスタ302'のソース端子及びドレイン端子の一方に接続された第1の容量素子303'と、第1端子が第2のトランジスタ302'のソース端子及びドレイン端子の他方に接続され、第2端子が第1のトランジスタ301'のソース端子及びドレイン端子の一方に接続された第2の容量素子304'と、一端が第2のトランジスタ302'のソース端子及びドレイン端子の他方及び第2の容量素子304'の第1端子に接続され、他端が第1のトランジスタ301'のソース端子及びドレイン端子の一方及び第2の容量素子304'の第2端子に接続された抵抗素子305'と、一端が第1の容量素子303'の第1端子に接続され、他端が第1のトランジスタ301'のソース端子及びドレイン端子の一方に接続された抵抗素子306'と、を有する。また、第1のトランジスタ301'及び第2のトランジスタ302'のそれぞれのゲート端子は、ソース端子及びドレイン端子の一方に接続され、また、第1のトランジスタ301'及び第2のトランジスタ302'の基板端子は、それぞれ-V端子に接続される。

【0095】

次に本実施の形態における電源部の動作について説明する。但し、第1の直流電圧である直流電圧VDCがトランジスタ群401の全てのトランジスタがオフの状態になる値の場合、つまり、アンテナから供給される電力が適切である場合の動作は、実施の形態1と同じであるため、実施の形態1で述べた説明を援用する。よって、ここでは、直流電圧VDCがトランジスタ群401の全てのトランジスタがオンの状態になる値の場合、つまり、アンテナから供給される電力が高い場合について説明する。

【0096】

外部から受信した信号は、信号入力端子である+V、-V端子から整流回路100に入力される。

【0097】

なお本実施の形態では、説明を分かり易くするために、V端子の信号を基準として、一定とした場合の+V端子の信号に対する動作の説明をする。アンテナから信号が供給される半導体装置では、入力信号は差動信号の場合があるが、基準とする信号が一定か否かの違いだけであるため、入力信号が差動信号であっても、本実施の形態は適応可能である。

【0098】

まず、基板電圧生成回路105の動作について図1及び図7を用いて説明する。

【0099】

直流電圧VDCがトランジスタ群401の全てのトランジスタがオンの状態になる値の場合は、前述の通り、スイッチ106のゲート端子にノードqの電位が入力され、さらにソース端子及びドレイン端子の他方に抵抗素子306を介し-V端子の電位が伝達されるため、スイッチ106はオンとなる。そのため、+V端子より外部から入力された信号(第1の入力信号)は、基板電圧生成回路105に入力される。

【0100】

ここで、スイッチ106がオンすることで、外部から入力された信号は、整流回路100及び基板電圧生成回路105に供給される。その場合、整流回路100のみに供給されていた場合よりも基板電圧生成回路105に供給される分、整流回路100に供給される電力が減るため、整流回路100を構成する素子への負荷が軽減される。

【0101】

また、式(1)より、アンテナからの供給電力が減るという事は、入力電圧VINが小さくなるため、整流回路100が生成する直流電圧VDCも低くなる。

【0102】

ここで、直流電圧VDCがトランジスタ群401の全てのトランジスタがオフの状態になる値である可能性もあるが、それでも、直流電圧VDCがトランジスタ群401の全てのトランジスタがオンの状態になる値の場合、基板電圧生成回路105は、以下の動作をする。

【0103】

基板電圧生成回路105は、整流回路100とほぼ同じ構成をしているが、第1のトランジスタ301'と第2のトランジスタ302'の基板端子の接続先が異なり、また抵抗素子305'、306'が追加されている。ゲート端子の接続先が、ソース端子及びドレイン端子の一方であるので、この場合の基板電圧生成回路105の出力である直流電圧VSUBは、-V端子の電位より高くなる。直流電圧VSUBを求める理論式は、基板電圧生成回路105に入力される電圧をVIN'とし、その回路を構成するトランジスタのしきい値電圧をVthとすると、式(3)で表される。

【0104】

$$V_{SUB} = 2N(V_{IN}' - V_{th}) \quad (3)$$

【0105】

式(3)でNは倍圧整流回路の段数を表すので、このとき、2つのトランジスタと2つの容量素子を用いた倍圧整流回路の構成を1段とすると、図5に示す基板電圧生成回路105は、1段構成なので、N=1となる。

【 0 1 0 6 】

基板電圧生成回路 1 0 5 で生成された第 2 の直流電圧である直流電圧 V_{SUB} は、図 1 及び図 7 における整流回路 1 0 0 の第 1 のトランジスタ 2 0 1 ' の基板端子に出力される。

【 0 1 0 7 】

続いて、整流回路 1 0 0 の動作について図 6 を用いて説明する。ここで、基板端子の電位は、 $-V$ 端子の電位より高くなっている。これは、前述した通り、直流電圧 V_{DC} がトランジスタ群 4 0 1 の全てのトランジスタがオンの状態になる値の場合、比較回路 1 0 4 のノード q の電位が高くなり、スイッチ 1 0 6 がオンになるからである。すると、基板電圧生成回路 1 0 5 より $-V$ 端子より高い直流電圧 V_{SUB} が出力され、整流回路 1 0 0 に

10

【 0 1 0 8 】

整流回路 1 0 0 における第 1 トランジスタ 2 0 1 ' では、基板端子に入力された直流電圧 V_{SUB} を基板電圧として、基板電圧に従ってトランジスタのしきい値電圧 V_{th} が制御される。例えば第 1 のトランジスタ 2 0 1 ' が N チャネル型トランジスタの場合、基板電圧を低くすることにより、しきい値電圧 V_{th} を高く、また、基板電圧を高くすることにより、しきい値電圧 V_{th} を低くすることができる。逆に、P チャネル型トランジスタの場合、基板電圧を低くすることにより、しきい値電圧 V_{th}' を低く、また、基板電圧を高くすることにより、しきい値電圧 V_{th}' を高くすることができる。

【 0 1 0 9 】

20

整流回路 1 0 0 における第 1 のトランジスタ 2 0 1 ' の基板電圧は通常の値（供給される電力が適切であるときの値）より高くなるため、第 1 のトランジスタ 2 0 1 ' のしきい値電圧 V_{th} は低くなる。第 1 のトランジスタ 2 0 1 ' のしきい値電圧 V_{th} がマイナスまで低くなっていくと、第 1 のトランジスタ 2 0 1 ' のオフの動作ができなくなり、常にオンの状態となり、常に電流が流れるようになってしまう。このようになると、第 1 のトランジスタ 2 0 1 ' の整流機能は失われ、抵抗素子と同じ動作しかできなくなる。整流回路 1 0 0 としては、倍圧をすることができなくなり、半波整流回路のような動作となる。半波整流回路は、入力される電圧を V_{IN} とし、出力を直流電圧 V_{DC} とした場合、式 (4) の通りになる。ここで、入力電圧を V_{IN} とし、その回路を構成する MOS トランジスタのしきい値電圧を V_{th} とする。

30

【 0 1 1 0 】

$$V_{DC} = (V_{IN} - V_{th}) \quad (4)$$

【 0 1 1 1 】

そのため、整流回路 1 0 0 において、第 1 のトランジスタ 2 0 1 のしきい値電圧 V_{th} が通常の値（供給される電力が適切であるときの値）よりも非常に低くなると、直流電圧 V_{DC} も低くなる。

【 0 1 1 2 】

なお、整流回路 1 0 0 としては、半波 4 倍圧整流回路、半波 6 倍圧整流回路、または全波整流回路を用いることもできる。

【 0 1 1 3 】

40

以上のように、素子が破壊されるような高周波信号が供給された場合に、整流回路 1 0 0 に供給される電力を分配することができる。さらに、整流回路 1 0 0 における第 1 のトランジスタ 2 0 1 のしきい値電圧を降下させることにより、第 1 のトランジスタ 2 0 1 において整流動作が行われなくなるため、直流電圧 V_{DC} が大きくなるのを抑えることができる。

【 0 1 1 4 】

本実施の形態の構成とすることにより、所定の通信距離で通信が可能な半導体装置において、例えば通信距離が変化し、素子が破壊されるような高周波信号が回路内に供給されてしまった場合であっても、整流回路に設けたトランジスタのしきい値電圧を制御することにより、内部回路に必要な以上の電圧がかからないようにすることができる。したがって

50

、内部の各回路を構成する素子を劣化または破壊してしまうことなく、正常に動作させることのできる半導体装置を提供できる。

【0115】

(実施の形態3)

本実施の形態では、上記実施の形態1の図1において説明した電源部の別の構成について説明する。なお、この構成における整流回路100は、実施の形態2の回路構成と同じであるため、実施の形態2で述べた説明を援用し、それ以外の各回路の構成は、上記実施の形態1と同じであるため、実施の形態1で述べた説明を援用する。

【0116】

本実施の形態では、本発明の半導体装置における電源部の回路構成について図8を用いて説明する。

10

【0117】

図8に示すように電源部は、整流回路100と、電源回路101と、比較部102と、バイアス回路107と、を有する。整流回路100は、信号入力端子である+V端子から入力された信号を整流化、かつ平滑化することにより第1の直流電圧である直流電圧VDCを生成し、+V'端子に出力する。電源回路101は、+V'端子から入力された直流電圧VDCを定電圧化し、電源電圧を生成し、+V''端子に出力する。バイアス回路107は、+V'端子から入力された直流電圧VDCより基準電圧V_{BIAS}を生成し、電源回路101及び比較部102に出力する。但し、電源回路101で基準電圧V_{BIAS}を生成する場合、もしくは、基準電圧V_{BIAS}が必要無い場合は、バイアス回路107から基準電圧V_{BIAS}を電源回路101に出力する必要はない。比較部102は、比較回路104と、抵抗素子108及びトランジスタ群109を有する。抵抗素子108及びトランジスタ群109は、整流回路100にて生成された直流電圧VDCを基に直流電圧VDC'を生成し、比較回路104に出力する。ここで、直流電圧VDC'を生成するためにトランジスタ群109を用いたが、抵抗素子に置き換えることもできる。比較回路104は、直流電圧VDC'と基準電圧V_{BIAS}の大きさを比較し、その結果を直流電圧VSUBとして整流回路100に出力する。

20

【0118】

図8に示していないが、アンテナから信号が供給される半導体装置では、+V端子にはアンテナの+端子が接続され、-V端子には、アンテナの-端子が接続される。

30

【0119】

各回路の構成については、上記実施の形態1および実施の形態2と同じであるため、実施の形態1及び実施の形態2で述べた説明を援用する。

【0120】

次に本実施の形態における電源部の動作について説明する。

【0121】

アンテナから受信された信号は、+V、-V端子に入力される。

【0122】

なお本実施の形態では、説明を分かり易くするために、V端子の信号を基準として、一定とした場合の+V端子の信号に対する動作の説明をする。実際は、無線タグのようなアンテナから信号が供給される半導体装置では、主に、入力信号は差動信号の場合があるが、基準とする信号が一定か否かの違いだけであるため、入力信号が差動信号であっても、本実施の形態は適応可能である。

40

【0123】

本実施の形態における電源部の動作について図6及び図8を用いて説明する。実施の形態2における電源部の動作と比較して、整流回路100の直流電圧VSUBを基板電圧生成回路105で生成する代わりに、比較回路104で生成する点が異なる。本実施の形態では、実施の形態1乃至2において、比較回路104が、スイッチ106をオン、オフするためであった信号を直流電圧VSUBとして整流回路100に出力する。

【0124】

50

まず、アンテナから供給される電力が適切である場合の動作についてだが、これは、前述した通り、整流回路100の出力である、直流電圧 V_{DC} がトランジスタ群401の全てのトランジスタがオフの状態になる値の場合である。この場合、直流電圧 V_{DC} と直流電圧 V_{DC}' の関係より第1のトランジスタ402はオフなので、ノードqは、 $-V$ 端子と同じ電圧となり、ノードqの電位は、第2の直流電圧である直流電圧 V_{SUB} として整流回路100に出力される。直流電圧 V_{SUB} が $-V$ 端子と同じかそれに近い電位の場合、一定の入力電圧 V_{IN} が入力される整流回路100では、整流回路100を構成するトランジスタのしきい値電圧は変化しないので、出力電圧である直流電圧 V_{DC} も一定の値から変化しない。

【0125】

一方、 V_{DC} がトランジスタ群401の全てのトランジスタがオンの状態になる値の場合の動作についてだが、これは、前述してきた通り、整流回路100の出力である、直流電圧 V_{DC} がトランジスタ群401の全てのトランジスタがオンの状態になる値の場合の動作である。この場合、直流電圧 V_{DC}' は、トランジスタ群401と抵抗素子404により、直流電圧 V_{DC} より低くなり第1のトランジスタ402がオンする。直流電圧 V_{DC} が高くなっていくと、直流電圧 V_{DC} と生成される V_{DC}' との電位差は大きくなるので、第1のトランジスタ402の電流量は増える。ノードqの電位は、第1のトランジスタ402と第2のトランジスタ403の電流量の大きさによって変化し、第2のトランジスタ403の電流量が多い場合は、 $-V$ 端子と同じかそれに近い電位となるが、逆の場合は、電位が上がる。そのため、直流電圧 V_{DC} の大きさにより、ノードqの電位が変化する。ノードqの電位は、直流電圧 V_{SUB} として整流回路に出力される。

【0126】

比較回路104より、 $-V$ 端子より高い電位が整流回路100の直流電圧 V_{SUB} に入力されると、第1のトランジスタ201'の基板電圧が高くなるため、しきい値電圧 V_{th} は低くなる。第1のトランジスタ201'のしきい値電圧 V_{th} がマイナスまで低くなっていくと、第1のトランジスタ201'は、オフの動作ができなくなり、常にオンの状態となり、常に電流が流れるようになってしまう。このようになると、第1のトランジスタ201'の整流機能は失われ、抵抗として見なすことができる。整流回路100としては、倍圧をすることができなくなり、半波整流回路のような動作となる。半波整流回路は、出力を直流電圧 V_{DC} とした場合、上記の式(4)の通りになる。

【0127】

そのため、整流回路100において、第1のトランジスタ201のしきい値電圧 V_{th} が通常(供給される電力が適切であるときの値)よりも非常に低くなると、直流電圧 V_{DC} も低くなることわかる。

【0128】

なお、整流回路100としては、半波4倍圧整流回路、半波6倍圧整流回路、または全波整流回路を用いることもできる。

【0129】

以上のように、素子が破壊されるような高周波信号が整流回路に供給された場合に、整流回路100における第1のトランジスタ201のしきい値電圧を低くすることにより、第1のトランジスタ201において整流動作が行われなくなるため、直流電圧 V_{DC} の値が大きくなるのを抑えることができる。

【0130】

本実施の形態の構成とすることにより、所定の通信距離で通信が可能な半導体装置において、例えば通信距離が変化し、素子が破壊されるような高周波信号が回路内に供給されてしまった場合であっても、整流回路に設けたトランジスタのしきい値電圧を制御することにより、内部回路に必要な以上の電圧がかからないようにすることができる。したがって、内部の各回路を構成する素子を劣化または破壊してしまうことなく、正常に動作させることのできる半導体装置を提供できる。

【0131】

(実施の形態4)

本実施の形態では、上記実施の形態3の図8において説明した電源部の別の構成について説明する。なお、この構成における比較部102は、上記実施の形態の回路を変形したものを、整流回路100は、実施の形態2の回路構成と同様であるため、上記実施の形態2で述べた説明を援用する。

【0132】

本実施の形態では、本発明の半導体装置における電源部の回路構成について図9を用いて説明する。

【0133】

図9に示すように電源部は、整流回路100と、電源回路101と、比較部102と、
バイアス回路107と、を有する。整流回路100は、信号入力端子である+V端子から
入力された信号を整流化、かつ平滑化することにより第1の直流電圧である直流電圧VDC
を生成し、+V'端子に出力する。電源回路101は、+V'端子から入力された直流
電圧VDCを定電圧化し、電源電圧を生成し、+V''端子に出力する。バイアス回路1
07は、+V'端子から入力された直流電圧VDCより基準電圧V_{BIAS}を生成し、
電源回路101及び比較部102に出力する。また、同様に+V'端子から入力された直
流電圧VDCより基準電圧V_{BIAS}'を生成し、比較部102に出力する。但し、電
源回路101で基準電圧V_{BIAS}を生成する場合、もしくは、基準電圧V_{BIAS}
が必要無い場合は、バイアス回路107から基準電圧V_{BIAS}を電源回路101に出
力する必要はない。比較部102は、比較回路104と、抵抗素子108及びトランジスタ
群109を有する。抵抗素子108及びトランジスタ群109は、整流回路100にて
生成された直流電圧VDCを基に直流電圧VDC'を生成し、比較回路104に出力する
。ここで、直流電圧VDC'を生成するためにトランジスタ群109を用いたが、抵抗素
子に置き換えることもできる。比較回路104は、直流電圧VDC'と基準電圧V_{BIA}
Sの大きさを比較し、その結果を直流電圧V_{SUB}として整流回路100に出力する。

【0134】

図9に示していないが、アンテナから信号が供給される半導体装置では、+V端子には
アンテナの+端子が接続され、-V端子には、アンテナの-端子が接続される。

【0135】

各回路の構成については、比較部102以外は、上記実施の形態と同じであるため、上
記実施の形態で述べた説明を援用する。

【0136】

比較部102の構成について図10を用いて説明する。本実施の形態における比較部1
02は、実施の形態1乃至3と比較して、第1のトランジスタ402'と並列に接続され
た第3のトランジスタ405が追加された点異なる。ここで、第3のトランジスタ40
5は、Pチャネル型トランジスタである。第3のトランジスタ405は、ソース端子及び
ドレイン端子の一方が第1のトランジスタ402'のソース端子及びドレイン端子の他方
と抵抗素子404'の一端と接続されている。また、ソース端子及びドレイン端子の他方
が第1のトランジスタ402'のソース端子及びドレイン端子の一方と第2のトランジ
スタ403'のソース端子及びドレイン端子の一方に接続されている。この接続点は、ノ
ードqである。また、第3のトランジスタ405のゲート端子は、バイアス回路107に接
続され、ゲート端子からV_{BIA}S'が入力される。

【0137】

次に本実施の形態における電源部の動作について説明する。

【0138】

アンテナから受信された信号は、+V、-V端子に入力される。

【0139】

なお本実施の形態では、説明を分かり易くするために、-V端子の信号を基準として、
一定とした場合の+V端子の信号に対する動作の説明をする。アンテナから信号が供給
される半導体装置では、主に、入力信号は差動信号の場合があるが、基準とする信号が一定

か否かの違いだけであるため、入力信号が差動信号であっても、本実施の形態は適応可能である。

【0140】

本実施の形態における電源部の動作について図9及び図10を用いて説明する。本実施の形態における電源部の動作は、上記実施の形態3と比較して、バイアス回路107により比較部102に2つの異なる電位を持つ基準電圧 V_BIAS が生成され、いずれかの V_BIAS が比較部102に出力される点が異なる。

【0141】

まず、アンテナから供給される電力が適切である場合の動作についてだが、これは、前述した通り、整流回路100の出力である、直流電圧 VDC がトランジスタ群401'の全てのトランジスタがオフの状態になる値の場合である。この場合、直流電圧 VDC と直流電圧 VDC' の関係より第1のトランジスタ402'はオフとなる。

10

【0142】

しかし、第3のトランジスタ405は、常にバイアス回路107からある一定の基準電圧 V_BIAS' が入力されているため、常に一定の電流が流れる。この電流量が、第2のトランジスタ403'に流れる電流量より少なければ、ノードqは、-V端子とほぼ同じ電位となり、多ければ、-V端子より高い電位となる。この電位を調整することで、アンテナから供給される電力が適切である場合に、整流回路100の第1のトランジスタ201'の第2の直流電圧である基板電位 $VSUB$ を設定し、しきい値電圧を調整することができる。整流回路100は前述した通り、式(1)により、整流回路100を構成するトランジスタのしきい値電圧 V_{th} が低ければ、高い直流電圧 VDC が生成できるので、基準電圧 V_BIAS' を調整することにより、整流回路100の出力である直流電圧 VDC を高くすることができる。

20

【0143】

一方、 VDC がトランジスタ群401'の全てのトランジスタがオンの状態になる値の場合の動作についてだが、これは、前述した通り、整流回路100の出力である、直流電圧 VDC がトランジスタ群401'の全てのトランジスタがオンの状態になる値の場合の動作である。この場合、直流電圧 VDC' は、トランジスタ群401'と抵抗素子404'により、直流電圧 VDC より低くなり第1のトランジスタ402'がオンする。直流電圧 VDC が高くなっていくと、直流電圧 VDC と生成される直流電圧 VDC' との電位差が大きくなるので、第1のトランジスタ402'の電流量は増える。ノードqの電位は、第1のトランジスタ402'と第3のトランジスタ405の電流量の和と第2のトランジスタ403'の電流量の差によって変化し、第2のトランジスタ403'の電流量が第1のトランジスタ402'と第3のトランジスタ405の電流量の和より多い場合は、-V端子とほぼ同じ電位となり、少ない場合は、電位が上がる。そのため、直流電圧 VDC の大きさにより、ノードqの電位が変化する。これが、整流回路100に直流電圧 $VSUB$ として出力される。

30

【0144】

比較回路104から、-V端子より高い電位が整流回路100の直流電圧 $VSUB$ に入力されると、第1のトランジスタ201'の基板電圧が高くなるため、しきい値電圧 V_{th} は低くなる。第1のトランジスタ201'のしきい値電圧 V_{th} がマイナスまで低くなっていくと、オフの動作ができなくなり、常にオンの状態となり、常に電流が流れるようになってしまう。このようになると、第1のトランジスタ201'の整流機能は失われ、抵抗の動作しかできなくなる。整流回路100としては、倍圧をすることができなくなり、半波整流回路のような動作となる。半波整流回路は、出力を直流電圧 VDC とした場合、式(4)の通りになる。

40

【0145】

そのため、整流回路100において、第1のトランジスタ201のしきい値電圧 V_{th} が通常よりも低くなると、直流電圧 VDC も低くなる。

【0146】

50

なお、整流回路 100 としては、半波 4 倍圧整流回路、半波 6 倍圧整流回路、または全波整流回路を用いることもできる。

【0147】

以上のように、素子が破壊されるような高周波信号が供給された場合に、整流回路 100 における第 1 のトランジスタ 201 のしきい値電圧を低下させることにより、第 1 のトランジスタ 201 において整流動作が行われなくなるため、直流電圧 V_{DC} が大きくなるのを抑えることができる。

【0148】

また、半導体装置において、整流回路 100 では、微弱な受信信号から、高い電圧を生成することで通信距離が伸びるので、しきい値電圧を低く設定する。一方、ロジック回路においては、しきい値電圧を下げることで、待機時の消費電流が上がってしまうので、しきい値電圧を高く設定する。本実施の形態の回路構成を用いることで、ロジック回路のしきい値電圧に合わせて全てのトランジスタを製作しても、整流回路 100 は、しきい値電圧を最適値にすることができるので、消費電流が少なく、微弱な電力で動作する無線タグを作製することができる。

10

【0149】

本実施の形態の構成とすることにより、所定の通信距離で通信が可能な半導体装置において、例えば通信距離が変化し、素子が破壊されるような信号が回路内に供給されてしまった場合であっても、整流回路に設けたトランジスタのしきい値電圧を制御することにより、内部回路に必要な以上の電圧がかからないようにすることができる。したがって、内部の各回路を構成する素子を劣化または破壊してしまうことなく、正常に動作させることのできる半導体装置を提供できる。

20

【0150】

(実施の形態 5)

本実施の形態では、実施の形態 1 の図 1 において説明した電源部の別の構成について、説明する。

【0151】

本実施の形態では、本発明の半導体装置における電源部の回路構成について図 11 を用いて説明する。

【0152】

30

図 11 に示すように電源部は、整流回路 100 と、電源回路 101 と、比較部 102 と、基板電圧生成部 103 と、第 1 のバイアス回路 107 と、第 2 のバイアス回路 111 と、スイッチ 110 を有する。整流回路 100 は、信号入力端子である $+V$ 端子から入力された信号を整流化、かつ平滑化することにより第 1 の直流電圧である直流電圧 V_{DC} を生成し、 $+V'$ 端子に出力する。

【0153】

なお、この構成における第 2 のバイアス回路 111 と、スイッチ 110 以外の各回路は、実施の形態 1 と同じものであるため、実施の形態 1 で述べた説明を援用する。

【0154】

第 2 のバイアス回路 111 としては、第 1 のバイアス回路 107 と同様の回路構成とすることができる。

40

【0155】

電源回路 101 は、 $+V'$ 端子から入力された直流電圧 V_{DC} を定電圧化し、電源電圧を生成し、 $+V''$ 端子に出力する。

【0156】

第 1 のバイアス回路 107 は、 $+V'$ 端子から入力された直流電圧 V_{DC} から基準電圧 V_{BIAS} を生成し、電源回路 101 及び比較部 102 に出力する。但し、電源回路 101 で基準電圧 V_{BIAS} を生成する場合、もしくは、基準電圧 V_{BIAS} が必要ない場合は、第 1 のバイアス回路 107 から基準電圧 V_{BIAS} を電源回路 101 に出力する必要はない。

50

【 0 1 5 7 】

スイッチ 1 1 0 は、比較回路 1 0 4 の結果である信号に応じて + V ' 端子と第 2 のバイアス回路 1 1 1 のオンとオフを選択する。

【 0 1 5 8 】

第 2 のバイアス回路 1 1 1 は、スイッチ 1 1 0 がオンの時、+ V ' 端子から入力された直流電圧 V D C から第 3 の直流電圧である基準電圧 V _ B I A S ' を生成し、整流回路 1 0 0 の直流電圧 V S U B として出力する。逆に、スイッチ 1 1 0 がオフの時は、第 2 のバイアス回路 1 1 1 は、直流電圧 V D C が供給されないため、動作しない。

【 0 1 5 9 】

比較部 1 0 2 は、比較回路 1 0 4 と、抵抗素子 1 0 8 及びトランジスタ群 1 0 9 を有する。抵抗素子 1 0 8 及びトランジスタ群 1 0 9 は、整流回路 1 0 0 にて生成された直流電圧 V D C を基に直流電圧 V D C ' を生成し、比較回路 1 0 4 に出力する。ここで、直流電圧 V D C ' を生成するためにトランジスタ群 1 0 9 を用いたが、抵抗素子に置き換えることもできる。比較回路 1 0 4 は、直流電圧 V D C ' と基準電圧 V _ B I A S の大きさを比較し、その結果を基板電圧生成部 1 0 3 に出力する。

10

【 0 1 6 0 】

基板電圧生成部 1 0 3 は、基板電圧生成回路 1 0 5 及びスイッチ 1 0 6 を有する。スイッチ 1 0 6 は、比較回路 1 0 4 の結果である信号に応じてオンまたはオフが選択され、+ V 端子と基板電圧生成回路 1 0 5 の導通または非導通が選択される。基板電圧生成回路 1 0 5 は、スイッチ 1 0 6 がオンの時、+ V 端子と接続状態になり、+ V 端子から基板電圧生成回路 1 0 5 に信号が入力される。基板電圧生成回路 1 0 5 は、その信号を、整流化、かつ平滑化することにより第 2 の直流電圧である直流電圧 V S U B を生成し、整流回路 1 0 0 に出力する。逆に、スイッチ 1 0 6 がオフの時は、基板電圧生成回路 1 0 5 は、- V 端子と同じ電位を整流回路 1 0 0 に出力する。

20

【 0 1 6 1 】

図 1 1 に示していないが、無線タグのようなアンテナから信号が供給される半導体装置では、+ V 端子にはアンテナの + 端子が接続され、- V 端子には、アンテナの - 端子が接続される。

【 0 1 6 2 】

各回路の構成については、実施の形態 1 と同じであるため、実施の形態 1 で述べた説明を援用する。

30

【 0 1 6 3 】

次に本実施の形態における電源部の動作について説明する。

【 0 1 6 4 】

アンテナから受信された信号は、+ V、- V 端子に入力される。

【 0 1 6 5 】

なお、本実施の形態では、説明を分かり易くするために、- V 端子の信号を基準として、一定とした場合の + V 端子の信号に対する動作の説明をする。実際は、無線タグのようなアンテナから信号が供給される半導体装置では、主に、入力信号は差動信号の場合があるが、基準とする信号が一定か否かの違いだけであるため、入力信号が差動信号であっても、本実施の形態は適応可能である。

40

【 0 1 6 6 】

本実施の形態における電源部の動作について図 1 1 を用いて説明する。本実施の形態の電源部の動作は、上記実施の形態 1 と比較して、2 つのバイアス回路と、新たにスイッチが設けられた点が異なる。第 1 のバイアス回路 1 0 7 から比較部 1 0 2 に基準電圧 V _ B I A S が出力され、第 2 のバイアス回路 1 1 1 から整流回路 1 0 0 に直流電圧 V S U B として基準電圧 V _ B I A S が出力される。また、スイッチ 1 1 0 は、+ V ' 端子と第 2 のバイアス回路 1 1 1 の導通または非導通を選択するために + V ' 端子と第 2 のバイアス回路 1 1 1 の間に接続される。ここでは、スイッチ 1 1 0 を、P チャネル型トランジスタとして説明する。

50

【0167】

まず、アンテナから供給される電力が適切である場合の動作についてだが、これは、前述してきた通り、整流回路100の出力である、直流電圧 V_{DC} がトランジスタ群401の全てのトランジスタがオフの状態になる値の場合である。この場合、比較回路104からスイッチ106とスイッチ110には、 $-V$ 端子とほぼ同じ電位が出力され、スイッチ106はオフするが、スイッチ110はオンする。そのため、基板電圧生成回路105は、 $-V$ 端子と同じ電位を整流回路100の直流電圧 V_{SUB} として出力するが、第2のバイアス回路111は動作し、基準電圧 $V_{BIAS'}$ を整流回路100の直流電圧 V_{SUB} として出力する。ここで、基板電圧生成回路105の抵抗素子305は、基板電圧生成時に影響しない程度に大きな値とすることで、生成される直流電圧 V_{SUB} の電位の値は、入力された基準電圧 $V_{BIAS'}$ の電位で決まることになる。

10

【0168】

第2のバイアス回路111から直流電圧 V_{SUB} として基準電圧 $V_{BIAS'}$ が整流回路100に入力されると、第1のトランジスタ201および第2のトランジスタ202の基板電圧が高くなるため、しきい値電圧 V_{th} は低くなる。基準電圧 $V_{BIAS'}$ の電位を調整することで、アンテナから供給される電力が適切である場合にも、整流回路100の第1のトランジスタ201'の直流電圧 V_{SUB} を設定し、しきい値電圧を調整することができる。整流回路100は前述した通り、式(1)により、トランジスタのしきい値電圧 V_{th} が低ければ、高い直流電圧 V_{DC} が生成できるので、基準電圧 $V_{BIAS'}$ を調整することで整流回路100の出力である直流電圧 V_{DC} を高くすることができる。

20

【0169】

一方、直流電圧 V_{DC} がトランジスタ群401の全てのトランジスタがオンの状態になる値の場合の動作についてだが、これは、前述した通り、整流回路100の出力である、直流電圧 V_{DC} がトランジスタ群401の全てのトランジスタがオンの状態になる値の場合の動作である。この場合、比較回路104の出力電位が $-V$ 端子より高くなるので、スイッチ106はオンし、スイッチ110はオフする。そのため、基板電圧生成回路105は、 $-V$ 端子より低い電位を整流回路100の直流電圧 V_{SUB} として出力するが、第2のバイアス回路111は動作しないため、直流電圧 V_{SUB} の値は、基板電圧生成回路105の出力の電位で決まる。

30

【0170】

直流電圧 V_{SUB} が整流回路100に入力されることにより、整流回路100における第1のトランジスタ201及び第2のトランジスタ202の基板電圧は通常値(供給される電力が適切であるときの値)より低くなるため、第1のトランジスタ201及び第2のトランジスタ202のしきい値電圧 V_{th} は高くなる。しきい値電圧 V_{th} と整流回路100の出力である直流電圧 V_{DC} の関係は、式(1)の通りであるため、第1のトランジスタ201及び第2のトランジスタ202のしきい値電圧 V_{th} が高くなると、直流電圧 V_{DC} が低くなる。

【0171】

そのため、整流回路100において、第1のトランジスタ201及び第2のトランジスタ202のしきい値電圧 V_{th} が通常よりも高くなると、直流電圧 V_{DC} が低くなる。

40

【0172】

なお、整流回路100としては、半波4倍圧整流回路、半波6倍圧整流回路、または全波整流回路を用いることもできる。

【0173】

以上のように、素子が破壊されるような高周波信号が供給された場合に、整流回路100における第1のトランジスタ201のしきい値電圧を降下させることにより、第1のトランジスタ201において整流動作が行われなくなるため、直流電圧 V_{DC} が大きくなるのを抑えることができる。

【0174】

50

また、半導体装置において、整流回路１００では、微弱な受信電力から、高い電圧を生成することで通信距離が伸びるので、しきい値電圧を低く設定する。一方、ロジック回路においては、しきい値電圧を下げることで、待機時の消費電流が上がってしまうので、しきい値電圧を高く設定する。本実施の形態の回路構成を用いることで、ロジック回路のしきい値電圧に合わせてトランジスタを作製しても、整流回路１００は、しきい値電圧を最適値にすることができるので、消費電流が少なく、微弱な電力で動作する半導体装置を作製することができる。

【０１７５】

本実施の形態の構成とすることにより、所定の通信距離で通信が可能な半導体装置において、例えば通信距離が変化し、素子が破壊されるような信号が回路内に供給されてしまった場合であっても、整流回路に設けたトランジスタのしきい値電圧を制御することにより、内部回路に必要以上の電圧がかからないようにすることができる。したがって、内部の各回路を構成する素子を劣化または破壊してしまうことなく、正常に動作させることのできる半導体装置を提供できる。

【０１７６】

(実施の形態６)

本実施の形態では、本発明の整流回路を有する半導体装置について図１２を用いて説明する。

【０１７７】

本発明の半導体装置５００は、無線通信装置から信号を受信するためのアンテナ５０１と、入力回路部５１３と、ロジック回路部５１４と、を有する。なお、アンテナ５０１は、入力回路部５１３及びロジック回路部５１４を有するチップ本体とは別に作製し、別の工程にて接続して半導体装置５００を形成することができるが、アンテナ５０１とチップ本体は同じ工程で形成されることが好ましい。

【０１７８】

半導体装置５００の入力回路部５１３は、アンテナ５０１から受信した信号を交流から直流へ変換するための整流回路５０２と、整流回路５０２におけるトランジスタの基板電圧を生成するための基板電圧生成部５０３と、基板電圧生成部５０３を動作させるかどうかを制御するための比較部５０４と、基準電圧を生成するためのバイアス回路５１５と、安定した電圧を内部回路へ供給するための電源回路５０５と、内部回路へ供給するクロックを生成するためのクロック生成回路部５０６と、アンテナ５０１から受信したデータをデジタル信号へ復調するための復調回路部５０７と、符号化されたデータを変調するための変調回路部５１２と、を有する。

【０１７９】

また、半導体装置５００のロジック回路部５１４は、復調回路部５０７で復調されたデータを解析する命令解析部と復調されたデータが正常に受信できたかどうかを判定するための判定回路部５０８と、メモリ５０９と、メモリ５０９を制御するためのコントローラ回路部５１０と、データを符号化するための符号化回路部５１１と、を有する。ここで、各回路を構成するトランジスタは、基板端子を有する構成にしても良い。無線信号が供給される半導体装置では、整流回路５０２が微弱な受信電力から高い直流電圧ＶＤＣを生成する際にトランジスタのしきい値電圧を低く設定するためにロジック回路部５１４の消費電流が問題となってしまう。各トランジスタに基板端子を設けることによって、各トランジスタのしきい値電圧を制御することができ、消費電流を低減することができる。

【０１８０】

本実施の形態において、変調回路部５１２は、符号化回路部５１１において符号化された信号が入力され、負荷変調をおこなう。復調回路部５０７は、＋Ｖ端子から入力された電波を復調する。復調信号出力端子はクロック生成回路部５０６やロジック回路部５１４内の復号回路部に接続される。電源回路５０５は、整流回路５０２において整流化、かつ平滑化された直流電圧ＶＤＣが入力され、直流電圧ＶＤＣから生成した電源電圧ＶＤＤをクロック生成回路部５０６及びコントローラ回路部５１０に出力する。＋Ｖ'端子はクロ

10

20

30

40

50

ック生成回路部 506 やロジック回路部 514 へ接続され、各回路へ電源を供給している。クロック生成回路部 506 は、基準クロックを出力する。クロック生成回路部 506 の出力端子はロジック回路部 514 へ接続されており、ロジック回路部 514 内部の各回路へクロックを供給している。

【0181】

本実施の形態における入力回路部に上記実施の形態における整流回路を設けた構成とすることにより、所定の通信距離で通信が可能な半導体装置において、例えば通信距離が変化し、素子が破壊されるような高周波信号が回路内に供給されてしまった場合であっても、比較部 504 の出力に従って基板電圧生成部 503 において基板電圧を生成し、基板電圧により、整流回路 502 におけるトランジスタのしきい値電圧を制御することができる。そのため整流回路 502 において整流化、平滑化を行い、生成された直流電圧 VDC が必要以上に大きくなるのを抑えて電源回路 505 に出力することができる。

10

【0182】

本実施の形態の構成とすることにより、所定の通信距離で通信が可能な半導体装置において、例えば通信距離が変化し、素子が破壊されるような高周波信号が回路内に供給されてしまった場合であっても、整流回路に設けたトランジスタのしきい値電圧を制御することにより、入力回路に必要な以上の電圧がかからないようにすることができる。したがって、入力回路を構成する素子を劣化または破壊してしまうことないため、その他の回路においても正常に動作させることのできる半導体装置を提供できる。

20

【0183】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0184】

(実施の形態 7)

本実施の形態では、本発明における整流回路において用いることのできるトランジスタの一例として非単結晶半導体膜を有するトランジスタについて説明する。

【0185】

本実施の形態におけるトランジスタについて図 13 に示す。本実施の形態におけるトランジスタは、基板 1000 上に第 1 のゲート電極 1001 を有し、第 1 のゲート電極 1001 上に第 1 の絶縁層 1002 を有し、第 1 の絶縁層 1002 上に半導体層 1003 を有し、半導体層 1003 上に第 2 の絶縁層 1006 を有し、第 2 の絶縁層 1006 上に第 2 のゲート電極 1008 を有し、第 2 のゲート電極 1008 上に第 3 の絶縁層 1007 を有する。半導体層 1003 は、不純物領域 1004、不純物領域 1005 を有する。不純物領域 1004 及び不純物領域 1005 の間には、チャネル形成領域を有する。さらに第 3 の絶縁層 1007 上、及びゲート電極 1008 上には、第 4 の絶縁層 1009 を有し、第 4 の絶縁層 1009 の一部には、任意の数のコンタクト部を有し、コンタクト部を介して不純物領域 1004 上に設けられた配線 1010、及び不純物領域 1005 上に設けられた配線 1011 をそれぞれ有する。

30

【0186】

基板 1000 としては、例えばガラス基板、石英基板、金属基板（例えばステンレス基板など）、セラミック基板などを用いることができる。他にもプラスチック基板として、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、アクリルなどの基板を選択することもできる。

40

【0187】

また、第 1 の絶縁層 1002、1006、1007、及び 1009 は、酸化シリコン、窒化シリコン、酸化窒化シリコン（ SiO_xN_y ）（ $x > y > 0$ ）、及び窒化酸化シリコン（ SiN_xO_y ）（ $x > y > 0$ ）のいずれか一つまたは複数を有することができる。また選ばれた材料を用いて積層構造とすることもできる。絶縁層は、CVD 法やスパッタリング法等を用いて形成することができる。

【0188】

また、半導体層 1003 としては、非晶質シリコン、多結晶シリコン、微結晶（マイク

50

ロクリスタル、セミアモルファスとも言う)シリコンなどを用いることができる。また半導体層1003はスパッタリング法、LP CVD法、プラズマCVD法等により形成することができる。

【0189】

また半導体層1003は、レーザビームを照射することにより結晶化が行われる。なお、レーザビームの照射と、RTAまたはファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とを組み合わせた方法等により半導体層1003の結晶化を行ってもよい。その後、得られた結晶質半導体膜を所望の形状にエッチングすることにより半導体層1003が形成される。

【0190】

なお、結晶化に用いるレーザ発振器としては、連続発振型のレーザ(CWレーザ)やパルス発振型のレーザ(パルスレーザ)を用いることができる。ここで用いることができるレーザビームは、Arレーザ、Krレーザ、エキシマレーザなどの気体レーザ、単結晶のYAG、YVO₄、フォルステライト(Mg₂SiO₄)、YAlO₃、GdVO₄、または多結晶(セラミック)のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、及びTaのうち1種または複数種添加されているものを媒質とするレーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザ、銅蒸気レーザ、及び金蒸気レーザのうち1種または複数種から発振されるものを用いることができる。このようなレーザビームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザビームを照射することで、大粒径の結晶を得ることができる。例えば、Nd:YVO₄レーザ(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いることができる。このときレーザのパワー密度は0.01MW/cm²以上100MW/cm²以下程度(好ましくは0.1MW/cm²以上10MW/cm²以下)が必要である。そして、走査速度を10cm/sec以上2000cm/sec以下程度として照射する。なお、単結晶のYAG、YVO₄、フォルステライト(Mg₂SiO₄)、YAlO₃、GdVO₄、または多結晶(セラミック)のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、Arイオンレーザ、またはTi:サファイアレーザは、連続発振をさせることが可能であり、モード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザビームを発振させると、半導体膜がレーザによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【0191】

第1のゲート電極1001及び第2のゲート電極1008は、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、クロム、ニオブ等から選択された元素、またはこれらの元素を主成分とする合金材料、若しくは化合物材料を用いて形成することができる。また、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料を用いて形成することもできる。また上記材料の一つまたは複数を選択し、積層構造することも可能である。上記材料の組み合わせの例を挙げると、窒化タンタル膜とタングステン膜、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、ゲート電極の1層目と2層目を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、2層の積層のみではなく、3層以上の構造とすることも可能である。例えば3層の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

【0192】

不純物領域1004及び不純物領域1005は、半導体層1003の一部に不純物元素を添加することにより形成することができる。なお不純物元素は、また所定の領域に添加

10

20

30

40

50

したい場合には、別途レジストを形成し、レジストをマスクとして不純物元素を添加することにより、所望の領域に所望の元素を含む不純物領域 1 0 0 4 及び不純物領域 1 0 0 5 を形成することができる。

【 0 1 9 3 】

また第 4 の絶縁層 1 0 0 9 としては、珪素の酸化物及び珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、及びエポキシ等の有機材料、シロキサン材料のいずれか一種または複数種を用いることができる。また上記材料から選ばれた一種または複数種を用いて積層構造を形成することも可能である。また第 4 の絶縁層 1 0 0 9 は、C V D 法、スパッタリング法、S O G 法、液滴吐出法、スクリーン印刷法等を用いて形成することができる。

10

【 0 1 9 4 】

また、配線 1 0 1 0 及び 1 0 1 1 は、ソース配線またはドレイン配線として機能する。それらにはアルミニウム、タングステン、チタン、タンタル、モリブデン、ニッケル、白金、銅、金、銀、マンガン、ネオジム、炭素、及びシリコンから選択された元素、またはこれらの元素を主成分とする合金材料または化合物材料を用いることができる。また、上記材料の一種または複数種を選択して用いることにより積層構造とすることも可能である。アルミニウムを主成分とする合金材料としては、例えば、アルミニウムを主成分として有し、さらにニッケルを含む材料や、アルミニウムを主成分として有し、さらにニッケル、及び炭素と珪素の一方または両方とを含む合金材料などを用いることができる。配線 1 0 1 0 及び配線 1 0 1 1 は、例えば、バリア膜とアルミニウムシリコン (A l - S i) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (A l - S i) 膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、またはモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、配線 1 0 1 0 及び配線 1 0 1 1 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

20

【 0 1 9 5 】

不純物領域 1 0 0 4 と配線 1 0 1 0 、及び不純物領域 1 0 0 5 と配線 1 0 1 1 は、ソース端子またはドレイン端子として機能する。不純物領域 1 0 0 4 及び不純物領域 1 0 0 5 の間にはチャネル形成領域が形成される。

30

【 0 1 9 6 】

第 1 のゲート電極 1 0 0 1 は、基板端子 (制御端子ともよぶ) として機能する。第 1 のゲート電極 1 0 0 1 を実施の形態 1 における基板電圧生成回路 1 0 5 に接続させ、基板電圧生成回路 1 0 5 から入力された電圧が基板電圧としてチャネル形成領域に印加され、トランジスタのしきい値電圧を変化させることができる。

【 0 1 9 7 】

以上のように、基板端子を有するトランジスタを整流回路に搭載することにより、独立の基板電圧を設定することができ、基板電圧を制御することにより、トランジスタのしきい値電圧を制御しながら整流動作を行うことができる。さらに整流回路を半導体装置に搭載することにより、所定の通信距離で通信が可能な半導体装置において、例えば素子が破壊されるような高周波信号がチップ内に供給されてしまった場合でも、入力回路に必要な以上の電圧がかからないようにすることができる。したがって、入力回路の素子が劣化または破壊してしまうことないため、その他の回路においても正常に動作する半導体装置を提供できる。

40

【 0 1 9 8 】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【 0 1 9 9 】

50

(実施の形態 8)

本実施の形態では、本発明における整流回路に用いることのできるトランジスタの別の一例として単結晶半導体膜を有するトランジスタについて説明する。

【0200】

本実施の形態におけるトランジスタについて図14に示す。本実施の形態のトランジスタは、基板2000上に第1の絶縁層2001及び第2の絶縁層2006を有し、第2の絶縁層2006上にゲート電極2007を有する。基板2000の一部にウェル領域2002を有し、さらにウェル領域2002の一部には、不純物領域2003、2004、及び2005を有する。第2の絶縁層2006及びゲート電極2007は、基板2000の不純物領域2003及び2004の間の領域上に設けられている。さらにゲート電極2007及び基板2000上には、第3の絶縁層2008を有し、第3の絶縁層2008の一部には、任意の数のコンタクト部を有し、コンタクト部を介して不純物領域2003上に設けられた配線2009、不純物領域2004上に設けられた配線2010、不純物領域2005上に設けられた配線2011をそれぞれ有する。

10

【0201】

基板2000としては、例えば、n型またはp型の導電型を有する単結晶シリコン基板、化合物半導体基板(GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、またはZnSe基板等)、及び貼り合わせ法またはSIMOX(Separation by Implanted Oxygen)法を用いて作製されたSOI(Silicon on Insulator)基板のいずれかを用いることができる。

20

【0202】

また第1の絶縁層2001の形成には、選択酸化法(LOCOS: Local Oxidation of Silicon法)またはトレンチ分離法等を用いることができる。

【0203】

ゲート電極2007としては、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、クロム、ニオブ等を用いることができる。また、ゲート電極2007は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いて形成することもできる。または、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成することもできる。また、ゲート電極2007は、所定の形状に加工(パターニングなど)することによって形成することができる。

30

【0204】

ウェル領域2002及び不純物領域2003、2004、及び2005は不純物元素を添加することで形成することができる。不純物元素としては、n型を付与する不純物元素またはp型を付与する不純物元素を用いる。n型を付与する不純物元素としては、リンやヒ素等を用いることができる。p型を付与する不純物元素としては、ボロンやアルミニウムやガリウム等を用いることができる。また所定の領域に添加したい場合には、別途レジストを形成し、レジストをマスクとして不純物元素を添加することにより所定の領域に所望の元素を含むウェル領域2002及び不純物領域2003、2004、及び2005を形成することができる。

40

【0205】

第2の絶縁層2006及び第3の絶縁層2008としては、無機材料、有機材料、または有機材料と無機材料の混合材料を用いて形成することができる。例えば酸化珪素、酸化窒化珪素、窒化酸化珪素、DLC(ダイヤモンドライクカーボン)に代表される炭素を含む膜、アクリル、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、またはベンゾシクロブテンなどを用いることができる。また、第2の絶縁層2006及び第3の絶縁層2008はその材料に応じて、CVD法、スパッタ法、液滴吐出法または印刷法などで形成することができる。

【0206】

50

不純物領域 2003 と配線 2009、及び不純物領域 2004 と配線 2010 は、ソース端子またはドレイン端子として機能する。不純物領域 2003 及び不純物領域 2004 の間にはチャネル形成領域が形成される。

【0207】

不純物領域 2005 は、トランジスタの他の端子に印加される電圧とは独立した電圧（基板電圧）が印加される基板端子（制御端子ともよぶ）として機能する。よって配線 2011 を実施の形態 1 の図 1 における基板電圧生成回路 105 に接続させることにより、基板端子を介して入力された電圧が基板電圧としてチャネル形成領域に印加され、トランジスタのしきい値電圧を制御することができる。

【0208】

以上のように、基板端子を有するトランジスタを整流回路に搭載することにより、独立の基板電圧を設定することができ、基板電圧を制御することにより、トランジスタのしきい値電圧を制御しながら整流動作を行うことができる。さらに整流回路を半導体装置に搭載することにより、所定の通信距離で通信が可能な半導体装置において、例えば素子が破壊されるような高周波信号がチップ内に供給されてしまった場合でも、入力回路に必要な以上の電圧がかからないようにすることができる。したがって、入力回路の素子が劣化または破壊してしまうことないため、その他の回路においても正常に動作する半導体装置を提供できる。

【0209】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0210】

（実施の形態 9）

本実施の形態では、上記実施の形態における整流回路を備えた半導体装置の使用例について説明する。

【0211】

上記実施の形態における整流回路を備えた半導体装置の使用例について、図 15 に示す。半導体装置の用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証券類（運転免許証や住民票等、図 15（A）参照）、包装用容器類（包装紙やボトル等、図 15（C）参照）、記録媒体（DVD ソフトやビデオテープ等、図 15（B）参照）、乗り物類（自転車等、図 15（D）参照）、身の回り品（靴や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、または電子機器（液晶表示装置、EL 表示装置、テレビジョン装置、または携帯電話）等の物品、若しくは各物品に取り付ける荷札（図 15（E）、図 15（F）参照）等に設けて使用することができる。

【0212】

本発明の半導体装置 4000 は、プリント基板に実装、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込む、または有機樹脂からなるパッケージであれば当該有機樹脂に埋め込み、各物品に固定される。本発明の半導体装置 4000 は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証券類等に本発明の半導体装置 4000 を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の半導体装置を取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の半導体装置を取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

【0213】

以上のように、本発明の整流回路を搭載した半導体装置を本実施の形態に挙げた各用途に用いることにより、所定の通信距離で通信が可能な半導体装置において、例えば通信距離が変化し、回路に素子が破壊されるような高周波信号が供給されてしまった場合においても、回路内部の素子が劣化または破壊することなく安定した動作を実現できるため、物

10

20

30

40

50

品の認証性、またはセキュリティ性に対する信頼性を高めることができる。

【図面の簡単な説明】

【 0 2 1 4 】

【図 1】本発明における電源部を示すブロック図である。

【図 2】実施の形態 1 における整流回路の回路構成を示す図である。

【図 3】実施の形態 1 乃至実施の形態 2 における比較部の回路構成の一形態を示す図である。

【図 4】本発明における比較部の別の構成を示す図である。

【図 5】実施の形態 1 における基板電圧生成回路の回路構成を示す図である。

【図 6】実施の形態 2 における整流回路の回路構成を示す図である。

10

【図 7】実施の形態 2 における基板電圧生成回路の回路構成を示す図である。

【図 8】実施の形態 3 における電源部を示すブロック図である。

【図 9】実施の形態 4 における電源部を示すブロック図である。

【図 10】実施の形態 4 における比較回路を示すブロック図である。

【図 11】実施の形態 5 における電源部のブロック図である。

【図 12】本発明における半導体装置のブロック図である。

【図 13】実施の形態 7 における本発明の半導体装置に搭載される整流回路に用いることのできるトランジスタを示す断面図である。

【図 14】実施の形態 8 における本発明の半導体装置に搭載される整流回路に用いることのできるトランジスタを示す断面図である。

20

【図 15】実施の形態 9 における本発明の半導体装置の使用例を示す図である。

【符号の説明】

【 0 2 1 5 】

1 0 0	整流回路
1 0 1	電源回路
1 0 2	比較部
1 0 3	基板電圧生成部
1 0 4	比較回路
1 0 5	基板電圧生成回路
1 0 6	スイッチ
1 0 7	バイアス回路
1 0 8	抵抗素子
1 0 9	トランジスタ群
1 1 0	スイッチ
1 1 1	バイアス回路
1 1 2	アンテナ
1 2 0	チップ本体
2 0 1	トランジスタ
2 0 2	トランジスタ
2 0 3	容量素子
2 0 4	容量素子
3 0 1	トランジスタ
3 0 2	トランジスタ
3 0 3	容量素子
3 0 4	容量素子
3 0 5	抵抗素子
3 0 6	抵抗素子
4 0 1	トランジスタ群
4 0 2	トランジスタ
4 0 3	トランジスタ

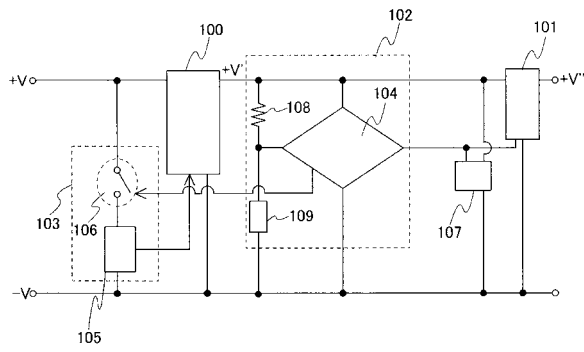
30

40

50

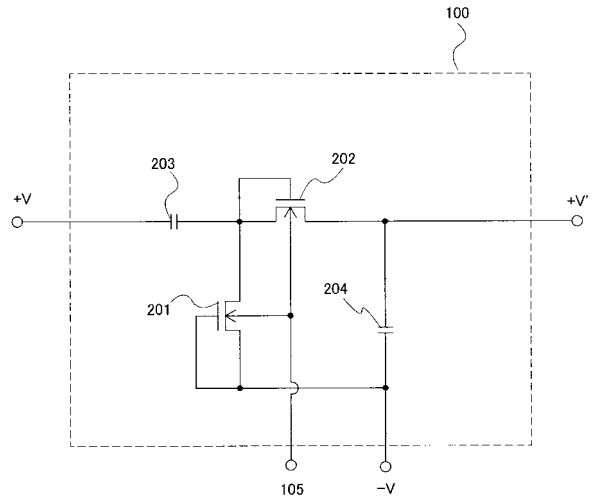
4 0 4	抵抗素子	
4 0 5	トランジスタ	
5 0 0	半導体装置	
5 0 1	アンテナ	
5 0 2	整流回路	
5 0 3	基板電圧生成部	
5 0 4	比較部	
5 0 5	電源回路	
5 0 6	クロック生成回路部	
5 0 7	復調回路部	10
5 0 8	判定回路部	
5 0 9	メモリ	
5 1 0	コントローラ回路部	
5 1 1	符号化回路部	
5 1 2	変調回路部	
5 1 3	入力回路部	
5 1 4	ロジック回路部	
5 1 5	バイアス回路	
1 0 0 0	基板	
1 0 0 1	ゲート電極	20
1 0 0 2	第 1 の絶縁層	
1 0 0 3	半導体層	
1 0 0 4	不純物領域	
1 0 0 5	不純物領域	
1 0 0 6	第 2 の絶縁層	
1 0 0 7	第 3 の絶縁層	
1 0 0 8	ゲート電極	
1 0 0 9	第 4 の絶縁層	
1 0 1 0	配線	
1 0 1 1	配線	30
2 0 0 0	基板	
2 0 0 1	第 1 の絶縁層	
2 0 0 2	ウェル領域	
2 0 0 3	不純物領域	
2 0 0 4	不純物領域	
2 0 0 5	不純物領域	
2 0 0 6	第 2 の絶縁層	
2 0 0 7	ゲート電極	
2 0 0 8	第 3 の絶縁層	
2 0 0 9	配線	40
2 0 1 0	配線	
2 0 1 1	配線	
4 0 0 0	半導体装置	

【図 1】

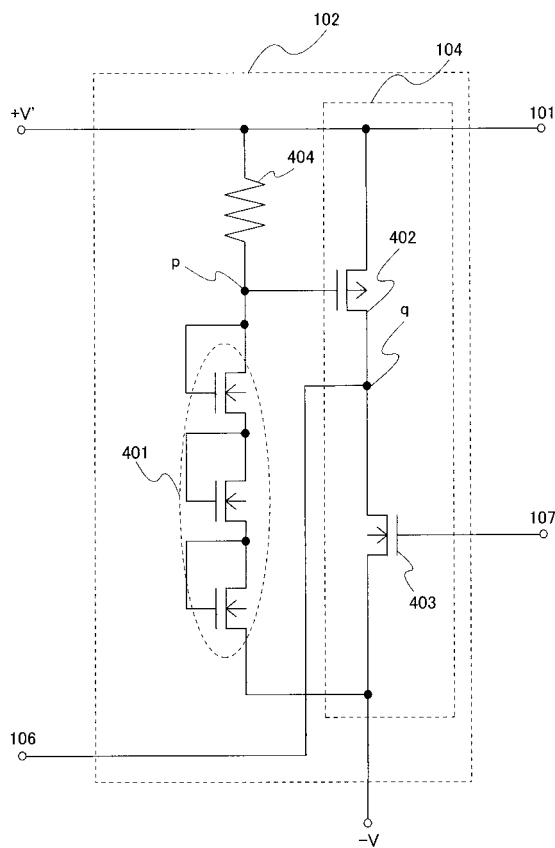


100: 整流回路
101: 電源回路
102: 比較部
103: 基板電圧生成部
104: 比較回路
105: 基板電圧生成回路
106: スイッチ
107: バイアス回路
108: 抵抗素子
109: トランジスタ群

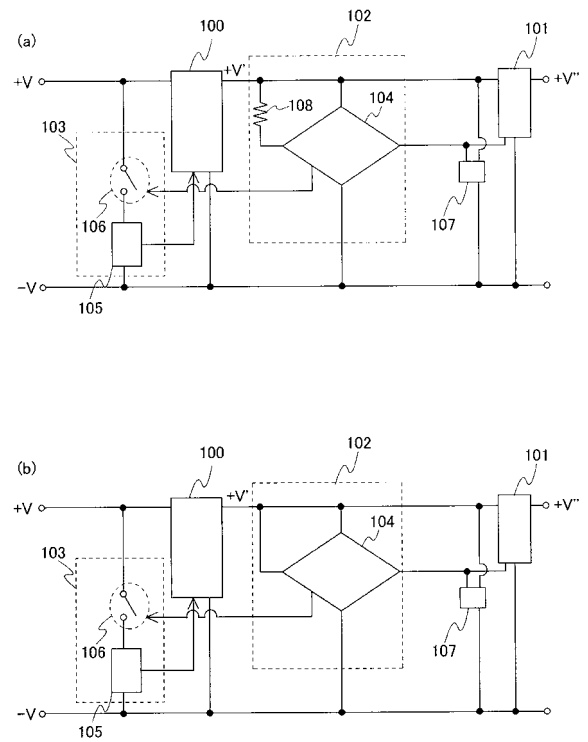
【図 2】



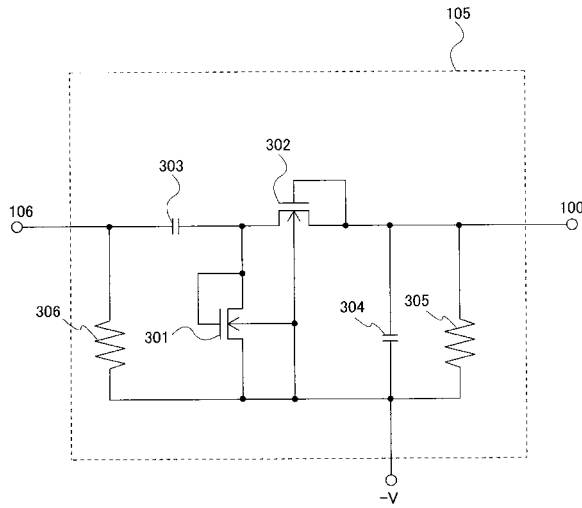
【図 3】



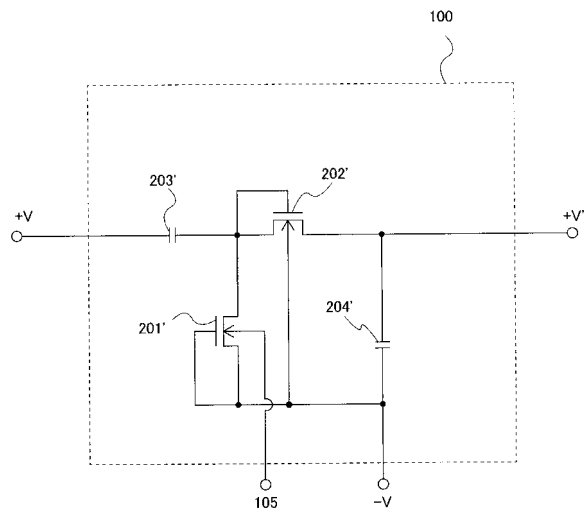
【図 4】



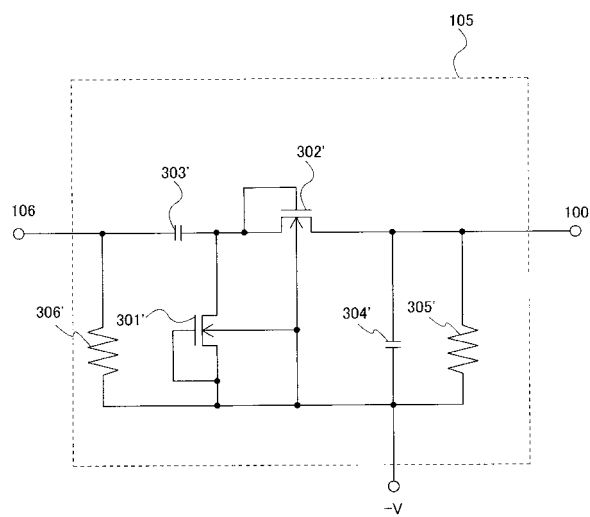
【図 5】



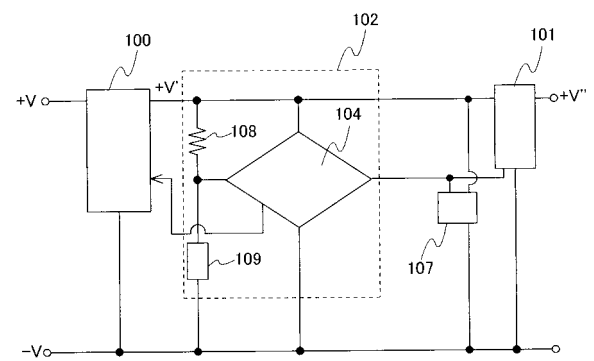
【図 6】



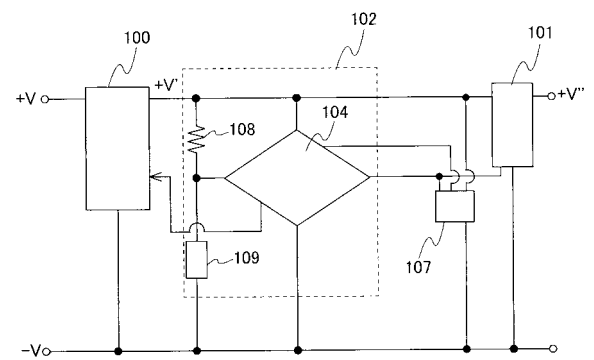
【図 7】



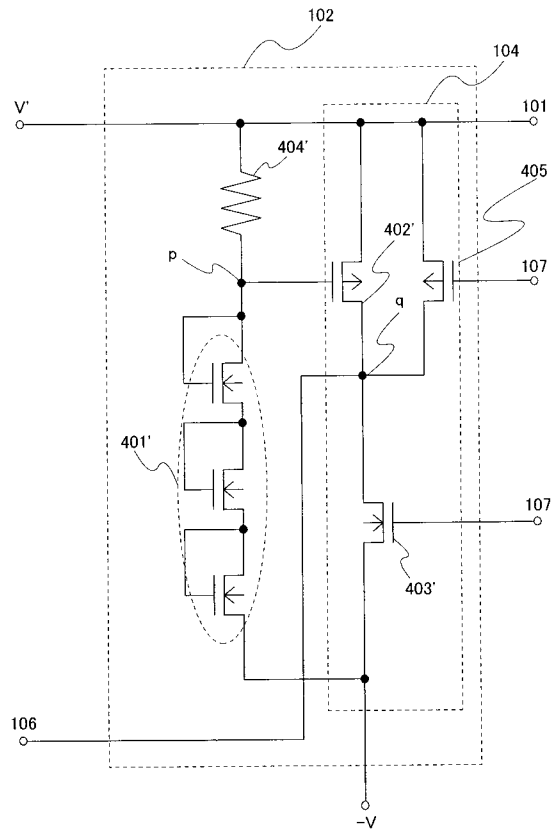
【図 8】



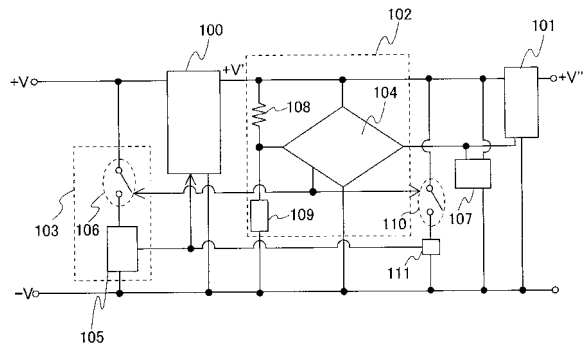
【図 9】



【図10】

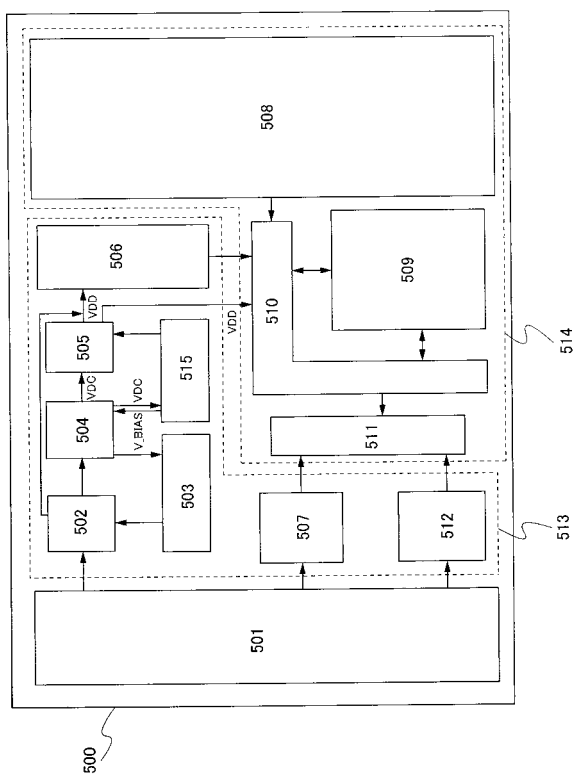


【図11】

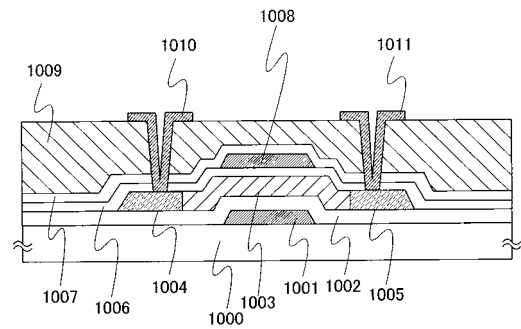


- 100: 整流回路
- 101: 電源回路
- 102: 比較部
- 103: 基板電圧生成部
- 104: 比較回路
- 105: 基板電圧生成回路
- 106: スイッチ
- 107: バイアス回路
- 108: 抵抗素子
- 109: トランジスタ群
- 110: スイッチ
- 111: バイアス回路

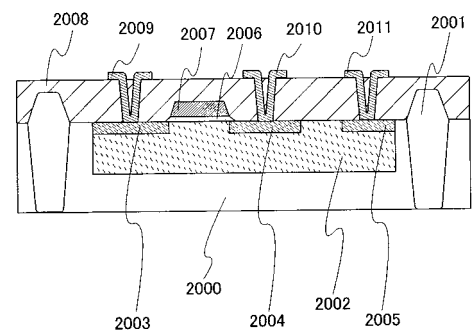
【図12】



【図13】

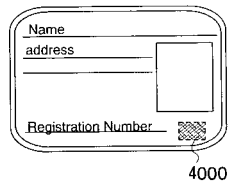


【図14】

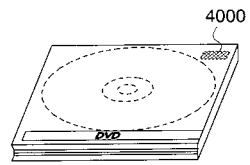


【 図 15 】

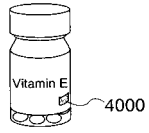
(A)



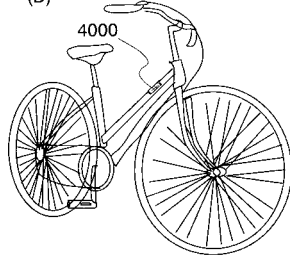
(B)



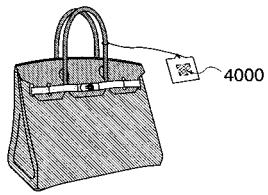
(C)



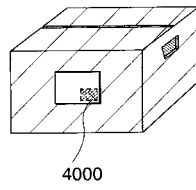
(D)



(E)



(F)



フロントページの続き

(51)Int.Cl.	F I	
	G 0 6 K	19/00 H
	G 0 6 K	19/00 N

(56)参考文献 特開 2 0 0 0 - 1 9 7 3 6 5 (J P , A)
特開 2 0 0 3 - 0 8 5 5 0 6 (J P , A)
国際公開第 2 0 0 6 / 0 8 7 8 2 2 (WO , A 1)
特表 2 0 0 5 - 5 2 0 4 2 8 (J P , A)
特開 2 0 0 7 - 3 6 2 1 6 (J P , A)
特開平 7 - 7 9 5 6 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 1 / 8 2 2
G 0 6 K	1 9 / 0 7
H 0 1 L	2 7 / 0 4
H 0 1 L	2 9 / 7 8 6