

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年2月7日(07.02.2019)



(10) 国際公開番号

WO 2019/026429 A1

(51) 国際特許分類:
H04N 5/3745 (2011.01) H01L 27/146 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2018/022322

(22) 国際出願日: 2018年6月12日(12.06.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-148821 2017年8月1日(01.08.2017) JP

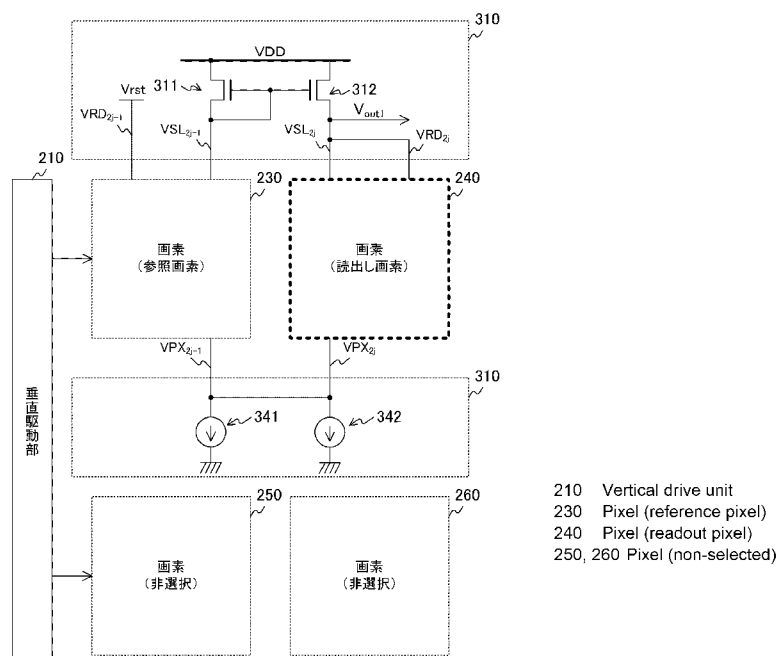
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(72) 発明者: 田川 幸雄 (TAGAWA, Yukio); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 佐藤 守(SATO, Mamoru); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一(MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

(54) Title: SOLID-STATE IMAGING ELEMENT, IMAGING DEVICE, AND CONTROL METHOD FOR SOLID-STATE IMAGING ELEMENT

(54) 発明の名称: 固体撮像素子、撮像装置、および、固体撮像素子の制御方法



(57) Abstract: The present invention accelerates a pixel signal readout speed in a non-differential mode in a solid-state imaging element that performs differential amplification in a differential mode, and does not perform differential amplification in the non-differential mode. A connection control unit sequentially performs, in the differential mode, control for connecting a first pixel connected to a first signal line to a reset power source via a third signal line and control for connecting a second pixel connected to a second signal line to the reset power source via a fourth signal line, and performs,



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

in the non-differential mode, control for connecting a third pixel to the third signal line and control for connecting a fourth pixel to the fourth signal line. A drive unit causes a signal obtained by amplifying a difference between the respective pixel signals of the first and second pixels to be outputted via one of the first and second signal lines in the differential mode, and causes the respective pixel signals of the first, second, third, and fourth pixels to be outputted via the first, second, third, and fourth signal lines in the non-differential mode.

(57) 要約: 差動モードで差動増幅を行い、非差動モードで差動増幅を行わない固体撮像素子において、非差動モードでの画素信号の読出し速度を速くする。接続制御部は、差動モードにおいて第1の信号線に接続された第1の画素を第3の信号線を介してリセット電源に接続する制御と第2の信号線に接続された第2の画素を第4の信号線を介してリセット電源に接続する制御とを順に行い、非差動モードにおいて第3の画素を前記第3の信号線に接続する制御と第4の画素を第4の信号線に接続する制御とを行う。また、駆動部は、差動モードにおいて前記第1および第2の画素のそれぞれの画素信号の差分を増幅した信号を第1および第2の信号線的一方を介して出力させ、非差動モードにおいて第1、第2、第3および第4の画素のそれぞれの画素信号を前記第1、第2、第3および第4の信号線を介して出力させる。

明 細 書

発明の名称：

固体撮像素子、撮像装置、および、固体撮像素子の制御方法

技術分野

[0001] 本技術は、固体撮像素子、撮像装置、および、固体撮像素子の制御方法に関する。詳しくは、垂直信号線を介して画素信号を出力する固体撮像素子、撮像装置、および、これらにおける制御方法に関する。

背景技術

[0002] 従来より、撮像装置などにおいて、光を光電変換して画像データを撮像する固体撮像素子が用いられている。例えば、感度を高くする目的で、差動モードにおいて一对の画素のそれぞれの画素信号の差分を増幅（すなわち、差動増幅）する差動増幅型の固体撮像素子が提案されている（例えば、非特許文献1 参照。）。この固体撮像素子では、非差動モードにおいて画素内の回路構成を変更して、画素信号を差動増幅せずに出力することもできる。この非差動モードでは、差動モードと比較して、感度が低下する一方で読出し速度が速くなる。また、固体撮像素子には列ごとに、差動モードにおいてリセット電源を供給するための垂直信号線VRDと、差動モードおよび非差動モードにおいて画素信号を出力するための垂直信号線VSLとが1本ずつ配線される。

先行技術文献

非特許文献

[0003] 非特許文献1：Jaehyuk Choi, et al., An Energy/Illumination-Adaptive CMOS ImageSensor With Reconfigurable Modes of Operations, IEEE JOURNAL OF SOLID-STATE CIRCUITS 2015.

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上述の従来技術では、非差動モードの読出し速度をさらに

速くすることが困難である。垂直信号線VRDおよびVSLのうち、出力に用いる垂直信号線VSLの配線数を列ごとに2本とすれば、2行を同時に読み出して読出し速度を2倍にすることができるが、配線数が増大すると微細化が困難となるため、好ましくない。このように、差動モードと非差動モードとを切り替えることのできる固体撮像素子において、非差動モードにおける読出し速度を速くすることが困難であるという問題がある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、差動モードで差動増幅を行い、非差動モードで差動増幅を行わない固体撮像素子において、非差動モードでの画素信号の読出し速度を速くすることを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、第1の信号線に接続された第1の画素と、第2の信号線に接続された第2の画素と、第3の画素と、第4の画素と、差動モードにおいて上記第1の画素を第3の信号線を介してリセット電源に接続する制御と上記第2の画素を第4の信号線を介して上記リセット電源に接続する制御とを順に行い、非差動モードにおいて上記第3の画素を上記第3の信号線に接続する制御と上記第4の画素を上記第4の信号線に接続する制御とを行う接続制御部と、上記差動モードにおいて上記第1および第2の画素のそれぞれの画素信号の差分を増幅した信号を上記第1および第2の信号線の一方を介して出力させ、上記非差動モードにおいて上記第1、第2、第3および第4の画素のそれぞれの画素信号を上記第1、第2、第3および第4の信号線を介して出力させる駆動部とを具備する固体撮像素子、および、その制御方法である。これにより、差動モードにおいて画素信号の差分を増幅した信号が出力され、非差動モードにおいて、第1、第2、第3および第4の画素のそれぞれの画素信号が出力されるという作用をもたらす。

[0007] また、この第1の側面において、上記接続制御部は、上記差動モードにおいて上記第1および第2の画素を第5および第6の信号線を介して所定の電流源に接続する制御をさらにを行い、上記非差動モードにおいて上記第1およ

び第3の画素を上記第5の信号線を介して電源に接続する制御と上記第2および第4の画素を上記第6の信号線を介して電源に接続する制御とをさらに行ってもよい。これにより、差動モードにおいて第5および第6の信号線を介して電流が供給され、非差動モードにおいて第5および第6の信号線を介して電源が供給されるという作用をもたらす。

[0008] また、この第1の側面において、上記第1および第2の画素のそれぞれは、電荷を蓄積する電荷蓄積部と、上記蓄積された電荷の量を初期化する一対のリセットトランジスタと、を備え、上記接続制御部は、上記差動モードにおいて上記第1の画素の上記一対のトランジスタの一方を上記第3の信号線を介して上記リセット電源に接続する制御と上記第2の画素の上記一対のトランジスタの一方を上記第4の信号線を介して上記リセット電源に接続する制御とを順に行い、上記非差動モードにおいて上記第1および第3の画素のそれぞれの上記一対のトランジスタの他方を上記第5の信号線を介して上記電源に接続する制御と上記第2および第4の画素のそれぞれの上記一対のトランジスタの他方を上記第6の信号線を介して上記電源に接続する制御とを行ってもよい。これにより、差動モードと非差動モードとで異なるリセットトランジスタが駆動するという作用をもたらす。

[0009] また、この第1の側面において、上記第1、第2、第3および第4の信号線は、所定方向に垂直な方向に沿って配線され、上記第1および第2の画素は、上記所定方向に配列され、上記第1および第3の画素は、上記垂直な方向に配列され、上記第3および第4の画素は、上記所定方向に配列されてもよい。これにより、2行×2列の画素から信号が出力されるという作用をもたらす。

[0010] また、この第1の側面において、上記第1、第2、第3および第4の信号線は、所定方向に垂直な方向に沿って配線され、上記第1、第2、第3および第4の画素は、上記所定方向に配列されてもよい。これにより、1行×4列の画素から信号が出力されるという作用をもたらす。

[0011] また、この第1の側面において、上記第1、第2、第3および第4の信号

線は、所定方向に垂直な方向に沿って配線され、上記第 1、第 2、第 3 および第 4 の画素は、上記垂直な方向に配列されてもよい。これにより、4 行×1 列の画素から信号が出力されるという作用をもたらす。

[0012] また、この第 1 の側面において、上記第 1、第 2、第 3 および第 4 の画素のそれぞれは、電荷を蓄積する電荷蓄積部と、入射光を光電変換して上記電荷を生成する複数の光電変換素子と、上記複数の光電変換素子のそれぞれから上記電荷蓄積部へ上記電荷を転送する転送部とを備えてもよい。これにより、電荷蓄積部を共有する複数の画素から信号が出力されるという作用をもたらす。

[0013] また、この第 1 の側面において、上記第 1、第 2、第 3 および第 4 の画素のそれぞれは、入射光を集光するマイクロレンズと、上記集光された入射光を光電変換して電荷を生成する光電変換層と、上記光電変換層と上記マイクロレンズとの間に配置された配線層とを備え、上記第 1、第 2、第 3 および第 4 の信号線は、上記配線層に配線されてもよい。これにより、表面照射型の固体撮像素子から信号が出力されるという作用をもたらす。

[0014] また、この第 1 の側面において、上記第 1、第 2、第 3 および第 4 の画素のそれぞれは、入射光を集光するマイクロレンズと、配線層と、上記マイクロレンズと上記配線層との間に配置されて上記集光された入射光を光電変換して電荷を生成する光電変換層と、を備え、上記第 1、第 2、第 3 および第 4 の信号線は、上記配線層に配線されてもよい。これにより、裏面照射型の固体撮像素子から信号が出力されるという作用をもたらす。

[0015] また、この第 1 の側面において、上記第 1、第 2、第 3 および第 4 の画素と上記接続制御部とは第 1 の半導体チップに配置され、上記駆動部は、上記第 1 の半導体チップに積層された第 2 の半導体チップに配置されてもよい。これにより、積層型の固体撮像素子から信号が出力されるという作用をもたらす。

[0016] また、この第 1 の側面において、上記第 1、第 2、第 3 および第 4 の画素は第 1 の半導体チップに配置され、上記接続制御部および上記駆動部は、上

記第1の半導体チップに積層された第2の半導体チップに配置されてもよい。これにより、第1の半導体チップに画素のみを配置した積層型の固体撮像素子から信号が出力されるという作用をもたらす。

[0017] また、この第1の側面において、上記画素信号が出力されるたびに上記画素信号をデジタル信号に変換するサンプリング処理を複数回に亘って実行するアナログデジタル変換部と、上記デジタル信号のそれぞれを加算して出力する加算回路とをさらに具備してもよい。これにより、複数回に亘ってサンプリング処理を実行して加算した結果が出力されるという作用をもたらす。

[0018] また、本技術の第2の側面は、第1の信号線に接続された第1の画素と、第2の信号線に接続された第2の画素と、第3の画素と、第4の画素と、差動モードにおいて上記第1の画素を第3の信号線を介してリセット電源に接続する制御と上記第2の画素を第4の信号線を介して上記リセット電源に接続する制御とを順に行い、非差動モードにおいて上記第3の画素を上記第3の信号線に接続する制御と上記第4の画素を上記第4の信号線に接続する制御とを行う接続制御部と、上記差動モードにおいて上記第1および第2の画素のそれぞれの画素信号の差分を増幅した信号を上記第1および第2の信号線的一方を介して出力させ、上記非差動モードにおいて上記第1、第2、第3および第4の画素のそれぞれの画素信号を上記第1、第2、第3および第4の信号線を介して出力させる駆動部と、上記画素信号から生成された画像データに対して所定の処理を実行する画像処理部とを具備する撮像装置である。これにより、差動モードにおいて画素信号の差分を増幅した信号からなる画像データが処理され、非差動モードにおいて、第1、第2、第3および第4の画素のそれぞれの画素信号からなる画像データが処理されるという作用をもたらす。

発明の効果

[0019] 本技術によれば、差動モードで差動増幅を行い、非差動モードで差動増幅を行わない固体撮像素子において、非差動モードでの画素信号の読出し速度を速くすることができるという優れた効果を奏し得る。なお、ここに記載さ

れた効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0020] [図1]本技術の第1の実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]本技術の第1の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図3]本技術の第1の実施の形態におけるカラム読出し回路の一構成例を示すブロック図である。

[図4]本技術の第1の実施の形態における単位読出し回路の一構成例を示す回路図である。

[図5]本技術の第1の実施の形態における画素アレイ部の一構成例を示すブロック図である。

[図6]本技術の第1の実施の形態における基本ユニットの一構成例を示す回路図である。

[図7]本技術の第1の実施の形態におけるカラム信号処理部の一構成例を示す平面図である。

[図8]本技術の第1の実施の形態における差動モードの際の固体撮像素子の動作の一例を示すタイミングチャートである。

[図9]本技術の第1の実施の形態における非差動モードの際の固体撮像素子の動作の一例を示すタイミングチャートである。

[図10]本技術の第1の実施の形態における1回目の差動読出しを行う際の基本ユニットおよび単位読出し回路のそれぞれの状態の一例を示す図である。

[図11]本技術の第1の実施の形態における1回目の差動読出しを行う際の基本ユニットおよび単位読出し回路を簡易化した図である。

[図12]本技術の第1の実施の形態における1回目の差動読出しを行う際の信号線の接続先を説明するための図である。

[図13]本技術の第1の実施の形態における2回目の差動読出しを行う際の基

本ユニットおよび単位読出し回路のそれぞれの状態の一例を示す図である。

[図14]本技術の第1の実施の形態における3回目の差動読出しを行う際の基本ユニットおよび単位読出し回路のそれぞれの状態の一例を示す図である。

[図15]本技術の第1の実施の形態における4回目の差動読出しを行う際の基本ユニットおよび単位読出し回路のそれぞれの状態の一例を示す図である。

[図16]本技術の第1の実施の形態における非差動モードで読出しを行う際の基本ユニットおよび単位読出し回路のそれぞれの状態の一例を示す図である。

[図17]本技術の第1の実施の形態における非差動モードで読出しを行う際の基本ユニットおよび単位読出し回路を簡易化した図である。

[図18]本技術の第1の実施の形態における非差動モードで読出しを行う際の信号線の接続先を説明するための図である。

[図19]本技術の第1の実施の形態における画素アレイ部の断面図の一例である。

[図20]本技術の第1の実施の形態における光電変換層の一構成例を示す平面図である。

[図21]本技術の第1の実施の形態における電源側垂直配線層の配線レイアウトの一例を示す平面図である。

[図22]本技術の第1の実施の形態における水平配線層の配線レイアウトの一例を示す平面図である。

[図23]本技術の第1の実施の形態における接地側垂直配線層の配線レイアウトの一例を示す平面図である。

[図24]本技術の第1の実施の形態における固体撮像素子の動作の一例を示すフローチャートである。

[図25]本技術の第2の実施の形態における画素アレイ部の一構成例を示す平面図である。

[図26]本技術の第2の実施の形態におけるカラム読出し回路から遠い方の画素の一構成例を示す回路図である。

[図27]本技術の第2の実施の形態におけるカラム読出し回路に近い方の画素の一構成例を示す回路図である。

[図28]本技術の第3の実施の形態における画素アレイ部の一構成例を示す平面図である。

[図29]本技術の第3の実施の形態における垂直駆動部に近い方の画素の一構成例を示す回路図である。

[図30]本技術の第3の実施の形態における垂直駆動部から遠い方の画素の一構成例を示す回路図である。

[図31]本技術の第4の実施の形態における画素アレイ部の一構成例を示す平面図である。

[図32]本技術の第4の実施の形態におけるFD (Floating Diffusion) 共有ブロックの一構成例を示す回路図である。

[図33]本技術の第4の実施の形態におけるFD共有ブロック内の素子の配置例を示す平面図である。

[図34]本技術の第5の実施の形態における画素アレイ部の一構成例を示す平面図である。

[図35]本技術の第5の実施の形態におけるFD共有ブロックの一構成例を示す回路図である。

[図36]本技術の第5の実施の形態におけるFD共有ブロック内の素子の配置例を示す平面図である。

[図37]本技術の第6の実施の形態における固体撮像素子の断面図の一例である。

[図38]本技術の第7の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図39]本技術の第7の実施の形態の変形例における画素チップの一構成例を示す図である。

[図40]本技術の第7の実施の形態の変形例における回路チップの一構成例を示すブロック図である。

[図41]本技術の第8の実施の形態における単位読出し回路の一構成例を示す回路図である。

[図42]本技術の第8の実施の形態におけるカラム信号処理部の一構成例を示す回路図である。

[図43]車両制御システムの概略的な構成例を示すブロック図である。

[図44]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0021] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（垂直信号線の接続先を切り替える例）
2. 第2の実施の形態（4行×1列の画素について垂直信号線の接続先を切り替える例）
3. 第3の実施の形態（1行×4列の画素について垂直信号線の接続先を切り替える例）
4. 第4の実施の形態（4画素共有型において垂直信号線の接続先を切り替える例）
5. 第5の実施の形態（8画素共有型において垂直信号線の接続先を切り替える例）
6. 第6の実施の形態（裏面照射型において垂直信号線の接続先を切り替える例）
7. 第7の実施の形態（積層型において垂直信号線の接続先を切り替える例）
8. 第8の実施の形態（垂直信号線の接続先を切り替え、マルチサンプリングを行う例）
9. 移動体への応用例

[0022] <1. 第1の実施の形態>

[撮像装置の構成例]

図1は、本技術の第1の実施の形態における撮像装置100の一構成例を

示すブロック図である。この撮像装置１００は、画像データを撮像するための装置であり、光学部１１０、固体撮像素子２００およびデジタルシグナルプロセッサ１２０を備える。さらに撮像装置１００は、表示部１３０、操作部１４０、バス１５０、電源部１６０、記憶部１７０およびフレームメモリ１８０を備える。撮像装置１００としては、例えば、デジタルスチルカメラなどのデジタルカメラの他、撮像機能を持つスマートフォンやパーソナルコンピュータ、車載カメラ等が想定される。

[0023] 光学部１１０は、被写体からの光を集光して固体撮像素子２００に導くものである。固体撮像素子２００は、垂直同期信号ＶＳＹＮＣに同期して画像データを生成するものである。ここで、垂直同期信号ＶＳＹＮＣは、撮像のタイミングを示す所定周波数（例えば、３０ヘルツ）の周期信号である。固体撮像素子２００は、生成した画像データをデジタルシグナルプロセッサ１２０に信号線２０９を介して供給する。

[0024] デジタルシグナルプロセッサ１２０は、固体撮像素子２００からの画像データに対し、デモザイク処理やノイズ低減処理などの所定の信号処理を実行するものである。このデジタルシグナルプロセッサ１２０は、処理後の画像データをバス１５０を介してフレームメモリ１８０などに出力する。また、デジタルシグナルプロセッサ１２０は、差動モードおよび非差動モードのいずれかを指示するモード信号MODEと垂直同期信号ＶＳＹＮＣとを生成して固体撮像素子２００に供給する。

[0025] ここで、差動モードは、一对の画素のそれぞれの画素信号の差分を増幅（差動増幅）した信号を固体撮像素子２００が生成するモードである。一方、非差動モードは、ソースフォロワ回路を形成して画素信号を差動増幅せずに出力するソースフォロワモードである。差動モードでは、画像信号に対するゲインを大きくして変換効率を大幅に大きくすることができるが、動作点が狭く、ダイナミックレンジの拡大が困難である。このため、差動モードは暗所での撮像に適しており、非差動（ソースフォロワ）モードは明所での撮像に適している。そこで、デジタルシグナルプロセッサ１２０は、例えば、環

境光の光量を測光して測光量が所定の閾値より小さい場合に差動モードを指示し、測光量が閾値以上の場合に非差動モードを指示する。

[0026] 表示部１３０は、画像データを表示するものである。表示部１３０としては、例えば、液晶パネルや有機ＥＬ（Electro Luminescence）パネルが想定される。操作部１４０は、ユーザの操作に従って操作信号を生成するものである。

[0027] バス１５０は、光学部１１０、固体撮像素子２００、デジタルシグナルプロセッサ１２０、表示部１３０、操作部１４０、電源部１６０、記憶部１７０およびフレームメモリ１８０が互いにデータをやりとりするための共通の経路である。

[0028] 電源部１６０は、固体撮像素子２００、デジタルシグナルプロセッサ１２０や表示部１３０などに電源を供給するものである。記憶部１７０は、画像データなどの様々なデータを記憶するものである。フレームメモリ１８０は、画像データを保持するものである。

[0029] [固体撮像素子の構成例]

図２は、本技術の第１の実施の形態における固体撮像素子２００の一構成例を示すブロック図である。この固体撮像素子２００は、垂直駆動部２１０、画素アレイ部２２０、システム制御部２９１、カラム読出し回路３００、カラム信号処理部２７０、水平駆動部２９２、データ格納部２９３および画像処理部２９４を備える。これらの回路は、１つの半導体チップ上に配置される。

[0030] システム制御部２９１は、垂直駆動部２１０、カラム読出し回路３００およびカラム信号処理部２７０および水平駆動部２９２を制御するものである。このシステム制御部２９１は、タイミングジェネレータなどにより構成される。システム制御部２９１は、垂直同期信号ＶＳＹＮＣに同期して垂直駆動部２１０、カラム信号処理部２７０および水平駆動部２９２のそれぞれの動作タイミングを指示するタイミング信号を生成し、対応する回路に供給する。また、システム制御部２９１は、モード信号ＭＯＤＥに従って、カラム

読出し回路 300 内のスイッチを制御する制御信号を生成してカラム読出し回路 300 に供給する。

[0031] 画素アレイ部 220 内には、二次元格子状に複数の画素が配列される。以下、所定方向（水平方向など）に配列された画素の集合を「行」または「ライン」と称し、行に垂直な方向に配列された画素の集合を「列」と称する。また、画素アレイ部 220 内の行数を M （ M は整数）とし、列数を N （ N は整数）とする。

[0032] ここで、画素アレイ部 220 内の画素の全ては、光電変換を行う有効画素であるものとする。なお、有効画素に加えて、光電変換を行わないダミー画素や、入射光を遮断した遮光画素を画素アレイ部 220 内にさらに配置することもできる。

[0033] 垂直駆動部 210 は、行を順に選択して駆動するものである。この垂直駆動部 210 は、シフトレジスタやアドレスデコーダなどにより構成される。差動モードにおいて垂直駆動部 210 は、1 行ずつ順に選択し、行を選択するたびに、その行内の奇数列と偶数列とを順に駆動する。一方、非差動モードにおいて垂直駆動部 210 は、2 行ずつ順に選択し、選択した 2 行内の全画素を同時に駆動する。このため、非差動モードでは、 $N/2$ 回の読出しにより 1 枚の画像データが生成され、差動モードでは、 $2 \times N$ 回の読出しにより 1 枚の画像データが生成される。すなわち、非差動モードの読出し速度は、差動モードの 4 倍となる。このように、行単位で駆動する制御方式は、ローリングシャッター方式と呼ばれる。なお、垂直駆動部 210 は、特許請求の範囲に記載の駆動部の一例である。また、垂直駆動部 210 は、ローリングシャッター方式を用いているが、全画素を同時に駆動するグローバルシャッター方式を用いることもできる。

[0034] カラム読出し回路 300 は、画素アレイ部 220 に配線された垂直信号線のそれぞれの接続先をシステム制御部 291 の制御に従って切り替えるものである。

[0035] カラム信号処理部 270 は、列ごとに、その列からの画素信号に対して、

A/D (Analog to Digital) 変換処理などの信号処理を実行するものである。このカラム信号処理部 270 は、信号処理後の画素データのそれぞれを水平駆動部 292 の制御に従って順に画像処理部 294 に出力する。

[0036] 水平駆動部 292 は、カラム信号処理部 270 を制御して画素データを順に出力させるものである。この水平駆動部 292 は、シフトレジスタやアドレスデコーダにより構成される。

[0037] 画像処理部 294 は、 $M \times N$ 個の画素データからなる画像データに対して、画素加算処理などの各種の画像処理を実行するものである。この画像処理部 294 は、画像処理において必要に応じてデータ格納部 293 に画像データを一時的に保持させる。また、画像処理部 294 は、処理後の画像データをデジタルシグナルプロセッサ 120 に供給する。

[0038] なお、画像処理部 294 を固体撮像素子 200 の外部（デジタルシグナルプロセッサ 120 内など）に配置する構成であってもよい。また、デジタルシグナルプロセッサ 120 の代わりに画像処理部 294 が、モード信号 MODE を生成する構成であってもよい。

[0039] [カラム読出し回路の構成例]

図 3 は、本技術の第 1 の実施の形態におけるカラム読出し回路 300 の一構成例を示すブロック図である。このカラム読出し回路 300 は、2 列ごとに単位読出し回路 310 を備える。列数が N の場合、 $N/2$ 個の単位読出し回路 310 が配置される。

[0040] 単位読出し回路 310 のそれぞれは、6 本の垂直信号線を介して画素アレイ部 220 に接続される。また、単位読出し回路 310 は、4 本の信号線を介してカラム信号処理部 270 に接続される。

[0041] 図 4 は、本技術の第 1 の実施の形態における単位読出し回路 310 の一構成例を示す回路図である。この単位読出し回路 310 は、 n 型トランジスタ 311 および 312 と、スイッチ 313 乃至 337 と、電流源 341 乃至 344 とを備える。

[0042] ここで、画素アレイ部 220 において、 $2j-1$ (j は 1 乃至 $N/2$ の整

数) 列目には、列方向に沿って垂直信号線 VSL_{2j-1} 、 VPX_{2j-1} および VRD_{2j-1} が配線される。また、 $2j$ 列目には、垂直信号線 VSL_{2j} 、 VPX_{2j} および VRD_{2j} が配線される。垂直信号線 VSL_{2j-1} および VSL_{2j} は、画素からの信号をカラム信号処理部 270 へ出力するために用いられる。また、垂直信号線 VPX_{2j-1} および VPX_{2j} は、電流源 341 乃至 344 に画素を接続するために用いられる。垂直信号線 VRD_{2j-1} および VRD_{2j} は、画素へのリセット電源の供給、または、画素からカラム信号処理部 270 への信号出力に用いられる。

[0043] なお、垂直信号線 VSL_{2j} は、特許請求の範囲に記載の第 1 の信号線の一例であり、垂直信号線 VSL_{2j-1} は、特許請求の範囲に記載の第 2 の信号線の一例である。垂直信号線 VRD_{2j} は、特許請求の範囲に記載の第 3 の信号線の一例であり、垂直信号線 VRD_{2j-1} は、特許請求の範囲に記載の第 4 の信号線の一例である。また、垂直信号線 VPX_{2j} は、特許請求の範囲に記載の第 5 の信号線の一例であり、垂直信号線 VPX_{2j-1} は、特許請求の範囲に記載の第 6 の信号線の一例である。

[0044] n 型トランジスタ 311 および 312 のソースは、電源電圧 VDD の電源に接続される。これらの n 型トランジスタ 311 および 312 として、例えば、MOS (Metal Oxide Semiconductor) トランジスタが用いられる。

[0045] スイッチ 313 は、システム制御部 291 からの制御信号 $SW20$ に従って、 n 型トランジスタ 311 のゲートとドレインとの間の経路を開閉するものである。スイッチ 314 は、システム制御部 291 からの制御信号 $SW10$ に従って、 n 型トランジスタ 312 のゲートとドレインとの間の経路を開閉するものである。これらのスイッチ 313 および 314 の一方を閉状態に制御することにより、 n 型トランジスタ 311 および 312 からなるカレントミラー回路が形成される。

[0046] スイッチ 316 は、システム制御部 291 からの制御信号 $SW31$ に従って、 n 型トランジスタ 311 のドレインと、垂直信号線 VSL_{2j-1} との間の経路を開閉するものである。スイッチ 317 は、システム制御部 291 から

の制御信号SW41に従って、n型トランジスタ311のドレインと、垂直信号線VRD_{2j-1}との間の経路を開閉するものである。

[0047] スイッチ318は、システム制御部291からの制御信号SW31に従って、n型トランジスタ312のドレインと、垂直信号線VRD_{2j}との間の経路を開閉するものである。スイッチ319は、システム制御部291からの制御信号SW21に従って、n型トランジスタ312のドレインと、垂直信号線VSL_{2j}との間の経路を開閉するものである。

[0048] スイッチ315は、システム制御部291からの制御信号SW2に従って、カラム信号処理部270と垂直信号VSL_{2j-1}との間の経路を開閉するものである。このスイッチ315を介して電圧V_{out2}が出力される。

[0049] スイッチ320は、システム制御部291からの制御信号SW1に従って、カラム信号処理部270と垂直信号VSL_{2j}との間の経路を開閉するものである。このスイッチ320を介して電圧V_{out1}が出力される。

[0050] スイッチ321は、システム制御部291からの制御信号SW4に従って、カラム信号処理部270と垂直信号VRD_{2j-1}との間の経路を開閉するものである。このスイッチ321を介して電圧V_{out4}が出力される。

[0051] スイッチ323は、システム制御部291からの制御信号SW3に従って、カラム信号処理部270と垂直信号VRD_{2j}との間の経路を開閉するものである。このスイッチ323を介して電圧V_{out3}が出力される。

[0052] スイッチ322は、システム制御部291からの制御信号SW00に従って、電源電圧VDDの電源と垂直信号VPX_{2j-1}およびVPX_{2j}の間の経路を開閉するものである。

[0053] スイッチ324は、システム制御部291からの制御信号SW22に従って、垂直信号VPX_{2j-1}と電流源341との間の経路を開閉するものである。スイッチ325は、システム制御部291からの制御信号SW12に従って、垂直信号VPX_{2j}と電流源342との間の経路を開閉するものである。

[0054] スイッチ326は、システム制御部291からの制御信号SW23に従って、垂直信号VSL_{2j-1}と電流源341との間の経路を開閉するものである。

。スイッチ327は、システム制御部291からの制御信号SW13に従って、垂直信号 VSL_{2j} と電流源342との間の経路を開閉するものである。

[0055] スイッチ328は、システム制御部291からの制御信号SW42に従って、垂直信号 VPX_{2j-1} と電流源343との間の経路を開閉するものである。スイッチ329は、システム制御部291からの制御信号SW32に従って、垂直信号 VPX_{2j} と電流源344との間の経路を開閉するものである。

[0056] スイッチ330は、システム制御部291からの制御信号SW43に従って、垂直信号 VRD_{2j-1} と電流源343との間の経路を開閉するものである。スイッチ331は、システム制御部291からの制御信号SW33に従って、垂直信号 VRD_{2j} と電流源344との間の経路を開閉するものである。

[0057] スイッチ332は、システム制御部291からの制御信号SW34に従って、垂直信号 VSL_{2j-1} とリセット電圧 $Vrst$ のリセット電源との間の経路を開閉するものである。スイッチ333は、システム制御部291からの制御信号SW44に従って、垂直信号 VSL_{2j} とリセット電圧 $Vrst$ のリセット電源との間の経路を開閉するものである。

[0058] ここで、リセット電圧 $Vrst$ には、電源電圧 VDD よりも低い値が設定される。例えば、電源電圧 VDD は3.3ボルト(V)であり、リセット電圧 $Vrst$ は、2.2ボルト(V)である。

[0059] スイッチ334は、システム制御部291からの制御信号SW25に従って、垂直信号 VSL_{2j-1} と垂直信号線 VRD_{2j-1} との間の経路を開閉するものである。スイッチ335は、システム制御部291からの制御信号SW14に従って、垂直信号 VRD_{2j-1} とリセット電圧 $Vrst$ のリセット電源との間の経路を開閉するものである。

[0060] スイッチ336は、システム制御部291からの制御信号SW24に従って、垂直信号 VRD_{2j} とリセット電圧 $Vrst$ のリセット電源との間の経路を開閉するものである。スイッチ337は、システム制御部291からの制御信号SW15に従って、垂直信号 VSL_{2j} と垂直信号線 VRD_{2j} との間の経路を開閉するものである。

[0061] [画素アレイ部の構成例]

図5は、本技術の第1の実施の形態における画素アレイ部220の一構成例を示すブロック図である。この画素アレイ部220は、複数の基本ユニット225が配置される。この基本ユニット225のそれぞれには、2行×2列の画素が配列される。例えば、 $2i-1$ 行、 $2j-1$ 列に画素230が配置され、 $2i-1$ 行、 $2j$ 列に画素240が配置される。また、 $2i$ 行、 $2j-1$ 列に画素250が配置され、 $2i$ 行、 $2j$ 列に画素260が配置される。ここで、 i は、1乃至 $M/2$ の整数である。

[0062] また、以下、行の方向をX方向とし、列の方向をY方向とし、X方向およびY方向に垂直な方向をZ方向とする。

[0063] なお、画素240は、特許請求の範囲に記載の第1の画素の一例であり、画素230は、特許請求の範囲に記載の第2の画素の一例である。画素260は、特許請求の範囲に記載の第3の画素の一例であり、画素250は、特許請求の範囲に記載の第4の画素の一例である。

[0064] [基本ユニットの構成例]

図6は、本技術の第1の実施の形態における基本ユニット225の一構成例を示す回路図である。この基本ユニット225において画素230は、フォトダイオード231と、転送トランジスタ232と、電荷蓄積部233と、リセットトランジスタ234および235と、増幅トランジスタ236と、選択トランジスタ237とを備える。

[0065] また、画素240は、フォトダイオード241と、転送トランジスタ242と、電荷蓄積部243と、リセットトランジスタ244および245と、増幅トランジスタ246と、選択トランジスタ247とを備える。

[0066] 画素250は、フォトダイオード251と、転送トランジスタ252と、電荷蓄積部253と、リセットトランジスタ254および255と、増幅トランジスタ256と、選択トランジスタ257とを備える。画素260は、フォトダイオード261と、転送トランジスタ262と、電荷蓄積部263と、リセットトランジスタ264および265と、増幅トランジスタ266

と、選択トランジスタ267とを備える。

[0067] フォトダイオード231、241、251および261は、入射光を光電変換して電荷を生成するものである。なお、フォトダイオード231、241、251および261のそれぞれは、特許請求の範囲に記載の光電変換部の一例である。

[0068] 転送トランジスタ232は、垂直駆動部210からの転送信号 TRG_{2i-1} に従って、フォトダイオード231から電荷蓄積部233へ電荷を転送するものである。転送トランジスタ242は、垂直駆動部210からの転送信号 $TRG_{1_{2i-1}}$ に従って、フォトダイオード241から電荷蓄積部243へ電荷を転送するものである。

[0069] また、転送トランジスタ252は、垂直駆動部210からの転送信号 TRG_{2i} に従って、フォトダイオード251から電荷蓄積部253へ電荷を転送するものである。転送トランジスタ262は、垂直駆動部210からの転送信号 $TRG_{1_{2i}}$ に従って、フォトダイオード261から電荷蓄積部263へ電荷を転送するものである。

[0070] 電荷蓄積部233、243、253および263は、転送された電荷を蓄積して、蓄積した電荷の量に応じた電圧を生成するものである。電荷蓄積部233、243、253および263として、例えば、FD (Floating Diffusion) が用いられる。

[0071] リセットトランジスタ234は、垂直駆動部210からのリセット信号 $RSTD_{2i-1}$ に従って、電荷蓄積部233の電荷量を初期化するものである。リセットトランジスタ244は、垂直駆動部210からのリセット信号 $RSTD_{2i-1}$ に従って、電荷蓄積部243の電荷量を初期化するものである。

[0072] また、リセットトランジスタ254は、垂直駆動部210からのリセット信号 $RSTD_{2i}$ に従って、電荷蓄積部253の電荷量を初期化するものである。リセットトランジスタ264は、垂直駆動部210からのリセット信号 $RSTD_{2i}$ に従って、電荷蓄積部263の電荷量を初期化するものである。

[0073] これらのリセットトランジスタ234、244、254および264は、

差動モードにおいて駆動される。駆動タイミングについては後述する。

[0074] リセットトランジスタ235は、垂直駆動部210からのリセット信号 $RST_{S_{2i-1}}$ に従って、電荷蓄積部233の電荷量を初期化するものである。リセットトランジスタ245は、垂直駆動部210からのリセット信号 $RST_{S_{2i-1}}$ に従って、電荷蓄積部243の電荷量を初期化するものである。

[0075] また、リセットトランジスタ255は、垂直駆動部210からのリセット信号 $RST_{S_{2i}}$ に従って、電荷蓄積部253の電荷量を初期化するものである。リセットトランジスタ265は、垂直駆動部210からのリセット信号 $RST_{S_{2i}}$ に従って、電荷蓄積部263の電荷量を初期化するものである。

[0076] これらのリセットトランジスタ235、245、255および265は、非差動モードにおいて駆動される。駆動タイミングについては後述する。

[0077] 増幅トランジスタ236、246、256および266は、電荷蓄積部により生成された電圧の信号を増幅するものである。

[0078] 選択トランジスタ237は、垂直駆動部210からの選択信号 SEL_{2i-1} に従って、増幅トランジスタ236により増幅された信号を出力するものである。選択トランジスタ247は、垂直駆動部210からの選択信号 SEL_{2i-1} に従って、増幅トランジスタ246により増幅された信号を出力するものである。

[0079] また、選択トランジスタ257は、垂直駆動部210からの選択信号 SEL_{2i} に従って、増幅トランジスタ256により増幅された信号を出力するものである。選択トランジスタ267は、垂直駆動部210からの選択信号 SEL_{2i} に従って、増幅トランジスタ266により増幅された信号を出力するものである。

[0080] また、リセットトランジスタ234のソースは、垂直信号線 VRD_{2j-1} に接続され、リセットトランジスタ235のソースは、垂直信号線 VPX_{2j-1} に接続される。このため、リセットトランジスタ234にハイレベルのリセット信号 $RSTD_{2i-1}$ が供給されると、電荷蓄積部233は、垂直信号線 VRD_{2j-1} を介して印加される電圧にクランプされ、その信号線を介して電荷

が排出される。また、リセットトランジスタ235にハイレベルのリセット信号 $RST S_{2i-1}$ が供給されると、電荷蓄積部233は、垂直信号線 VPX_{2j-1} を介して印加される電圧にクランプされ、その信号線を介して電荷が排出される。また、リセット信号 $RST S_{2i-1}$ および $RST D_{2i-1}$ がローレベルである場合には、電荷蓄積部233は、垂直信号線と電氣的に遮断されて、その電位は浮遊状態となる。

[0081] 増幅トランジスタ236のソースは、垂直信号線 VPX_{2j-1} に接続され、選択トランジスタ237のドレインは、垂直信号線 $VS L_{2j-1}$ に接続される。

[0082] リセットトランジスタ244のソースは、垂直信号線 $VR D_{2j}$ に接続され、リセットトランジスタ245のソースは、垂直信号線 VPX_{2j} に接続される。増幅トランジスタ246のソースは、垂直信号線 VPX_{2j} に接続され、選択トランジスタ247のドレインは、垂直信号線 $VS L_{2j}$ に接続される。

[0083] リセットトランジスタ254のソースは、垂直信号線 $VS L_{2j-1}$ に接続され、リセットトランジスタ255のソースは、垂直信号線 VPX_{2j-1} に接続される。増幅トランジスタ256のソースは、垂直信号線 VPX_{2j-1} に接続され、選択トランジスタ257のドレインは、垂直信号線 $VR D_{2j-1}$ に接続される。

[0084] リセットトランジスタ264のソースは、垂直信号線 $VS L_{2j}$ に接続され、リセットトランジスタ265のソースは、垂直信号線 VPX_{2j} に接続される。増幅トランジスタ266のソースは、垂直信号線 VPX_{2j} に接続され、選択トランジスタ267のドレインは、垂直信号線 $VR D_{2j}$ に接続される。

[0085] [カラム信号処理部の構成例]

図7は、本技術の第1の実施の形態におけるカラム信号処理部270の一構成例を示す平面図である。このカラム信号処理部270は、列ごとに2個のADCを備える。列数がN列の場合、 $2 \times N$ 個のADCが設けられる。

[0086] $2j-1$ 列目には、ADC273および276が配置され、 $2j$ 列目にはADC277および278が配置される。また、ADC273には、カラム

読出し回路300からの電圧 V_{out1} のアナログ信号が入力され、また、ADC276には、カラム読出し回路300からの電圧 V_{out2} のアナログ信号が入力される。ADC277には、カラム読出し回路300からの電圧 V_{out3} のアナログ信号が入力され、また、ADC278には、カラム読出し回路300からの電圧 V_{out4} のアナログ信号が入力される。

[0087] ADC273は、入力されたアナログ信号をデジタル信号に変換するものである。このADC273は、比較器274およびカウンタ275を備える。ADC276、277および278の構成は、ADC273と同様である。なお、ADC273、276、277および278のそれぞれは、特許請求の範囲に記載のアナログデジタル変換部の一例である。

[0088] 比較器274は、入力されたアナログ信号と、参照信号REFとを比較するものである。参照信号REFとして、例えば、のこぎり刃状のランプ信号が用いられる。この比較器274は、比較結果を示す比較結果信号をカウンタ275に供給する。

[0089] カウンタ275は、比較結果信号が所定レベルである期間内において計数値を計数するものである。このカウンタ275は、計数値を示すデジタル信号を画素データとして出力部280に供給する。

[0090] 出力部280は、水平駆動部292の制御に従って、画素データのそれぞれを画像処理部294へ順に出力するものである。

[0091] 図8は、本技術の第1の実施の形態における差動モードの際の固体撮像素子200の動作の一例を示すタイミングチャートである。

[0092] 垂直同期信号VSYNCの周期内において、行が順に選択される。例えば、タイミングT10からタイミングT30までの期間において $2i-1$ 行が選択され、タイミングT30からタイミングT50までの期間において $2i$ 行が選択される。

[0093] また、タイミングT10からタイミングT20までの期間において、 $2i-1$ 行の偶数列が選択され、タイミングT20からタイミングT30までの期間において、 $2i-1$ 行の奇数列が選択される。タイミングT30からタ

イミングT40までの期間において、 $2i$ 行の偶数列が選択され、タイミングT40からタイミングT50までの期間において、 $2i$ 行の奇数列が選択される。

[0094] 垂直駆動部210は、タイミングT10からタイミングT30までの期間に亘って選択信号SEL _{$2i-1$} を供給し、タイミングT30からタイミングT50までの期間に亘って選択信号SEL _{$2i$} を供給する。

[0095] また、垂直駆動部210は、 $2i-1$ 行の偶数列の選択中にリセット信号RSTD _{$2i-1$} と転送信号TRG1 _{$2i-1$} とを順に供給する。また、同じ行の奇数列の選択中にシステム制御部291は、リセット信号RSTD _{$2i-1$} と転送信号TRG2 _{$2i-1$} とを順に供給する。

[0096] システム制御部291は、 $2i$ 行の偶数列の選択中にリセット信号RSTD _{$2i$} と転送信号TRG1 _{$2i$} とを順に供給する。また、同じ行の奇数列の選択中にシステム制御部291は、リセット信号RSTD _{$2i$} と転送信号TRG2 _{$2i$} とを順に供給する。

[0097] これらのリセット信号により出力されるアナログ信号を「リセットレベル」と称する。また、転送信号により出力されるアナログ信号を「信号レベル」と称する。カラム信号処理部270内の出力部280は、リセットレベルを変換したデジタル信号と信号レベルを変換したデジタル信号との差分を画素データとして出力する。このように、複数回のサンプリングを行って、それらの差分を求める処理は、CDS (Correlated double sampling) 処理と呼ばれる。このCDS処理により、リセットノイズや、トランジスタの閾値ばらつきに起因する画素固有の固定パターンノイズを除去することができる。

[0098] また、システム制御部291は、 $2i-1$ 行の選択中に、制御信号SW11、SW21、SW12、SW22をカラム読出し回路300へ供給し、 $2i$ 行の選択中に制御信号SW31、SW41、SW32およびSW42を供給する。

[0099] また、システム制御部291は、 $2i-1$ 行の偶数列の選択中に制御信号SW20、SW14およびSW15を供給し、その行の奇数列の選択中に制

御信号SW10、SW24およびSW25を供給する。

[0100] また、システム制御部291は、2i行の偶数列の選択中に制御信号SW20、SW34およびSW15を供給し、その行の奇数列の選択中に制御信号SW10、SW44およびSW25を供給する。

[0101] 上述の制御により、2i-1行の偶数列および奇数列から、画素信号を差動増幅した信号が順に読み出される。次いで2i行の偶数列および奇数列から、画素信号を差動増幅した信号が順に読み出される。

[0102] なお、上述のタイミングチャートにおいて、同じタイミングで供給される複数の制御信号のそれぞれに対応するスイッチは、1つに共通化してスイッチの個数を削減することもできる。例えば、制御信号SW11、SW21、SW12、SW22は、同じタイミングで供給されるため、これらに対応する4つのスイッチを1つに置き換えることができる。

[0103] 図9は、本技術の第1の実施の形態における非差動モードの際の固体撮像素子の動作の一例を示すタイミングチャートである。垂直同期信号VSYNCの周期内において、行が2行ずつ順に選択される。例えば、タイミングT60からタイミングT70までの期間において2i-1行および2i行が同時に選択される。

[0104] 垂直駆動部210は、タイミングT60からタイミングT70までの期間に亘って選択信号SEL_{2i-1}およびSEL_{2i}を供給する。

[0105] また、システム制御部291は、2i-1行の選択中にリセット信号RST_{2i-1}およびRST_{2i}を同時に供給し、その後に転送信号TRG1_{2i-1}、TRG2_{2i-1}、TRG1_{2i}およびTRG2_{2i}を同時に供給する。

[0106] また、システム制御部291は、2i-1行および2i行の選択中に、制御信号SW00、SW13、SW23、SW33およびSW43をカラム読出し回路300へ供給する。

[0107] 上述の制御により、2i-1行および2i行から、画素信号が同時に読み出される。このように2行を同時に読み出すため、1行ずつ読み出す場合よりも読出し速度を速くすることができる。

[0108] 図10は、本技術の第1の実施の形態における1回目の差動読出しを行う際の基本ユニット225および単位読出し回路310のそれぞれの状態の一例を示す図である。基本ユニット225において最初に画素240が読出し画素として選択され、隣接する画素230が参照画素として選択される。ここで、読出し画素は、画素信号を読み出す対象の画素である。参照画素は、差動増幅する際に、読出し画素からの信号と比較するための参照信号を出力する画素である。

[0109] 単位読出し回路310は、垂直信号線 VSL_{2j-1} 、 VSL_{2j} および VRD_{2j} を、n型トランジスタ311および312からなるカレントミラー回路に接続する。また、単位読出し回路310は、垂直信号線 VPX_{2j-1} および VPX_{2j} を、電流源341および342に接続し、垂直信号線 VRD_{2j-1} をリセット電源に接続する。なお、単位読出し回路310は、特許請求の範囲に記載の接続制御部の一例である。

[0110] また、垂直駆動部210は、リセット信号 $RSTS_{2i-1}$ を除く、各種の駆動信号を $2i-1$ 行に供給する。リセット信号 $RSTS_{2i-1}$ が供給されないため、リセットトランジスタ235および245は、動作しない。

[0111] このような制御により、読出し画素および参照画素は差動増幅回路として動作し、それぞれの画素信号の差分を増幅した、電圧 V_{out1} の信号を出力する。

[0112] 図11は、本技術の第1の実施の形態における1回目の差動読出しを行う際の基本ユニット225および単位読出し回路310を簡易化した図である。同図に例示するように選択トランジスタ237および247は、差動対として機能し、それらのトランジスタの入力信号を差動増幅した、電圧 V_{out1} の信号が出力される。

[0113] ここで、仮に、差動モードにおいて垂直駆動部210がリセットトランジスタ235を駆動すると、リセット電圧 V_{rst} よりも高い電源電圧 VDD によりリセットされて、信号の振幅を大きくすることができなくなる。このため、リセット電源に接続されたリセットトランジスタ244をリセットト

ランジスタ 235 と別途に設けておき、垂直駆動部 210 が差動モードにおいて駆動している。

[0114] 図 12 は、本技術の第 1 の実施の形態における 1 回目の差動読出しを行う際の信号線の接続先を説明するための図である。同図に例示するように、単位読出し回路 310 は、垂直信号線 VRD_{2j-1} を介して参照画素（画素 230）をリセット電源に接続する。また、単位読出し回路 310 は、参照画素および読出し画素（画素 240）を垂直信号線 VPX_{2j-1} および VPX_{2j} を介して電流源 341 および 342 に接続する。また、単位読出し回路 310 は、参照画素および読出し画素を垂直信号線 VSL_{2j-1} 、 VSL_{2j} および VRD_{2j} を介してカレントミラー回路に接続する。

[0115] また、垂直駆動部 210 は、参照画素および読出し画素を駆動して、画素信号を差動増幅した信号を垂直信号線 VSL_{2j} を介して出力させる。

[0116] 図 13 は、本技術の第 1 の実施の形態における 2 回目の差動読出しを行う際の基本ユニット 225 および単位読出し回路 310 のそれぞれの状態の一例を示す図である。同図に例示するように基本ユニット 225 において画素 230 が読出し画素として選択され、隣接する画素 240 が参照画素として選択される。

[0117] 単位読出し回路 310 は、垂直信号線 VSL_{2j-1} 、 VSL_{2j} および VRD_{2j-1} をカレントミラー回路に接続する。また、単位読出し回路 310 は、垂直信号線 VPX_{2j-1} および VPX_{2j} を、電流源 341 および 342 に接続し、垂直信号線 VRD_{2j} をリセット電源に接続する。

[0118] 図 10 乃至 13 を参照して説明したように、単位読出し回路 310 は、画素 230 を垂直信号 VRD_{2j-1} を介してリセット電源に接続する制御と、画素 240 を垂直信号 VRD_{2j} を介してリセット電源に接続する制御とを順に行う。このように、垂直信号線 VRD_{2j-1} および VRD_{2j} は、差動モードにおいてはリセット電源を供給するために用いられる。

[0119] 図 14 は、本技術の第 1 の実施の形態における 3 回目の差動読出しを行う際の基本ユニット 225 および単位読出し回路 310 のそれぞれの状態の一

例を示す図である。同図に例示するように基本ユニット225において画素260が読出し画素として選択され、隣接する画素250が参照画素として選択される。

[0120] 単位読出し回路310は、垂直信号線 VSL_{2j-1} 、 VSL_{2j} および VRD_{2j} をカレントミラー回路に接続する。また、単位読出し回路310は、垂直信号線 VPX_{2j-1} および VPX_{2j} を、電流源343および344に接続し、垂直信号線 VRD_{2j-1} をリセット電源に接続する。

[0121] 図15は、本技術の第1の実施の形態における4回目の差動読出しを行う際の基本ユニット225および単位読出し回路310のそれぞれの状態の一例を示す図である。同図に例示するように基本ユニット225において画素250が読出し画素として選択され、隣接する画素260が参照画素として選択される。

[0122] 単位読出し回路310は、垂直信号線 VSL_{2j-1} 、 VSL_{2j} および VRD_{2j-1} をカレントミラー回路に接続する。また、単位読出し回路310は、垂直信号線 VPX_{2j-1} および VPX_{2j} を、電流源343および344に接続し、垂直信号線 VRD_{2j} をリセット電源に接続する。

[0123] 図16は、本技術の第1の実施の形態における非差動モードで読出しを行う際の基本ユニット225および単位読出し回路310のそれぞれの状態の一例を示す図である。単位読出し回路310は、垂直信号線 VSL_{2j-1} 、 VRD_{2j-1} 、 VSL_{2j} および VRD_{2j} のそれぞれを電流源341、343、342および344に接続する。また、単位読出し回路310は、垂直信号線 VPX_{2j-1} および VPX_{2j} を電源に接続する。

[0124] また、垂直駆動部210は、リセット信号 $RSTD_{2i-1}$ および $RSTD_{2i}$ を除く、各種の駆動信号を $2i-1$ 行に供給する。リセット信号 $RSTD_{2i-1}$ および $RSTD_{2i}$ が供給されないため、リセットトランジスタ234、244、254および265は、動作しない。このような制御により、選択された2行から画素信号が同時に出力される。

[0125] 図17は、本技術の第1の実施の形態における非差動モードで読出しを行

う際の基本ユニット 225 および単位読出し回路 310 を簡易化した図である。同図に例示するように、それぞれの画素においてソースフォロフ回路が形成される。

[0126] 図 18 は、本技術の第 1 の実施の形態における非差動モードで読出しを行う際の信号線の接続先を説明するための図である。同図に例示するように、単位読出し回路 310 は、垂直信号線 VSL_{2j-1} および VSL_{2j} を介して画素 230 および 240 のそれぞれを電流源 342 および 341 に接続する。また、単位読出し回路 310 は、垂直信号線 VRD_{2j-1} および VRD_{2j} を介して画素 250 および 260 のそれぞれを電流源 344 および 343 に接続する。また、単位読出し回路 310 は、垂直信号線 VPX_{2j-1} および VPX_{2j} を介して、画素 230、240、250 および 260 を電源に接続する。

[0127] 非差動モードにおいては、差動モードと異なり、カレントミラー回路に画素 230 および 240 を接続する必要はない。このため、カレントミラー回路への接続に用いていた垂直信号線 VSL_{2j-1} および VSL_{2j} を、画素 230 および 240 のそれぞれの画素信号を出力するために用いることができる。

[0128] また、非差動モードにおいては、差動モードと異なり、リセット電源を供給する必要はない。このため、差動モードではリセット電源の供給に用いていた垂直信号線 VRD_{2j-1} および VRD_{2j} は、非差動モードでは画素 230 および 240 において用いられず余ってしまう。仮に、これらの垂直信号線を画素に接続しないままにすると、固体撮像素子は、1 行ずつしか画素信号を読み出すことができなくなる。

[0129] そこで、固体撮像素子 200 では、これらの余った垂直信号線 VRD_{2j-1} および VRD_{2j} を、画素 250 および 260 のそれぞれの画素信号を出力するために用いている。このように、非差動モードにおいて上側の 2 画素が用いない 2 本の垂直信号線を下側の 2 画素の画素信号の出力のために用いることにより、垂直信号線を有効に活用して、2 行を同時に読み出すことができる。

[0130] 図19は、本技術の第1の実施の形態における画素アレイ部220の断面図の一例である。画素アレイ部220は、Z軸において受光面への方向を上方として、マイクロレンズの下方に接地側垂直配線層224が設けられ、その下方に水平配線層223が設けられる。また、水平配線層223の下方に電源側垂直配線層222が設けられ、その下方に光電変換層221が設けられる。このように、マイクロレンズと光電変換層221との間に電源側垂直配線層222等の配線層が配置された固体撮像素子200では、配線層側の面を基板の表面として、表面に光が照射される。このような固体撮像素子は、表面照射型の固体撮像素子と呼ばれる。

[0131] 図20は、本技術の第1の実施の形態における光電変換層221の一構成例を示す平面図である。光電変換層221において画素230内にフォトダイオード231およびFD233が配置され、フォトダイオード231とFD233との間に転送トランジスタ232が配置される。また、FD233の両側において、X方向に沿ってリセットトランジスタ234および235が配列される。増幅トランジスタ236および選択トランジスタ237は、Y方向に沿って配列される。画素240、250および260のそれぞれのレイアウトは画素230と同様である。

[0132] 図21は、本技術の第1の実施の形態における電源側垂直配線層222の配線レイアウトの一例を示す平面図である。画素230および画素250において、Y方向（列方向）に沿って、垂直信号線 VRD_{2j-1} および VSL_{2j-1} が配線される。また、画素240および画素260において、Y方向に沿って、垂直信号線 VRD_{2j} および VSL_{2j} が配線される。

[0133] 図22は、本技術の第1の実施の形態における水平配線層223の配線レイアウトの一例を示す平面図である。画素230および画素240において、X方向（行方向）に沿って、水平信号線223-1、223-2、223-3、223-4および223-5が配線される。画素250および260においても同様に5本の水平信号線が配線される。水平信号線223-1は、リセット信号 $RSTS_{2i}$ または $RSTS_{2i-1}$ を伝送する。水平信号線22

3-2は、リセット信号 $RST D_{2i}$ または $RST D_{2i-1}$ を伝送する。水平信号線223-3は、転送信号 $TRG 1_{2i}$ または $TRG 1_{2i-1}$ を伝送する。水平信号線223-4は、転送信号 $TRG 2_{2i}$ または $TRG 2_{2i-1}$ を伝送する。水平信号線223-5は、選択信号 SEL_{2i} または SEL_{2i-1} を伝送する。

[0134] 図23は、本技術の第1の実施の形態における接地側垂直配線層224の配線レイアウトの一例を示す平面図である。画素230および250において、Y方向に沿って垂直信号線 VPX_{2j-1} と接地線 VSS_{2j-1} とが配線される。画素240および260においても、Y方向に沿って垂直信号線 VPX_{2j} と接地線 VSS_{2j} とが配線される。

[0135] [固体撮像素子の動作例]

図24は、本技術の第1の実施の形態における固体撮像素子200の動作の一例を示すフローチャートである。この動作は、例えば、画像データを撮像するための所定のアプリケーションが実行されたときに開始される。

[0136] 固体撮像素子200は、現在のモードが差動モードであるか否かを判断する（ステップS901）。差動モードである場合に（ステップS901：Yes）、固体撮像素子200は、1つのラインを選択する（ステップS902）。そして、固体撮像素子200は、選択したライン内の偶数列を駆動し（ステップS903）、次に奇数列を駆動する（ステップS904）。そして、固体撮像素子200は、全ラインを選択したか否かを判断する（ステップS905）。全ラインを選択した場合に（ステップS905：Yes）、固体撮像素子200は、ステップS901以降を繰り返す。全ラインを選択していない場合には（ステップS905：No）、固体撮像素子200は、ステップS902以降を繰り返し実行する。

[0137] 一方、非差動モードである場合に（ステップS901：No）、固体撮像素子200は、2ラインを選択し（ステップS906）、同時に駆動する（ステップS907）。そして、固体撮像素子200は、全ラインを選択したか否かを判断する（ステップS908）。全ラインを選択した場合に（ステ

ップS908: Yes)、固体撮像素子200は、ステップS901以降を繰り返す。全ラインを選択していない場合には(ステップS908: No)、固体撮像素子200は、ステップS906以降を繰り返し実行する。

[0138] このように、本技術の第1の実施の形態では、単位読出し回路310が非差動モードにおいて垂直信号線 VRD_{2j-1} および VRD_{2j} を画素250および260に接続するため、画素250および260を含む2行から同時に画素信号を読み出すことができる。これにより、1行ずつ画素信号を読み出す場合よりも読出し速度を速くすることができる。

[0139] <2. 第2の実施の形態>

上述の第1の実施の形態では、基本ユニット225内の4画素を2行×2列に配列していたが、2行×2列の配列では、非差動モードにおいて2行ずつしか読み出すことができない。この第2の実施の形態の固体撮像素子200は、3行以上を同時に読出す点において第1の実施の形態と異なる。

[0140] 図25は、本技術の第2の実施の形態における画素アレイ部220の一構成例を示す平面図である。この第2の実施の形態の画素アレイ部220は、基本ユニット225内の4画素を4行×1列に配列した点において第1の実施の形態と異なる。

[0141] 例えば、 $2i-1$ 行に画素230が配置され、 $2i$ 行に画素240が配置される。また、 $2i+1$ 行に画素250が配置され、 $2i+2$ 行に画素260が配置される。また、単位読出し回路310は、列ごとに配置される。

[0142] 図26は、本技術の第2の実施の形態におけるカラム読出し回路300から遠い方の画素230および240の一構成例を示す回路図である。図27は、本技術の第2の実施の形態におけるカラム読出し回路300に近い方の画素250および260の一構成例を示す回路図である。

[0143] 図26および27に例示するように、列ごとに垂直信号線 VSL_{2j-1} 、 VSL_{2j} 、 VPX_{2j-1} 、 VPX_{2j} 、 VRD_{2j-1} および VRD_{2j} が配線される。また、垂直駆動部210は、非差動モードにおいて、4行を同時に駆動する。

[0144] このように、本技術の第2の実施の形態では、基本ユニット225内に4画素を4行×1列に配列したため、4行を同時に読み出すことができる。これにより、2行を同時に読み出す場合と比較して読出し速度をさらに向上させることができる。

[0145] <3. 第3の実施の形態>

上述の第1の実施の形態では、基本ユニット225内の4画素を2行×2列に配列していたが、2行×2列の配列では、カラム読出し回路300において2列ごとに単位読出し回路310を配置する必要がある。このため、列数の増加に伴うカラム読出し回路300の回路規模の増大量が大きい。この第3の実施の形態の固体撮像素子200は、カラム読出し回路300の回路規模を削減した点において第1の実施の形態と異なる。

[0146] 図28は、本技術の第3の実施の形態における画素アレイ部220の一構成例を示す平面図である。この第3の実施の形態の画素アレイ部220は、基本ユニット225内の4画素を1行×4列に配列した点において第1の実施の形態と異なる。

[0147] 例えば、 $2j-1$ 列に画素230が配置され、 $2j$ 列に画素240が配置される。また、 $2j+1$ 列に画素250が配置され、 $2j+2$ 列に画素260が配置される。また、単位読出し回路310は、4列ごとに配置される。

[0148] 図29は、本技術の第3の実施の形態における垂直駆動部210に近い方の画素230および240の一構成例を示す回路図である。同図に例示するように、画素230に垂直信号線 VSL_{2j-1} 、 VPX_{2j-1} および VRD_{2j-1} が配線される。

[0149] 図30は、本技術の第2の実施の形態における垂直駆動部210から遠い方の画素250および260の一構成例を示す回路図である。同図に例示するように、画素250に垂直信号線 VSL_{2j+1} 、 VPX_{2j+1} および VRD_{2j+1} が配線される。

[0150] ここで、非差動モードにおいて垂直信号線 VRD_{2j-1} および VRD_{2j} の接続先を切り替えず、1行×4列に配列する比較例を想定する。この比較例で

は、非差動モードにおいて固体撮像素子は、行全体を一度に読み出すことができず、行ごとに、その行内のN列のうち半分を読み出してから、残りを読み出す必要がある。しかし、固体撮像素子200では、カラム読出し回路300が非差動モードにおいて垂直信号線 VRD_{2j-1} および VRD_{2j} の接続先を切り替えているため、非差動モードにおいて1行ずつ読み出すことができる。このため、比較例よりも読出し速度を速くすることができる。さらに、1行×4列の配列では、単位読出し回路310を4列ごとに配置すればよい。このため、2列ごとに配置する構成と比較して、カラム読出し回路300の回路規模を削減することができる。

[0151] このように、本技術の第3の実施の形態では、カラム読出し回路300において4列ごとに単位読出し回路310を配置するため、2列ごとに単位読出し回路310を配置する場合と比較してカラム読出し回路300の回路規模を削減することができる。

[0152] <4. 第4の実施の形態>

上述の第1の実施の形態では、画素毎に、トランジスタを5つ配置していたが、この構成では微細化が困難になるおそれがある。微細化を容易にするには、画素当たりのトランジスタ数を削減することが望ましい。この第4の実施の形態の固体撮像素子200は、画素当たりのトランジスタ数を削減した点において第1の実施の形態と異なる。

[0153] 図31は、本技術の第4の実施の形態における画素アレイ部220の一構成例を示す平面図である。この第4の実施の形態の画素アレイ部220は、基本ユニット225内にFD共有ブロック226、227、228および229が配置される点において第1の実施の形態と異なる。

[0154] FD共有ブロック226には、画素360、230、363および366が2行×2列に配列される。これらの画素は、電荷蓄積部233（FD）を共有する。FD共有ブロック227には、画素240を含む4画素が2行×2列に配列される。これらの画素は、電荷蓄積部243を共有する。

[0155] FD共有ブロック228には、画素250を含む4画素が2行×2列に配

列される。これらの画素は、電荷蓄積部 2 5 3 を共有する。F D 共有ブロック 2 2 9 には、画素 2 6 0 を含む 4 画素が 2 行×2 列に配列される。これらの画素は、電荷蓄積部 2 6 3 を共有する。

[0156] 図 3 2 は、本技術の第 4 の実施の形態における F D 共有ブロック 2 2 6 の一構成例を示す回路図である。画素 3 6 0 には、転送トランジスタ 3 6 1 およびフォトダイオード 3 6 2 が配置される。また、画素 3 6 3 には、転送トランジスタ 3 6 4 およびフォトダイオード 3 6 5 が配置される。画素 3 6 6 には、転送トランジスタ 3 6 7 およびフォトダイオード 3 6 8 が配置される。F D 共有ブロック 2 2 7、2 2 8 および 2 2 9 の構成は、F D 共有ブロック 2 2 6 と同様である。

[0157] 転送トランジスタ 3 6 1 は、垂直駆動部 2 1 0 の制御に従ってフォトダイオード 3 6 2 から電荷蓄積部 2 3 3 に電荷を転送し、転送トランジスタ 3 6 4 は、フォトダイオード 3 6 5 から電荷蓄積部 2 3 3 に電荷を転送する。また、転送トランジスタ 3 6 7 は、フォトダイオード 3 6 8 から電荷蓄積部 2 3 3 に電荷を転送する。なお、転送トランジスタ 3 6 1、2 3 2、3 6 4 および 3 6 7 からなる回路は、特許請求の範囲に記載の転送部の一例である。

[0158] 上述の構成により、電荷蓄積部 2 3 3 (F D) と、リセットトランジスタ 2 3 4 および 2 3 5 と、増幅トランジスタ 2 3 6 と、選択トランジスタ 2 3 7 とは、4 画素により共有される。このため、画素毎に、これらの素子を配置する第 1 の実施の形態と比較して、画素当たりのトランジスタ数を削減することができる。

[0159] 図 3 3 は、本技術の第 4 の実施の形態における F D 共有ブロック 2 2 6 内の素子の配置例を示す平面図である。フォトダイオード 3 6 2、2 3 1、3 6 5 および 3 6 8 は、2 行×2 列に配列される。また、リセットトランジスタ 2 3 4 および 2 3 5 と、増幅トランジスタ 2 3 6 と、選択トランジスタ 2 3 7 とは、Y 方向に沿って配列される。

[0160] このように、本技術の第 4 の実施の形態では、電荷蓄積部 2 3 3 やトランジスタを 4 画素が共有するため、それらを共有しない構成と比較して画素当

たりのトランジスタ数を削減することができる。

[0161] < 5. 第5の実施の形態 >

上述の第4の実施の形態では、4画素が電荷蓄積部（FD）を共有していたが、この構成ではさらに微細化することが困難になるおそれがある。さらに微細化するには、FDを共有する画素数を5つ以上に増大することが望ましい。この第5の実施の形態の固体撮像素子200は、FDを共有する画素数を増大した点において第4の実施の形態と異なる。

[0162] 図34は、本技術の第5の実施の形態における画素アレイ部220の一構成例を示す平面図である。この第5の実施の形態の画素アレイ部220は、FD共有ブロック226、227、228および229のそれぞれに8画素が配置される点において第4の実施の形態と異なる。

[0163] 例えば、FD共有ブロック227には、画素360、240、363、366、370、376、373および379が4行×2列に配列される。これらの8画素は、電荷蓄積部243（FD）を共有する。FD共有ブロック226、228および229についても同様に、ブロック内の8画素はFDを共有する。

[0164] 図35は、本技術の第5の実施の形態におけるFD共有ブロック227の一構成例を示す回路図である。この第5の実施の形態の画素360、363および366の構成は、第4の実施の形態と同様である。

[0165] 画素370には、転送トランジスタ371およびフォトダイオード372が配置される。画素373には、転送トランジスタ374およびフォトダイオード375が配置される。また、画素376には、転送トランジスタ377およびフォトダイオード378が配置される。画素379には、転送トランジスタ380およびフォトダイオード381が配置される。

[0166] 転送トランジスタ371は、垂直駆動部210の制御に従ってフォトダイオード372から電荷蓄積部243に電荷を転送し、転送トランジスタ374は、フォトダイオード375から電荷蓄積部243に電荷を転送する。また、転送トランジスタ377は、フォトダイオード378から電荷蓄積部2

43に電荷を転送する。転送トランジスタ380は、フォトダイオード381から電荷蓄積部243に電荷を転送する。

[0167] 図36は、本技術の第5の実施の形態におけるFD共有ブロック227内の素子の配置例を示す平面図である。フォトダイオード362、241、365、368、372、375、378および381は、4行×2列に配列される。また、リセットトランジスタ244および245と、増幅トランジスタ246と、選択トランジスタ247とは、Y方向に沿って配列される。

[0168] このように、本技術の第5の実施の形態では、電荷蓄積部（FD）やトランジスタを8画素が共有するため、それらを4画素が共有する構成と比較して画素当たりのトランジスタ数をさらに削減することができる。

[0169] <6. 第6の実施の形態>

上述の第1の実施の形態では、配線層側の面を表面として表面に光を照射する表面照射型の構成を用いていた。しかしながら、この表面照射型では、配線層が光の一部を遮ってしまい、感度が低下してしまう。この第6の実施の形態の固体撮像素子200は、感度を向上させた点において第1の実施の形態と異なる。

[0170] 図37は、本技術の第6の実施の形態における固体撮像素子200の断面図の一例である。マイクロレンズの下方に光電変換層221が配置され、その下方に電源側垂直配線層222が設けられる。その電源側垂直配線層222の下方に水平配線層223が設けられる。また、水平配線層223の下方に接地側垂直配線層224が設けられる。

[0171] 上述のように、マイクロレンズと電源側垂直配線層222等の配線層との間に光電変換層221を配置する固体撮像素子200では、表面に対向する裏面に光が照射される。このような固体撮像素子は、裏面照射型の固体撮像素子と呼ばれる。この裏面照射型では、配線層の一部により光が遮られることが無いため、表面照射型と比較して感度が高い。

[0172] このように、本技術の第6の実施の形態によれば、マイクロレンズと電源側垂直配線層222等の配線層との間に光電変換層221を配置する裏面照

射型の構造としたため、表面照射型と比較して感度を向上させることができる。

[0173] < 7. 第 7 の実施の形態 >

上述の第 1 の実施の形態では、固体撮像素子 200 内の回路のそれぞれを単一の半導体チップ上に設けていた。しかし、単一の半導体チップ上に設ける場合、そのチップに画素アレイ部 220 に加えて、垂直駆動部 210 等も配置する必要がある。このため、半導体チップの面積を一定とすると、画素アレイ部 220 以外の回路の分、画素アレイ部 220 の面積が狭くなってしまふ。画素アレイ部 220 の面積を広くするには、例えば、固体撮像素子 200 内の回路のそれぞれを、積層した複数の半導体チップに分散して配置すればよい。この第 7 の実施の形態の固体撮像素子 200 は、積層された複数の半導体チップに回路を分散して配置した点において第 1 の実施の形態と異なる。

[0174] 図 38 は、本技術の第 7 の実施の形態における固体撮像素子 200 の一構成例を示すブロック図である。この第 7 の実施の形態の固体撮像素子 200 は、積層された画素チップ 201 および回路チップ 202 を備える。

[0175] 画素チップ 201 は、画素が配置される半導体チップである。この画素チップ 201 には、上側カラム信号処理部 271、上側カラム読出し回路 301、画素アレイ部 220、下側カラム読出し回路 302 および下側カラム信号処理部 272 が配置される。

[0176] 上側カラム読出し回路 301 には、M 列のうち半数に対応する単位読出し回路 310 が配置され、下側カラム読出し回路 302 には、残りの列に対応する単位読出し回路 310 が配置される。上側カラム信号処理部 271 には、上側カラム読出し回路 301 に対応する A/D が配置され、下側カラム信号処理部 272 には、下側カラム読出し回路 302 に対応する A/D が配置される。

[0177] 回路チップ 202 は、垂直駆動部 210、システム制御部 291、水平駆動部 292、データ格納部 293 および画像処理部 294 などの回路が配置

される半導体チップである。

[0178] なお、画素チップ201は、特許請求の範囲に記載の第1の半導体チップの一例であり、回路チップ202は、特許請求の範囲に記載の第2の半導体チップの一例である。

[0179] このように、本技術の第7の実施の形態では、固体撮像素子200内の回路のそれぞれを、積層された複数の半導体チップに分散して配置したため、単一の半導体チップに配置する場合と比較して画素アレイ部220の面積を広くすることができる。

[0180] [変形例]

上述の第7の実施の形態では、画素チップ201において、上側カラム信号処理部271等の画素アレイ部220以外の回路も画素アレイ部220とともに配置していた。この構成では、画素チップ201の面積を一定とすると、画素アレイ部220以外の回路の分、画素アレイ部220の面積が狭くなってしまう。画素アレイ部220の面積を広くするには、例えば、画素アレイ部220以外の回路を回路チップ202に配置すればよい。この第7の実施の形態の変形例における固体撮像素子200は、画素アレイ部220以外の回路を回路チップ202に配置した点において第7の実施の形態と異なる。

[0181] 図39は、本技術の第7の実施の形態の変形例における画素チップ201の一構成例を示す図である。この第7の実施の形態の変形例の画素チップ201は、画素アレイ部220のみが配置される点において第1の実施の形態と異なる。

[0182] 図40は、本技術の第7の実施の形態の変形例における回路チップ202の一構成例を示す図である。この第7の実施の形態の変形例の回路チップ202には、上側カラム信号処理部271、上側カラム読出し回路301、画素周辺回路295、下側カラム読出し回路302および下側カラム信号処理部272が配置される。

[0183] 画素周辺回路295は、垂直駆動部210、システム制御部291、水平

駆動部 292、データ格納部 293 および画像処理部 294 などを含む。

[0184] このように、本技術の第 7 の実施の形態では、画素アレイ部 220 以外の回路を回路チップ 202 に配置したため、それらを画素チップ 201 に配置する場合よりも、画素アレイ部 220 の面積を広くすることができる。

[0185] < 8. 第 8 の実施の形態 >

上述の第 1 の実施の形態では、固体撮像素子 200 は、リセットレベルおよび信号レベルのそれぞれに対して、デジタル信号への変換（すなわち、サンプリング）を 1 回のみ行っていたが、画素データのノイズをさらに低減することが困難である。例えば、リセットレベルおよび信号レベルのそれぞれに対して複数回のサンプリングを行い、その結果を加算すれば、ノイズをさらに低減することができる。この第 8 の実施の形態における固体撮像素子 200 は、リセットレベルおよび信号レベルのそれぞれに対して複数回のサンプリングを行う点において第 1 の実施の形態と異なる。

[0186] 図 41 は、本技術の第 8 の実施の形態における単位読出し回路 310 の一構成例を示す回路図である。この第 8 の実施の形態における単位読出し回路 310 は、スイッチ 345 乃至 352 をさらに備える点において第 1 の実施の形態と異なる。

[0187] スイッチ 345 は、システム制御部 291 からの制御信号 SW51 に従って、信号線 COM と ADC278 との間の経路を開閉するものである。スイッチ 346 は、システム制御部 291 からの制御信号 SW52 に従って、信号線 COM と ADC276 との間の経路を開閉するものである。

[0188] また、スイッチ 347 は、システム制御部 291 からの制御信号 SW53 に従って、信号線 COM と ADC273 との間の経路を開閉するものである。スイッチ 348 は、システム制御部 291 からの制御信号 SW54 に従って、信号線 COM と ADC277 との間の経路を開閉するものである。

[0189] スイッチ 349 は、システム制御部 291 からの制御信号 SW55 に従って、垂直信号線 VRD_{2j-1} と信号線 COM との間の経路を開閉するものである。スイッチ 350 は、システム制御部 291 からの制御信号 SW56 に従

って、垂直信号線 VRD_{2j} と信号線COMとの間の経路を開閉するものである。

[0190] スイッチ351は、システム制御部291からの制御信号SW57に従って、垂直信号線 $VS L_{2j-1}$ と信号線COMとの間の経路を開閉するものである。スイッチ352は、システム制御部291からの制御信号SW58に従って、垂直信号線 $VS L_{2j}$ と信号線COMとの間の経路を開閉するものである。

[0191] システム制御部291は、非差動モードにおいてスイッチのそれぞれを制御して、ある画素のリセットレベルをADC273、275、276および277に同時に供給する。D相レベルについても同様に、4つのADCに同時に供給される。例えば、画素240の画素信号（リセットレベルや信号レベル）を供給する際には、制御信号SW51、SW52、SW54およびSW58が供給される。一方、差動モードにおいては第1の実施の形態と同様に、画素ごとにADC273、275、276および277のうち1つのみが用いられる。

[0192] 図42は、本技術の第8の実施の形態におけるカラム信号処理部270の一構成例を示す回路図である。このカラム信号処理部270は、出力部280の代わりに、ラッチ回路281乃至284と、加算回路285とを備える。

[0193] また、ADC273には、互いに位相の異なる参照信号REF1、REF2、REF3およびREF4のうちREF1が入力される。ADC276には、参照信号REF2が入力され、ADC277には参照信号REF3が入力される。ADC278には参照信号REF4が入力される。

[0194] ラッチ回路281は、ADC273からのデジタル信号を保持するものである。ラッチ回路282は、ADC276からのデジタル信号を保持するものである。ラッチ回路283は、ADC277からのデジタル信号を保持するものである。ラッチ回路284は、ADC278からのデジタル信号を保持するものである。これらのラッチ回路281乃至284は、保持した信号

を加算回路 285 に供給する。

[0195] 加算回路 285 は、ラッチ回路 281 乃至 284 のそれぞれからのデジタル信号を加算し、加算後のデータを画素データとして画像処理部 294 に出力するものである。

[0196] このように、本技術の第 8 の実施の形態によれば、画素ごとに、複数回のサンプリングを行って、それらの結果を加算するため、画素データのノイズをさらに低減することができる。

[0197] <9. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0198] 図 43 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0199] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 43 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、及び車載ネットワーク I/F（interface）12053 が図示されている。

[0200] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等

の制御装置として機能する。

[0201] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0202] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0203] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0204] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判

別してもよい。

- [0205] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。
- [0206] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0207] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。
- [0208] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図43の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

- [0209] 図44は、撮像部12031の設置位置の例を示す図である。
- [0210] 図44では、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。
- [0211] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。
- [0212] なお、図44には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。
- [0213] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。
- [0214] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし1211

4 内における各立体物までの距離と、この距離の時間的変化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 k m / h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0215] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 1 2 0 6 1 や表示部 1 2 0 6 2 を介してドライバに警報を出力することや、駆動系制御ユニット 1 2 0 1 0 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0216] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0

4の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0217] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部12031に適用され得る。具体的には、図1の撮像装置100を、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、読出し速度を速くして、フレームレートを向上させることが可能になる。

[0218] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0219] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0220] なお、本技術は以下のような構成もとることができる。

(1) 第1の信号線に接続された第1の画素と、

第2の信号線に接続された第2の画素と、

第3の画素と、

第4の画素と、

差動モードにおいて前記第1の画素を第3の信号線を介してリセット電源に接続する制御と前記第2の画素を第4の信号線を介して前記リセット電源に接続する制御とを順に行い、非差動モードにおいて前記第3の画素を前記

第3の信号線に接続する制御と前記第4の画素を前記第4の信号線に接続する制御とを行う接続制御部と、

前記差動モードにおいて前記第1および第2の画素のそれぞれの画素信号の差分を増幅した信号を前記第1および第2の信号線の一方を介して出力させ、前記非差動モードにおいて前記第1、第2、第3および第4の画素のそれぞれの画素信号を前記第1、第2、第3および第4の信号線を介して出力させる駆動部と

を具備する固体撮像素子。

(2) 前記接続制御部は、前記差動モードにおいて前記第1および第2の画素を第5および第6の信号線を介して所定の電流源に接続する制御をさらにを行い、前記非差動モードにおいて前記第1および第3の画素を前記第5の信号線を介して電源に接続する制御と前記第2および第4の画素を前記第6の信号線を介して電源に接続する制御とをさらに行う

請求項1記載の固体撮像素子。

(3) 前記第1および第2の画素のそれぞれは、

電荷を蓄積する電荷蓄積部と、

前記蓄積された電荷の量を初期化する一対のリセットトランジスタと、
を備え、

前記接続制御部は、前記差動モードにおいて前記第1の画素の前記一対のトランジスタの一方を前記第3の信号線を介して前記リセット電源に接続する制御と前記第2の画素の前記一対のトランジスタの一方を前記第4の信号線を介して前記リセット電源に接続する制御とを順に行い、前記非差動モードにおいて前記第1および第3の画素のそれぞれの前記一対のトランジスタの他方を前記第5の信号線を介して前記電源に接続する制御と前記第2および第4の画素のそれぞれの前記一対のトランジスタの他方を前記第6の信号線を介して前記電源に接続する制御とを行う

前記(2)記載の固体撮像素子。

(4) 前記第1、第2、第3および第4の信号線は、所定方向に垂直な方向

に沿って配線され、

前記第 1 および第 2 の画素は、前記所定方向に配列され、

前記第 1 および第 3 の画素は、前記垂直な方向に配列され、

前記第 3 および第 4 の画素は、前記所定方向に配列される

前記 (1) から (3) のいずれかに記載の固体撮像素子。

(5) 前記第 1、第 2、第 3 および第 4 の信号線は、所定方向に垂直な方向に沿って配線され、

前記第 1、第 2、第 3 および第 4 の画素は、前記所定方向に配列される

前記 (1) から (3) のいずれかに記載の固体撮像素子。

(6) 前記第 1、第 2、第 3 および第 4 の信号線は、所定方向に垂直な方向に沿って配線され、

前記第 1、第 2、第 3 および第 4 の画素は、前記垂直な方向に配列される

前記 (1) から (3) のいずれかに記載の固体撮像素子。

(7) 前記第 1、第 2、第 3 および第 4 の画素のそれぞれは、

電荷を蓄積する電荷蓄積部と、

入射光を光電変換して前記電荷を生成する複数の光電変換素子と、

前記複数の光電変換素子のそれぞれから前記電荷蓄積部へ前記電荷を転送する転送部と

を備える

前記 (1) から (6) のいずれかに記載の固体撮像素子。

(8) 前記第 1、第 2、第 3 および第 4 の画素のそれぞれは、

入射光を集光するマイクロレンズと、

前記集光された入射光を光電変換して電荷を生成する光電変換層と、

前記光電変換層と前記マイクロレンズとの間に配置された配線層と

を備え、

前記第 1、第 2、第 3 および第 4 の信号線は、前記配線層に配線される

前記 (1) から (7) のいずれかに記載の固体撮像素子。

(9) 前記第 1、第 2、第 3 および第 4 の画素のそれぞれは、

入射光を集光するマイクロレンズと、

配線層と、

前記マイクロレンズと前記配線層との間に配置されて前記集光された入射光を光電変換して電荷を生成する光電変換層と、

を備え、

前記第 1、第 2、第 3 および第 4 の信号線は、前記配線層に配線される前記 (1) から (7) のいずれかに記載の固体撮像素子。

(10) 前記第 1、第 2、第 3 および第 4 の画素と前記接続制御部とは第 1 の半導体チップに配置され、

前記駆動部は、前記第 1 の半導体チップに積層された第 2 の半導体チップに配置される

前記 (1) から (9) のいずれかに記載の固体撮像素子。

(11) 前記第 1、第 2、第 3 および第 4 の画素は第 1 の半導体チップに配置され、

前記接続制御部および前記駆動部は、前記第 1 の半導体チップに積層された第 2 の半導体チップに配置される

前記 (1) から (9) のいずれかに記載の固体撮像素子。

(12) 前記画素信号が出力されるたびに前記画素信号をデジタル信号に変換するサンプリング処理を複数回に亘って実行するアナログデジタル変換部と、

前記デジタル信号のそれぞれを加算して出力する加算回路とをさらに具備する前記 (1) から (11) のいずれかに記載の固体撮像素子。

(13) 第 1 の信号線に接続された第 1 の画素と、

第 2 の信号線に接続された第 2 の画素と、

第 3 の画素と、

第 4 の画素と、

差動モードにおいて前記第 1 の画素を第 3 の信号線を介してリセット電源

に接続する制御と前記第 2 の画素を第 4 の信号線を介して前記リセット電源に接続する制御とを順に行い、非差動モードにおいて前記第 3 の画素を前記第 3 の信号線に接続する制御と前記第 4 の画素を前記第 4 の信号線に接続する制御とを行う接続制御部と、

前記差動モードにおいて前記第 1 および第 2 の画素のそれぞれの画素信号の差分を増幅した信号を前記第 1 および第 2 の信号線の一方を介して出力させ、前記非差動モードにおいて前記第 1、第 2、第 3 および第 4 の画素のそれぞれの画素信号を前記第 1、第 2、第 3 および第 4 の信号線を介して出力させる駆動部と、

前記画素信号から生成された画像データに対して所定の処理を実行する画像処理部と
を具備する撮像装置。

(14) 差動モードにおいて第 1 の信号線に接続された第 1 の画素を第 3 の信号線を介してリセット電源に接続する制御と第 2 の信号線に接続された第 2 の画素を第 4 の信号線を介して前記リセット電源に接続する制御とを順に行い、非差動モードにおいて第 3 の画素を前記第 3 の信号線に接続する制御と前記第 4 の画素を前記第 4 の信号線に接続する制御とを行う接続制御手順と、

前記差動モードにおいて前記第 1 および第 2 の画素のそれぞれの画素信号の差分を増幅した信号を前記第 1 および第 2 の信号線の一方を介して出力させ、前記非差動モードにおいて前記第 1、第 2、第 3 および第 4 の画素のそれぞれの画素信号を前記第 1、第 2、第 3 および第 4 の信号線を介して出力させる駆動手順と
を具備する固体撮像素子の制御方法。

符号の説明

- [0221] 1 0 0 撮像装置
 1 1 0 光学部
 1 2 0 デジタルシグナルプロセッサ

- 1 3 0 表示部
- 1 4 0 操作部
- 1 5 0 バス
- 1 6 0 電源部
- 1 7 0 記録部
- 1 8 0 フレームメモリ
- 2 0 0 固体撮像素子
- 2 0 1 画素チップ
- 2 0 2 回路チップ
- 2 1 0 垂直駆動部
- 2 2 0 画素アレイ部
- 2 2 1 光電変換層
- 2 2 2 電源側垂直配線層
- 2 2 3 水平配線層
- 2 2 4 接地側垂直配線層
- 2 2 5 基本ユニット
- 2 2 6～2 2 9 FD共有ブロック
- 2 3 0、2 4 0、2 5 0、2 6 0、3 6 0、3 6 3、3 6 6、3 7 0、3 7 3、3 7 6、3 7 9 画素
- 2 3 1、2 4 1、2 5 1、2 6 1、3 6 2、3 6 5、3 6 8、3 7 2、3 7 5、3 7 8、3 8 1 フォトダイオード
- 2 3 2、2 4 2、2 5 2、2 6 2、3 6 1、3 6 4、3 6 7、3 7 1、3 7 4、3 7 7、3 8 0 転送トランジスタ
- 2 3 3、2 4 3、2 5 3、2 6 3 電荷蓄積部
- 2 3 4、2 3 5、2 4 4、2 4 5、2 5 4、2 5 5、2 6 4、2 6 5 リセットトランジスタ
- 2 3 6、2 4 6、2 5 6、2 6 6 増幅トランジスタ
- 2 3 7、2 4 7、2 5 7、2 6 7 選択トランジスタ

270 カラム信号処理部
271 上側カラム信号処理部
272 下側カラム信号処理部
273、276、277、278 ADC
274 比較器
275 カウンタ
280 出力部
281～284 ラッチ回路
285 加算回路
291 システム制御部
292 水平駆動部
293 データ格納部
294 画像処理部
295 画素周辺回路
300 カラム読出し回路
301 上側カラム読出し回路
302 下側カラム読出し回路
310 単位読出し回路
311、312 n型トランジスタ
313～337、345～352 スイッチ
341～344 電流源
12031 撮像部

請求の範囲

[請求項1]

第1の信号線に接続された第1の画素と、
第2の信号線に接続された第2の画素と、
第3の画素と、
第4の画素と、

差動モードにおいて前記第1の画素を第3の信号線を介してリセット電源に接続する制御と前記第2の画素を第4の信号線を介して前記リセット電源に接続する制御とを順に行い、非差動モードにおいて前記第3の画素を前記第3の信号線に接続する制御と前記第4の画素を前記第4の信号線に接続する制御とを行う接続制御部と、

前記差動モードにおいて前記第1および第2の画素のそれぞれの画素信号の差分を増幅した信号を前記第1および第2の信号線の一方を介して出力させ、前記非差動モードにおいて前記第1、第2、第3および第4の画素のそれぞれの画素信号を前記第1、第2、第3および第4の信号線を介して出力させる駆動部と
を具備する固体撮像素子。

[請求項2]

前記接続制御部は、前記差動モードにおいて前記第1および第2の画素を第5および第6の信号線を介して所定の電流源に接続する制御をさらに行い、前記非差動モードにおいて前記第1および第3の画素を前記第5の信号線を介して電源に接続する制御と前記第2および第4の画素を前記第6の信号線を介して電源に接続する制御とをさらに行う
請求項1記載の固体撮像素子。

[請求項3]

前記第1および第2の画素のそれぞれは、
電荷を蓄積する電荷蓄積部と、
前記蓄積された電荷の量を初期化する一対のリセットトランジスタと、
を備え、

前記接続制御部は、前記差動モードにおいて前記第 1 の画素の前記一対のトランジスタの一方を前記第 3 の信号線を介して前記リセット電源に接続する制御と前記第 2 の画素の前記一対のトランジスタの一方を前記第 4 の信号線を介して前記リセット電源に接続する制御とを順に行い、前記非差動モードにおいて前記第 1 および第 3 の画素のそれぞれの前記一対のトランジスタの他方を前記第 5 の信号線を介して前記電源に接続する制御と前記第 2 および第 4 の画素のそれぞれの前記一対のトランジスタの他方を前記第 6 の信号線を介して前記電源に接続する制御とを行う

請求項 2 記載の固体撮像素子。

[請求項4] 前記第 1、第 2、第 3 および第 4 の信号線は、所定方向に垂直な方向に沿って配線され、

前記第 1 および第 2 の画素は、前記所定方向に配列され、

前記第 1 および第 3 の画素は、前記垂直な方向に配列され、

前記第 3 および第 4 の画素は、前記所定方向に配列される

請求項 1 記載の固体撮像素子。

[請求項5] 前記第 1、第 2、第 3 および第 4 の信号線は、所定方向に垂直な方向に沿って配線され、

前記第 1、第 2、第 3 および第 4 の画素は、前記所定方向に配列される

請求項 1 記載の固体撮像素子。

[請求項6] 前記第 1、第 2、第 3 および第 4 の信号線は、所定方向に垂直な方向に沿って配線され、

前記第 1、第 2、第 3 および第 4 の画素は、前記垂直な方向に配列される

請求項 1 記載の固体撮像素子。

[請求項7] 前記第 1、第 2、第 3 および第 4 の画素のそれぞれは、電荷を蓄積する電荷蓄積部と、

入射光を光電変換して前記電荷を生成する複数の光電変換素子と、
前記複数の光電変換素子のそれぞれから前記電荷蓄積部へ前記電荷
を転送する転送部と
を備える
請求項 1 記載の固体撮像素子。

[請求項8] 前記第 1、第 2、第 3 および第 4 の画素のそれぞれは、
入射光を集光するマイクロレンズと、
前記集光された入射光を光電変換して電荷を生成する光電変換層と
、
前記光電変換層と前記マイクロレンズとの間に配置された配線層と
を備え、
前記第 1、第 2、第 3 および第 4 の信号線は、前記配線層に配線さ
れる
請求項 1 記載の固体撮像素子。

[請求項9] 前記第 1、第 2、第 3 および第 4 の画素のそれぞれは、
入射光を集光するマイクロレンズと、
配線層と、
前記マイクロレンズと前記配線層との間に配置されて前記集光され
た入射光を光電変換して電荷を生成する光電変換層と、
を備え、
前記第 1、第 2、第 3 および第 4 の信号線は、前記配線層に配線さ
れる
請求項 1 記載の固体撮像素子。

[請求項10] 前記第 1、第 2、第 3 および第 4 の画素と前記接続制御部とは第 1
の半導体チップに配置され、
前記駆動部は、前記第 1 の半導体チップに積層された第 2 の半導体
チップに配置される
請求項 1 記載の固体撮像素子。

[請求項11] 前記第1、第2、第3および第4の画素は第1の半導体チップに配置され、

前記接続制御部および前記駆動部は、前記第1の半導体チップに積層された第2の半導体チップに配置される
請求項1記載の固体撮像素子。

[請求項12] 前記画素信号が出力されるたびに前記画素信号をデジタル信号に変換するサンプリング処理を複数回に亘って実行するアナログデジタル変換部と、

前記デジタル信号のそれぞれを加算して出力する加算回路と
をさらに具備する請求項1記載の固体撮像素子。

[請求項13] 第1の信号線に接続された第1の画素と、
第2の信号線に接続された第2の画素と、
第3の画素と、
第4の画素と、

差動モードにおいて前記第1の画素を第3の信号線を介してリセット電源に接続する制御と前記第2の画素を第4の信号線を介して前記リセット電源に接続する制御とを順に行い、非差動モードにおいて前記第3の画素を前記第3の信号線に接続する制御と前記第4の画素を前記第4の信号線に接続する制御とを行う接続制御部と、

前記差動モードにおいて前記第1および第2の画素のそれぞれの画素信号の差分を増幅した信号を前記第1および第2の信号線の一方を介して出力させ、前記非差動モードにおいて前記第1、第2、第3および第4の画素のそれぞれの画素信号を前記第1、第2、第3および第4の信号線を介して出力させる駆動部と、

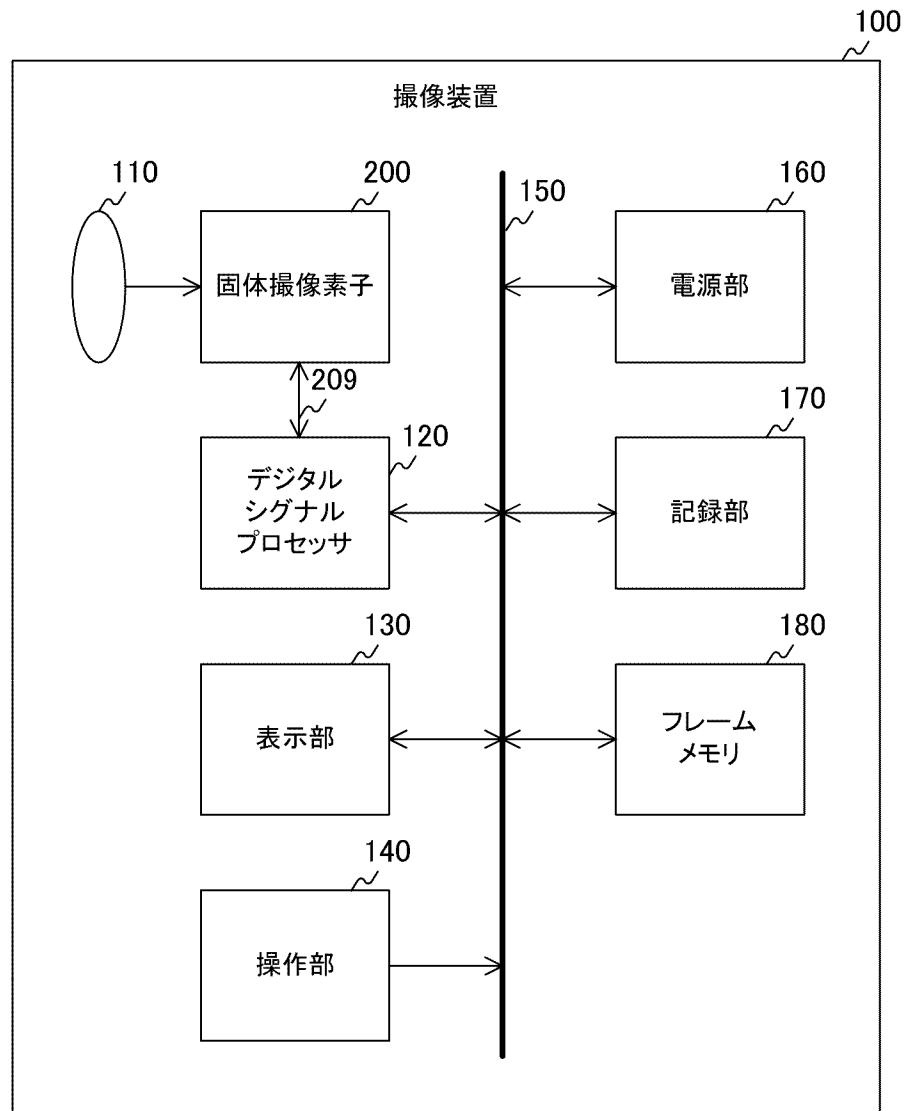
前記画素信号から生成された画像データに対して所定の処理を実行する画像処理部と
を具備する撮像装置。

[請求項14] 差動モードにおいて第1の信号線に接続された第1の画素を第3の

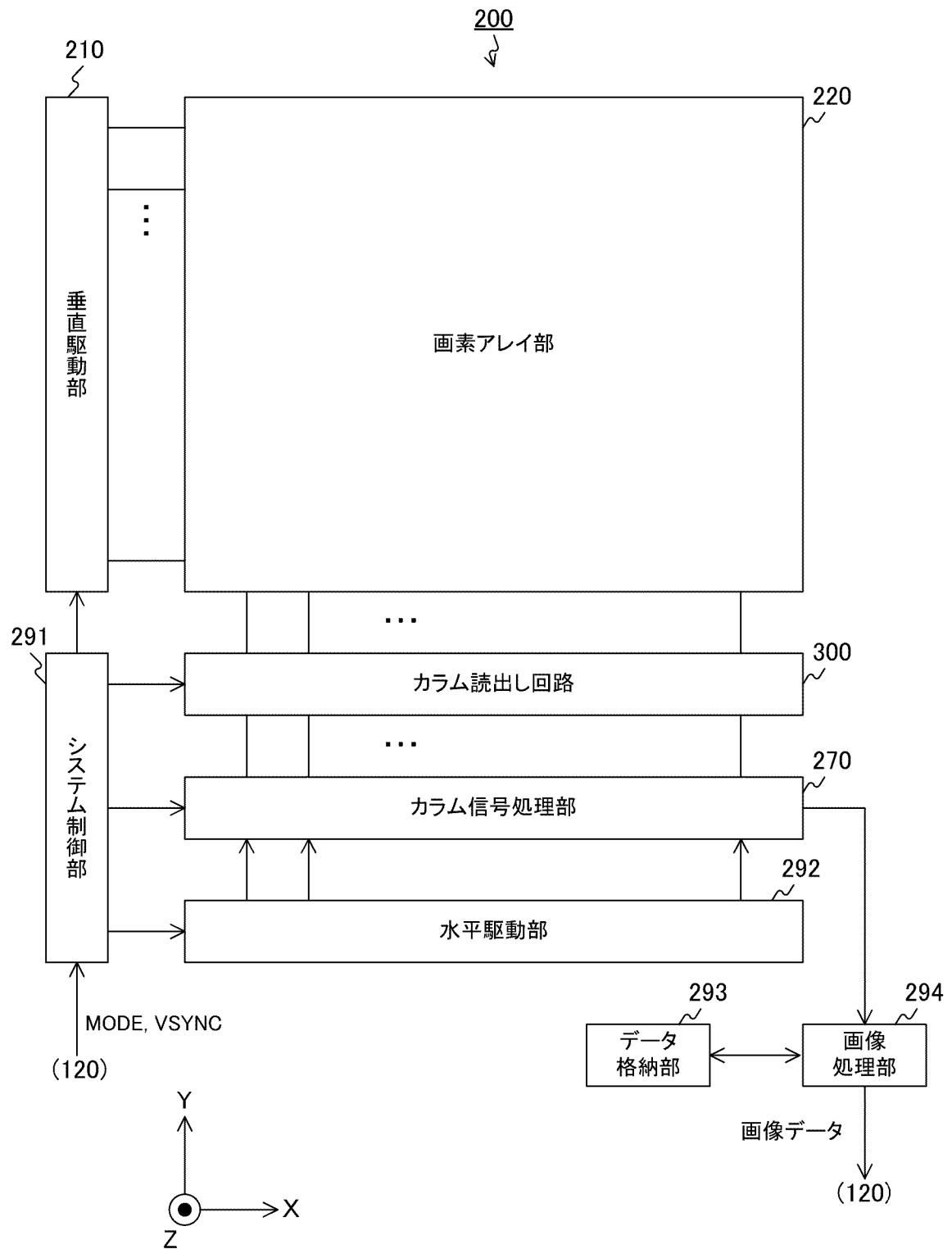
信号線を介してリセット電源に接続する制御と第2の信号線に接続された第2の画素を第4の信号線を介して前記リセット電源に接続する制御とを順に行い、非差動モードにおいて第3の画素を前記第3の信号線に接続する制御と前記第4の画素を前記第4の信号線に接続する制御とを行う接続制御手順と、

前記差動モードにおいて前記第1および第2の画素のそれぞれの画素信号の差分を増幅した信号を前記第1および第2の信号線の一方を介して出力させ、前記非差動モードにおいて前記第1、第2、第3および第4の画素のそれぞれの画素信号を前記第1、第2、第3および第4の信号線を介して出力させる駆動手順とを具備する固体撮像素子の制御方法。

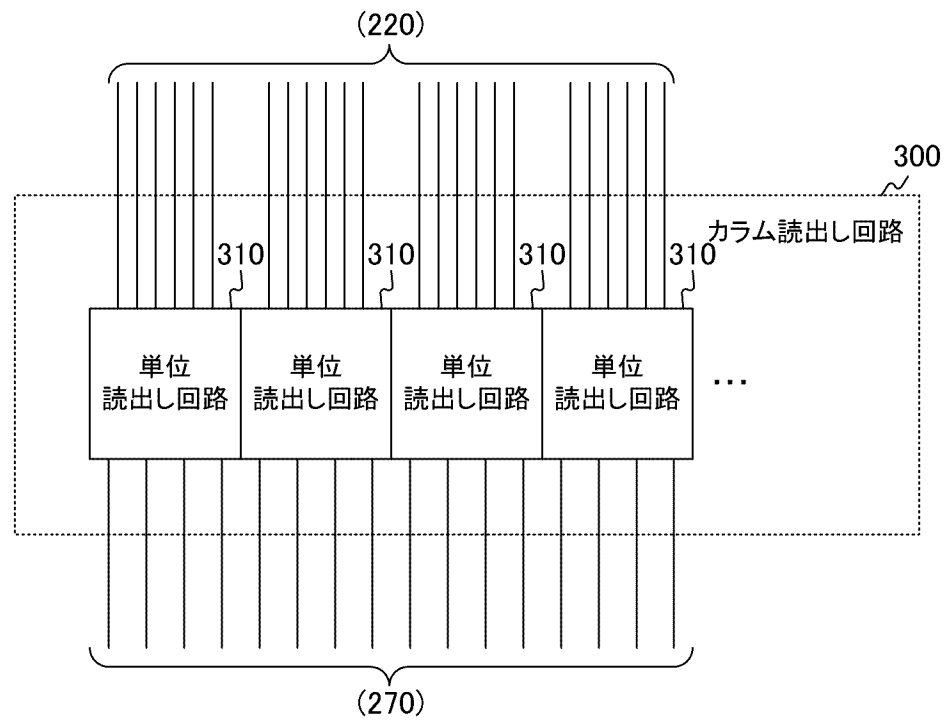
[図1]



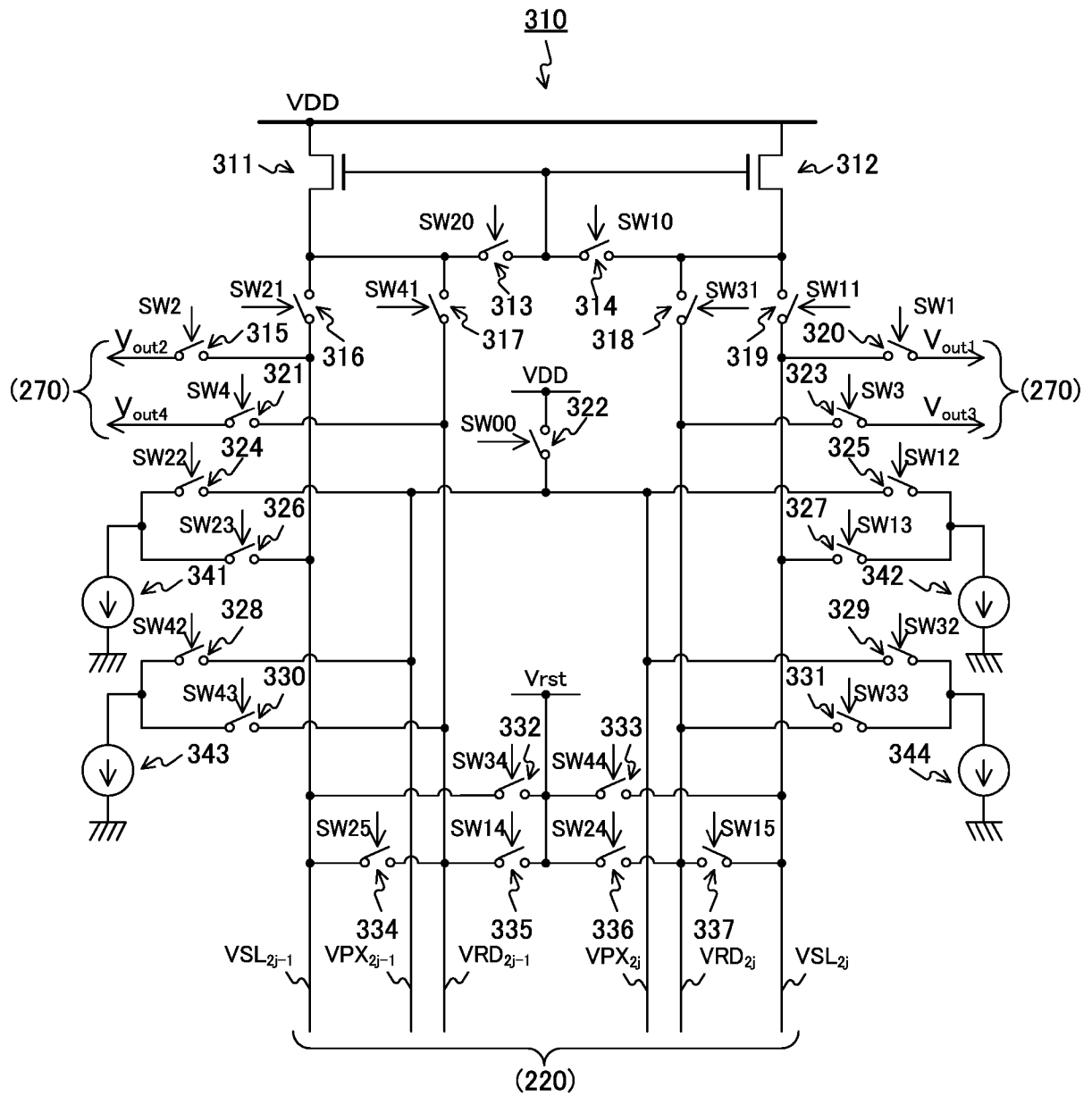
[図2]



[図3]



[図4]



画素アレイ部

基本ユニット

基本ユニット

...

基本ユニット

画素
(2i-1, 2j-1)

画素
(2i-1, 2j)

画素
(2i, 2j-1)

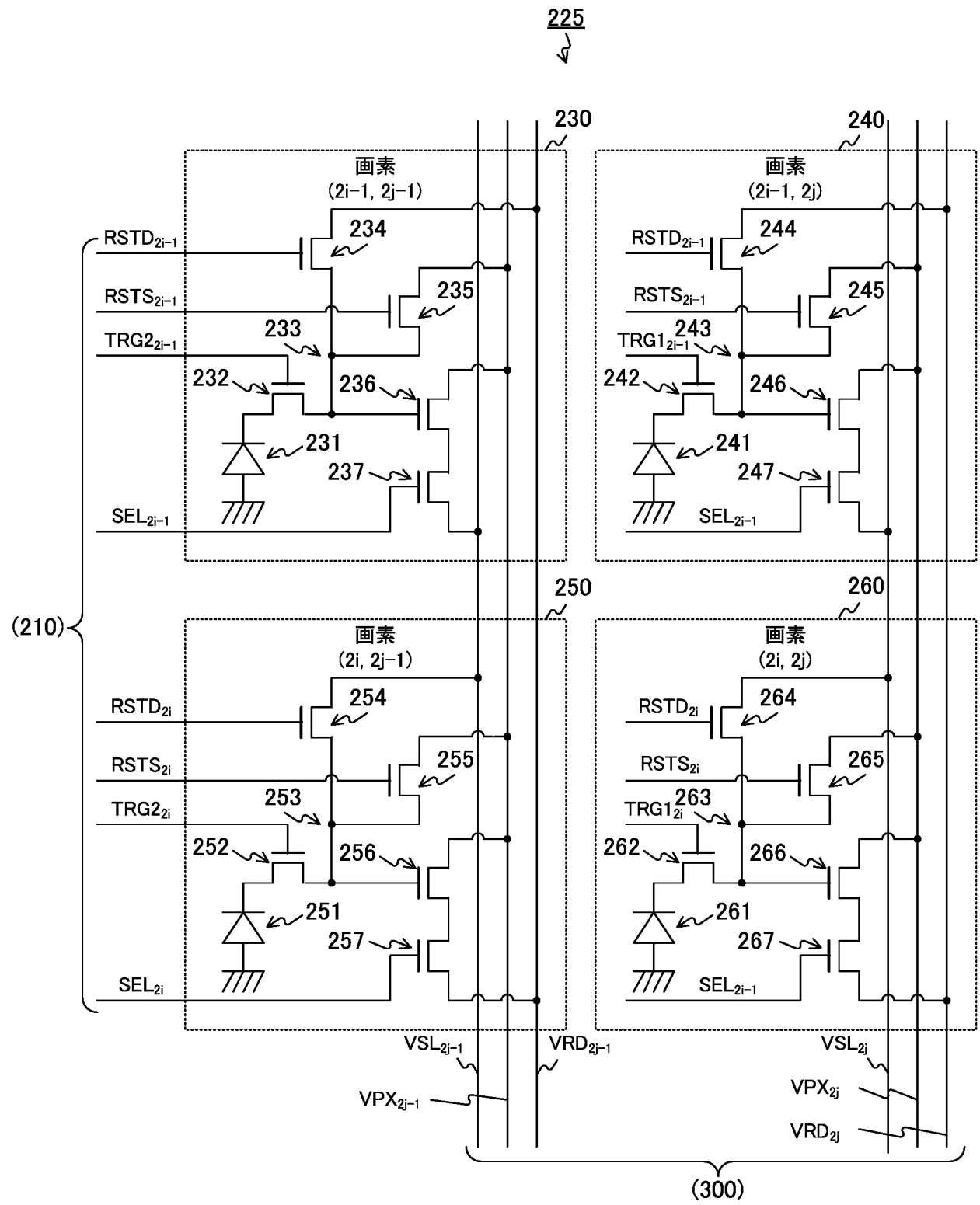
画素
(2i, 2j)

X

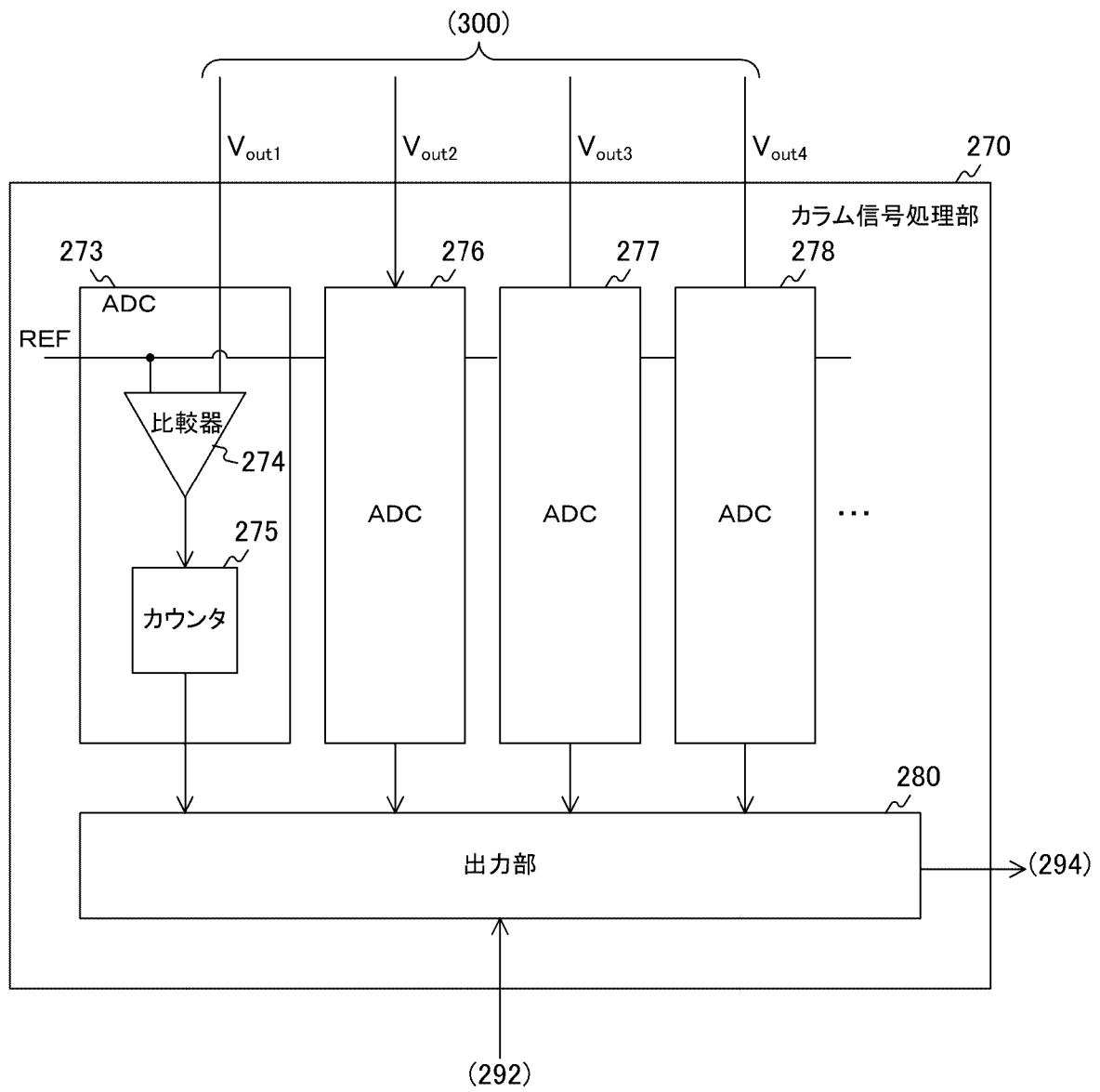
Y

Z

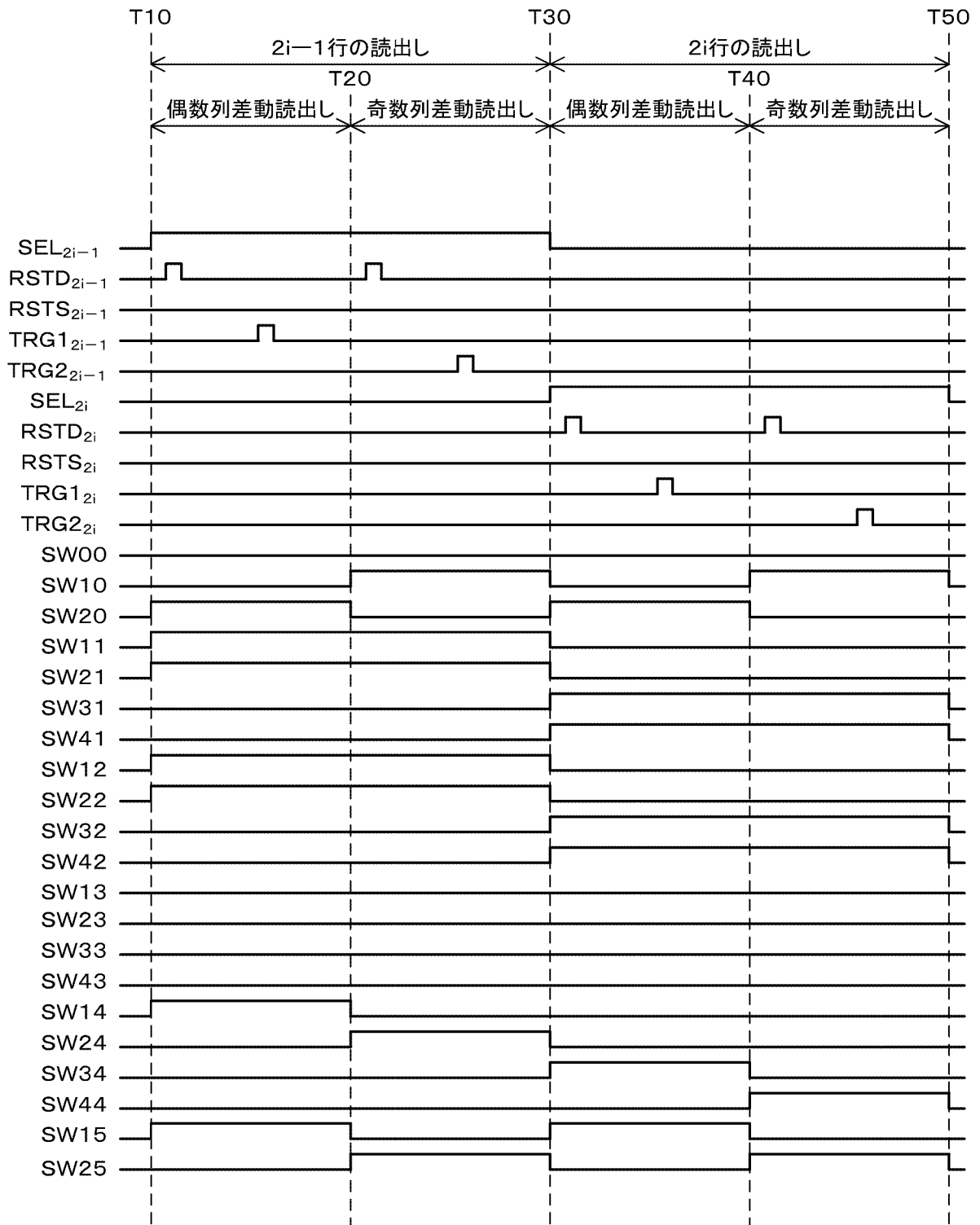
[図6]



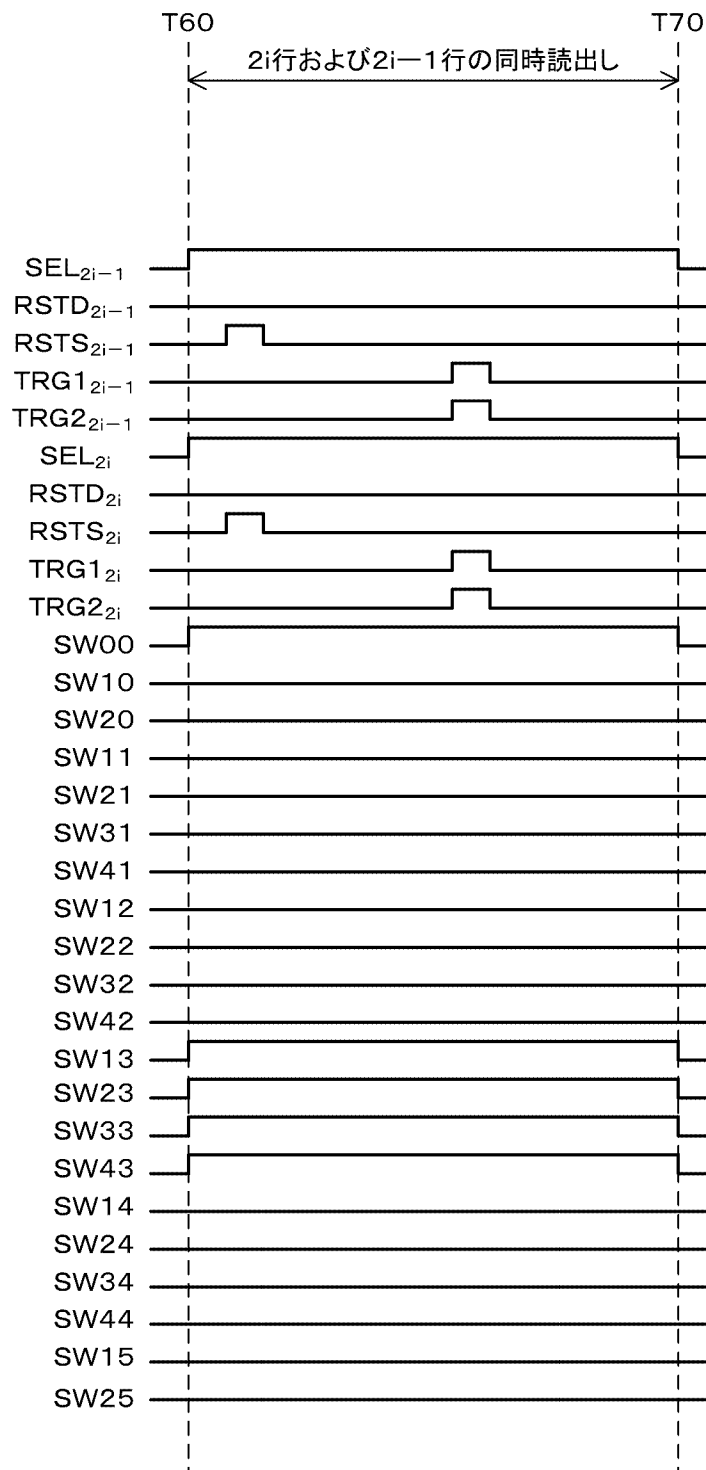
[図7]



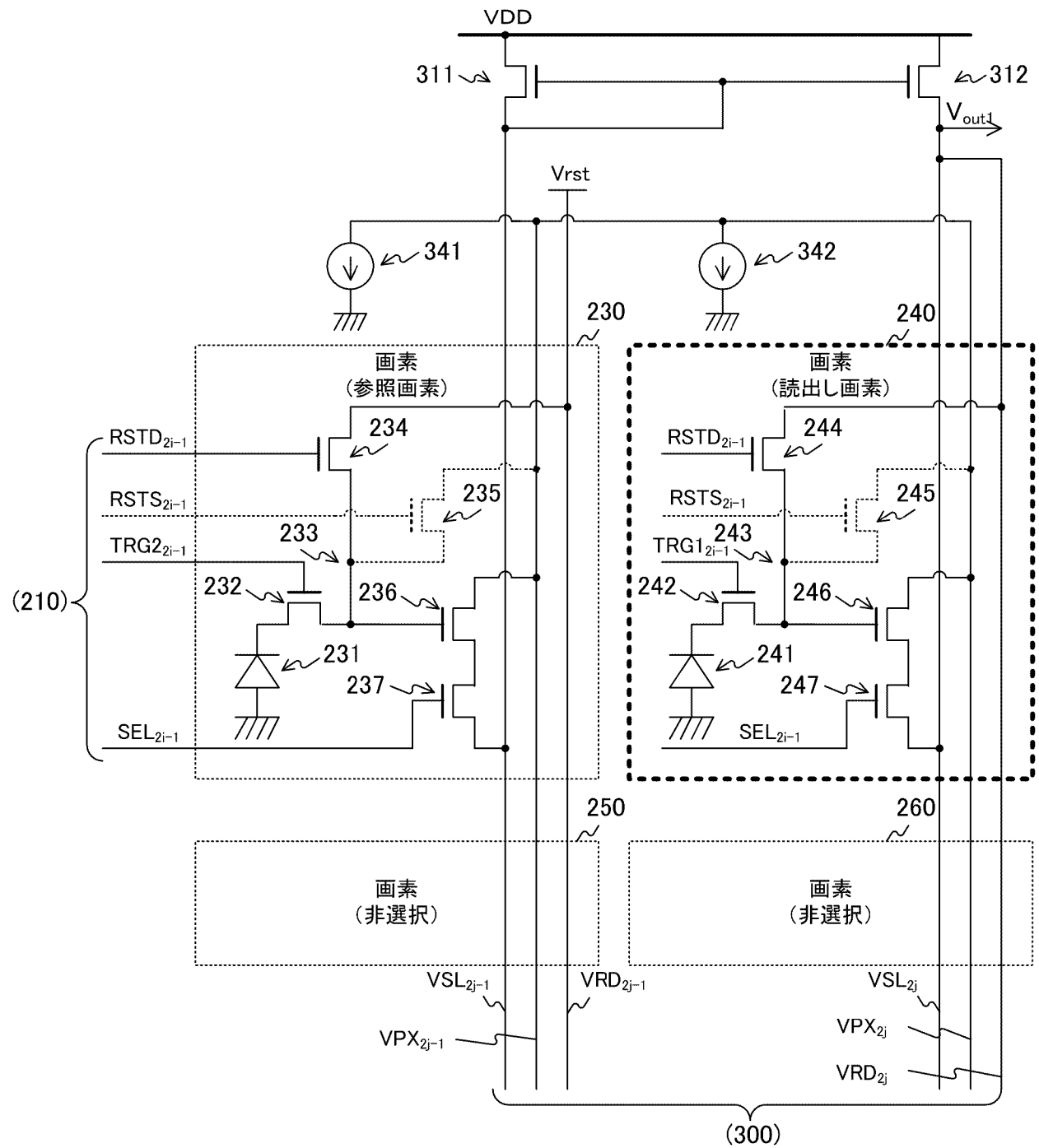
[図8]



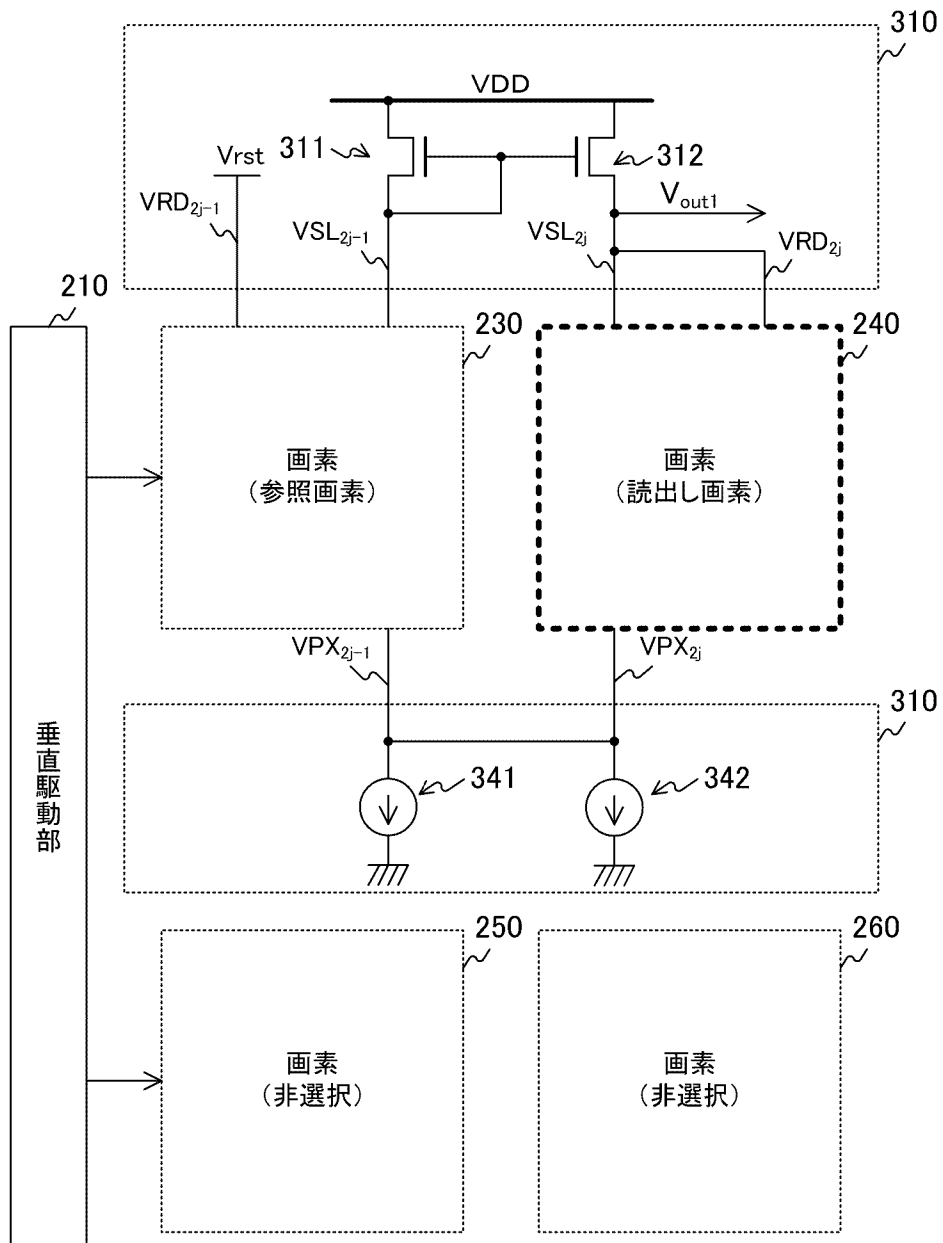
[図9]



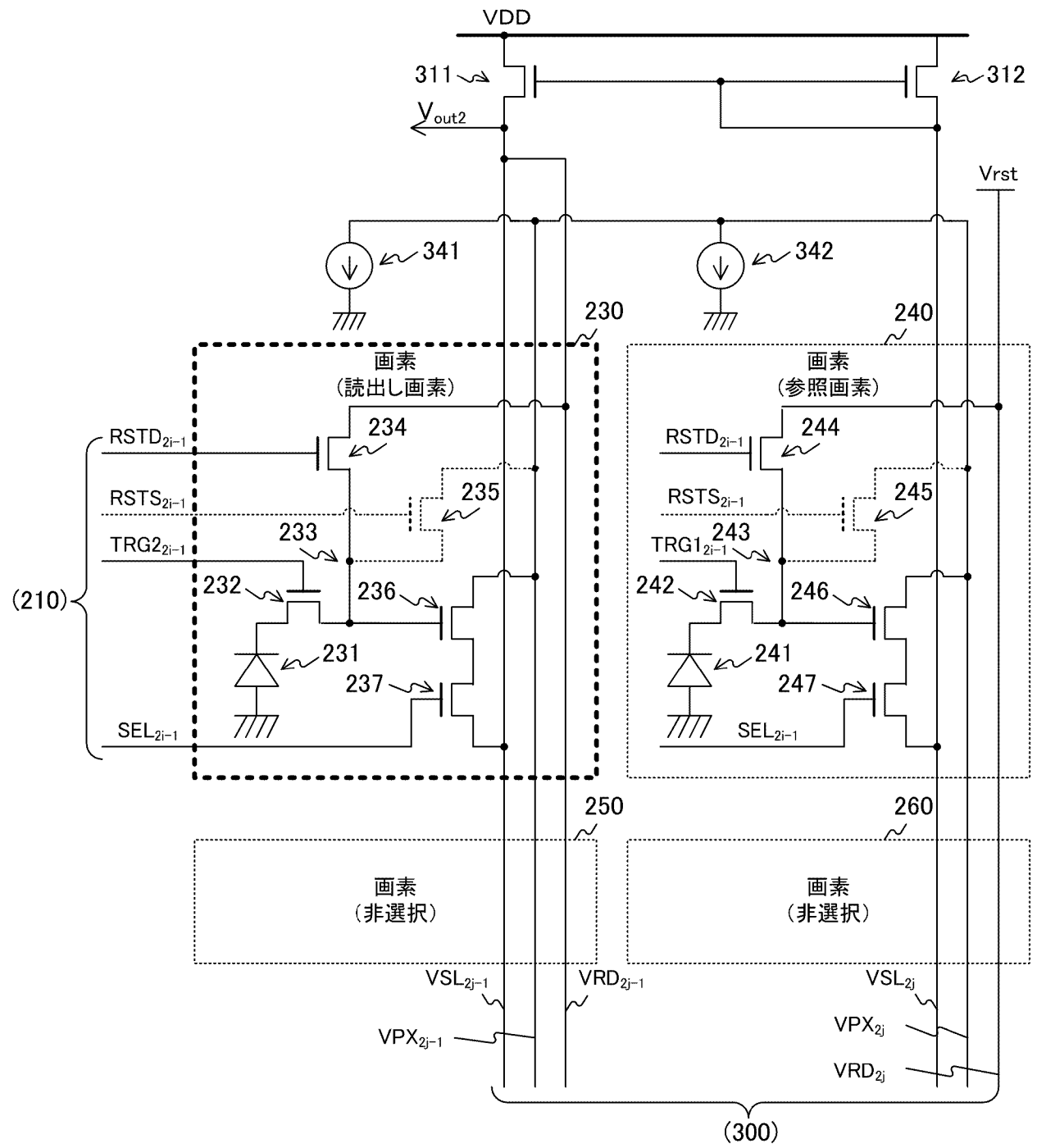
[図10]



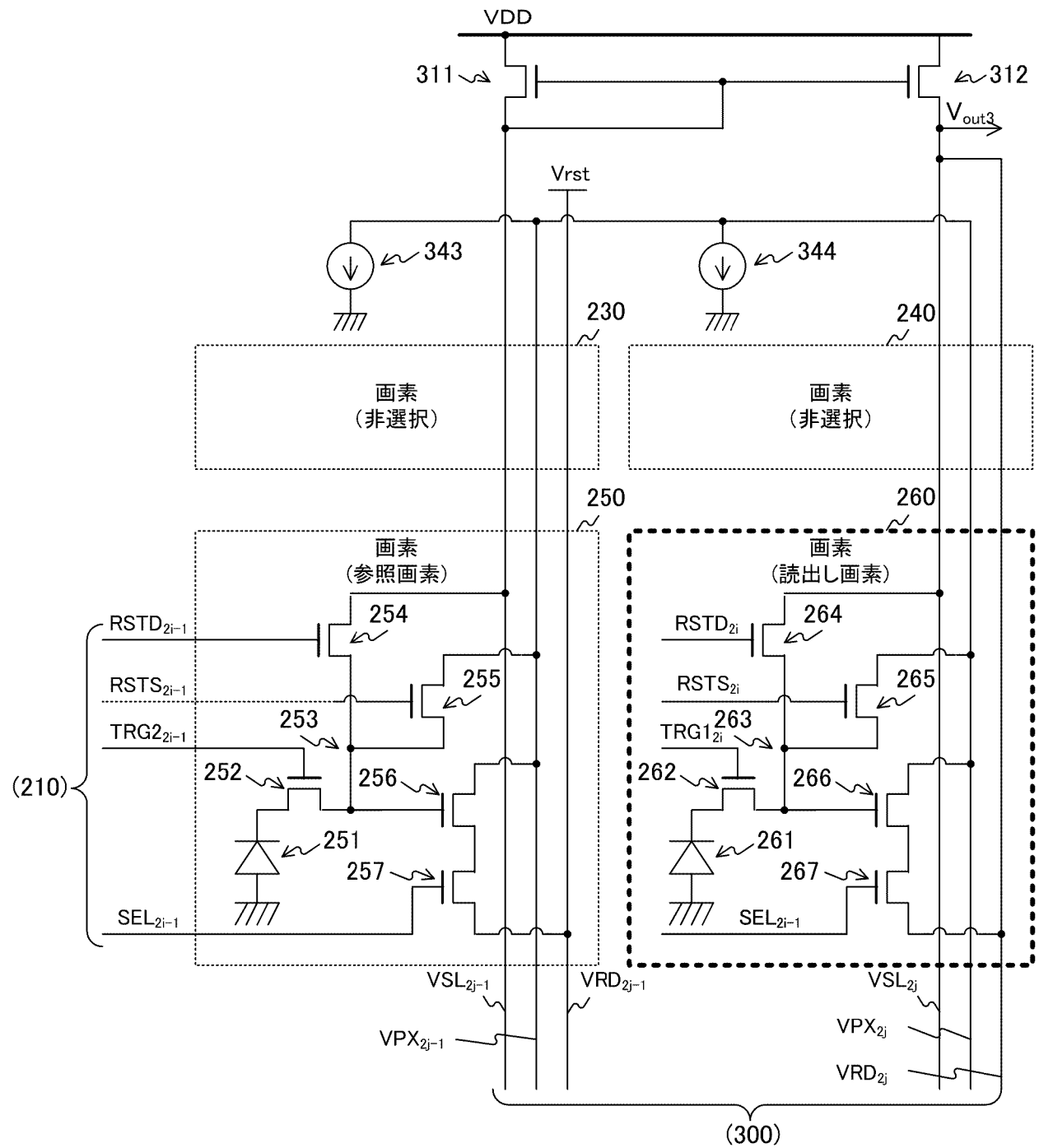
[図12]



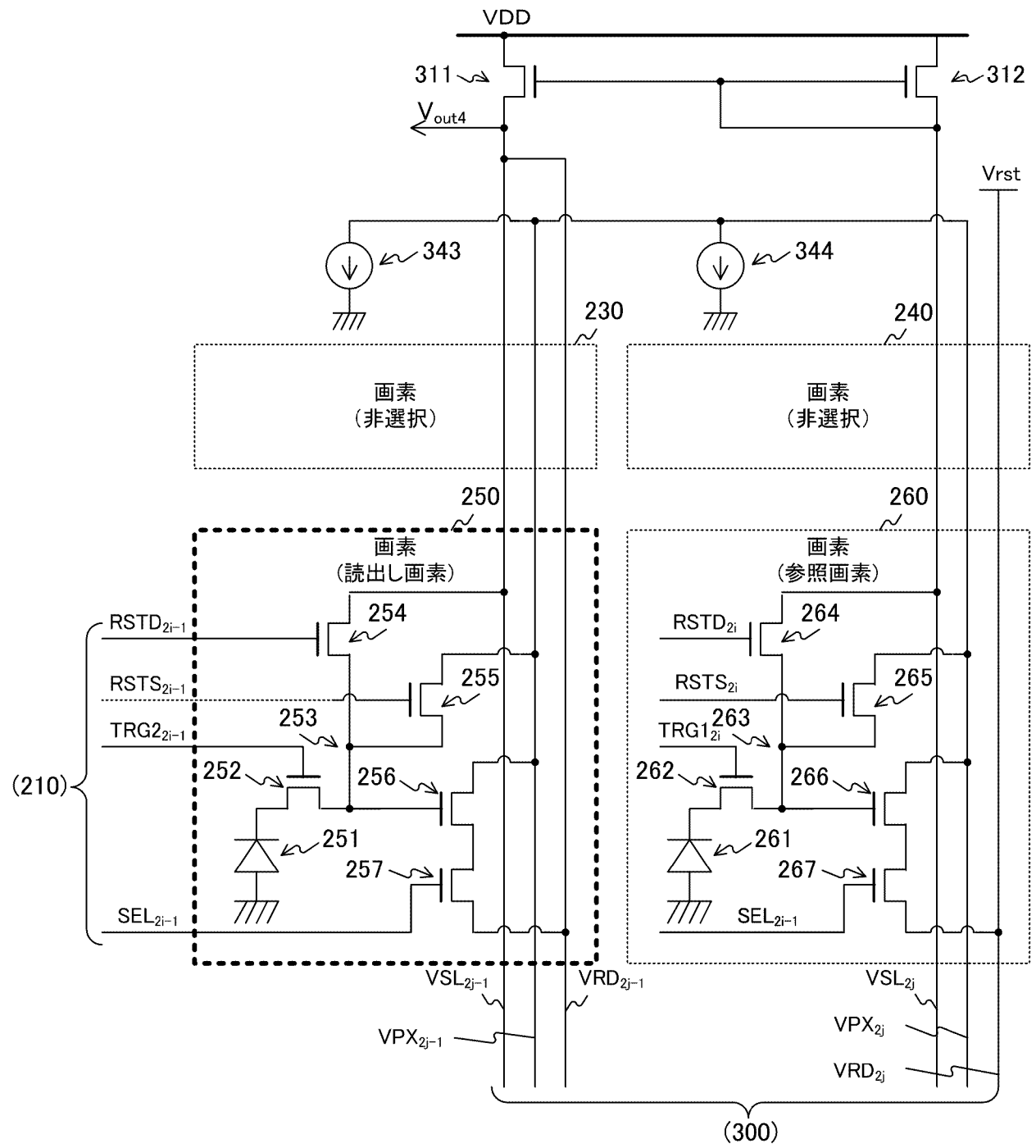
[図13]



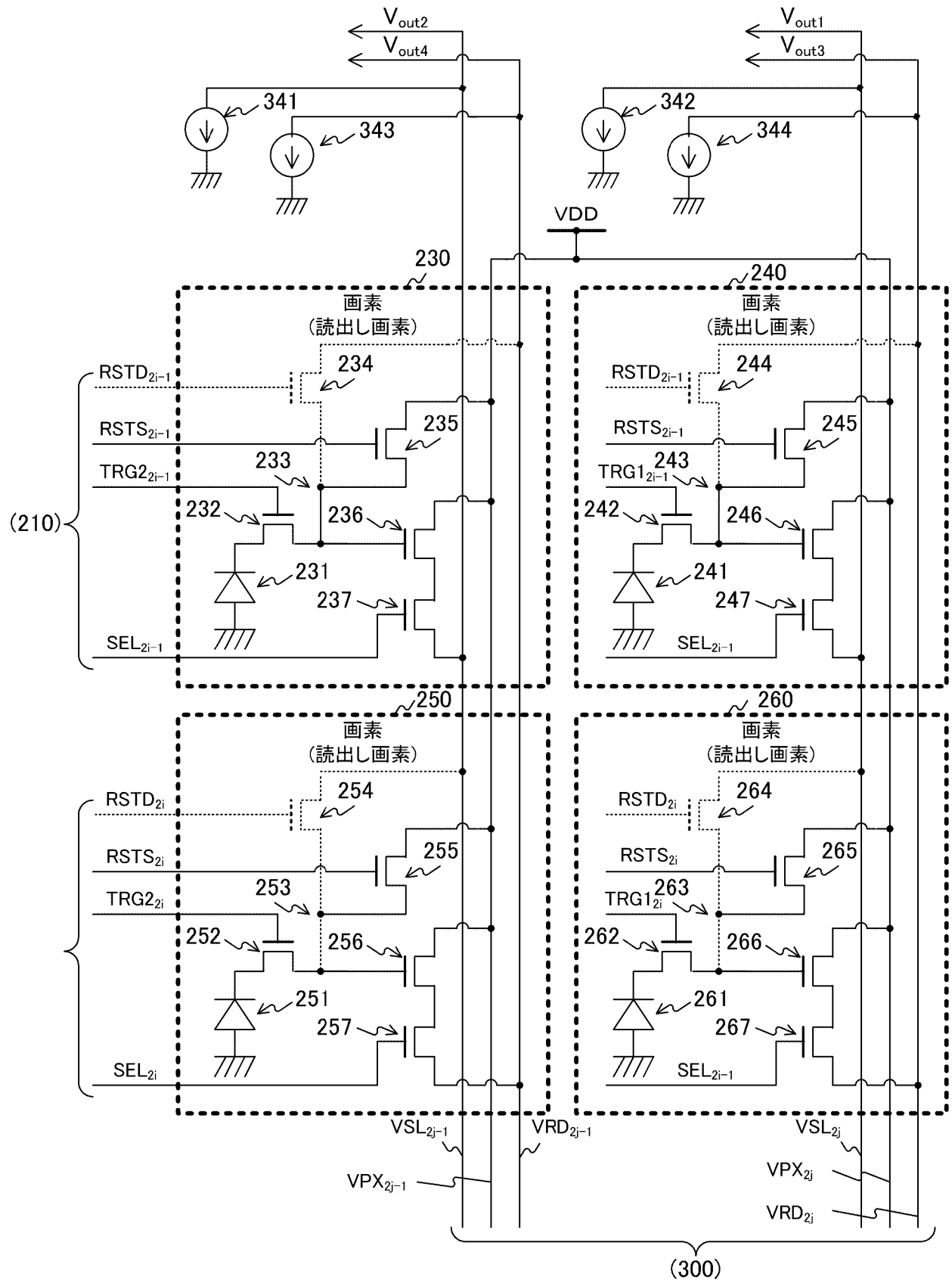
[図14]



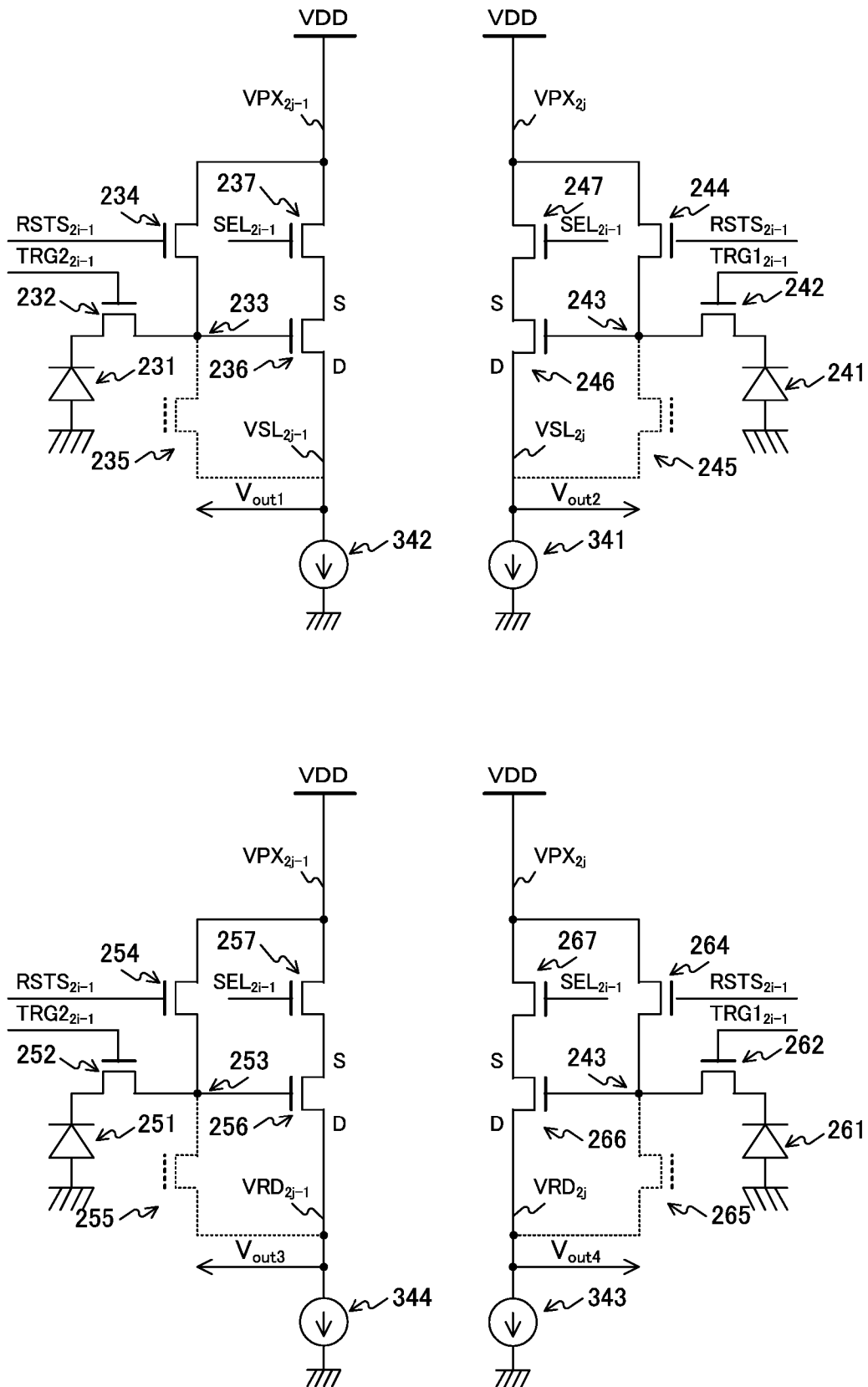
[図15]



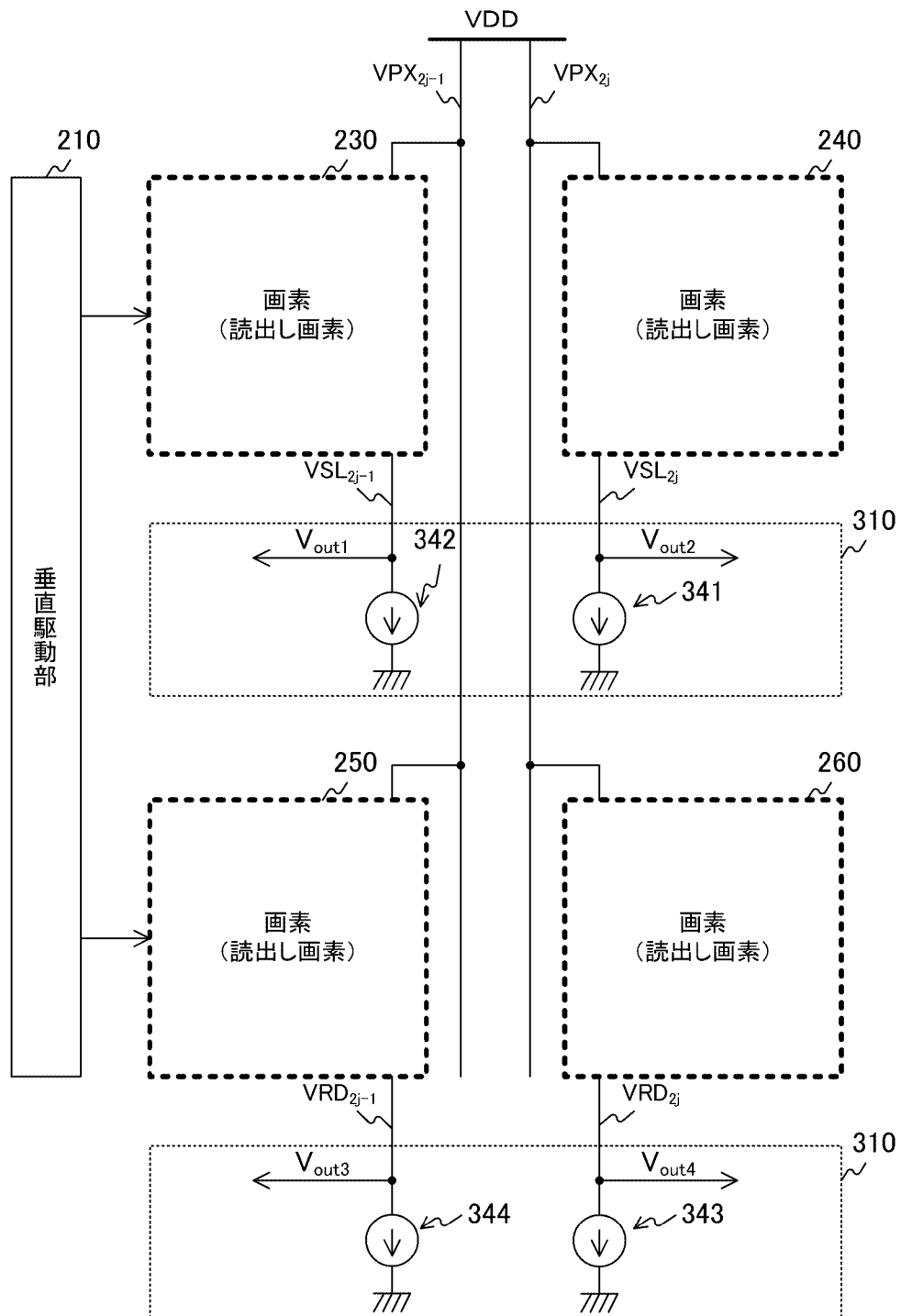
[図16]



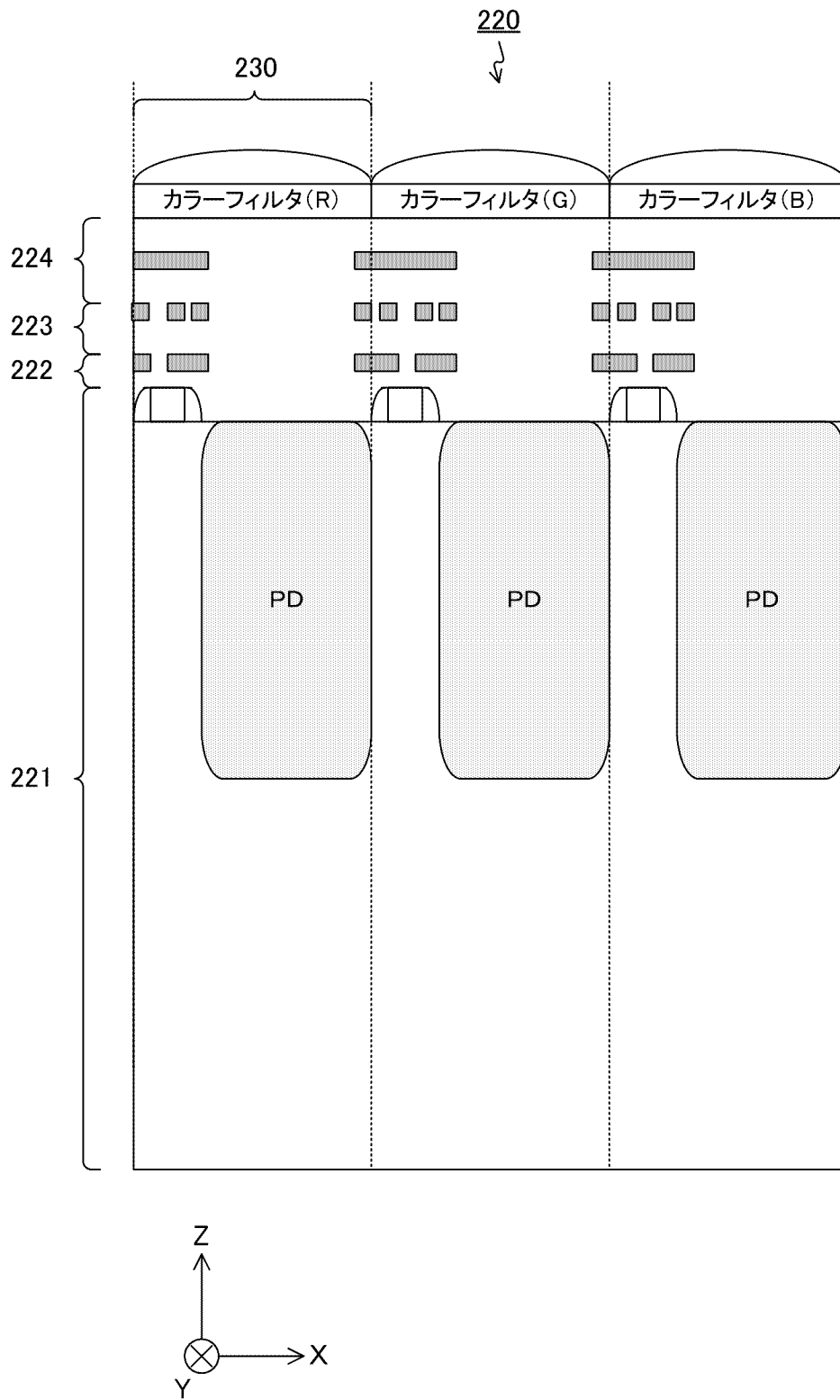
[図17]



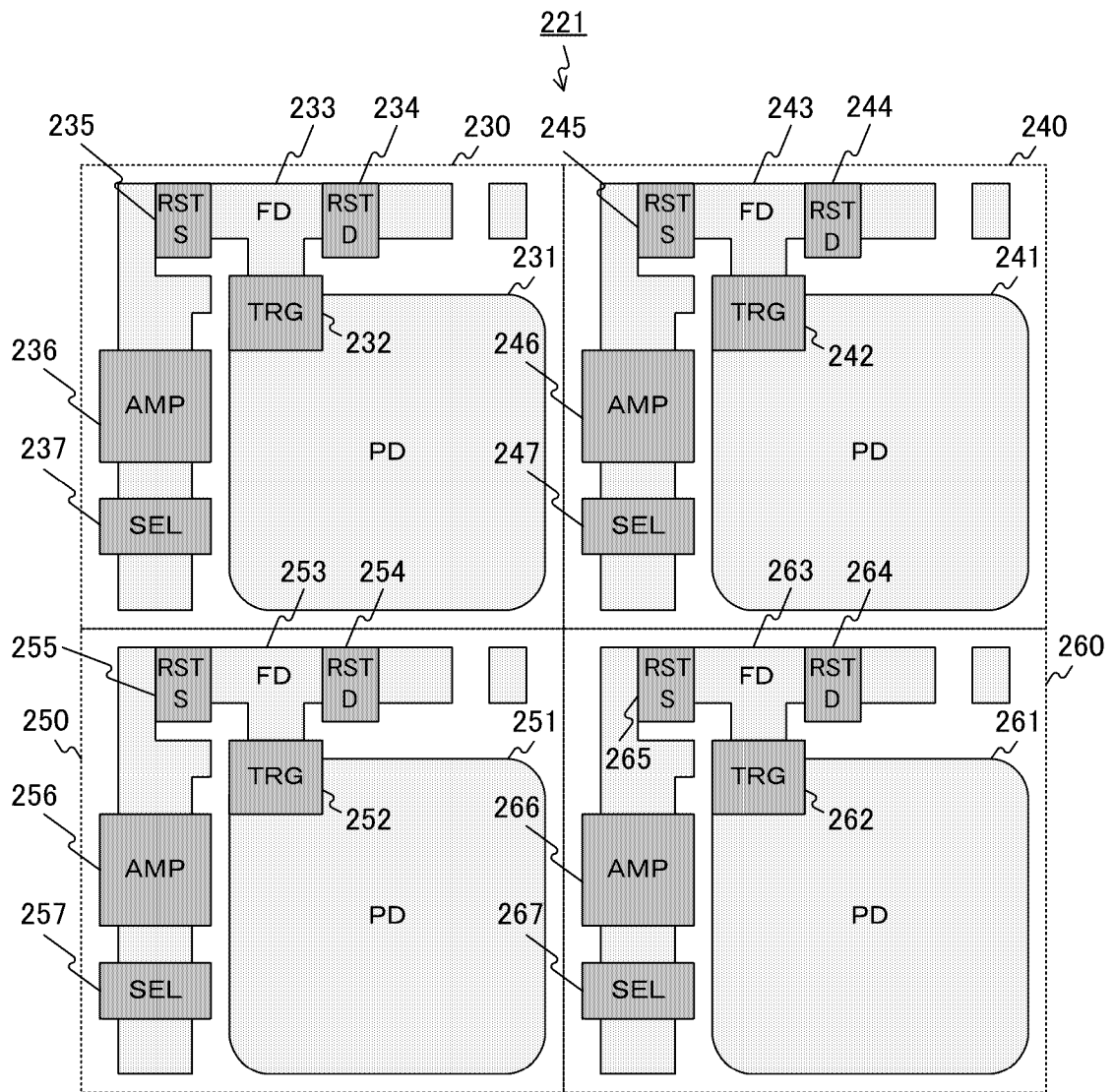
[図18]



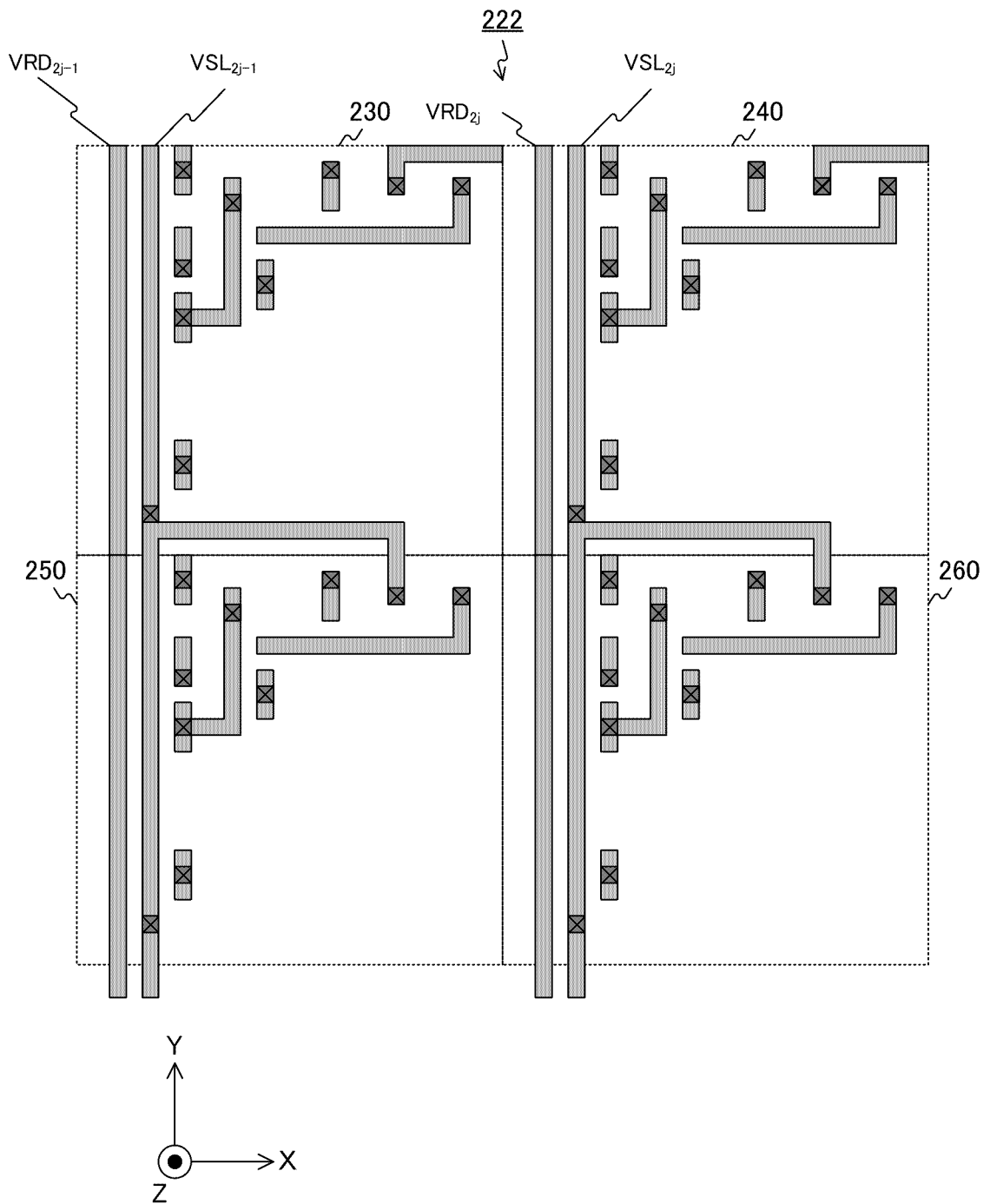
[図19]



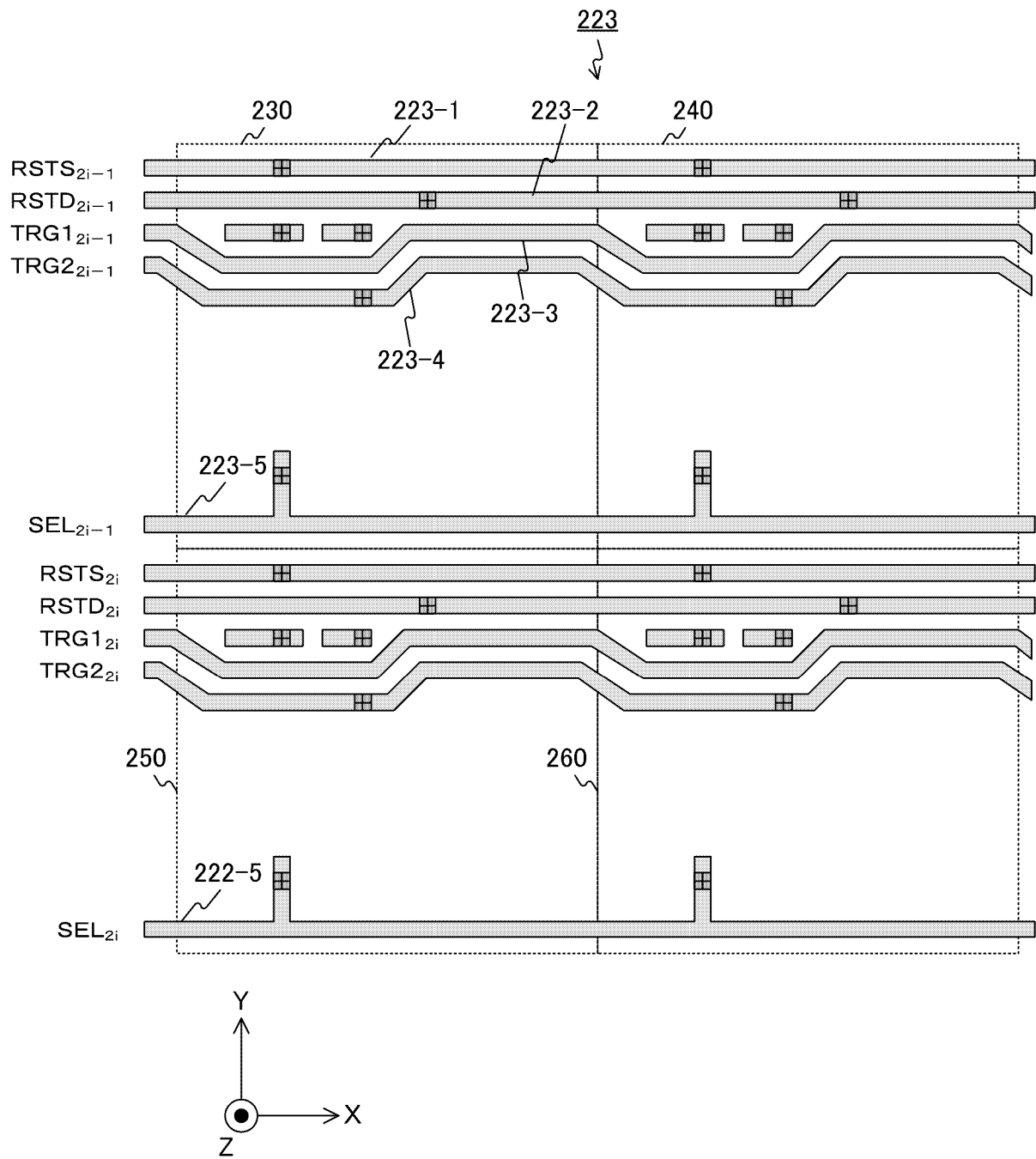
[図20]



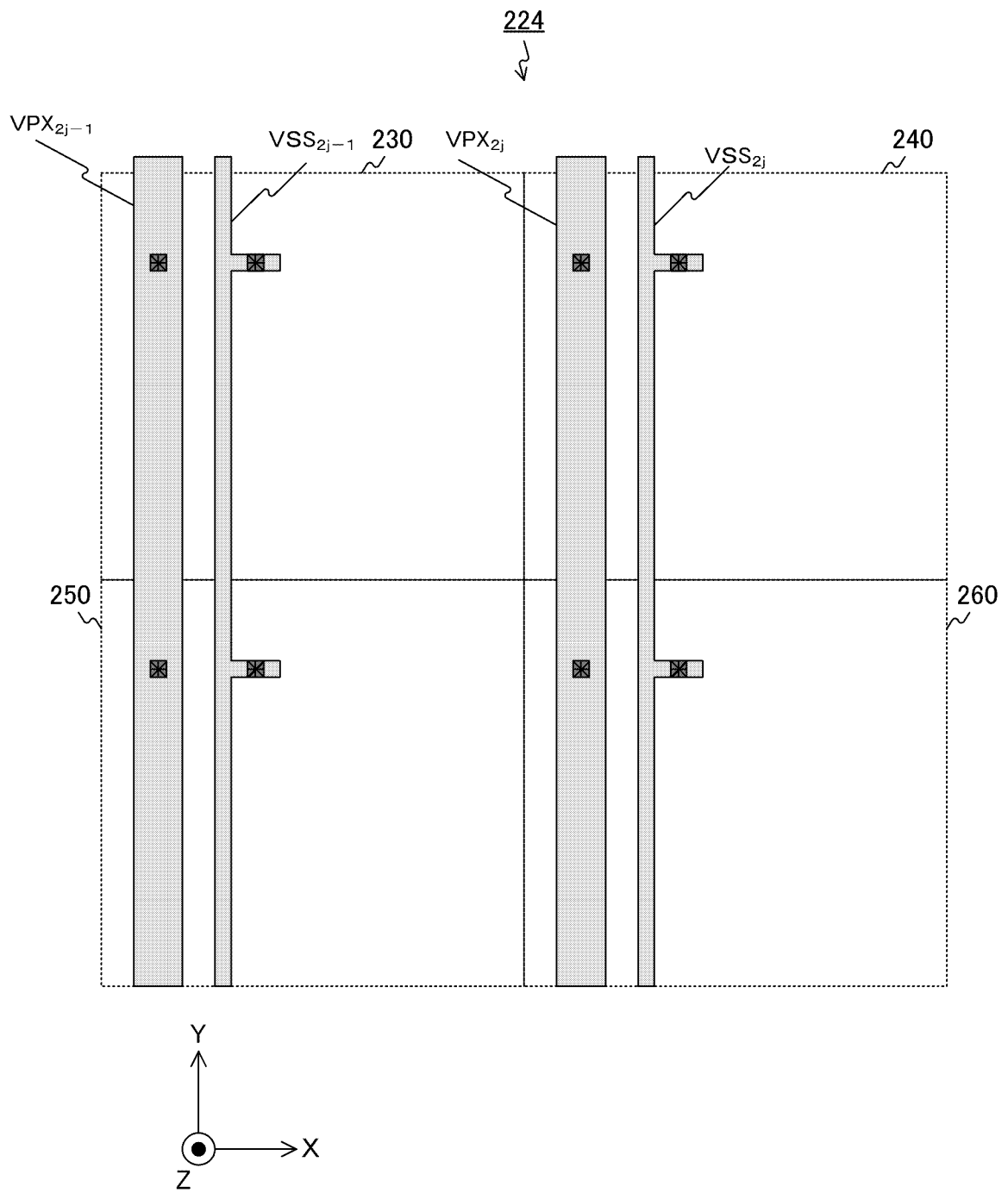
[図21]



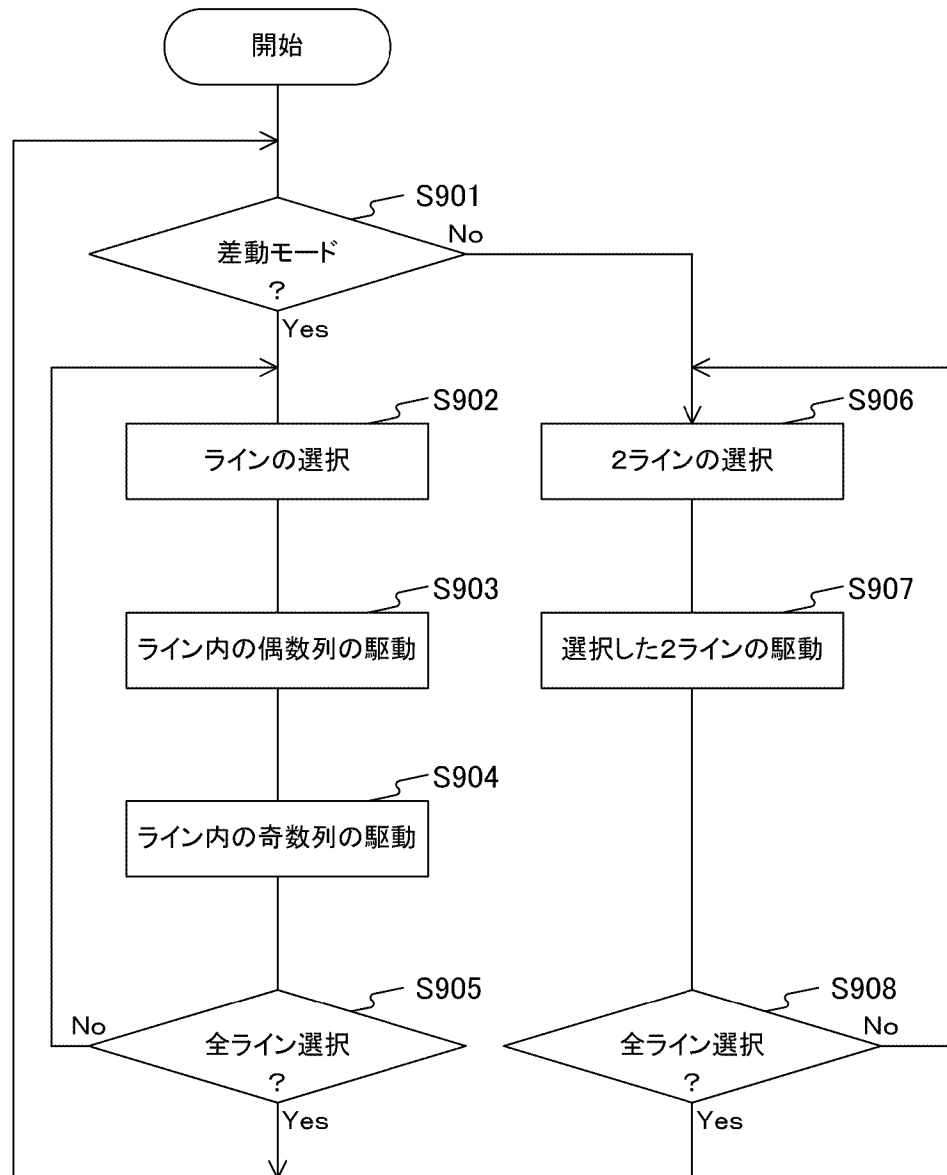
[図22]



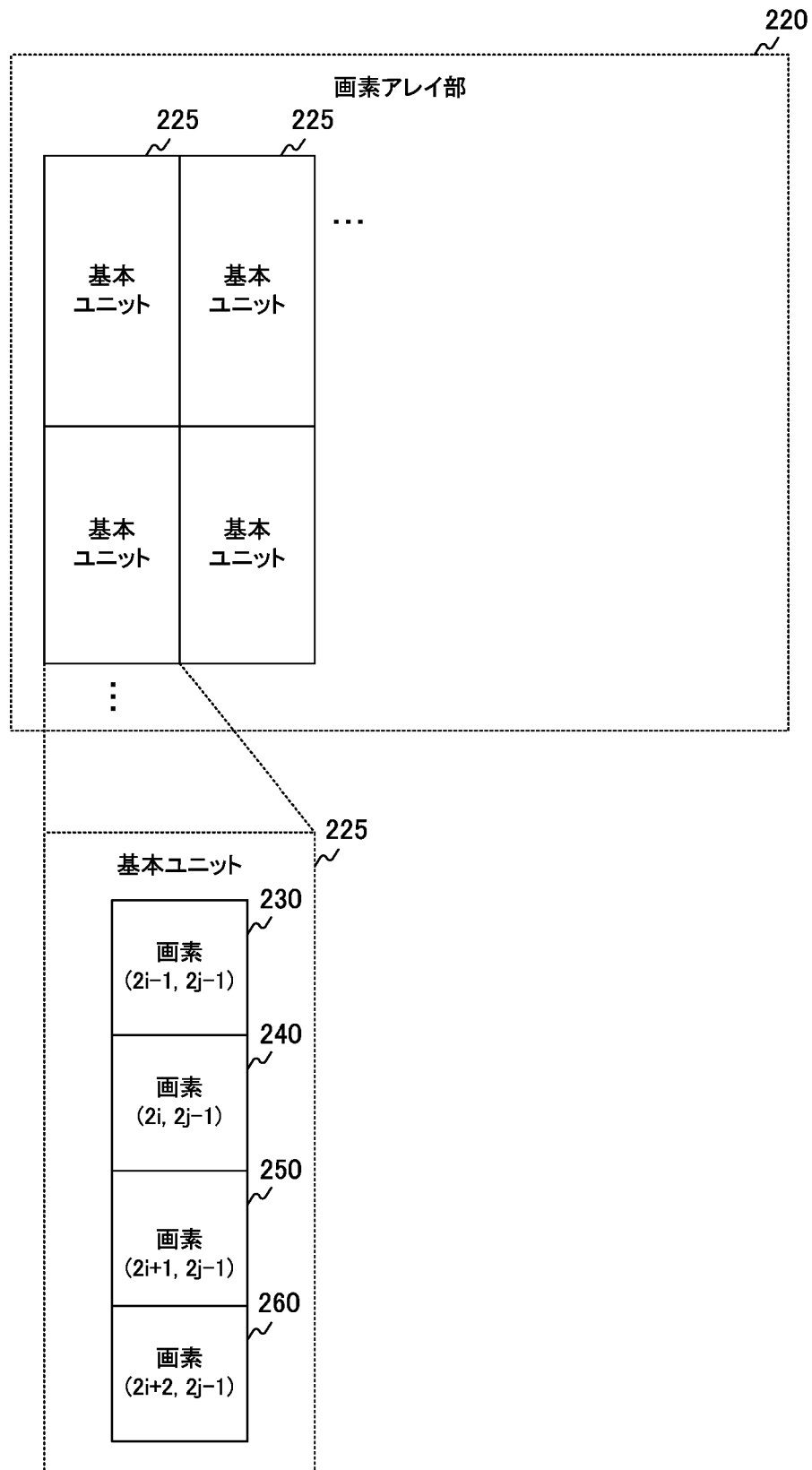
[図23]



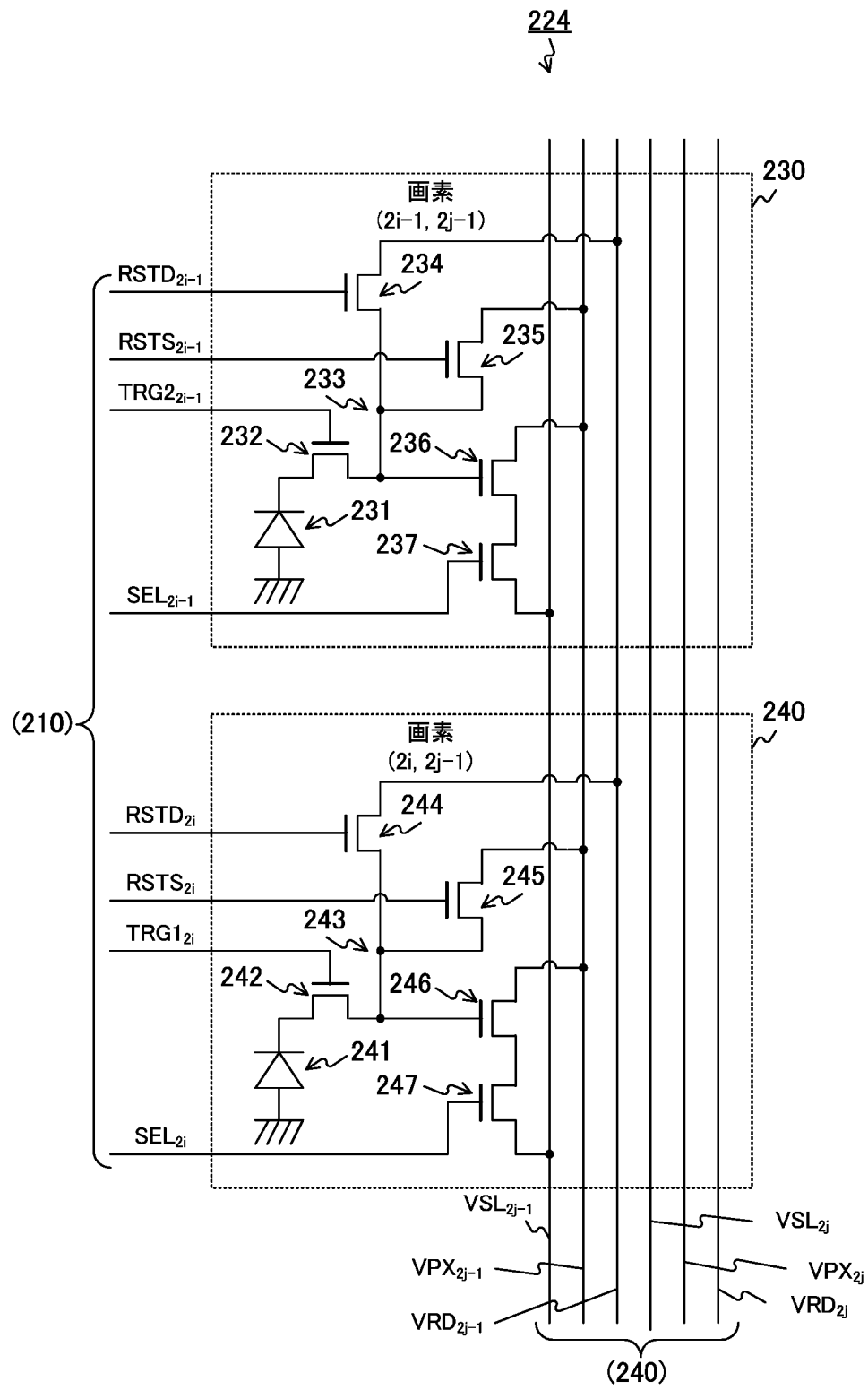
[図24]



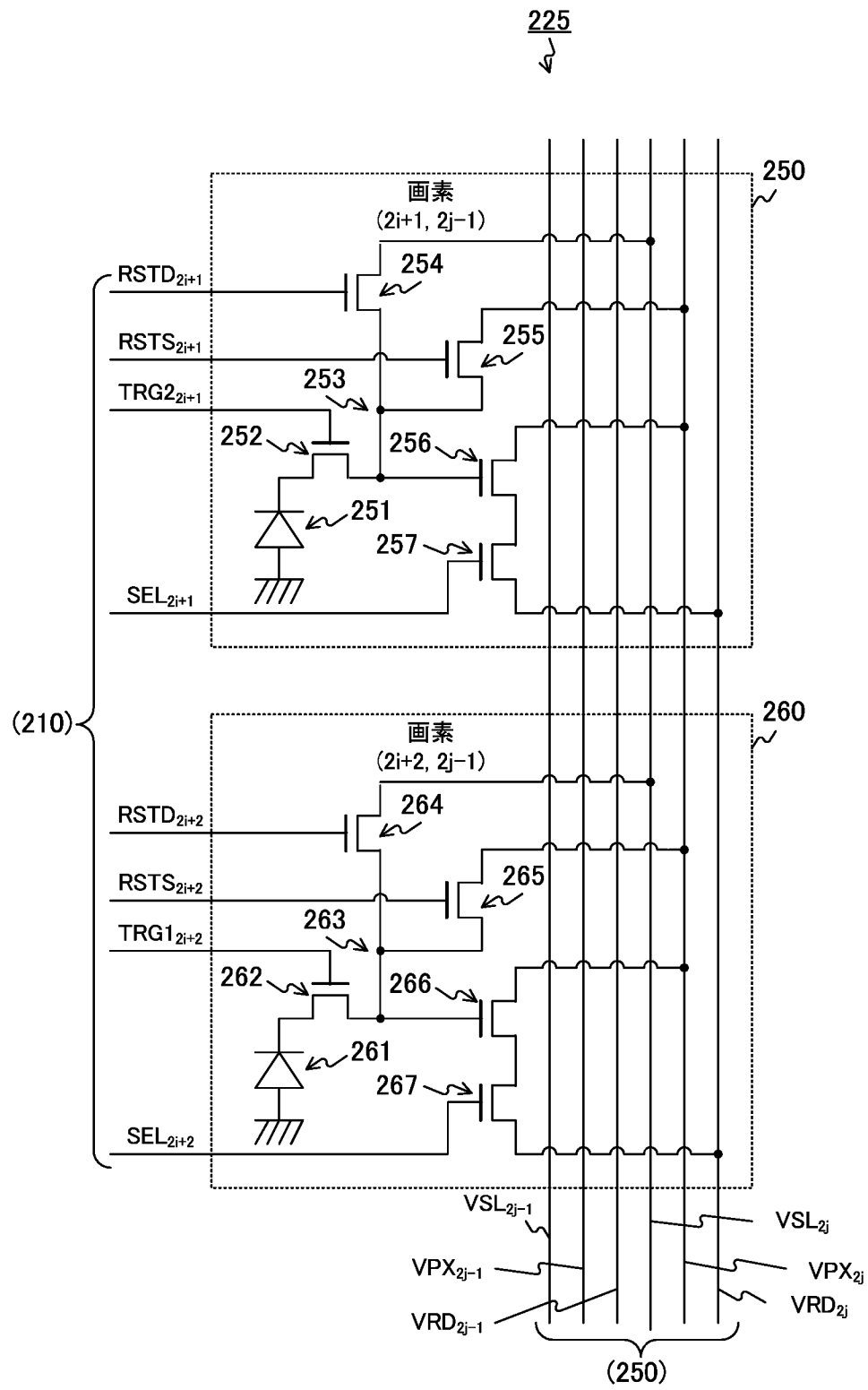
[図25]



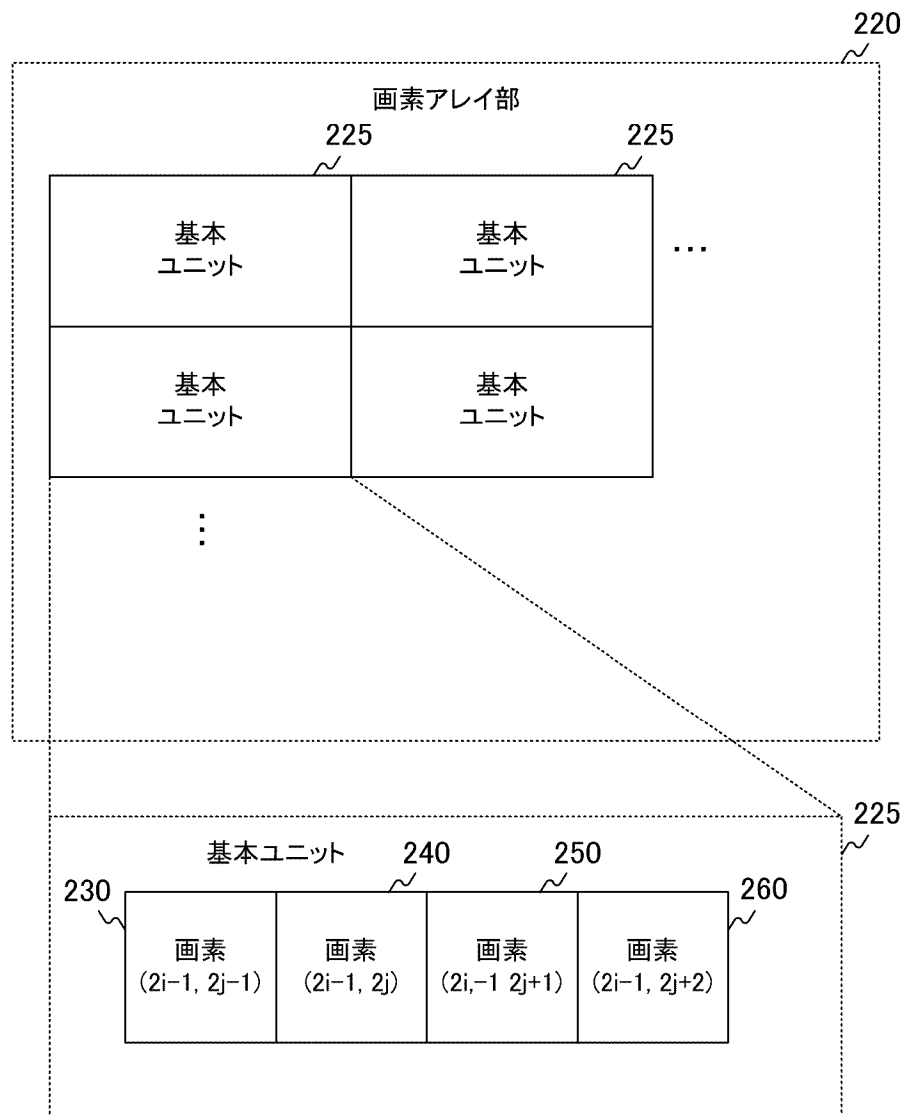
[図26]



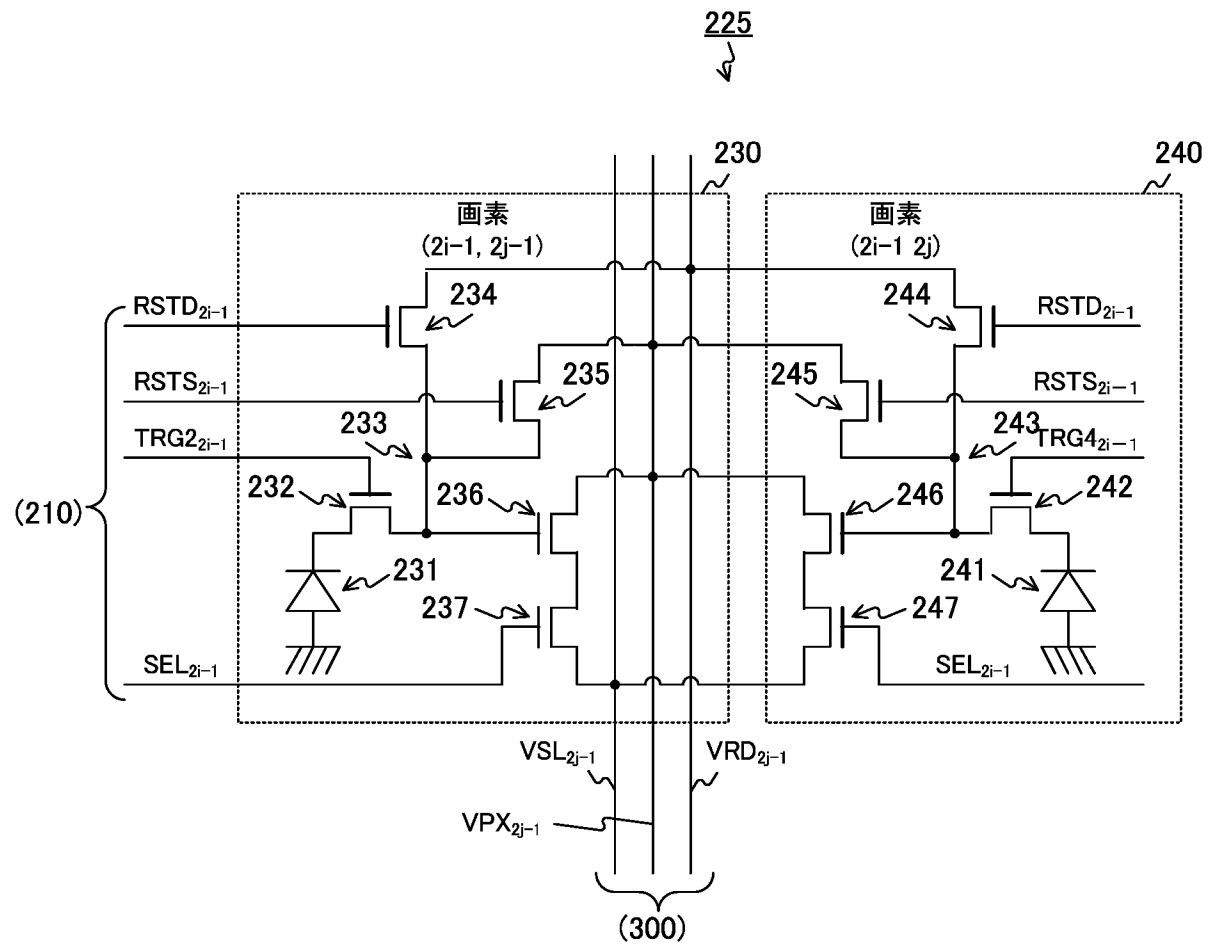
[図27]



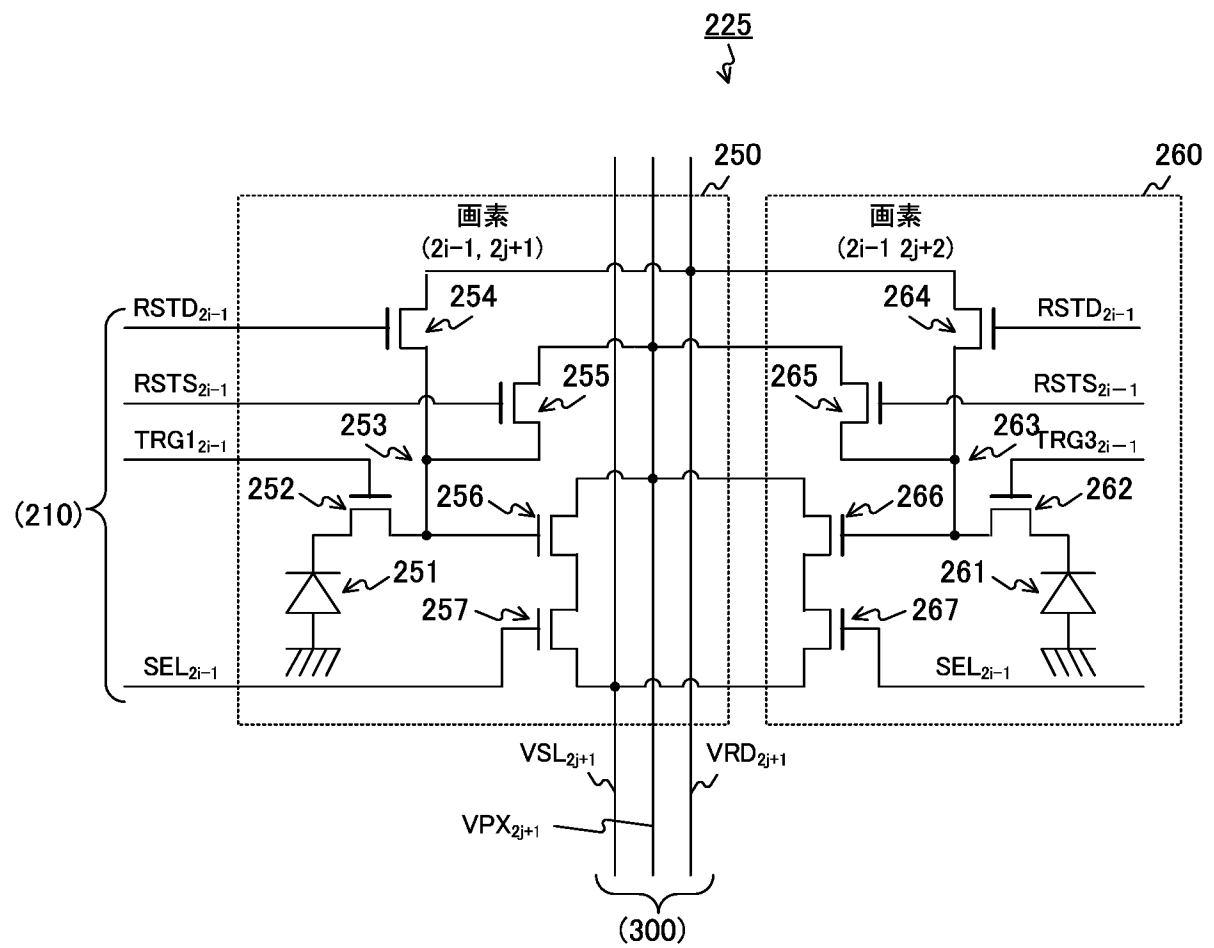
[図28]



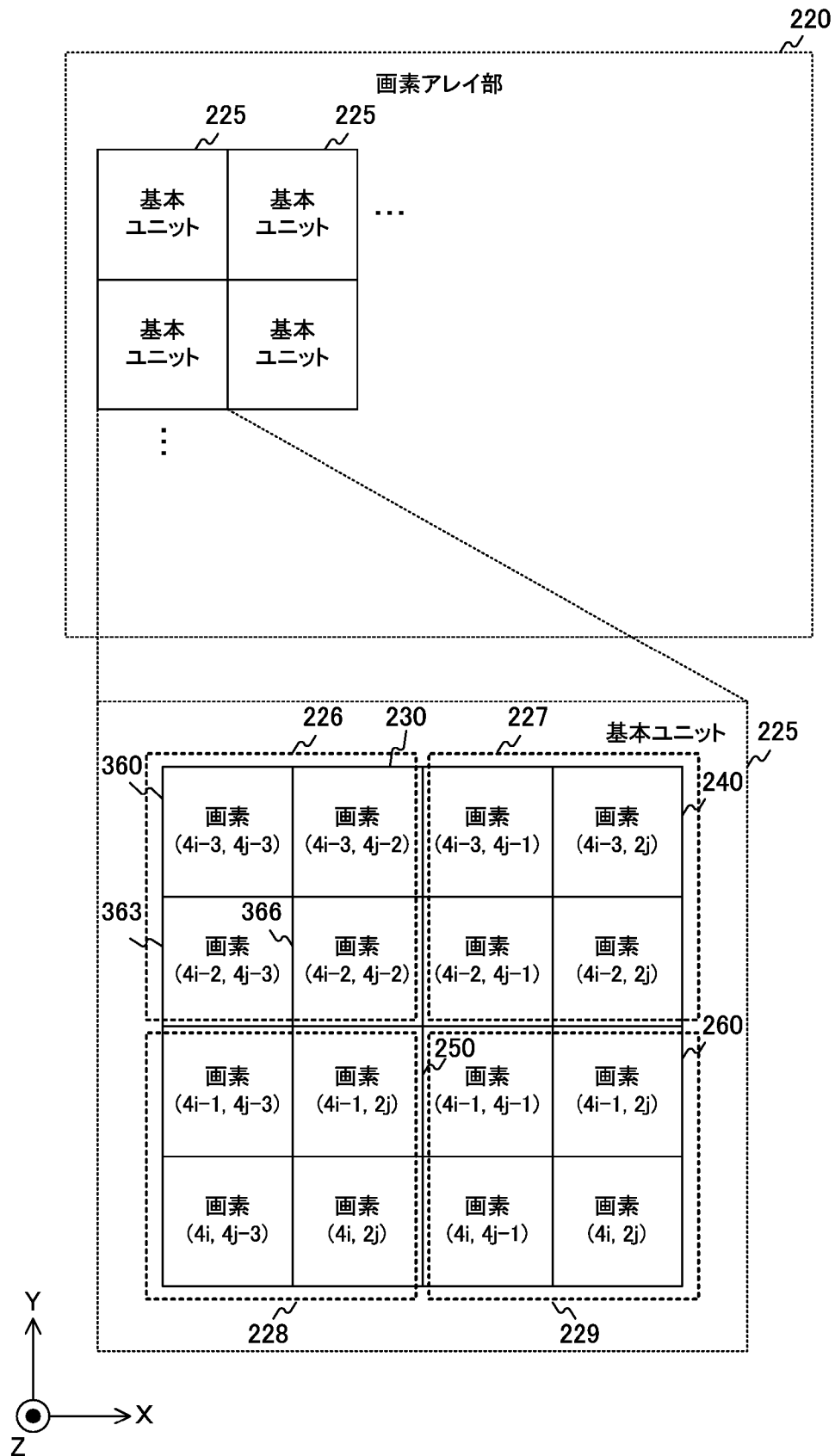
[図29]



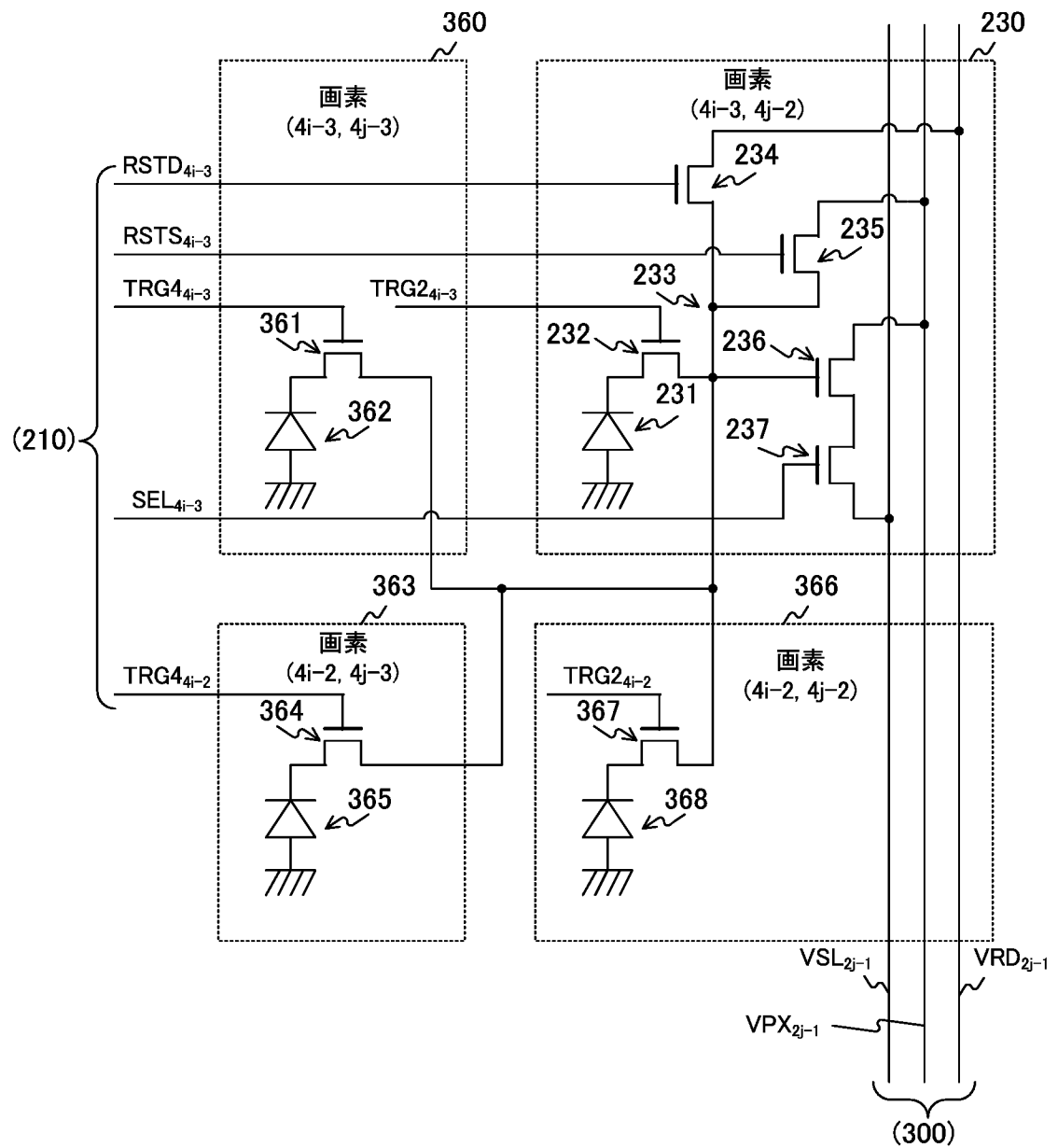
[図30]



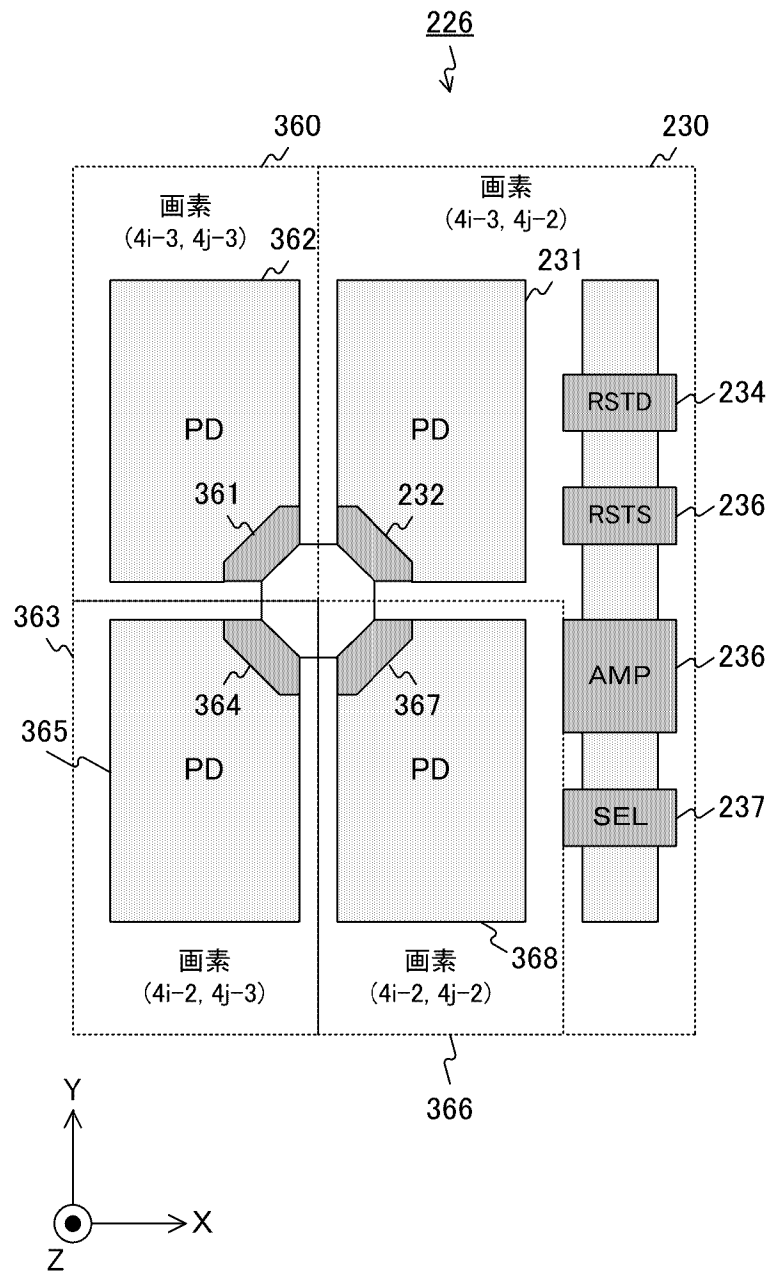
[図31]



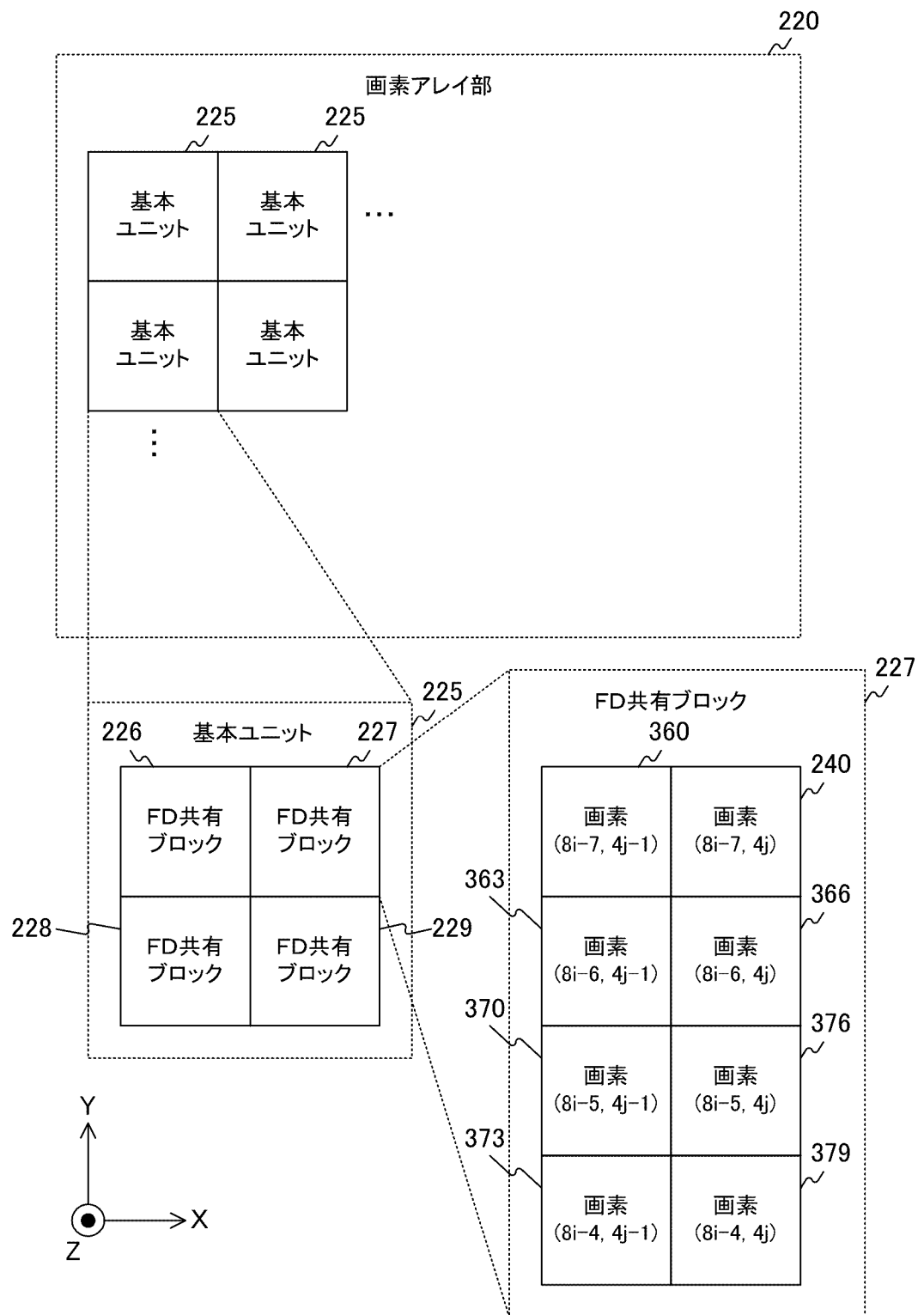
226



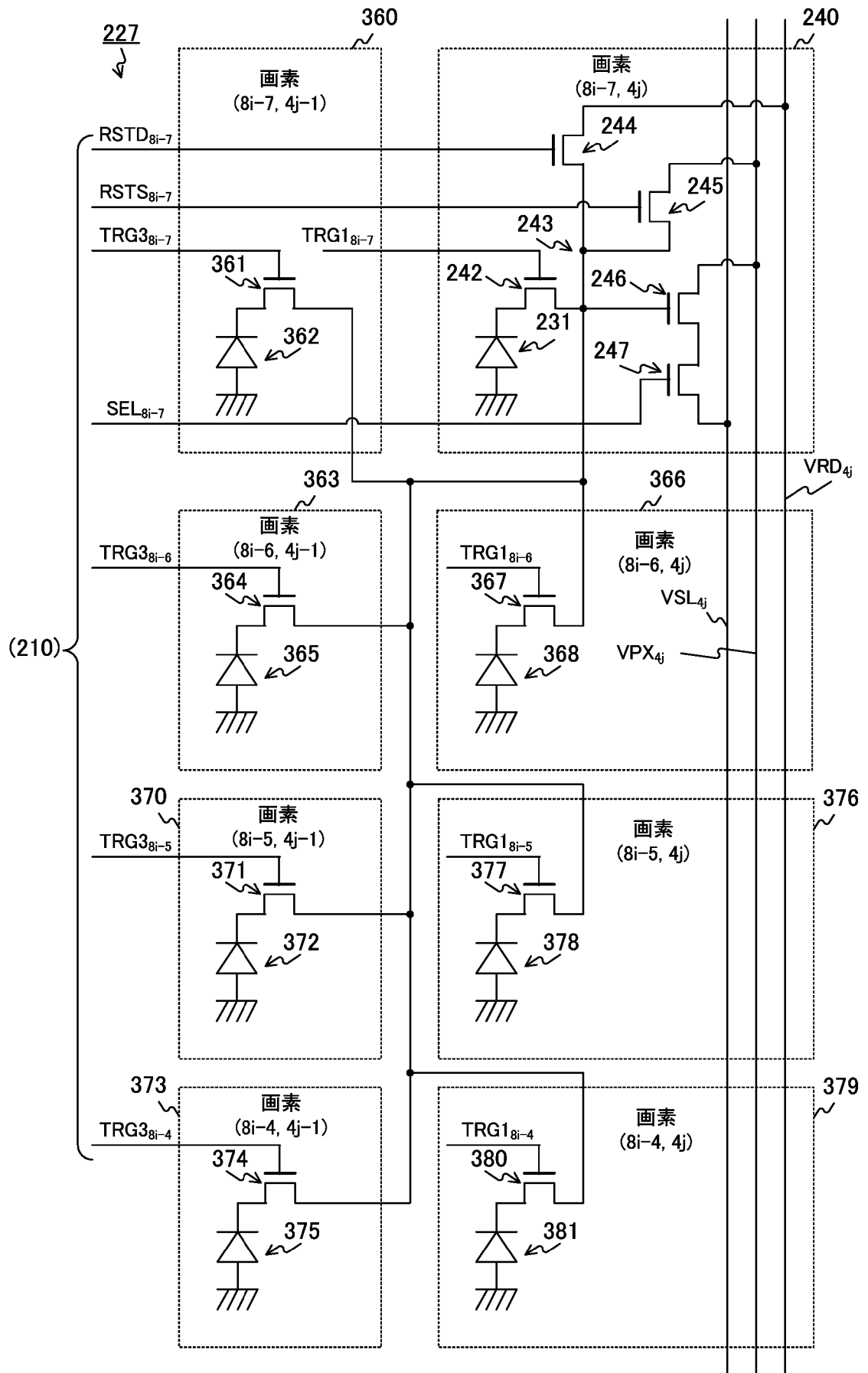
[図33]



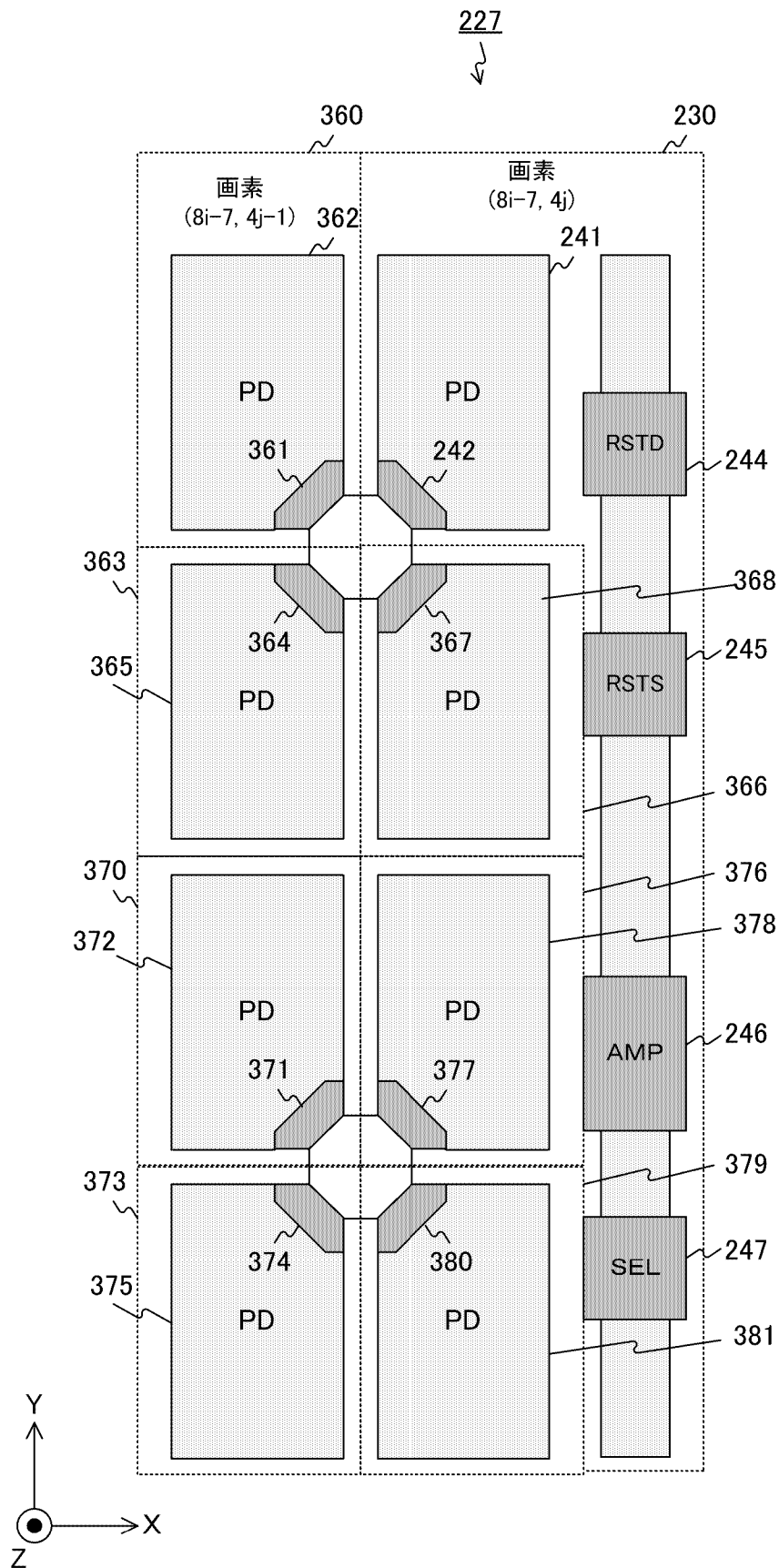
[図34]



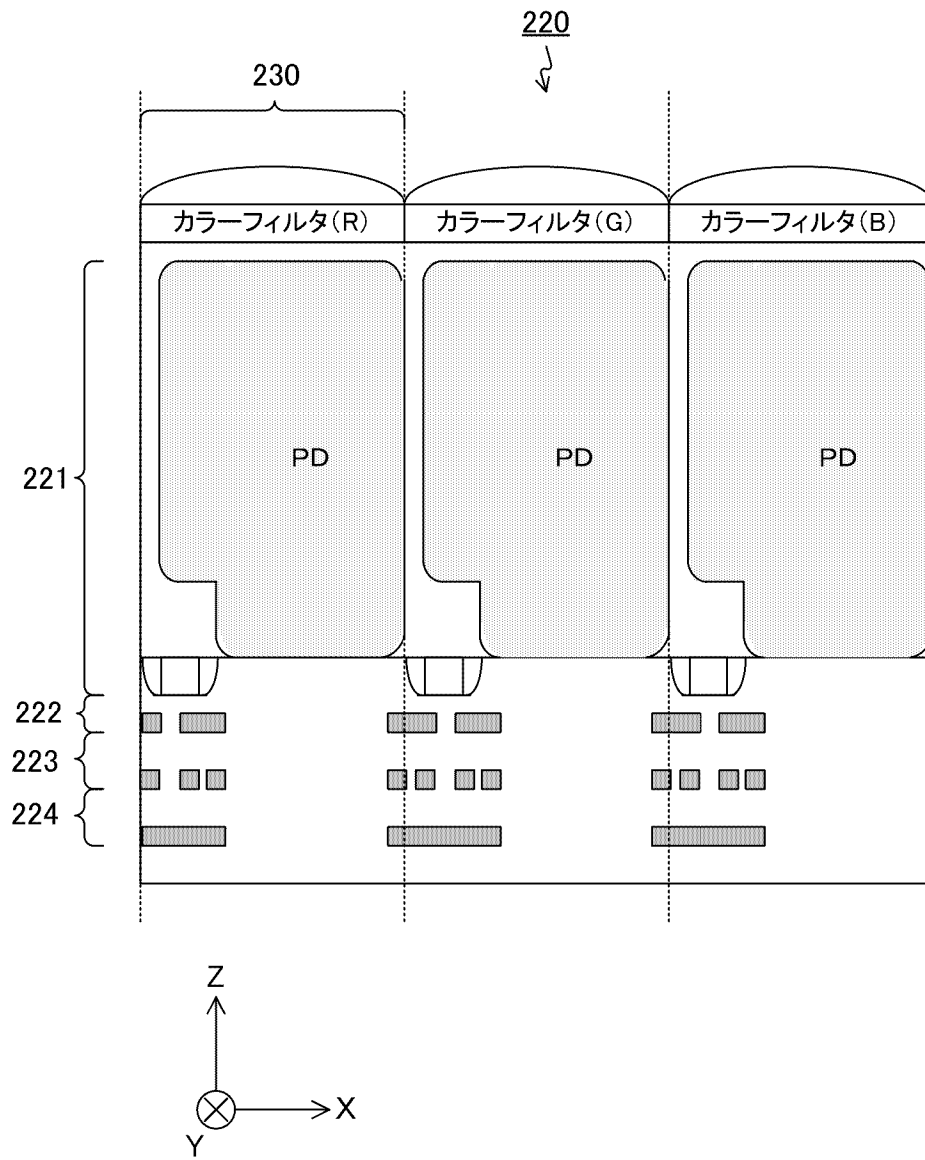
[図35]



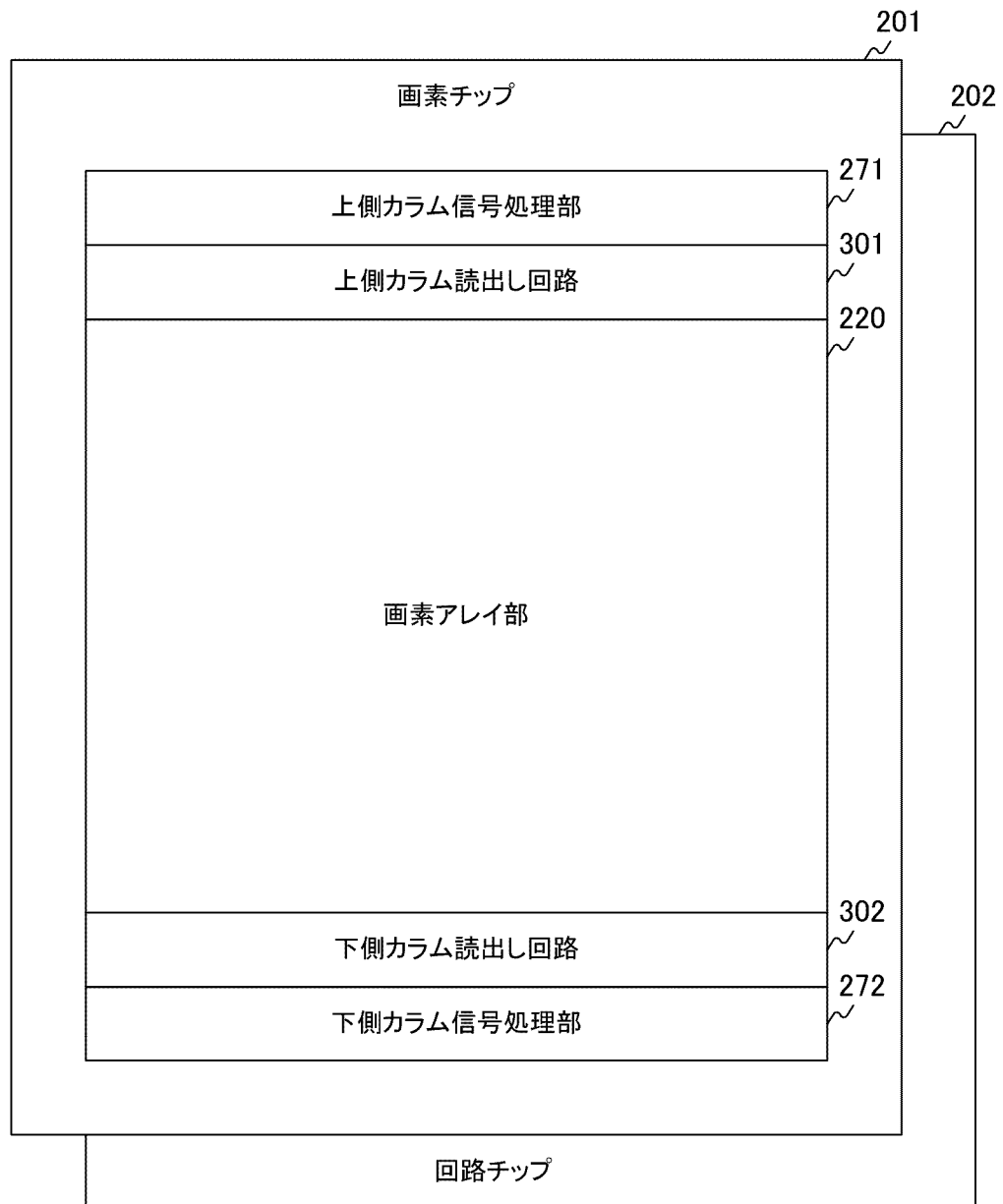
[図36]



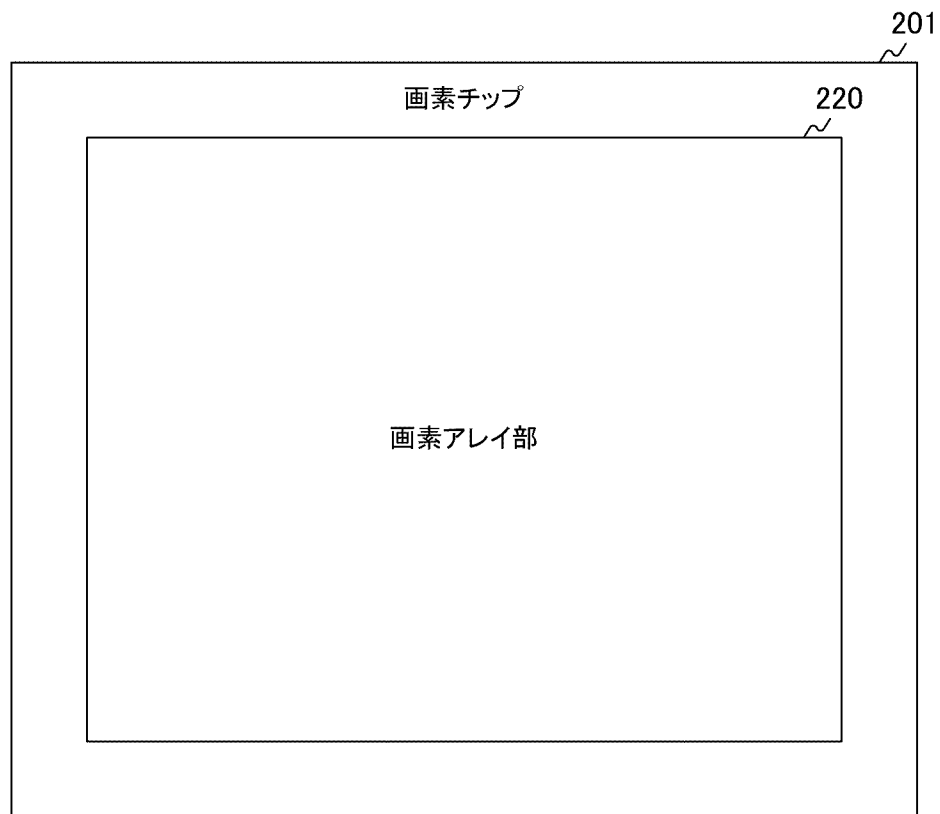
[図37]



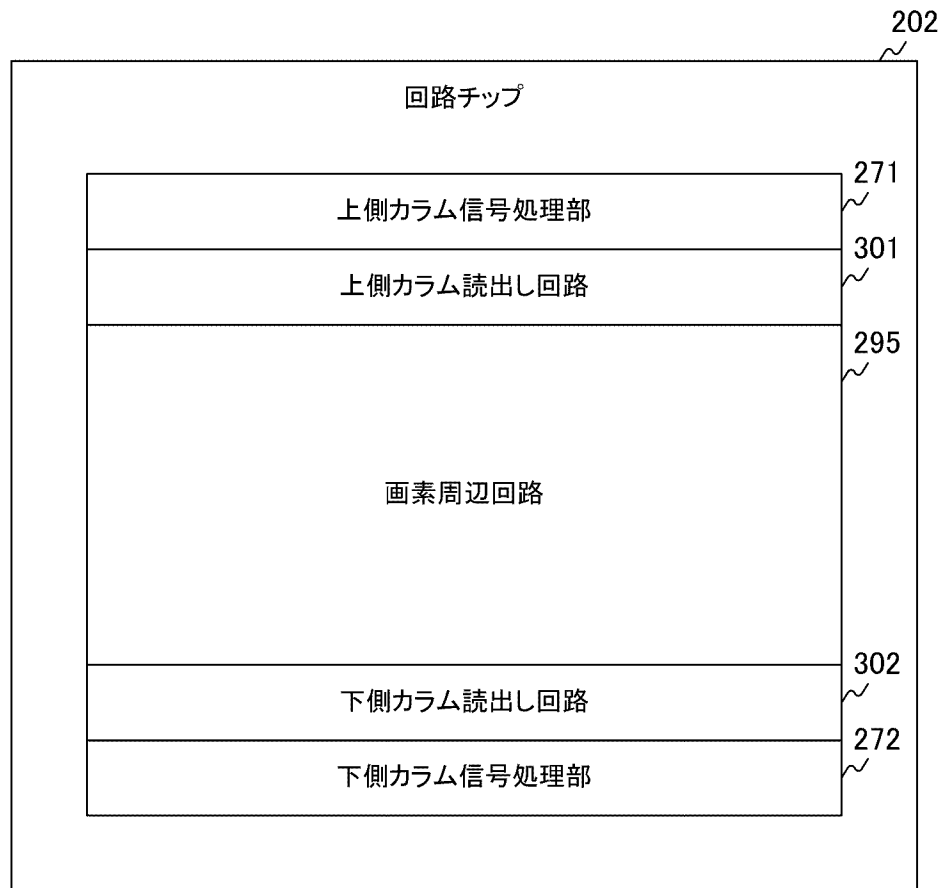
[図38]



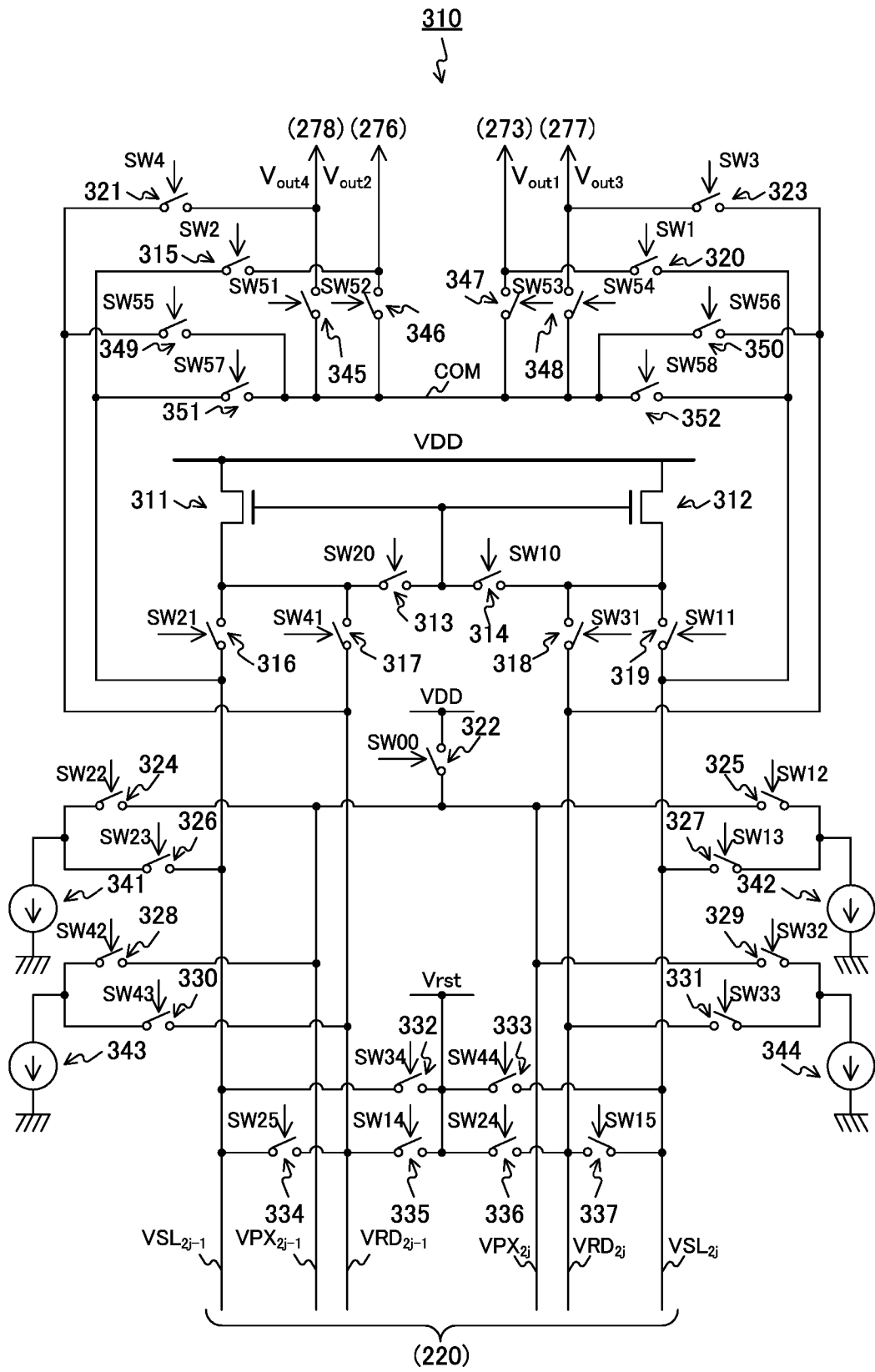
[図39]



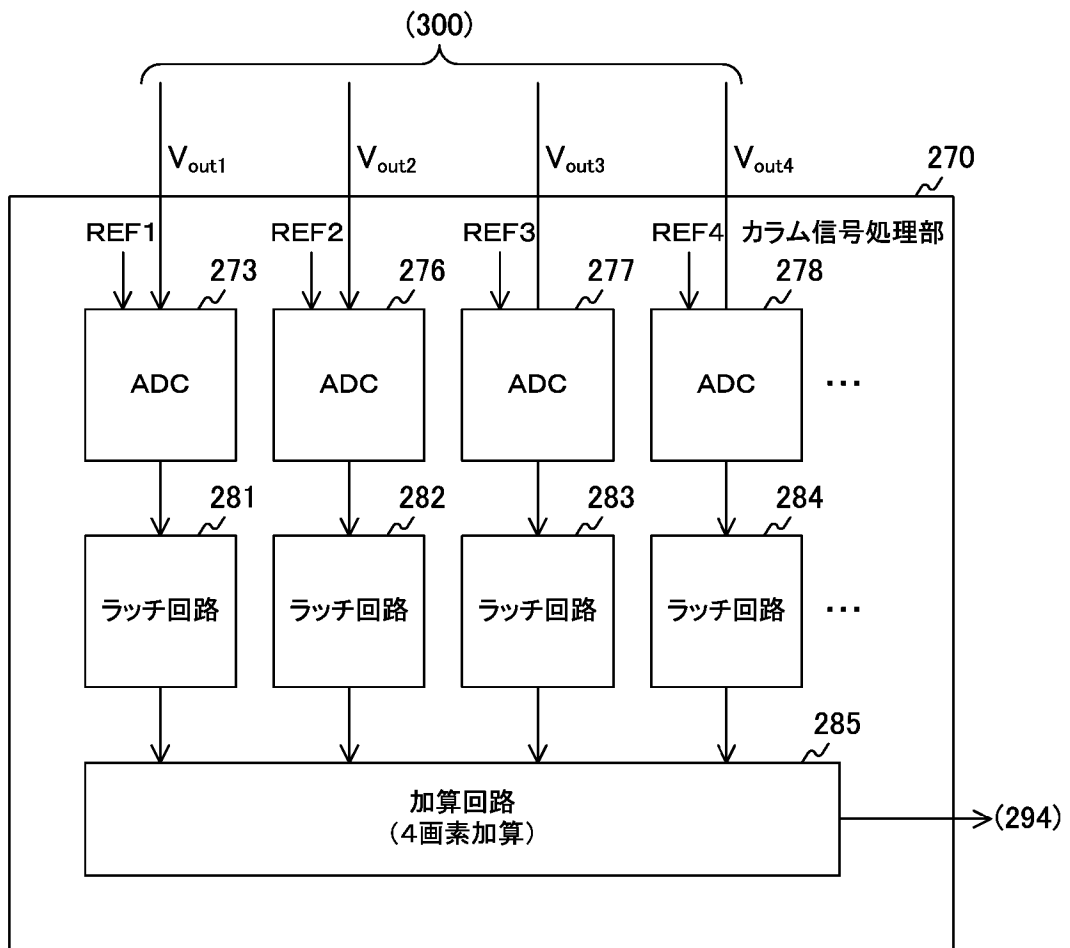
[図40]



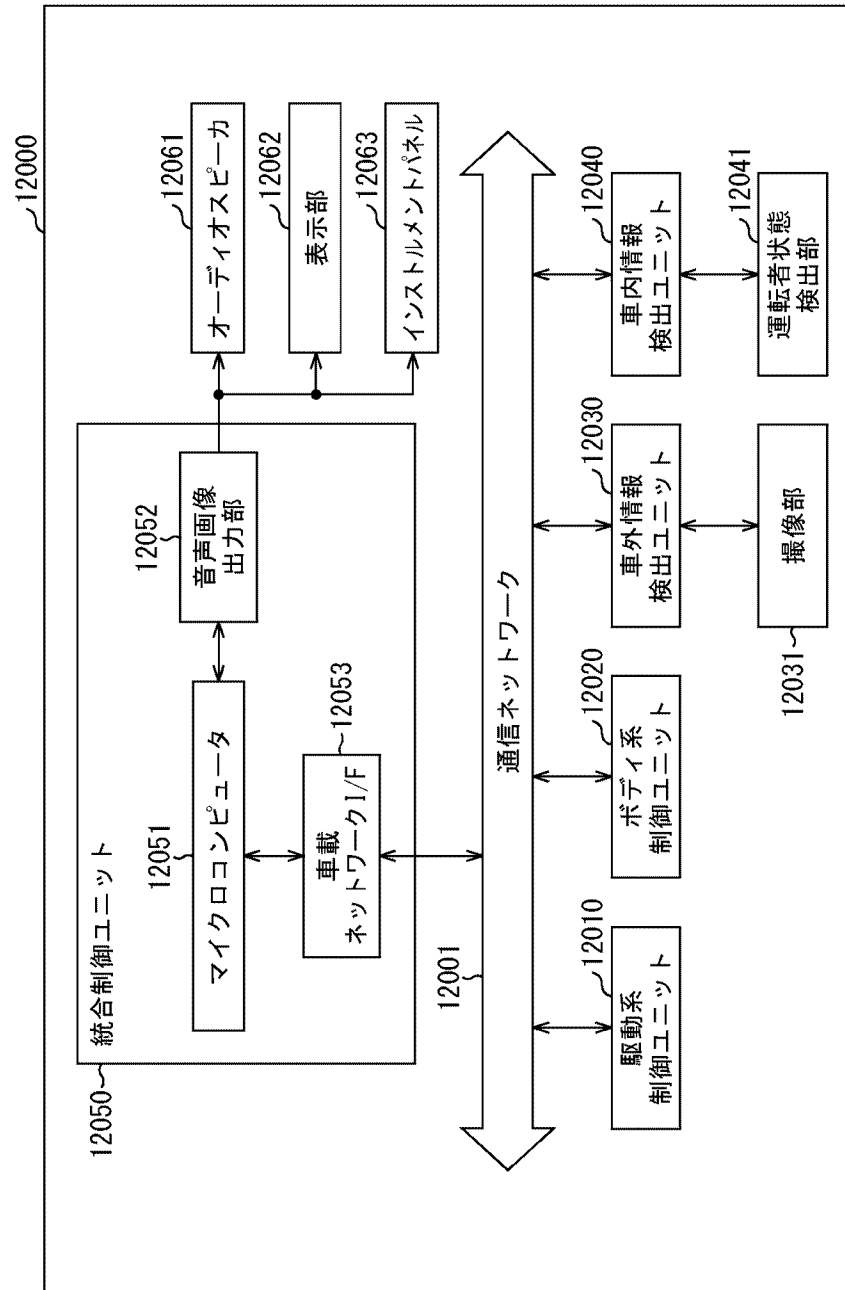
[図41]



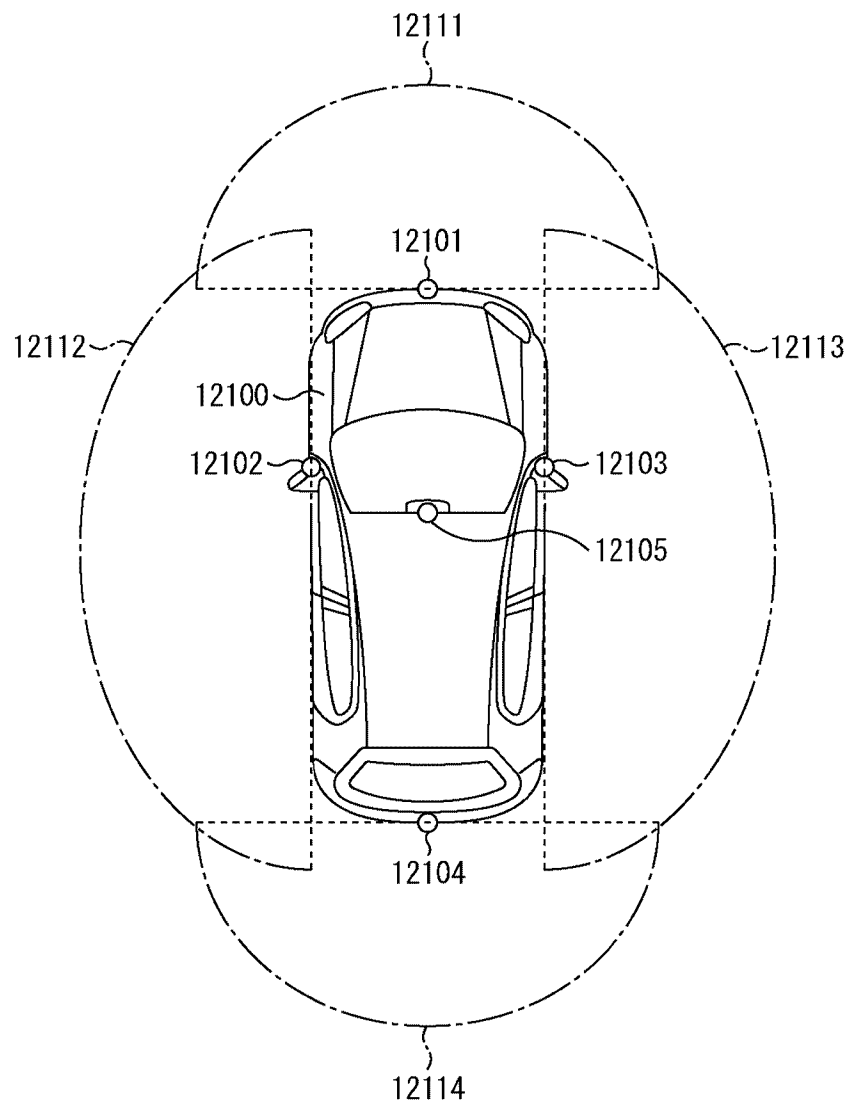
[図42]



[図43]



[図44]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/022322

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/3745 (2011.01) i, H01L27/146 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/3745, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-271280 A (SONY CORP.) 06 November 2008, paragraphs [0044], [0045], fig. 2 & US 2008/0258047 A1, paragraphs [0062], [0063], fig. 2 & CN 101296330 A	1-14
A	JP 2003-259218 A (FUJITSU LTD.) 12 September 2003, entire text, all drawings & US 2005/0072901 A1	1-14
A	JP 2015-53625 A (CANON INC.) 19 March 2015, entire text, all drawings (Family: none)	1-14

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 August 2018 (15.08.2018)

Date of mailing of the international search report
28 August 2018 (28.08.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/3745(2011.01)i, H01L27/146(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/3745, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-271280 A（ソニー株式会社）2008.11.06, 段落 [0044], [0045], 図2 & US 2008/0258047 A1, 段落 [0062], [0063], 図2 & CN 101296330 A	1-14
A	JP 2003-259218 A（富士通株式会社）2003.09.12, 全文, 全図 & US 2005/0072901 A1	1-14
A	JP 2015-53625 A（キヤノン株式会社）2015.03.19, 全文, 全図（ファミリーなし）	1-14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

15.08.2018

国際調査報告の発送日

28.08.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 明

5 V

9185

電話番号 03-3581-1101 内線 3571