

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年7月14日(14.07.2016)



(10) 国際公開番号

WO 2016/111161 A1

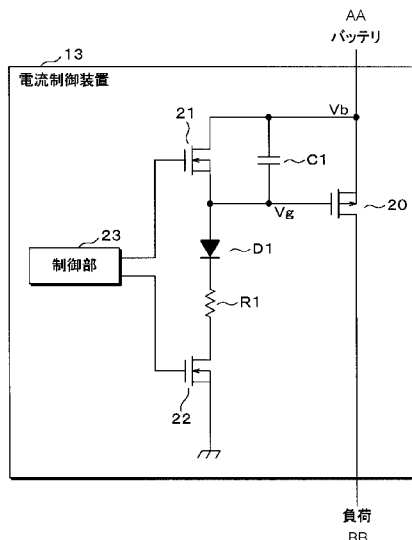
- (51) 国際特許分類:
H03K 17/06 (2006.01) H03K 17/687 (2006.01)
- (21) 国際出願番号: PCT/JP2015/085771
- (22) 国際出願日: 2015年12月22日(22.12.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-001718 2015年1月7日(07.01.2015) JP
- (71) 出願人: 株式会社オートネットワーク技術研究所 (AUTONETWORKS TECHNOLOGIES, LTD.) [JP/JP]; 〒5108503 三重県四日市市西末広町1番14号 Mie (JP). 住友電装株式会社 (SUMITOMO WIRING SYSTEMS, LTD.) [JP/JP]; 〒5108503 三重県四日市市西末広町1番14号 Mie (JP). 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP).
- (72) 発明者: 杉沢 佑樹 (SUGISAWA, Yuuki); 〒5108503 三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内 Mie (JP).
- (74) 代理人: 河野 英仁, 外 (KOHNO, Hideto et al.); 〒5400035 大阪府大阪市中央区釣鐘町二丁目4番3号 河野特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: CURRENT CONTROL DEVICE

(54) 発明の名称: 電流制御装置

[図3]



13 Current control device
23 Control unit
AA Battery
BB Load

(57) Abstract: The objective of the present invention is to provide a current control device with which it is possible to maintain an ON state of a semiconductor switch even if there is a drop in the electric potential at a terminal of the semiconductor switch into which a current is being input. In a current control device 13, current flowing through a current pathway from a battery to a load is controlled by turning a FET 20, provided in the current pathway, on and off. The current is input into the source of the FET 20 and is output from the drain thereof. The FET 20 turns on when the voltage at the gate relative to the electric potential at the source is less than a negative reference voltage. A capacitor C1 is provided between the source and the gate of the FET 20. A diode D1 prevents the reverse flow of current in a current pathway through which current flows from the source of the FET 20 via the capacitor C1.

(57) 要約: 電流が入力される半導体スイッチの端子の電位が低下した場合であっても、半導体スイッチのオンを維持することができる電流制御装置を提供する。電流制御装置13では、バッテリーから負荷への電流経路に設けられたFET20をオン/オフすることによって該電流経路に流れる電流を制御する。FET20において、電流は、ソースに入力され、ドレインから出力される。FET20は、ソースの電位を基準としたゲートの電圧が負の基準電圧未満である場合にオンになる。FET20のソース及びゲート間にはコンデンサC1が設けられている。ダイオードD1は、FET20のソースからコンデンサC1を介して電流が流れる電流経路における電流の逆流を防止する。

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：電流制御装置

技術分野

[0001] 本発明は、電流経路に設けられたスイッチをオン／オフすることによって該電流経路に流れる電流を制御する電流制御装置に関する。

背景技術

[0002] 現在、車両には、バッテリーからスイッチを介して負荷に給電される電源装置（例えば特許文献１）が搭載されている。

[0003] 図１は従来の電源装置８の回路図である。従来の電源装置８では、バッテリー８０の正極がＰチャネル型のＦＥＴ（Field Effect Transistor）８１のソースに接続されており、ＦＥＴ８１のドレインは負荷８２の一端に接続されている。バッテリー８０の負極と負荷８２の他端とは接地されている。

[0004] ＦＥＴ８１はスイッチとして機能する。ＦＥＴ８１は、ソースの電位を基準としたゲートの電圧が負の所定電圧未満である場合にオンとなり、ＦＥＴ８１のソース及びドレイン間に電流が流れることが可能となる。電流は、バッテリー８０の正極からＦＥＴ８１のソースに入力し、ＦＥＴ８１のドレインから出力される。ＦＥＴ８１は、ソース電位を基準としたゲートの電圧が所定電圧以上である場合にオフとなり、ＦＥＴ８１のソース及びドレイン間に電流が流れることはない。

[0005] 従来の電源装置８では、ゲートの電位を接地電位に調整することによって、ＦＥＴ８１をオンにし、ゲートの電位をソースの電位と略同じ電位に調整することによってＦＥＴ８１をオフにする。このように、ＦＥＴ８１をオン／オフすることによって、バッテリー８０から負荷８２への電流経路に流れる電流を制御している。

先行技術文献

特許文献

[0006] 特許文献１：特開２００６－１４８３１９号公報

発明の概要

発明が解決しようとする課題

- [0007] しかしながら、バッテリー 80 の出力電圧は変動する。例えば、バッテリー 80 が、負荷 82 の他に、エンジンを始動するためのスタータに給電するように構成してある場合、スタータが作動している間、バッテリー 80 はスタータに大きな電流を供給する。また、バッテリー 80 では図示しない内部抵抗を介して電圧が出力される。このため、大きな電流がバッテリー 80 から出力された場合、バッテリー 80 の内部抵抗において電圧が大きく降下し、バッテリー 80 の出力電圧が低下する。
- [0008] FET 81 がオンであり、かつ、負荷 82 が作動している場合において、バッテリー 80 の出力電圧が低下したとき、ソースの電位が低下してゲートの電位である接地電位に近づくので、ソースの電位を基準とした FET 81 のゲートの電圧が上昇して所定電圧以上となる虞がある。ソースの電位を基準としたゲートの電圧が所定電圧以上となった場合、FET 81 はオフとなり、負荷 82 が不意に動作を停止する。
- [0009] 本発明は斯かる事情に鑑みてなされたものであり、その目的とするところは、電流が入力される半導体スイッチの端子の電位が低下した場合であっても、半導体スイッチのオンを維持することができる電流制御装置を提供することにある。

課題を解決するための手段

- [0010] 本発明に係る電流制御装置は、電流経路に設けられた半導体スイッチをオン／オフすることによって該電流経路を流れる電流を制御する電流制御装置において、前記半導体スイッチは、電流が入力される入力端子の電位を基準とした制御端子の電圧が負の所定電圧未満である場合にオンとなるように構成してあり、前記入力端子及び制御端子間に接続されるコンデンサと、前記入力端子から該コンデンサを介して電流が流れる第 2 の電流経路と、該第 2 の電流経路における電流の逆流を防止する逆流防止素子とを備えることを特徴とする。

- [0011] 本発明にあっては、例えば、バッテリーから負荷への電流経路に半導体スイッチが設けられており、半導体スイッチをオン／オフすることによって電流経路を流れる電流を制御する。半導体スイッチにおいて、電流が入力される入力端子の電位を基準とした制御端子の電圧が負の所定電圧未満である場合、半導体スイッチはオンとなる。半導体スイッチは例えばPチャネル型のFETである。
- [0012] 半導体スイッチの入力端子及び制御端子間にコンデンサが接続されており、第2の電流経路では入力端子からコンデンサを介して電流が流れる。第2の電流経路に電流が流れることによって、コンデンサに電力が蓄えられる。蓄電によってコンデンサの両端間の電圧が上昇し、入力端子の電位を基準とした制御端子の電圧が所定電圧未満となり、半導体スイッチがオンとなる。
- [0013] 半導体スイッチがオンである状態で入力端子の電位が低下した場合、コンデンサによって、制御端子の電位も低下する。このため、入力端子の電位が低下した場合であっても、入力端子の電位を基準とした制御端子の電圧は変わらないため、半導体スイッチのオンが維持される。また、逆流防止素子、例えばダイオードによって第2の電流経路における電流の逆流が防止されるため、第2の電流経路においては、制御端子の電位の低下によって電流が逆流することはない。
- [0014] 本発明に係る電流制御装置は、前記入力端子及び制御端子間に接続してある第1スイッチと、前記第2の電流経路に設けられており、一端が前記コンデンサ及び第1スイッチ間の接続ノードに接続してある第2スイッチとを備え、前記半導体スイッチは、前記制御端子の電圧が前記所定電圧以上である場合にオフとなり、前記第1スイッチ及び第2スイッチ夫々をオン及びオフにすることによって前記半導体スイッチをオフにするように構成してあることを特徴とする。
- [0015] 本発明にあっては、半導体スイッチの入力端子及び制御端子間に第1スイッチが接続してあり、第2の電流経路に第2スイッチが設けられている。第2スイッチの一端はコンデンサ及び第1スイッチ間の接続ノードに接続して

ある。半導体スイッチは、入力端子の電位を基準とした制御端子の電圧が負の所定電圧以上である場合にオフとなる。第１スイッチをオンにすることによって、半導体スイッチの入力端子及び制御端子間の電圧はゼロボルトとなり、半導体スイッチはオフとなる。

このとき、第２スイッチはオフとなっているので、第２スイッチを介して電流が流れることはなく、消費電力が小さい。

発明の効果

[0016] 本発明によれば、電流が入力される半導体スイッチの端子の電位が低下した場合であっても、半導体スイッチのオンを維持することができる。

図面の簡単な説明

[0017] [図1]従来の電源制御装置の回路図である。

[図2]本実施の形態における電源装置の要部構成を示すブロック図である。

[図3]電流制御装置の回路図である。

[図4]電流制御装置の効果を説明するためのタイミングチャートである。

発明を実施するための形態

[0018] 以下、本発明をその実施の形態を示す図面に基づいて詳述する。

図２は、本実施の形態における電源装置１の要部構成を示すブロック図である。電源装置１は車両に好適に搭載されており、バッテリー１０、発電機１１、スタータ１２、電流制御装置１３及び負荷１４を備える。バッテリー１０の正極は、発電機１１、スタータ１２及び電流制御装置１３夫々の一端に接続されている。電流制御装置１３の他端は負荷１４の一端に接続されている。バッテリー１０の負極と、発電機１１、スタータ１２及び負荷１４夫々の他端とは接地されている。

[0019] 発電機１１は、図示しないエンジンに連動して電力を発生し、発生した電力をバッテリー１０に供給する。これにより、バッテリー１０は充電される。バッテリー１０は、スタータ１２に給電すると共に、電流制御装置１３を介して負荷１４に給電する。

[0020] スタータ１２はエンジンを始動させるために用いられる。スタータ１２は

バッテリー 10 の電力を用いて作動する。当然のことながら、スタータ 12 は、エンジンが停止している状態、言い換えると、発電機 11 が発電を停止している状態で作動する。スタータ 12 は、作動している間、バッテリー 10 から大きな電流が供給される。バッテリー 10 内には図示しない内部抵抗が設けられており、内部抵抗を介して電圧がバッテリー 10 から出力される。バッテリー 10 からスタータ 12 に大きな電流が供給された場合、内部抵抗において電圧が大きく降下し、バッテリー 10 の出力電圧が低下する。

[0021] 負荷 14 は、車両に搭載される電気機器、例えば ECU (Electronic Control Unit) であり、エンジンの作動中だけではなく、エンジンの停止中も作動する。負荷 14 は、電流制御装置 13 を介して、バッテリー 10 から給電される。

電流制御装置 13 は、バッテリー 10 から負荷 14 への電流経路の電流を制御する。

[0022] 図 3 は電流制御装置 13 の回路図である。電流制御装置 13 は、P チャネル型の FET 20、N チャネル型の FET 21、22、制御部 23、コンデンサ C1、ダイオード D1 及び抵抗 R1 を有する。FET 20 のソースはバッテリー 10 の正極に接続されており、FET 20 のドレインは負荷 14 の一端に接続されている。FET 20 のソースには、更に、FET 21 のドレインと、コンデンサ C1 の一端とが接続されている。FET 21 のソースと、コンデンサ C1 の他端とは FET 20 のゲートに接続されている。

[0023] FET 20 のゲートには、ダイオード D1 のアノードが、更に接続されており、ダイオード D1 のカソードは抵抗 R1 の一端に接続されている。抵抗 R1 の他端は FET 22 のドレインに接続されている。FET 22 のソースは接地されている。FET 21、22 夫々のゲートは制御部 23 に各別に接続されている。

[0024] 以上のように、コンデンサ C1 は、FET 20 のソース及びゲート間に接続される。FET 21 は、FET 20 のソース及びゲート間に接続してあり、FET 22 のドレインは、ダイオード D1 及び抵抗 R1 を介して、コンデ

ンサC 1 の他端、及び、F E T 2 0 のゲート間の接続ノードに接続してある。

[0025] F E T 2 0 はスイッチとして機能する。F E T 2 0 は、端子として、ソース、ドレイン及びゲートを有する。F E T 2 0 において、電流はF E T 2 0 のソースに入力し、F E T 2 0 のドレインから負荷14に出力される。F E T 2 0 は、ソースの電位を基準としたゲートの電圧が負の基準電圧未満である場合にオンとなり、F E T 2 0 において電流がドレイン及びソース間を流れることが可能となる。F E T 2 0 は、ソースの電位を基準としたゲートの電圧が基準電圧以上である場合にオフとなり、F E T 2 0 において電流がドレイン及びソース間を流れることはない。F E T 2 0 は半導体スイッチとして機能する。F E T 2 0 において、ゲートは制御端子として機能し、ソースは入力端子として機能する。

[0026] 電流制御装置13では、バッテリー10から負荷14への電流経路に設けられたF E T 2 0 をオン／オフすることによって、該電流経路に流れる電流を制御する。

[0027] F E T 2 1, 22 夫々もスイッチとして機能する。F E T 2 1, 22 夫々も、端子として、ソース、ドレイン及びゲートを有する。F E T 2 1, 22 夫々は、ソースの電位を基準としたゲートの電圧が一定電圧以上である場合にオンとなり、F E T 2 1, 22 夫々において、電流がドレイン及びソース間を流れることが可能となる。また、F E T 2 1, 22 夫々は、ソースの電位を基準としたゲートの電圧が一定電圧未満である場合にオフとなり、F E T 2 1, 22 夫々において、電流がドレイン及びソース間を流れることはない。F E T 2 1 は第1スイッチとして機能し、F E T 2 2 は第2スイッチとして機能する。

[0028] 制御部23は、C P U (Central Processing Unit) を有し、図示しないR O M (Read Only Memory) に記憶してある制御プログラムを実行することによって種々の処理を実行する。制御部23は、F E T 2 1, 22 夫々のゲートの電圧を調整することによって、F E T 2 1, 22 を各別にオン／オフす

る。制御部23は、FET21, 22夫々をオフ及びオンにすることによってFET20をオンにし、FET21, 22夫々をオン及びオフにすることによってFET20をオフにする。

[0029] 以下では、バッテリー10の出力電圧、即ち、接地電位を基準としたFET20のソースの電圧を V_b と記載し、接地電位を基準としたFET20のゲートの電圧を V_g と記載する。FET20において、ソースの電位を基準としたゲートの電圧は、 $(V_g - V_b)$ で表され、ゼロボルト以下である。

[0030] 制御部23がFET21, 22夫々をオフ及びオンにした場合、電流がバッテリー10の正極からコンデンサC1、ダイオードD1、抵抗R1及びFET22の順に流れ、コンデンサC1が蓄電される。コンデンサC1が蓄えている電力が増加した場合、コンデンサC1の両端間の電圧が上昇し、FET20のソースの電位を基準としたFET20のゲートの電圧 $(V_g - V_b)$ は低下する。コンデンサC1の蓄電によって、電圧 $(V_g - V_b)$ は基準電圧未満となり、FET20はオンとなる。これにより、バッテリー10はFET20を介して負荷14に給電する。

[0031] 以上のように、電流制御装置13は、FET20のソースから、コンデンサC1、ダイオードD1、抵抗R1及びFET22の順に流れる電流経路を有する。この電流経路は第2の電流経路として機能する。FET20のソースからコンデンサC1を介して流れる電流経路にはFET22が設けられている。

[0032] 制御部23がFET21, 22夫々をオン及びオフにした場合、出力電圧 V_b と電圧 V_g とが一致又は略一致するため、FET20において、電圧 $(V_g - V_b)$ はゼロボルト又は略ゼロボルトとなり、基準電圧以上となる。これにより、FET20はオフとなり、バッテリー10から負荷14への給電が停止する。

[0033] 制御部23は、FET21をオンにすると共にFET22をオフするため、FET20をオフにしている間、バッテリー10の正極からFET22を介して電流が流れることはない。このため、制御部23がFET20をオフに

している間、抵抗 R_1 で電力が消費されることはなく、電流制御装置 13 の消費電力は小さい。

[0034] 前述したように、負荷 14 はエンジンの作動中だけではなくエンジンの動作中も作動し、負荷 14 が作動している間、制御部 23 によって FET 20 はオンに維持されている。そして、バッテリー 10 の出力電圧 V_b は、前述したように、スタータ 12 が作動した場合、低下する。電流制御装置 13 では、バッテリー 10 の出力電圧 V_b が低下した場合であっても、FET 20 のオンを維持することができる。

[0035] 図 4 は電流制御装置 13 の効果を説明するためのタイミングチャートである。図 4 では、出力電圧 V_b の推移が太線で示されており、電圧 V_g の推移が細線で示されている。以下では、制御部 23 は、FET 20 をオンにするため、FET 21, 22 夫々をオフ及びオンにしているとする。

[0036] スタータ 12 が作動する前において、制御部 23 が FET 21, 22 をオフ及びオンにしているため、電圧 ($V_g - V_b$) が基準電圧未満となっており、FET 20 はオンである。このとき、電圧 V_g は、ダイオード D1 の順方向の電圧差、例えば、0.7 ボルトに略一致し、ゼロボルト以上である。

[0037] スタータ 12 が作動してバッテリー 10 の出力電圧 V_b が低下した場合、コンデンサ C1 によって、電圧 V_g も低下する。このため、スタータ 12 の作動後における電圧 ($V_b - V_g$) は、スタータ 12 の作動前における電圧 ($V_b - V_g$) と同じ又は略同じであるため、FET 20 は、バッテリー 10 の出力電圧 V_b が低下している間もオンに維持される。

[0038] ダイオード D1 は、FET 20 のソースからコンデンサ C1 を介して電流が流れる電流経路における電流の逆流を防止する。このため、バッテリー 10 の出力電圧 V_b の低下によって、電圧 V_g がゼロボルト未満の電圧に低下した場合であっても、電流が FET 22、抵抗 R_1 、ダイオード D1 及びコンデンサ C1 の順に流れること、即ち、電流が逆流することはない。このように、ダイオード D1 は逆流防止素子として機能する。

[0039] エンジンが始動してスタータ 12 が停止した後、バッテリー 10 の出力電圧

V_bは、スタータ12が作動する前の電圧に戻る。電圧V_gはバッテリー10の出力電圧V_bの上昇と共に上昇する。このため、スタータ12が停止した後、電圧V_gも、バッテリー10の出力電圧V_bと同様に、スタータ12が作動する前の電圧に戻る。

[0040] なお、FET20をオン／オフする構成は、FET21, 22をオン／オフすることによってFET20をオン／オフする構成に限定されない。例えば、FET22はなくてもよく、抵抗R1の他端が接地されていてもよい。この場合、制御部23は、FET21をオフにすることによってFET20をオンにし、FET21をオンにすることによってFET20をオフにする。

[0041] また、FET20の代わりにPNP型のバイポーラトランジスタが用いられてもよい。FET21, 22夫々はスイッチとして機能すればよい。このため、FET21, 22夫々は、Nチャネル型のFETに限定されず、Pチャネル型のFETであってもよい。更に、FET21, 22の代わりにバイポーラトランジスタを用いてもよい。

当然のことながら、電流制御装置13では、FET20がオンである状態で、スタータ12の作動以外の他の原因によってバッテリー10の出力電圧V_bが低下した場合であっても、電圧V_gは低下するため、FET20はオンを維持する。

[0042] 開示された本実施の形態は、全ての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上述の説明ではなく請求の範囲によって示され、請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。

符号の説明

[0043] 13 電流制御装置
20 FET（半導体スイッチ）
21 FET（第1スイッチ）
22 FET（第2スイッチ）

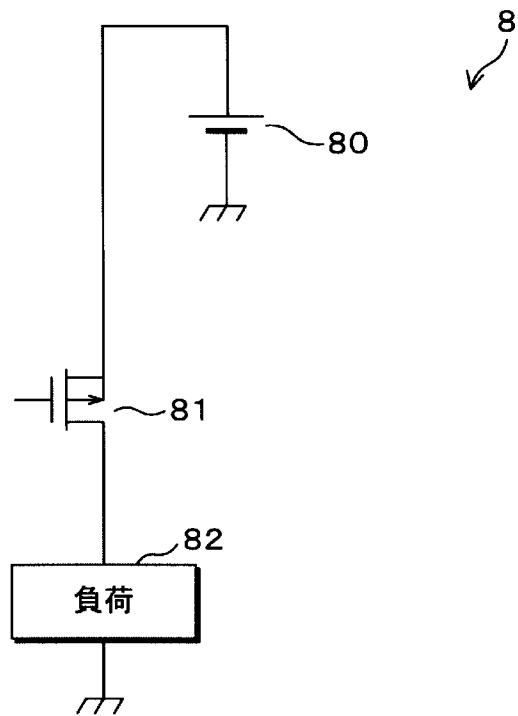
C 1 コンデンサ

D 1 ダイオード（逆流防止素子）

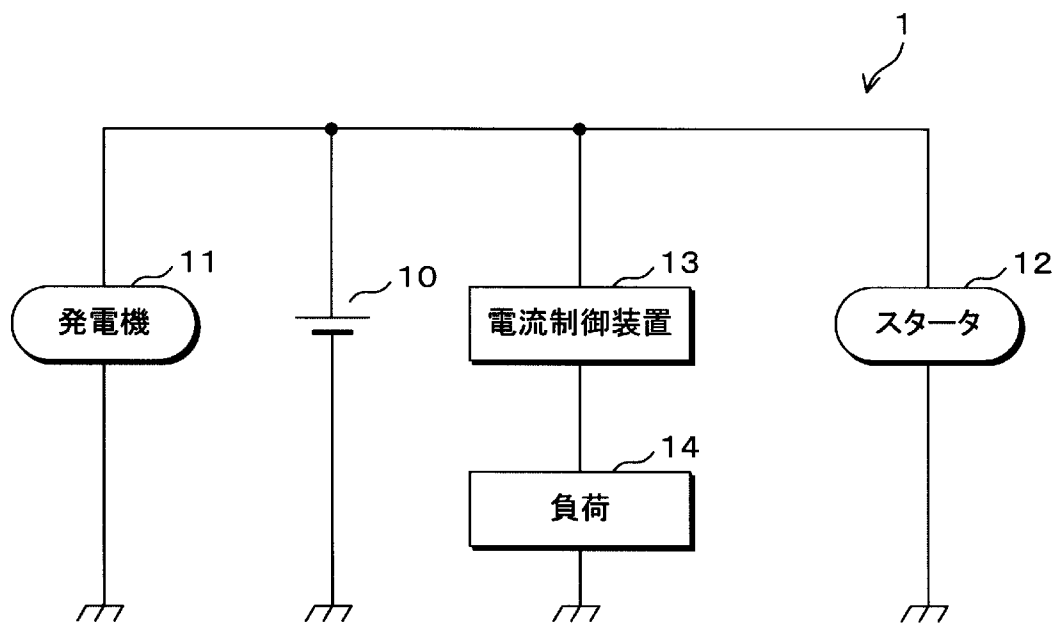
請求の範囲

- [請求項1] 電流経路に設けられた半導体スイッチをオン／オフすることによって該電流経路を流れる電流を制御する電流制御装置において、
- 前記半導体スイッチは、電流が入力される入力端子の電位を基準とした制御端子の電圧が負の所定電圧未満である場合にオンとなるように構成してあり、
- 前記入力端子及び制御端子間に接続されるコンデンサと、
- 前記入力端子から該コンデンサを介して電流が流れる第2の電流経路と、
- 該第2の電流経路における電流の逆流を防止する逆流防止素子とを備えることを特徴とする電流制御装置。
- [請求項2] 前記入力端子及び制御端子間に接続してある第1スイッチと、
- 前記第2の電流経路に設けられており、一端が前記コンデンサ及び第1スイッチ間の接続ノードに接続してある第2スイッチとを備え、
- 前記半導体スイッチは、前記制御端子の電圧が前記所定電圧以上である場合にオフとなり、
- 前記第1スイッチ及び第2スイッチ夫々をオン及びオフにすることによって前記半導体スイッチをオフにするように構成してあることを特徴とする請求項1に記載の電流制御装置。

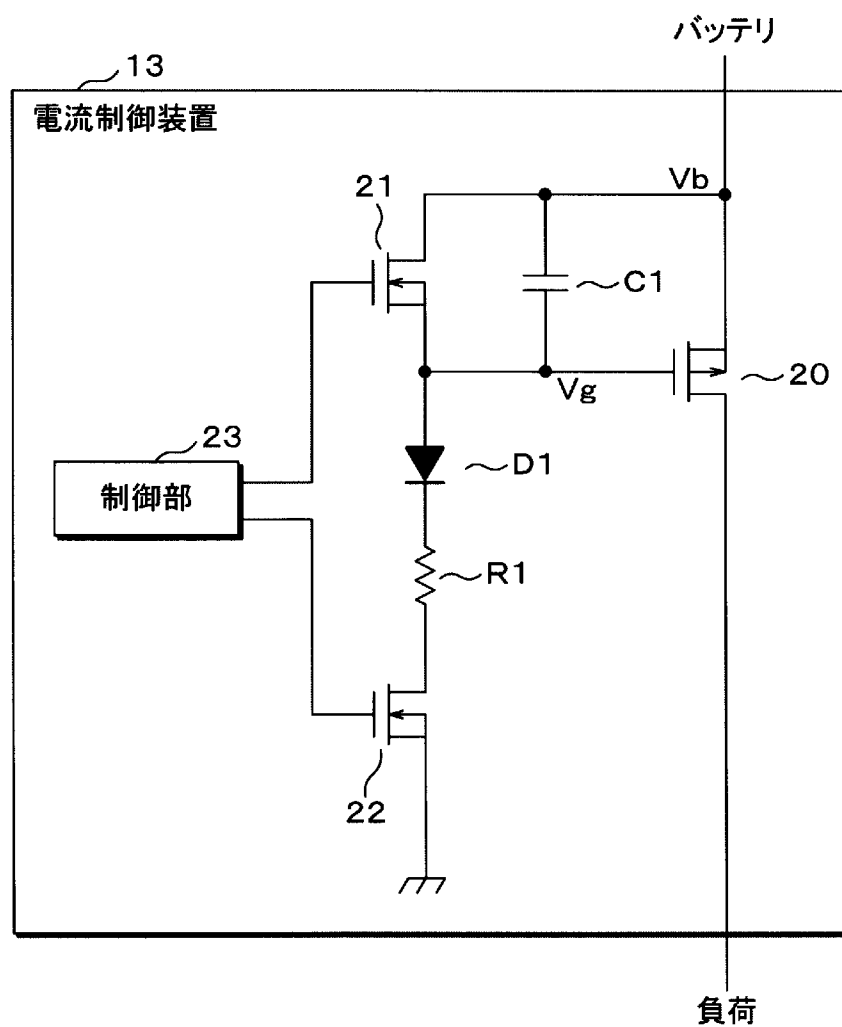
[図1]



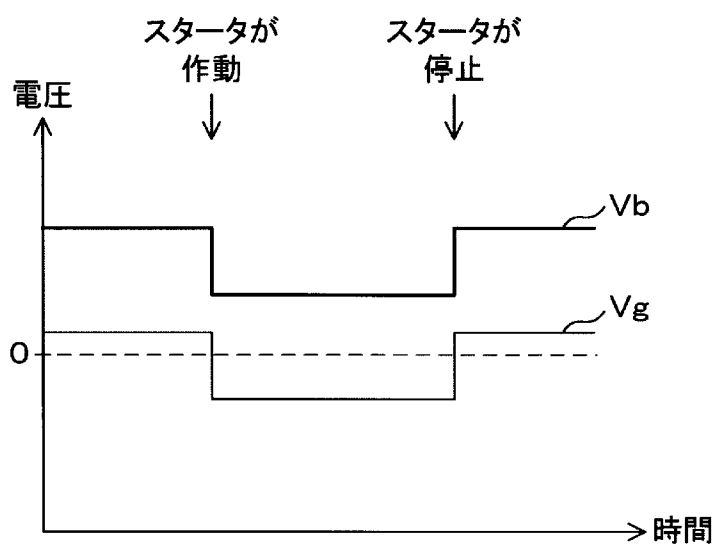
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/085771

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/06(2006.01)i, H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/00-17/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 52-15168 Y2 (Ricoh Co., Ltd.),	1
A	05 April 1977 (05.04.1977), column 2, line 37 to column 3, line 44; fig. 3 (Family: none)	2
A	JP 2009-44304 A (Denso Corp.), 26 February 2009 (26.02.2009), paragraphs [0012] to [0015]; fig. 1 (Family: none)	1-2
A	JP 2012-157146 A (NEC Communication Systems, Ltd.), 16 August 2012 (16.08.2012), paragraphs [0049] to [0054]; fig. 2 (Family: none)	1-2

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
02 February 2016 (02.02.16)

Date of mailing of the international search report
16 February 2016 (16.02.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03K17/06(2006.01)i, H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K17/00-17/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 52-15168 Y2（株式会社リコー）1977.04.05, 第2欄第37行-第3欄第44行, 第3図（ファミリーなし）	1 2
A	JP 2009-44304 A（株式会社デンソー）2009.02.26, 段落12-15, 図1（ファミリーなし）	1-2
A	JP 2012-157146 A（日本電気通信システム株式会社）2012.08.16, 段落49-54, 図2（ファミリーなし）	1-2

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

02.02.2016

国際調査報告の発送日

16.02.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

柳下 勝幸

5 X

5888

電話番号 03-3581-1101 内線 3596