



(12) 发明专利

(10) 授权公告号 CN 113687767 B

(45) 授权公告日 2024.07.02

(21) 申请号 202110183623.7

(22) 申请日 2021.02.10

(65) 同一申请的已公布的文献号  
申请公布号 CN 113687767 A

(43) 申请公布日 2021.11.23

(30) 优先权数据  
10-2020-0059801 2020.05.19 KR

(73) 专利权人 爱思开海力士有限公司  
地址 韩国京畿道

(72) 发明人 辛范柱 廉允呈

(74) 专利代理机构 北京三友知识产权代理有限公司 11127  
专利代理师 刘久亮 黄纶伟

(51) Int.Cl.  
G06F 3/06 (2006.01)

(56) 对比文件  
CN 104885062 A, 2015.09.02  
US 2019205257 A1, 2019.07.04

审查员 刘荣华

权利要求书3页 说明书21页 附图12页

(54) 发明名称

存储控制器、存储器装置和存储装置

(57) 摘要

本申请涉及存储控制器、存储器装置和存储装置。一种存储控制器控制地址,使得包括在存储器装置中的芯片的数量可增加。该存储控制器包括:闪存转换层,其被配置为将从主机接收的逻辑块地址转换为物理块地址,其中,该闪存转换层基于从主机接收的请求来确定物理块地址中的多个地址中的至少一个的寻址单位;以及命令控制器,其被配置为基于请求来生成表示寻址单位的命令。

| 总线周期 | DQ0 | DQ1 | DQ2 | DQ3 | DQ4 | DQ5 | DQ6 | DQ7 | 地址信息 |        |          |
|------|-----|-----|-----|-----|-----|-----|-----|-----|------|--------|----------|
| 第一周期 | A0  | A1  | A2  | A3  | A4  | A5  | A6  | A7  | 列地址  | A[7:0] |          |
| 第二周期 | A8  | A9  | A10 | A11 | A12 | A13 | A14 | A15 | 行地址  | 字线     | A[24:8]  |
| 第三周期 | A16 | A17 | A18 | A19 | A20 | A21 | A22 | A23 |      | 平面     | A[26:25] |
| 第四周期 | A24 | A25 | A26 | A27 | A28 | A29 | A30 | A31 |      | 块      | A[36:27] |
| 第五周期 | A32 | A33 | A34 | A35 | A36 | A37 | A38 | A39 |      | LUN    | A[39:37] |

1. 一种存储控制器,该存储控制器包括:

闪存转换层,该闪存转换层被配置为将从主机接收的逻辑块地址转换为物理块地址,其中,该闪存转换层基于从所述主机接收的请求来确定所述物理块地址中所包括的列地址的寻址单位;以及

命令控制器,该命令控制器被配置为基于所述请求来生成表示所述寻址单位的命令,

其中,所述列地址指定存储器单元的列线,并且以1字节单位的字节寻址或多字节单位的块寻址来表示,

其中,所述列地址在所述字节寻址中依次增加1字节或者在所述块寻址中依次增加多字节,并且

其中,所述寻址单位指示所述列地址是根据所述字节寻址还是所述块寻址进行转换。

2. 根据权利要求1所述的存储控制器,其中,当所述请求是编程请求、读请求和擦除请求中的一个时,所述闪存转换层通过改变所述物理块地址中所包括的至少一个列地址的所述寻址单位来将所述逻辑块地址转换为所述物理块地址。

3. 根据权利要求2所述的存储控制器,其中,所述闪存转换层通过增加所述物理块地址中所包括的所述列地址当中的列地址的所述寻址单位来将所述逻辑块地址转换为所述物理块地址。

4. 根据权利要求2所述的存储控制器,其中,所述闪存转换层通过维持所述物理块地址中所包括的多个地址当中的行地址的寻址单位来将所述逻辑块地址转换为所述物理块地址。

5. 根据权利要求4所述的存储控制器,其中,所述闪存转换层通过增加表示字线的比特数来对所述行地址进行寻址。

6. 根据权利要求2所述的存储控制器,其中,所述闪存转换层:

在一个时段期间输出所述物理块地址中所包括的多个地址当中的列地址,并且

在四个时段期间输出所述物理块地址中所包括的所述多个地址当中的行地址。

7. 根据权利要求1所述的存储控制器,其中,当所述请求是编程请求、读请求和擦除请求中的一个时,所述命令控制器生成表示所述物理块地址中所包括的所述列地址的所述寻址单位已改变的命令。

8. 一种存储器装置,该存储器装置包括:

输入/输出电路,该输入/输出电路被配置为接收命令和地址;

列解码器,该列解码器被配置为对所述地址中的列地址进行解码;以及

控制逻辑,该控制逻辑被配置为从所述输入/输出电路接收所述命令和所述地址,并且基于所述命令和所述地址来控制所述输入/输出电路和所述列解码器执行操作,其中,所述控制逻辑基于所述命令是否表示所述列地址的寻址单位来生成选择信号,

其中,所述列地址指定存储器单元的列线,并且以1字节单位的字节寻址或多字节单位的块寻址来表示,

其中,所述列地址在所述字节寻址中依次增加1字节或者在所述块寻址中依次增加多字节,并且

其中,所述寻址单位指示所述列地址是根据所述字节寻址还是所述块寻址进行转换。

9. 根据权利要求8所述的存储器装置,其中,

当所述命令是编程命令、读命令和擦除命令中的一个时,所述列地址的所述寻址单位是第一单位,并且

当所述命令表示所述列地址以所述第一单位寻址时,所述控制逻辑输出用于控制所述列地址以所述第一单位解码的所述选择信号。

10. 根据权利要求9所述的存储器装置,其中,

当所述命令是除所述编程命令、所述读命令和所述擦除命令之外的命令时,所述列地址的所述寻址单位是第二单位,并且

所述第二单位小于所述第一单位。

11. 根据权利要求10所述的存储器装置,其中,当所述命令表示所述列地址以所述第二单位寻址时,所述控制逻辑输出所述选择信号以控制所述列地址以所述第二单位解码。

12. 根据权利要求11所述的存储器装置,其中,所述列解码器基于所述选择信号来对所述列地址进行解码,并且输出指示所述列地址是所述第一单位或所述第二单位的列地址的列地址信号。

13. 一种存储装置,该存储装置包括:

存储器装置,以及

存储控制器,该存储控制器被配置为控制所述存储器装置,

其中,所述存储控制器将从主机接收的逻辑块地址转换为物理块地址并将所述物理块地址输出到所述存储器装置,其中,所述存储控制器基于来自所述主机的请求来确定所述物理块地址中所包括的列地址的寻址单位,并且生成表示所述寻址单位的命令,并且其中,所述存储器装置基于表示所述寻址单位的所述命令来生成选择信号,

其中,所述列地址指定存储器单元的列线,并且以1字节单位的字节寻址或多字节单位的块寻址来表示,

其中,所述列地址在所述字节寻址中依次增加1字节或者在所述块寻址中依次增加多字节,并且

其中,所述寻址单位指示所述列地址是根据所述字节寻址还是所述块寻址进行转换。

14. 根据权利要求13所述的存储装置,其中,当所述请求是编程请求、读请求和擦除请求中的一个时,所述存储控制器通过改变所述物理块地址中的多个地址中的至少一个的所述寻址单位来将所述逻辑块地址转换为所述物理块地址。

15. 根据权利要求14所述的存储装置,其中,所述存储控制器通过增加所述物理块地址中的所述列地址的所述寻址单位来将所述逻辑块地址转换为所述物理块地址。

16. 根据权利要求14所述的存储装置,其中,所述存储控制器通过维持所述物理块地址中的所述多个地址当中的行地址的寻址单位来将所述逻辑块地址转换为所述物理块地址。

17. 根据权利要求16所述的存储装置,其中,所述存储控制器通过增加表示字线的比特数来对所述行地址进行寻址。

18. 根据权利要求14所述的存储装置,其中,所述存储控制器在一个时段期间将所述物理块地址中的所述多个地址当中的列地址输出到所述存储器装置,并且在四个时段期间将所述物理块地址中的所述多个地址当中的行地址输出到所述存储器装置。

19. 根据权利要求13所述的存储装置,其中,

当所述命令是编程命令、读命令和擦除命令中的一个时,所述列地址的所述寻址单位

是第一单位,并且

当所述命令表示所述列地址以所述第一单位寻址时,所述选择信号是设定值。

20. 根据权利要求19所述的存储装置,其中,

当所述命令是状态读命令、寄存器设定命令和寄存器读命令中的一个时,所述列地址的所述寻址单位是第二单位,并且

所述第二单位小于所述第一单位。

## 存储控制器、存储器装置和存储装置

### 技术领域

[0001] 本文所描述的一个或多个实施方式涉及一种存储装置和操作存储装置的方法。

### 背景技术

[0002] 存储装置通常在诸如计算机、智能电话或智能平板的主机的控制下存储数据。一些存储装置将数据存储在磁盘(例如,硬盘驱动器)上,而其它存储装置将数据存储在诸如固态驱动器(SSD)和存储卡的非易失性半导体存储器中。

[0003] 通常,存储器装置可被分类为易失性存储器装置和非易失性存储器装置。非易失性存储器装置的示例包括只读存储器(ROM)、可编程ROM(PROM)、电可编程ROM(EPROM)、电可擦除可编程ROM(EEPROM)、闪存、相变RAM(PRAM)、磁性RAM(MRAM)、电阻RAM(RRAM)、铁电RAM(FRAM)等。

### 发明内容

[0004] 各种实施方式提供一种存储装置以及该存储装置的操作方法,该存储装置改变输入列地址和行地址的时段以及输入列地址的单位以便在有限时段内输入地址,并且基于具有改变的时段和改变的单位的地址来执行操作。

[0005] 根据本公开的一方面,提供了一种存储控制器,该存储控制器包括:闪存转换层,其被配置为将从主机接收的逻辑块地址转换为物理块地址,其中,该闪存转换层基于从主机接收的请求来确定物理块地址中的多个地址中的至少一个的寻址单位;以及命令控制器,其被配置为基于请求来生成表示寻址单位的命令。

[0006] 根据本公开的另一方面,提供了一种存储器装置,该存储器装置包括:输入/输出电路,其被配置为接收命令和地址;列解码器,其被配置为对地址中的列地址进行解码;以及控制逻辑,其被配置为从输入/输出电路接收命令和地址,并且基于命令和地址控制输入/输出电路和列解码器执行操作,其中,控制逻辑基于命令是否表示列地址的寻址单位来生成选择信号。

[0007] 根据本公开的另一方面,提供了一种包括存储器装置以及被配置为控制存储器装置的存储控制器的存储装置,其中,存储控制器将从主机接收的逻辑块地址转换为物理块地址并将物理块地址输出到存储器装置,其中,存储控制器基于来自主机的请求来确定物理块地址中的多个地址中的至少一个的寻址单位,并且生成表示寻址单位的命令,并且其中,存储器装置基于命令是否表示物理块地址中的多个地址中的至少一个的寻址单位来生成选择信号。

[0008] 根据本公开的另一方面,提供了一种控制存储装置的方法,该方法包括以下步骤:从主机接收请求,基于请求来确定物理块地址中的多个地址的至少一个的寻址单位,并且生成指示寻址单位的命令,其中,所述确定寻址单位的步骤由被配置为将从主机接收的逻辑块地址转换为物理块地址的闪存转换层执行。

## 附图说明

[0009] 现在将在下文参照附图更充分地描述示例实施方式；然而，这些实施方式可按照不同的形式来具体实现，不应被解释为限于本文中所阐述的实施方式。相反，提供这些实施方式以使得本公开将彻底和完整，并且将向本领域技术人员充分传达示例实施方式的范围。

[0010] 在附图中，为了例示清晰，尺寸可能被夸大。将理解，当元件被称为在两个元件“之间”时，其可以是这两个元件之间的仅有元件，或者也可存在一个或更多个中间元件。相似的标号始终表示相似的元件。

[0011] 图1示出存储装置的实施方式。

[0012] 图2示出存储器装置的实施方式。

[0013] 图3示出存储器单元阵列的实施方式。

[0014] 图4示出存储器装置的示例引脚配置。

[0015] 图5A和图5B示出通过图4所示的数据输入/输出线输入的信息的示例。

[0016] 图6A和图6B示出输入图5A和图5B所示的地址的方法。

[0017] 图7A和图7B示出根据本公开的输入如图5A和图5B所示的地址的方法的实施方式。

[0018] 图8示出根据本公开的对列地址进行寻址的方法。

[0019] 图9示出根据本公开的存储控制器的实施方式。

[0020] 图10示出根据本公开的列解码器的实施方式。

[0021] 图11示出根据本公开的由存储控制器执行的方法的实施方式。

[0022] 图12示出根据本公开的操作存储器装置的方法的实施方式。

[0023] 图13示出根据本公开的存储控制器的实施方式。

[0024] 图14示出存储卡系统的实施方式。

[0025] 图15示出固态驱动器(SSD)系统的实施方式。

[0026] 图16示出用户系统的实施方式。

## 具体实施方式

[0027] 为了描述本公开的实施方式，本文所公开的具体结构或功能描述仅是例示性的。本公开的实施方式可按各种形式实现，不能被解释为限于本文中所阐述的实施方式。

[0028] 图1是示出存储装置50的实施方式的框图，存储装置50可包括存储器装置100和存储控制器200。存储装置50可在主机300的控制下存储数据。主机300的示例包括移动电话、智能电话、MP3播放器、膝上型计算机、台式计算机、游戏机、TV、平板PC或车载信息娱乐系统。

[0029] 存储装置50可根据主机接口的通信标准、协议或接口而被制造为各种类型的存储装置中的任一种。存储装置50的示例包括固态驱动器(SSD)、多媒体卡(MMC)、嵌入式MMC(eMMC)、尺寸减小MMC(RS-MMC)、微型MMC(micro-MMC)、安全数字(SD)卡、迷你SD卡、微型SD卡、通用串行总线(USB)存储装置、通用闪存(UFS)装置、紧凑闪存(CF)卡、智能媒体卡(SMC)和记忆棒。

[0030] 存储装置50可被制造为各种类型的封装类型中的任一种。例如，存储装置50可被制造为堆叠式封装(POP)、系统封装(SIP)、系统芯片(SOC)、多芯片封装(MCP)、板载芯片

(COB)、晶圆级制造封装(WFP)和晶圆级层叠封装(WSP)。

[0031] 存储器装置100可在存储控制器200的控制下存储数据。存储器装置100可包括存储器单元阵列,存储器单元阵列包括用于存储数据的多个存储器单元。存储器单元阵列可包括多个存储块,各个存储块可包括多个存储器单元。多个存储器单元可构成多个页。在实施方式中,页可以是用于在存储器装置100中存储数据或读取存储在存储器装置100中的数据的数据的单位。存储块可以是用于擦除数据的单位。

[0032] 在实施方式中,存储器装置100可包括列解码器124,列解码器124对列地址和行地址(包括在从存储控制器200接收的地址中)当中的列地址进行解码并且输出通过将列地址解码而获得的信号。信号可以是例如指示包括在特定页缓冲器或存储器装置100中的存储器单元当中的联接到特定列的存储器单元的列地址信号。

[0033] 在实施方式中,列解码器124可包括复用器(MUX)。复用器可基于从存储控制器200接收的地址中所包括的列地址的寻址单位来输出用于指定页缓冲器的列地址信号。列地址的寻址单位可以是预定大小,例如1字节或512字节。当列地址的寻址单位为512字节时,寻址单位可以是扇区单位。

[0034] 例如,当从存储控制器200接收的列地址以1字节为单位寻址时,列解码器124可输出1字节单位的列地址信号。然而,当从存储控制器200接收的列地址以512字节单位(例如,根据本文所描述的寻址方法的一个或更多个实施方式的扇区单位)寻址时,列解码器124可输出不同于1字节单位的512字节单位的列地址信号。

[0035] 存储器装置100的示例包括双倍数据速率同步动态随机存取存储器(DDR SDRAM)、低功率双倍数据速率4(LPDDR4)SDRAM、图形双倍数据速率(GDDR)SDRAM、低功率DDR(LPDDR)、Rambus动态随机存取存储器(RDRAM)、NAND闪存、垂直NAND闪存、NOR闪存、电阻随机存取存储器(RRAM)、相变随机存取存储器(PRAM)、磁阻随机存取存储器(MRAM)、铁电随机存取存储器(FRAM)、自旋转移矩随机存取存储器(STT-RAM)等。在本说明书中,为了说明方便,描述存储器装置100是NAND闪存的情况。

[0036] 在实施方式中,存储器装置100可被实现为二维阵列结构或三维阵列结构。为了示例性目的,描述存储器装置100被实现为三维阵列结构的情况作为实施方式。另外,一个或更多个实施方式不仅可应用于电荷存储层利用浮栅(FG)来配置的闪存装置,而且可应用于电荷存储层利用绝缘层来配置的电荷捕获闪存(CTF)。

[0037] 在实施方式中,存储器装置100可使用在一个存储器单元中存储一个数据比特的单级单元(SLC)方法来操作。在其它实施方式中,存储器装置100可使用在一个存储器单元中存储至少两个数据比特的方法来操作。例如,存储器装置100可使用在一个存储器单元中存储两个数据比特的多级单元(MLC)方法、在一个存储器单元中存储三个数据比特的三级单元(TLC)方法或者在一个存储器单元中存储四个数据比特的四级单元(QLC)方法来操作。

[0038] 存储器装置100被配置为从存储控制器200接收命令和地址并且访问存储器单元阵列中的通过地址选择的区域。例如,存储器装置100可对通过地址选择的区域执行与命令对应的操作。在实施方式中,存储器装置100可根据所接收的命令来执行写(编程)操作、读操作和擦除操作。例如,当接收到编程命令时,存储器装置100可将数据编程在通过地址选择的区域中。当接收到读命令时,存储器装置100可从通过地址选择的区域读取数据。当接收到擦除命令时,存储器装置100可擦除存储在通过地址选择的区域中的数据。

[0039] 存储控制器200可控制存储装置50的总体操作。当电源电压被施加到存储装置50时,存储控制器200可执行固件(FW)或其它指令。当存储器装置100是闪存装置时,存储控制器200可执行诸如闪存转换层(FTL)的FW以用于控制主机400与存储器装置100之间的通信。

[0040] 在实施方式中,存储控制器200可包括固件(未示出),固件从主机300接收数据和逻辑块地址(LBA)并将LBA转换为表示存储器装置100中所包括的要存储数据的存储器单元的地址的物理块地址(PBA)。另外,存储控制器200可在缓冲存储器中存储建立LBA与PBA之间的映射关系的逻辑-物理地址映射表。

[0041] 存储控制器200可响应于来自主机300的请求而控制存储器装置100执行各种操作,例如编程操作、读操作、擦除操作等。例如,当从主机300接收到编程请求时,存储控制器200可将编程请求改变为编程命令并且可向存储器装置100提供编程命令、PBA和数据。当从主机300与LBA一起接收到读请求时,存储控制器200可将读请求改变为读命令,选择与LBA对应的PBA,然后向存储器装置100提供读命令和PBA。当从主机300接收到擦除请求与LBA时,存储控制器200可将擦除请求改变为擦除命令,选择与LBA对应的PBA,然后向存储器装置100提供擦除命令和PBA。

[0042] 在实施方式中,存储控制器200可自主地生成编程命令、地址和数据而无需来自主机300的任何请求,并且可将编程命令、地址和数据发送到存储器装置100。例如,存储控制器200可将命令、地址和数据提供给存储器装置100以执行后台操作(例如,用于耗损平衡的编程操作或用于垃圾收集的编程操作)。

[0043] 在实施方式中,存储控制器200可包括从主机300接收逻辑块地址(LBA)的闪存转换层210。由于从主机300接收的LBA以扇区为单位寻址,所以闪存转换层210可将LBA转换为页单位的物理块地址(PBA),使得存储器装置100可操作。

[0044] 在实施方式中,用于将LBA转换为要表示的PBA的比特数可随着存储器装置100的容量增加而增加。在一些情况下,从存储控制器200输出的地址可在五个时段(或五个周期)期间输入。因此,通过在五个时段(或五个周期)期间输入的地址表示的地址的数量可能有限。例如,尽管存储器装置100具有高容量,但是可能无法充分地确保用于表示地址的比特数。

[0045] 因此,在本公开中,描述了一种用于灵活地改变在五个时段(或五个周期)期间输入的地址的方法,以指示大容量存储器装置100的地址。在一个实现方式中,灵活地改变地址可包括改变输入地址的时段或者改变用于表示地址的比特数。另外,输入地址的时段或者用于指示地址的比特数可根据从主机300接收的请求或者在存储控制器200中生成的请求而改变。

[0046] 在实施方式中,当存储器装置100中(根据从主机300接收的请求或者存储控制器200的内部操作)要执行的操作是编程操作、读操作或擦除操作时,闪存转换层210可基于从主机300接收的LBA来生成512字节单位的列地址。由于列地址以512字节单位寻址,所以存储控制器200可在向存储器装置100输出地址的五个时段(或五个周期)当中的第一个时段(或一个周期)期间输出列地址,并且可在其它四个时段(或四个周期)期间输出行地址。

[0047] 然而,当存储器装置100中(根据从主机300接收的请求或者存储控制器200的内部操作)执行的操作不是编程操作、读操作或擦除操作时,闪存转换层210可将主机300接收的LBA转换为1字节单位的列地址。存储器装置100中执行的操作可以是例如访问寄存器,例

如状态读操作 (Status Read) 或者寄存器值设定或读操作 (Set/Get Feature)。因此, 存储控制器200可在输出地址的五个时段(五个周期) 期间的前两个时段(两个周期) 期间向存储器装置100输出列地址, 并且可在其它三个时段(或三个周期) 期间向存储器装置100输出行地址。

[0048] 在实施方式中, 存储控制器200可包括命令控制器220。当存储器装置100中根据从主机300接收的请求或者存储控制器200的内部操作而要执行的操作是编程操作、读操作或擦除操作时, 命令控制器220可生成与现有编程操作、现有读操作或现有擦除操作所对应的命令不同的命令。例如, 命令控制器220可生成表示与对应操作对应的列地址将以512字节单位转换的命令。因此, 存储器装置100可识别列地址以1字节单位还是512字节单位转换, 并且可执行对应操作。

[0049] 然而, 当存储器装置100中(根据从主机300接收的请求或者存储控制器200的内部操作) 要执行的操作不是编程操作、读操作或擦除操作时, 命令控制器220可生成与现有编程操作、现有读操作或现有擦除操作所对应的命令相等的命令, 并且可将所生成的命令输出到存储器装置100。

[0050] 在实施方式中, 存储装置50还可包括缓冲存储器(未示出)。存储控制器200可控制主机300与缓冲存储器之间的数据交换。在实施方式中, 存储控制器200可将用于控制存储器装置100的系统数据暂时地存储在缓冲存储器中。例如, 存储控制器200可将主机300输入的数据暂时地存储在缓冲存储器中, 然后可将暂时地存储在缓冲存储器中的数据发送到存储器装置100。

[0051] 在各种实施方式中, 缓冲存储器可用作存储控制器200的工作存储器或高速缓存存储器。缓冲存储器可存储由存储控制器200执行的代码或命令。在实施方式中, 缓冲存储器可存储由存储控制器200处理的数据。缓冲存储器的示例包括诸如双倍数据速率同步 DRAM (DDR SDRAM)、DDR4 SDRAM、低功率双倍数据速率4 (LPDDR4) SDRAM、图形双倍数据速率 (GDDR) SDRAM、低功率DDR (LPDDR) 或 Rambus 动态随机存取存储器 (RDRAM) 的动态随机存取存储器 (DRAM) 或者静态随机存取存储器 (SRAM)。在各种实施方式中, 缓冲存储器可以是联接到存储装置50的外部装置。联接到存储装置50的外部易失性存储器装置可执行缓冲存储器的功能。

[0052] 在实施方式中, 存储控制器200可控制至少两个存储器装置。存储控制器200可根据交织方法来控制存储器装置以改进操作性能。

[0053] 主机300可使用通用串行总线 (USB)、串行AT附件 (SATA)、高速芯片间 (HSIC)、小型计算机系统接口 (SCSI)、火线、外围组件互连 (PCI)、高速PCI (PCIe)、高速非易失性存储器 (NVMe)、通用闪存 (UFS)、安全数字 (SD)、多媒体卡 (MMC)、嵌入式MMC (eMMC)、双列直插存储器模块 (DIMM)、寄存DIMM (RDIMM) 和负载减少DIMM (LRDIMM) 中的至少一种来与存储装置50通信。

[0054] 图2是示出存储器装置100的实施方式的图, 存储器装置100可包括存储器单元阵列100、外围电路120和控制逻辑130。存储器单元阵列110包括通过行线RL联接到行解码器121的多个存储块BLK1至BLKz。多个存储块BLK1至BLKz可通过位线BL1至BLn联接到页缓冲器组123。存储块BLK1至BLKz中的每一个可包括多个存储器单元。在实施方式中, 存储器单元可以是非易失性存储器单元。联接到同一字线的存储器单元可被定义为一个页。因此, 一

个存储块可包括多个页。

[0055] 行线RL可包括至少一条源极选择线、多条字线和至少一条漏极选择线。包括在存储器单元阵列110中的各个存储器单元可被配置为存储一个数据比特的单级单元(SLC)、存储两个数据比特的多级单元(MLC)、存储三个数据比特的三级单元(TLC)或存储四个数据比特的四级单元(QLC)。

[0056] 外围电路120可在控制逻辑130的控制下对存储器单元阵列110的所选区域执行编程操作、读操作或擦除操作。外围电路120可驱动存储器单元阵列110。例如,在控制逻辑130的控制下,外围电路120可对行线RL和位线BL1至BLn施加各种操作电压或者将所施加的电压放电。

[0057] 外围电路120可包括行解码器121、电压发生器122、页缓冲器组123、列解码器124、输入/输出电路125和感测电路126。行解码器121通过行线RL联接到存储器单元阵列110,行线RL可包括至少一条源极选择线、多条字线和至少一条漏极选择线。在实施方式中,字线可包括正常字线和虚设字线。在实施方式中,行线RL还可包括管选择线。

[0058] 行解码器121将从控制逻辑130接收的行地址RADD解码,并且根据解码的地址选择存储块BLK1至BLKz当中的至少一个存储块。行解码器121还可根据解码的地址来选择所选存储块的至少一条字线以将电压发生器122所生成的电压施加到所述至少一条字线WL。例如,在编程操作中,行解码器121可将编程电压施加到所选字线,并且可将电平低于编程电压的电平的编程通过电压施加到未选字线。在编程验证操作中,行解码器121可将验证电压施加到所选字线,并且可将电平高于验证电压的电平的验证通过电压施加到未选字线。

[0059] 在读操作中,行解码器121可将读电压施加到所选字线,并且可将电平高于读电压的电平的读通过电压施加到未选字线。

[0060] 在实施方式中,以存储块为单位执行存储器装置100的擦除操作。在擦除操作中,行解码器121可根据解码的地址选择一个存储块。在擦除操作中,行解码器121可将接地电压施加到联接到所选存储块的字线。

[0061] 电压发生器122在控制逻辑130的控制下操作。在操作中,电压发生器122可使用供应给存储器装置100的外部电源电压来生成多个电压。例如,电压发生器可响应于操作信号OPSIG而生成在编程操作、读操作和擦除操作中使用的各种操作电压Vop。在实施方式中,电压发生器122可在控制逻辑130的控制下生成编程电压、验证电压、通过电压、读电压、擦除电压等。

[0062] 在实施方式中,电压发生器122可通过调节外部电源电压来生成内部电源电压。由电压发生器122生成的内部电源电压用作存储器装置100的操作电压。

[0063] 在实施方式中,电压发生器122可使用外部电源电压或内部电源电压来生成多个电压。例如,电压发生器122可包括用于接收内部电源电压的多个泵浦电容器,并且可通过在控制逻辑130的控制下选择性地启用这多个泵浦电容器来生成多个电压。多个生成的电压可通过行解码器121被供应给存储器单元阵列110。

[0064] 页缓冲器组123包括通过相应的第一位线BL1至第n位线BLn联接到存储器单元阵列110的第一页缓冲器PB1至第n页缓冲器PBn。第一位线BL1至第n位线BLn在控制逻辑130的控制下操作。例如,第一位线BL1至第n位线BLn可响应于页缓冲器控制信号PBSIGNALS而操作。例如,第一页缓冲器PB1至第n页缓冲器PBn可暂时存储通过第一位线BL1至第n位线BLn

接收的数据,或者可在读操作或验证操作中感测位线BL1至BLn的电压或电流。

[0065] 具体地,在编程操作中,当编程电压被施加到所选字线时,第一页缓冲器PB1至第n页缓冲器PBn可将通过输入/输出电路125接收的数据DATA通过第一位线BL1至第n位线BLn传送到所选存储器单元。根据传送的数据DATA对所选页的存储器单元进行编程。在编程验证操作中,第一页缓冲器PB1至第n页缓冲器PBn通过感测通过第一位线BL1至第n位线BLn从所选存储器单元接收的电压或电流来读取页数据。

[0066] 在读操作中,第一页缓冲器PB1至第n页缓冲器PBn通过第一位线BL1至第n位线BLn从所选页的存储器单元读取数据DATA,并在列解码器124的控制下将所读取的数据DATA输出到输入/输出电路125。

[0067] 在擦除操作中,第一页缓冲器PB1至第n页缓冲器PBn可将第一位线BL1至第n位线BLn浮置或施加擦除电压。

[0068] 列解码器124可响应于列地址CADD在输入/输出电路125和页缓冲器组123之间通信数据。例如,列解码器124可通过数据线DL与第一页缓冲器PB1至第n页缓冲器PBn通信数据或者可通过列线CL与输入/输出电路125通信数据。输入/输出电路125可将从存储控制器(例如,图1所示的200)接收的命令CMD和地址ADDR传送到控制逻辑130或者与列解码器124交换数据DATA。

[0069] 在读操作或验证操作中,感测电路125可响应于允许比特VRYBIT信号生成基准电流,并且可通过对从页缓冲器组123接收的感测电压VPB与通过基准电流生成的基准电压进行比较来输出通过信号或失败信号PASS/FAIL。

[0070] 响应于命令CMD和地址ADDR,控制逻辑130可通过输出操作信号OPSIG、行地址RADD、页缓冲器控制信号PBSIGNALS和允许比特VRYBIT来控制外围电路120。例如,控制逻辑130可响应于子块读命令和地址来控制所选存储块的读操作。另外,控制逻辑130可响应于子块擦除命令和地址来控制包括在所选存储块中的所选子块的擦除操作。控制逻辑130可响应于通过信号PASS或失败信号FAIL来确定验证操作通过还是失败。

[0071] 包括在存储器单元阵列110中的各个存储器单元可根据存储在其中的数据而被编程为多个编程状态当中的任一个编程状态。存储器单元的目标编程状态可根据存储在存储器单元中的数据而被确定为多个编程状态中的任一个。

[0072] 图3是示出图2所示的存储器单元阵列的实施方式的图。参照图3,示出电路图,其示出存储块BLKa,该存储块BLKa可表示图2所示的存储器单元阵列110中的多个存储块BLK1至BLKz的结构。

[0073] 在存储块BLKa中,第一选择线、字线和第二选择线平行布置并且可彼此联接,例如,字线可并行布置在第一选择线和第二选择线之间。第一选择线可以是源极选择线SSL,第二选择线可以是漏极选择线DSL。例如,存储块BLKa可包括联接在位线BL1至BLn与源极线SL之间的多个串。位线BL1至BLn可分别联接到串,并且源极线SL可共同联接到串。这些串可彼此相同地配置。将作为示例描述联接到第一位线BL1的串ST。

[0074] 串ST可包括彼此串联联接在源极线SL与第一位线BL1之间的源极选择晶体管SST、多个存储器单元F1至F16和漏极选择晶体管DAT。一个串ST中可包括至少一个源极选择晶体管SST和至少一个漏极选择晶体管DST。在实施方式中,一个串ST中可包括数量大于所示的存储器单元F1至F16的数量的存储器单元。

[0075] 源极选择晶体管SST的源极可联接到源极线SL,漏极选择晶体管DAT的漏极可联接到第一位线BL1。存储器单元F1至F16可串联联接在源极选择晶体管SST和漏极选择晶体管DST之间。包括在不同串中的源极选择晶体管SST的栅极可联接到源极选择线SSL,包括在不同串中的漏极选择晶体管DST的栅极可联接到漏极选择线DSL。存储器单元F1至F16的栅极可联接到多条字线WL1至WL16。包括在不同串中的存储器单元当中的联接到同一字线的一组存储器单元可被称为物理页PPG。因此,存储块BLKa中可包括与字线WL1至WL16的数量对应的物理页。

[0076] 一个存储器单元可存储一比特的数据。存储器单元可被称为单级单元(SLC)。一个物理页PG可存储一个逻辑页(LPG)数据。一个LPG数据可包括与一个物理页PPG中包括的单元的数量对应的数据比特数。在实施方式中,一个存储器单元MC可存储两个或更多个比特的数据。在这种情况下,存储器单元可被称为多级单元(MLC)。一个物理页PPG可存储两个或更多个LPG数据。

[0077] 用于存储两个或更多个比特的数据的存储器单元可被称为MLC。用于存储三个或更多个比特的数据的存储器单元可被称为三级单元(TLC),用于存储四个或更多个比特的数据的存储器单元可被称为四级单元(QLC)。已开发了用于存储多个比特的数据的存储器单元,实施方式可应用于存储两个或更多个比特的数据的存储器系统。

[0078] 在另一实施方式中,多个存储块中的每一个可具有三维结构。各个存储块可包括层叠在基板上的多个存储器单元。多个存储器单元可沿着+X、+Y和+Z方向布置。

[0079] 图4是示出图1所示的存储器装置的引脚配置的示例的图。参照图4,存储器装置(例如,图1所示的100)可通过多条输入/输出线与外部控制器通信。例如,存储器装置(例如,图1所示的100)可通过包括芯片使能线CE#、写使能线WE#、读使能线RE#、地址锁存使能线ALE、命令锁存使能线CLE、写防止线WP#和就绪繁忙线RB的控制信号线以及数据输入/输出线DQ来与外部控制器通信。

[0080] 存储器装置(例如,图1所示的100)可通过芯片使能线CE#从外部控制器接收芯片使能信号。存储器装置(例如,图1所示的100)可通过写使能线WE#从外部控制器接收写使能信号。存储器装置可通过读使能线RE#从外部控制器接收读使能信号。存储器装置(图1所示的100)可通过地址锁存使能线ALE从外部控制器接收地址锁存使能信号。存储器装置(例如,图1所示的100)可通过命令锁存使能线CLE从外部控制器接收命令锁存使能信号。存储器装置(例如,图1所示的100)可通过写防止线WP#从外部控制器接收写防止信号。

[0081] 在实施方式中,存储器装置(例如,图1所示的100)可通过就绪繁忙线RB向存储控制器(例如,图1所示的200)提供用于输出存储器装置(例如,图1所示的100)处于就绪状态还是繁忙状态的就绪繁忙信号。

[0082] 芯片使能信号可以是用于选择存储器装置(例如,图1所示的100)的控制信号。当芯片使能信号处于“高”状态,并且存储器装置(例如,图1所示的100)对应于“就绪”状态时,存储器装置(例如,图1所示的100)可进入低功耗待机状态。

[0083] 写使能信号可以是用于控制输入到存储器装置(例如,图1所示的100)的命令、地址和输入数据被存储在锁存器中的控制信号。

[0084] 读使能信号可以是用于允许输出串行数据的控制信号。

[0085] 地址锁存使能信号可以是主机用来表示通过输入/输出线DQ输入的信号的类型是

命令、地址和数据中的哪一种的控制信号之一。

[0086] 命令锁存使能信号可以是主机用来表示通过输入/输出线DQ输入的信号的类型的信号之一。例如,当命令锁存使能信号被启用(例如,逻辑高),地址锁存使能信号被停用(例如,逻辑低),并且写使能信号被启用(例如,逻辑低),然后被停用(例如,逻辑高)时,存储器装置(例如,图1所示的100)可识别出通过输入/输出线DQ输入的信号是命令。例如,当命令锁存使能信号被停用(例如,逻辑低),地址锁存使能信号被启用(例如,逻辑高),并且写使能信号被启用(例如,逻辑低),然后被停用(例如,逻辑高)时,存储器装置(例如,图1所示的100)可识别出通过输入/输出线DQ输入的信号是地址。

[0087] 写防止信号可以是用于停用由存储器装置(图1所示的100)执行的编程操作和擦除操作的控制信号。

[0088] 就绪繁忙信号可以是用于识别存储器装置(例如,图1所示的100)的状态的信号。低状态的就绪繁忙信号表示存储器装置(例如,图1所示的100)正在执行至少一个操作。高状态的就绪繁忙信号表示存储器装置(例如,图1所示的100)不在执行任何操作。

[0089] 在存储器装置(例如,图1所示的100)正在执行编程操作、读操作和擦除操作中的任一个时,就绪繁忙信号可处于低状态。在本公开的实施方式中,存储控制器(例如,图1所示的200)可基于就绪繁忙信号来确定作为编程操作或擦除操作结束的时间的结束时间。

[0090] 图5A和图5B是示出通过图4所示的数据输入/输出线输入的命令、地址和数据的示例的图。例如,图5A表示通过图4所示的数据输入/输出线DQ依次输入的第一命令CMD1、第一地址ADDR1、第一数据DATA1和第二命令CMD2的流程。图5B表示通过图4所示的数据输入/输出线DQ依次输入的第三命令CMD3、第二地址ADDR2和第四命令CMD4的流程。

[0091] 参照图5A,第一命令CMD1可以是表示对从存储控制器(例如,图1所示的200)接收的数据进行编程的方法的设置命令。可基于设置命令来确定单级单元(SLC)方法、多级单元(MLC)方法、三级单元(TLC)方法和四级单元(QLC)方法当中的任一个方法和/或页编程方法、多平面编程方法和高速缓存编程方法当中的任一个编程方法。

[0092] 可通过数据输入/输出线DQ接着第一命令CMD1接收第一地址ADDR1。第一地址ADDR1可包括列地址和行地址,例如,第一地址ADDR1可表示要暂时存储从存储控制器(例如,图1所示的200)传送的数据的页缓冲器以及要存储页缓冲器中存储的数据的存储器区域。要存储数据的存储器区域可以是包括在存储器单元阵列(例如,图2所示的110)中的存储块BLK1至BLKz中的任一个。

[0093] 在实施方式中,存储器装置(例如,图2所示的100)可依次接收包括在第一地址ADDR1中的列地址和行地址。可基于所接收的列地址来确定包括在页缓冲器组(例如,图2所示的123)中的页缓冲器或者存储器单元阵列(例如,图2所示的110)的特定列。可基于所接收的行地址来确定要存储页缓冲器中存储的数据的存储器区域或存储块。

[0094] 通过数据输入/输出线DQ接着第一地址ADDR1接收的第一数据DATA1可以是要存储或编程在存储器单元阵列(例如,图2所示的110)中的数据。第一数据DATA1可被暂时存储在页缓冲器组(例如,图2所示的123)中包括的多个页缓冲器中的一个缓冲器中,然后被编程在被确定与行地址对应的存储器区域中。

[0095] 通过数据输入/输出线DQ接着第一数据DATA1接收的第二命令CMD2可以是确认命

令。确认命令可以是指示与设置命令所确定的命令对应的操作的开始的命令。因此,当存储器装置(图2所示的100)接收到确认命令时,存储器装置(图2所示的100)可将从存储控制器(图1所示的200)传送的第一数据DATA1编程在多个存储器区域当中的任一个存储器区域中。

[0096] 参照图5B,第三命令CMD3可以是表示读取编程在存储器装置(图2所示的100)中的数据的方法的设置命令。例如,可基于设置命令来确定页读取方法、高速缓存读取方法、平面读取方法和多平面读取方法当中的任一个读取方法。

[0097] 可通过数据输入/输出线DQ接着第三命令CMD3接收第二地址ADDR2。类似于第一地址ADDR1,第二地址ADDR2可包括列地址和行地址。例如,第二地址ADDR2可表示包括在存储器单元阵列(图2所示的110)中的存储器单元当中的特定存储器单元的位置。

[0098] 在实施方式中,存储器装置(图2所示的100)可依次接收包括在第二地址ADDR2中的列地址和行地址。可基于所接收的列地址来确定包括在页缓冲器组(图2所示的123)中的页缓冲器或存储器单元阵列(图2所示的110)的特定列。可基于所接收的行地址来确定要存储页缓冲器中存储的数据的存储器区域或存储块。

[0099] 通过数据输入/输出线DQ接着第二地址ADDR2接收的第四命令CMD4可以是确认命令。确认命令可以是指示与设置命令所确定的命令对应的操作的开始的命令。因此,当存储器装置(图2所示的100)接收到确认命令时,存储器装置(图2所示的100)可读取存储在第二地址ADDR2所指定的存储器单元中的数据,并将所读取的数据输出到存储控制器(图1所示的200)。

[0100] 在实施方式中,图5A和图5B中的第一地址ADDR1和第二地址ADDR2中的每一个中包括的列地址和行地址可以按字节为单位寻址。例如,第一地址ADDR1和第二地址ADDR2中的每一个可以是页单位的地址。

[0101] 然而,当存储器装置(图2所示的100)具有高容量时,用于指示地址的比特数可增加。因此,可改变地址输入到存储器装置(图2中的100)的时段(周期)和/或地址的寻址单位。将参照图6A至图8更详细地描述包括在地址中的列地址和行地址的寻址方法。

[0102] 图6A和图6B是示出输入图5A和图5B所示的地址的方法的图。图6A示出当输入第一地址ADDR1或第二地址ADDR2(示出于图5A和图5B中)时实际输入的地址。图6B示出在图6A的各个周期中通过实际输入/输出线DQ输入的比特。示出图4所示的输入/输出线DQ配置有八条输入/输出线DQ0至DQ7的情况。另外,图6A和图6B示出当存储器装置(图2所示的100)的容量为1Tb时的地址的情况。

[0103] 参照图5A、图5B和图6A,可在五个时段(或五个周期)期间输入第一地址ADDR1或第二地址ADDR2(示出于图5A和图5B中)。在实施方式中,如果当存储器装置(图2所示的100)的容量为1Tb时以16-Kb为单位生成页并且以2-Kb为单位生成空闲区(spare),则可能需要15比特数据来表示列地址COLUMN ADDR(例如, $A[14:0] = 100111101010111$ ),并且可能需要23比特数据来表示行地址ROW ADDR(例如, $A[16:39] = 101010011101110100111011$ )。

[0104] 因此,包括在地址中的列地址COLUMN ADDR的部分C1可在第一周期1<sup>st</sup> CYCLE期间输入(例如,10011110),并且列地址COLUMN ADDR的其它部分C2可在第二周期2<sup>nd</sup> CYCLE期间输入(例如,1010111)。另外,包括在地址中的行地址ROW ADDR的部分R1可在第三周期3<sup>rd</sup> CYCLE期间输入(例如,10101001),行地址ROW ADDR的另一部分R2可在第四周期4<sup>th</sup> CYCLE期

间输入(例如,11011101),行地址ROW ADDR的其它部分R3可在第五周期5<sup>th</sup> CYCLE期间输入(例如,00111011)。

[0105] 参照图6A和图6B,可在第一周期1<sup>st</sup> CYCLE和第二周期2<sup>nd</sup> CYCLE期间通过输入/输出线DQ0至DQ7输入列地址COLUMN ADDR。例如,在第一周期1<sup>st</sup> CYCLE期间分别通过DQ0、DQ1、DQ2、DQ3、DQ4、DQ5、DQ6和DQ7输入A0、A1、A2、A3、A4、A5、A6和A7之后,可在第二周期2<sup>nd</sup> CYCLE期间分别通过DQ0、DQ1、DQ2、DQ3、DQ4、DQ5、DQ6和DQ7输入A8、A9、A10、A11、A12、A13和A14。A0至A14 A[14:0]中的每一个可为“0”或“1”。

[0106] 在实施方式中,在第二周期2<sup>nd</sup> CYCLE中,可输入通过DQ7输入的数据以将列地址COLUMN ADDR和行地址ROW ADDR彼此区分。另选地,可能不存在通过DQ7输入的数据。

[0107] 参照图6A和图6B,可在第三周期3<sup>rd</sup> CYCLE至第五周期5<sup>th</sup> CYCLE期间通过输入/输出线DQ0至DQ7输入行地址ROW ADDR。例如,可在第三周期3<sup>rd</sup> CYCLE和第四周期4<sup>th</sup> CYCLE期间通过输入/输出线DQ0至DQ7输入表示特定字线WORD LINE的位置的比特A16至A24 A[24:16],可在第四周期4<sup>th</sup> CYCLE期间通过输入/输出线DQ0至DQ7输入表示特定平面PLANE的位置的比特A25和A26 A[26:25],并且可在第四周期4<sup>th</sup> CYCLE和第五周期5<sup>th</sup> CYCLE期间通过输入/输出线DQ0至DQ7输入表示特定存储块BLOCK的位置的比特A27至A36 A[36:27]以及表示逻辑单元装置LUN的位置的比特A37至A39 A[39:37]。A16至A39 A[39:16]中的每一个可为“0”或“1”。

[0108] 参照图6A和图6B,如果从存储控制器(图1所示的200)接收的地址以1字节为单位寻址,则当存储器装置(图2所示的100)的容量为1Tb时,可能需要15比特数据来表示列地址COLUMN ADDR,并且可能需要23比特数据来表示行地址ROW ADDR。

[0109] 例如,当存储器装置(图2所示的100)的容量为1Tb时,在第三周期3<sup>rd</sup> CYCLE至第五周期5<sup>th</sup> CYCLE期间输入的所有比特A[39:16]可用于表示行地址ROW ADDR。即,具有1Tb的容量的存储器装置(图2所示的100)的地址无法通过在第三周期3<sup>rd</sup> CYCLE至第五周期5<sup>th</sup> CYCLE的三个周期期间输入的地址来表示。

[0110] 因此,当存储器装置(图2所示的100)的容量逐渐增加至2Tb和4Tb时,对应地址无法通过在第三周期3<sup>rd</sup> CYCLE至第五周期5<sup>th</sup> CYCLE期间输入的比特来表示,因此可增加输入行地址ROW ADDR的周期。

[0111] 此外,从存储控制器(图1所示的200)发送至存储器装置(图2所示的100)的地址要在第一周期1<sup>st</sup> CYCLE至第五周期5<sup>th</sup> CYCLE期间(例如,在五个周期内)输入。因此,当输入行地址ROW ADDR的周期增加时,可减小输入列地址COLUMN ADDR的周期。因此,另外,列地址COLUMN ADDR可以按512字节单位而非1字节单位寻址,以在减小的周期中输入列地址COLUMN ADDR。

[0112] 图7A和图7B是示出根据本公开的输入图5A和图5B所示的地址的方法的实施方式的图。参照图7A和图7B,图7A示出当以512字节单位对地址进行寻址时实际输入的地址,图7B示出在各个周期中通过实际输入/输出线DQ输入的比特。示出图7A和图7B所示的输入/输出线DQ配置有八条输入/输出线DQ0至DQ7的情况。另外,示出图7A和图7B示出当存储器装置(图2所示的100)的容量超过1Tb时的地址的情况。

[0113] 参照图6A、图6B、图7A和图7B,类似于图6A和图6B,图7A和图7B示出在五个时段(或周期)期间输入的地址。然而,与图6A和图6B不同,图7A和图7B示出仅在第一周期1<sup>st</sup> CYCLE

期间输入列地址COLUMN ADDR。例如,根据实施方式,当列地址COLUMN ADDR以512字节单位寻址时,可在第一周期1<sup>st</sup> CYCLE期间通过输入/输出线DQ0至DQ7输入列地址COLUMN ADDR。

[0114] 在实施方式中,当存储器装置(图1所示的100)中根据从主机(图1所示的300)接收的请求或者存储控制器(图1所示的200)的内部操作要执行的操作是编程操作、读操作或擦除操作时,闪存转换层(图1所示的210)可基于从主机(图1所示的300)接收的逻辑块地址(LBA)以512字节单位生成列地址。当以512字节单位生成列地址时,可利用8比特表示列地址。因此,可在第一周期1<sup>st</sup> CYCLE期间输入包括在地址中的列地址COLUMN ADDR。另外,可在其它的第二周期2<sup>nd</sup> CYCLE至第五周期5<sup>th</sup> CYCLE期间输入行地址R1至R4。

[0115] 参照图7A和图7B,可在第一周期1<sup>st</sup> CYCLE期间通过输入/输出线DQ0至DQ7输入列地址COLUMN ADDR。所输入的列地址COLUMN ADDR可以按512字节为单位生成。例如,可在第一周期1<sup>st</sup> CYCLE期间通过输入/输出线DQ0至DQ7输入A0至A7。A0至A7 A[7:0]中的每一个可为“0”或“1”。

[0116] 参照图7A和图7B,可在第二周期2<sup>nd</sup> CYCLE至第五周期5<sup>th</sup> CYCLE期间通过输入/输出线DQ0至DQ7输入行地址ROW ADDR。即,与图6A和图6B中输入的行地址不同,可输入添加了一个周期的行地址ROW ADDR。例如,表示特定字线WORD LINE的位置的比特A8至A24 A[24:8]可在第二周期2<sup>nd</sup> CYCLE至第四周期4<sup>th</sup> CYCLE期间通过输入/输出线DQ0至DQ7输入,表示特定平面PLANE的位置的比特A25和A26 A[26:25]可在第四周期4<sup>th</sup> CYCLE期间通过输入/输出线DQ0至DQ7输入,并且表示特定存储块BLOCK的比特A27至A36 A[36:27]以及表示逻辑单元装置LUN的位置的比特A37至A39 A[39:37]可在第四周期4<sup>th</sup> CYCLE和第五周期5<sup>th</sup> CYCLE期间通过输入/输出线DQ0至DQ7输入。A8至A39 A[39:16]中的每一个可为“0”或“1”。

[0117] 示出表示字线WORD LINE的位置的比特被扩展的情况。然而,在另一实施方式中,表示平面PLANE、存储块BLOCK或逻辑单元装置LUN的位置的比特可被扩展。在另一实施方式中,可灵活地改变表示字线WORD LINE、平面PLANE、存储块BLOCK或逻辑单元装置LUN的比特。

[0118] 图8是示出对列地址进行寻址的一种类型的方法的图。参照图8,图8所示的第一至第七列表示用于表示列地址COLUMN ADDR(例如,通过输入/输出线DQ0至DQ7输入的A0至A7)的比特。第八列表示该方法中可以按1字节单位的字节寻址BYTE ADDRESSING表示地址的范围。第九列表示可根据本公开以512字节单位的扇区寻址SECTOR ADDRESSING或块寻址BLOCK ADDRESSING表示地址的范围。在图8中,A0至A7中的每一个可为“0”或“1”。

[0119] 在实施方式中,利用A1至A7表示的地址可根据字节寻址BYTE ADDRESSING和块寻址BLOCK ADDRESSING而改变。例如,在字节寻址BYTE ADDRESSING中,地址依次增加1字节(0、1、2、...)。另外,由于地址依次增加1字节,所以可由通过输入/输出线DQ0至DQ7输入的A1至A7一次表示的地址为255字节。此外,可由在两个周期期间输入的A1至A7一次表示的地址为65536字节。因此,当以16-Kb为单位生成页并且以2-Kb为单位生成空闲区时,要在两个周期期间输入地址以表示列地址。

[0120] 然而,在块寻址BLOCK ADDRESSING中,地址依次增加512字节(0、512、1024、...)。另外,由于地址依次增加512字节,所以可由通过输入/输出线DQ0至DQ7输入的A1至A7一次表示的地址为130560字节。因此,与字节寻址BYTE ADDRESSING不同,根据块寻址BLOCK

ADDRESSING, 16-Kb单位的页和2-Kb单位的空闲区可由在一个周期期间输入的A1至A7充分表示。即,根据块寻址BLOCK ADDRESSING, 可仅使用在一个周期期间输入的地址来表示列地址。

[0121] 因此,根据本公开的实施方式,列地址COLUMN ADDR可在一个周期期间输入,使得在输入地址的五个周期当中的四个周期期间输入行地址ROW ADDR。另外,列地址可根据512字节单位的块寻址BLOCK ADDRESSING来寻址,使得在一个周期期间输入列地址COLUMN ADDR。当列地址根据块寻址BLOCK ADDRESSING来寻址时,可在一个周期期间输入所有列地址。

[0122] 图9是示出存储控制器200的实施方式的图,存储控制器200可包括闪存转换层210和命令发生器220。闪存转换层210可从主机300与请求REQUEST一起接收逻辑块地址(LBA)。从主机300接收的请求REQUEST可以是编程请求、读请求和擦除请求中的任一个。因此,与从主机300接收的REQUEST一起接收的LBA可对应于编程请求、读请求和擦除请求中的任一个。

[0123] 在实施方式中,闪存转换层210可将LBA转换为物理块地址(PBA)并将PBA输出到存储器装置100。LBA以扇区为单位寻址,并且存储器装置100以页为单位或存储块为单位执行操作。因此,LBA可被转换为PBA,使得存储器装置100执行操作。

[0124] 从闪存转换层210输出的PBA可在五个周期期间通过输入/输出线DQ输入到存储器装置100。列地址可在五个周期当中的两个周期期间输入,并且行地址可在五个周期当中的三个周期期间输入。然而,当存储器装置100的容量增加时,用于表示存储器装置100的地址的比特数可增加。例如,当存储器装置100的容量增加时,用于表示行地址的比特数可增加。

[0125] 因此,当存储器装置100的容量增加时,LBA可作为PBA寻址,使得在输入PBA的五个周期当中的仅一个周期期间输入列地址,并且在其它四个周期期间输入行地址。例如,根据实施方式,可分配更多数量的比特来表示行地址,并且可在从现有的三个周期增加的四个周期期间输入行地址。另外,由于要在一个周期而非现有的两个周期期间输入列地址,所以列地址可以按512字节单位寻址。

[0126] 在本实施方式中,当存储器装置100中要执行的操作根据从主机300接收的请求REQUEST或者存储控制器200的内部操作来确定时,可根据对应操作来设定列地址的寻址单位以及输入列地址和行地址的时段。例如,当存储器装置100中根据从主机300接收的请求REQUEST或者存储控制器200的内部操作而要执行的操作是编程操作、读操作或擦除操作时,闪存转换层210可基于从主机300接收的LBA来生成512字节单位的列地址。另外,512字节单位的列地址可在输入地址的五个周期当中的一个周期期间输入到存储器装置100,并且1字节单位的行地址可在五个周期当中的四个周期期间输入到存储器装置。

[0127] 在实施方式中,当存储器装置100中根据从主机300接收的请求REQUEST或者存储控制器200的内部操作而要执行的操作是编程操作、读操作或擦除操作时,命令控制器220可生成与现有编程操作、现有读操作或擦除操作所对应的命令不同的命令。例如,命令控制器220可生成表示与对应操作对应的列地址要以512字节单位转换的命令。因此,存储器装置100可基于命令控制器220所生成的命令来识别列地址以1字节单位还是512字节单位寻址,并执行对应操作。

[0128] 然而,当存储器装置100中根据从主机300接收的请求REQUEST或者存储控制器200的内部操作而要执行的操作不是编程操作、读操作或擦除操作时,命令控制器220可生成与

现有命令相同的命令,并将所生成的命令输出到存储器装置100。例如,当存储器装置100中根据从主机300接收的请求REQUEST或者存储控制器200的内部操作而要执行的操作是访问寄存器的操作(例如,状态读操作(Status Read)或寄存器值设定或读操作(Set/Get Feature))时,可使用与现有方法相同的方法来执行寻址,生成与现有命令相同的命令,并将所生成的命令输出到存储器装置100。

[0129] 图10是示出在图2所示的存储器装置中由列解码器执行的操作的实施方式的图。参照图2和图10,列解码器124可包括复用器124\_1,复用器124\_1基于列地址COL\_ADDR来输出列地址信号COL\_ADDR\_SIG。列地址信号COL\_ADDR\_SIG可以是用于指定页缓冲器组(例如,图2所示的123)中所包括的多个页缓冲器PB1至PBn中的任一个或者指定存储器单元阵列(例如,图2所示的110)中所包括的存储器单元的任一条列线CL的信号。

[0130] 在实施方式中,列解码器124可将从存储控制器(图1所示的200)接收的地址中所包括的列地址COL\_ADDR解码。列地址COL\_ADDR可以1字节单位或512字节单位解码(寻址)。根据列地址COL\_ADDR的单位是1字节单位还是512字节单位,可选择复用器124\_1的第一线或第二线,并且可通过对应线输入列地址COL\_ADDR。例如,当存储器装置100中根据从主机300接收的请求或者存储控制器200的内部操作而要执行的操作是编程操作、读操作或擦除操作时,列地址COL\_ADDR可以按512字节单位解码,在其它情况下以1字节单位解码。

[0131] 在实施方式中,列解码器124可从控制逻辑(图2所示的130)接收选择信号SEL\_SIG。控制逻辑130可基于从存储控制器(图2所示的200)接收的命令来生成选择信号SEL\_SIG。例如,当从存储控制器(图1所示的200)接收的命令表示列地址COL\_ADDR以512字节单位寻址时,控制逻辑130可基于从存储控制器(图1所示的200)接收的命令来生成并输出选择信号SEL\_SIG“1”。

[0132] 例如,可从控制逻辑130输出表示列地址COL\_ADDR以512字节单位寻址的选择信号SEL\_SIG,并且基于选择信号SEL\_SIG从存储控制器(图1所示的200)接收的列地址COL\_ADDR可以按512字节单位解码。

[0133] 在另一示例中,当从存储控制器(图1所示的200)接收的命令表示列地址COL\_ADDR以1字节单位寻址时,控制逻辑130可基于从存储控制器(图1所示的200)接收的命令来生成并输出选择信号SEL\_SIG。例如,可从控制逻辑130输出表示列地址COL\_ADDR以1字节单位寻址的选择信号SEL\_SIG,并且基于选择信号SEL\_SIG从存储控制器(图1所示的200)接收的列地址COL\_ADDR可以按1字节单位解码。

[0134] 在实施方式中,表示列地址COL\_ADDR以512字节单位寻址的选择信号SEL\_SIG为“1”。然而,在另一实施方式中,表示列地址COL\_ADDR以512字节单位寻址的选择信号SEL\_SIG可为“0”。

[0135] 在实施方式中,复用器124\_1可基于列地址COL\_ADDR和选择信号SEL\_SIG来输出列地址信号COL\_ADDR\_SIG。例如,当选择信号SEL\_SIG为“1”时,复用器124\_1可输出表示从存储控制器(图2所示的200)接收的列地址COL\_ADDR是以512字节单位寻址的列地址COL\_ADDR的列地址信号COL\_ADDR\_SIG。因此,复用器124\_1可输出以512字节单位解码的列地址信号COL\_ADDR\_SIG。

[0136] 然而,当选择信号SEL\_SIG为“0”时,复用器124\_1可输出表示从存储控制器(图2所示的200)接收的列地址COL\_ADDR是以1字节单位寻址的列地址COL\_ADDR的列地址信号COL\_

ADDR\_SIG。因此,复用器124\_1可输出以1字节单位解码的列地址信号COL\_ADDR\_SIG。

[0137] 在实施方式中,复用器124\_1以开关形式表示。在各种实施方式中,复用器124\_1可包括多个晶体管和/或电阻器。

[0138] 因此,存储器装置100基于从列解码器124输出的列地址信号COL\_ADDR\_SIG来执行操作,并且可对根据列地址信号COL\_ADDR\_SIG所表示的寻址单位指定的区域执行操作。

[0139] 图11是示出根据本公开的实施方式的由存储控制器执行的操作的实施方式的图。参照图11,在S1101中,存储控制器可从主机接收请求和逻辑块地址。从主机接收的请求可以是编程请求、读请求或擦除请求。另选地,从主机接收的请求是除编程请求、读请求或擦除请求之外的请求,并且可以是与访问寄存器的操作(例如,状态读操作(Status Read)或者寄存器值设定或读操作(Set/Get Feature))对应的请求。在实施方式中,从主机接收的逻辑块地址可以是与从主机接收的请求对应的地址。

[0140] 在S1103中,存储控制器可确定从主机接收的请求是否与编程请求、读请求或擦除请求中的任一个对应。当从主机接收的请求对应于编程请求、读请求或擦除请求中的任一个时,存储控制器进行到操作S1107。当从主机接收的请求不与编程请求、读请求或擦除请求中的任一个对应时,存储控制器进行到操作S1105。

[0141] 当从主机接收的请求不是编程请求、读请求或擦除请求中的任一个(否)时,存储控制器可通过允许输入地址的五个周期等于现有周期来转换地址。例如,逻辑块地址可被转换为物理块地址,使得在五个周期当中的两个周期期间输入列地址并且在其它的三个周期期间输入行地址(S1105)。

[0142] 然而,当从主机接收的请求是编程请求、读请求或擦除请求(是)时(例如,当从主机接收的请求是与访问寄存器的操作(例如,状态读操作(Status Read)或者寄存器值设定或读操作(Set/Get Feature))对应的请求时),存储控制器可通过改变输入地址的周期以及列地址寻址的单位来转换地址。

[0143] 例如,当从主机接收的请求是编程请求、读请求或擦除请求时,存储控制器可将逻辑块地址转换为物理块地址,使得在输入地址的五个周期当中的一个周期期间输入列地址,并且在其它的四个周期期间输入行地址(S1107)。由于要在一个周期期间输入列地址,所以列地址可以按512字节单位寻址。

[0144] 图12是示出根据本公开的实施方式的由存储器装置执行的操作的图。参照图12,在S1201中,存储器装置可确定从外部控制器接收的地址中所包括的列地址的单位。在实施方式中,当从主机接收的请求是编程请求、读请求或擦除请求中的任一个时,列地址可以按1字节单位寻址。当从主机接收的请求不是编程请求、读请求或擦除请求中的任一个时,列地址按512字节单位寻址。因此,寻址的列地址的单位可彼此区分。

[0145] 在S1203中,存储器装置可确定转换为物理块地址的地址中所包括的列地址的寻址单位是否为1字节单位。当列地址的寻址单位是1字节单位时,存储器装置进行到操作S1207。当列地址的寻址单位不是1字节单位时(即,当列地址的寻址单位是512字节单位时),存储器装置进行到操作S1205。

[0146] 在S1205中,存储器装置可生成表示列地址的寻址单位是512字节单位的选择信号。选择信号可为“1”。随后,存储器装置可生成通过将列地址和选择信号“1”组合而获得的列地址信号(S1209)。所生成的列地址信号可表示以512字节单位寻址的列地址,同时指定

特定页缓冲器和存储器单元阵列的任一条列线。

[0147] 在S1207中,存储器装置可生成表示列地址的寻址单位是1字节单位的选择信号。选择信号可为“0”。随后,存储器装置可生成通过将列地址和选择信号“0”组合而获得的列地址信号(S1209)。所生成的列地址信号可表示列地址以1字节单位寻址,同时指定特定页缓冲器和存储器单元阵列的任一条列线。

[0148] 图13是示出存储控制器1000的实施方式的图,其对应于图1所示的存储控制器。参照图13,存储控制器1000联接到主机和存储器装置,并且被配置为响应于从主机接收的请求而访问存储器装置。例如,存储控制器1000可被配置为控制存储器装置的读操作、编程操作、擦除操作和后台操作。存储控制器1000还可被配置为在存储器装置与主机之间提供接口并且驱动用于控制存储器装置的固件或其它指令。

[0149] 存储控制器1000可包括处理器1010、存储器缓冲器1020、纠错码(ECC)电路1030、主机接口1040、缓冲器控制电路1050、存储器接口1060和总线1070。

[0150] 总线1070可被配置为在存储控制器1000的组件之间提供通道。

[0151] 处理器1010可控制存储控制器1000的总体操作并执行逻辑操作。处理器1010可通过主机接口1040与外部主机通信,并且通过存储器接口1060与存储器装置通信。另外,处理器1010可通过缓冲器控制电路1050与存储器缓冲器1020通信。处理器1010可使用存储器缓冲器1020作为工作存储器、高速缓存存储器或缓冲存储器来控制存储装置的操作。

[0152] 处理器1010可执行闪存转换层(FTL)的功能,例如,可通过FTL将主机所提供的逻辑块地址(LBA)转换为物理块地址(PBA)。FTL可使用映射表来接收LPA以转换为PBA。根据映射单位存在FTL的多个地址映射方法。代表性地址映射方法包括页映射方法、块映射方法和混合映射方法。

[0153] 在实施方式中,处理器1010可基于从主机(图1所示的300)接收的请求来将逻辑块地址(LBA)转换为物理块地址(PBA)。例如,当从主机(图1所示的300)接收的请求是编程请求、读请求或擦除请求时,处理器1010可以按512字节单位对LBA寻址。例如,包括在PBA中的地址当中的列地址可以按512字节单位寻址。

[0154] 此外,处理器1010可在输入地址的五个周期当中的仅一个周期期间将列地址输出到存储器装置(图1所示的100),并且可在其它的四个周期期间将行地址输出到存储器装置(图1所示的100)。例如,由于列地址以512字节单位寻址,所以处理器1010可在仅一个周期期间输入列地址。另外,由于用于表示行地址的比特数增加,所以处理器1010可在四个周期期间将经增加的比特数输出到存储器装置(图1所示的100)。

[0155] 在实施方式中,当从主机(图1所示的300)接收的请求是编程请求、读请求或擦除请求时,处理器1010可生成表示LBA要以512字节单位寻址的命令。例如,处理器1010可生成表示列地址要以512字节单位寻址的新命令(而非与现有编程请求、现有读请求或现有擦除请求对应的命令),并且可将所生成的新命令输出到存储器装置(图1所示的100)。在实施方式中,存储器装置(图1所示的100)可基于命令通过确定寻址单位是1字节单位还是512字节单位来执行与新命令对应的操作。

[0156] 在实施方式中,处理器1010可被配置为将从主机接收的数据随机化。例如,处理器1010可使用随机化种子将从主机接收的数据随机化。将随机化的数据作为要存储的数据提供给存储器装置以编程在存储器单元阵列中。处理器1010可通过驱动软件或固件来执行随

机化和去随机化。

[0157] 存储器缓冲器1020可用作处理器1010的工作存储器、高速缓存存储器或缓冲存储器。存储器缓冲器1020可存储由处理器1010执行的代码和命令。存储器缓冲器1020可存储由处理器1010处理的数据。存储器缓冲器1020可包括静态RAM (SRAM) 或动态RAM (DRAM)。

[0158] ECC电路1030可执行ECC操作。例如, ECC电路1030可对要通过存储器接口1060写在存储器装置中的数据执行ECC编码。经ECC编码的数据可通过存储器接口1060被传送到存储器装置。ECC电路1030可对通过存储器接口1060从存储器装置接收的数据执行ECC解码。在示例中, ECC电路1030可作为存储器接口1060的组件包括在存储器接口1060中。

[0159] 主机接口1040可在处理器1010的控制下与外部主机通信。主机接口1040可例如通过通用串行总线 (USB)、串行ATA附件 (SATA)、高速芯片间 (HSIC)、小型计算机系统接口 (SCSI)、火线、外围组件互连 (PCI)、高速PCI (PCIe)、高速非易失性存储器 (NVMe)、通用闪存 (UFS)、安全数字 (SD)、多媒体卡 (MMC)、嵌入式MMC (eMMC)、双列直插存储器模块 (DIMM)、寄存DIMM (RDIMM) 和负载减少DIMM (LRDIMM) 中的一种或更多种来与主机通信。

[0160] 缓冲器控制电路1050被配置为在处理器1010的控制下控制存储器缓冲器1020。

[0161] 存储器接口1060被配置为在处理器1010的控制下与存储器装置通信。存储器接口1060可通过一个或多个通道来与存储器装置通信命令、地址和数据。在示例中, 存储控制器1000可不包括存储器缓冲器1020和缓冲器控制电路1050。

[0162] 在实施方式中, 处理器1010可使用代码来控制存储控制器1000的操作。处理器1010可从设置在存储控制器1000中的非易失性存储器装置 (例如, 只读存储器 (ROM)) 加载代码。在另一示例中, 处理器1010可通过存储器接口1060从存储器装置加载代码。

[0163] 例如, 存储控制器1000的总线1070可被划分成控制总线 and 数据总线。数据总线可被配置为发送存储控制器1000中的数据。控制总线可配置为发送存储控制器1000中的诸如命令和地址的控制信息。数据总线和控制总线可彼此分离, 并且可彼此不干扰或影响。数据总线可联接到主机接口1040、缓冲器控制电路1050、ECC电路1030和存储器接口1060。控制总线可联接到主机接口1040、处理器1010、缓冲器控制电路1050、存储器缓冲器1020和存储器接口1060。

[0164] 图14示出可应用存储装置的任何实施方式的存储卡系统2000的实施方式。参照图14, 存储卡系统2000包括存储控制器2100、存储器装置2200和连接器2300。

[0165] 存储控制器2100联接到存储器装置2200, 并且被配置为访问存储器装置2200。例如, 存储控制器2100被配置为控制存储器装置2200的读操作、写操作、擦除操作和后台操作。存储控制器2100被配置为在存储器装置2200和主机之间提供接口。存储控制器2100被配置为驱动用于控制存储器装置2200的固件或其它指令。存储器装置2200可与存储器装置100 (图1所示的100) 相同地实现。

[0166] 在示例中, 存储控制器2100可包括诸如随机存取存储器 (RAM)、处理单元、主机接口、存储器接口和纠错器的组件。存储控制器2100可通过连接器2300与外部装置通信。存储控制器2100可根据特定通信协议与外部装置 (例如, 主机) 通信。在示例中, 存储控制器2100可通过至少一种通信协议来与外部装置通信。通信协议的示例包括通用串行总线 (USB)、多媒体卡 (MMC)、嵌入式MMC (eMMC)、外围组件互连 (PCI)、高速PCI (PCIe)、高级技术附件 (ATA)、串行ATA (SATA)、并行ATA (PATA)、小型计算机系统接口 (SCSI)、增强小型磁盘接口

(ESDI)、集成驱动电子设备 (IDE)、火线、通用闪存 (UFS)、Wi-Fi、蓝牙和NVMe。

[0167] 存储器装置2200可被实现为例如非易失性存储器装置。示例包括电可擦除可编程ROM (EEPROM)、NAND闪存、NOR闪存、相变RAM (PRAM)、电阻RAM (ReRAM)、铁电RAM (FRAM) 和自旋转移矩磁性RAM (STT-MRAM)。

[0168] 在实施方式中,存储控制器2100可基于从主机(图1所示的300)接收的请求将逻辑块地址(LBA)转换为物理块地址(PBA)。例如,当从主机(图1所示的300)接收的请求是编程请求、读请求或擦除请求时,存储控制器2100可以按512字节单位对LBA寻址。例如,PBA中的地址当中的列地址可以按512字节单位寻址。

[0169] 此外,存储控制器2100可在输入地址的五个周期当中的仅一个周期期间将列地址输出到存储器装置2200,并且可在其它的四个周期期间将行地址输出到存储器装置2200。例如,由于列地址以512字节单位寻址,所以存储控制器2100可在仅一个周期期间输入列地址。另外,由于用于表示行地址的比特数增加,所以存储控制器2100可在四个周期期间将增加的比特数输出到存储器装置2200。

[0170] 在实施方式中,当从主机(图1所示的300)接收的请求是编程请求、读请求或擦除请求时,存储控制器2100可生成表示LBA要以512字节单位寻址的命令。例如,存储控制器2100可生成表示列地址要以512字节单位寻址的新命令,而非与现有编程请求、现有读请求或现有擦除请求对应的命令,并且将所生成的新命令输出到存储器装置2200。

[0171] 在实施方式中,存储器装置2200可基于命令通过确定寻址单位是1字节单位还是512字节单位来执行与新命令对应的操作。

[0172] 存储控制器2100和存储器装置2200可被集成到单个半导体装置中以构成存储卡。例如,存储控制器2100和存储器装置2200可构成存储卡。存储卡的示例包括PC卡(个人计算机存储卡国际协会(PCMCIA))、紧凑闪存(CF)卡、智能媒体卡(SM和SMC)、记忆棒、多媒体卡(MMC、RS-MMC、MMCmicro和eMMC)、SD卡(SD、miniSD、microSD和SDHC)和通用闪存(UFS)。

[0173] 图15示出可应用存储装置的固态驱动器(SSD)系统3000的实施方式。参照图15, SSD系统3000包括主机3100和SSD 3200。SSD 3200通过信号连接器3001与主机3100交换信号SIG,并且通过电源连接器3002接收电力PWR。SSD 3200包括SSD控制器3210、多个闪存3221至322n、辅助电源3230和缓冲存储器3240。

[0174] 在实施方式中,SSD控制器3210可用作存储控制器(图1所示的200)。例如,SSD控制器3210可响应于从主机3100接收的信号SIG而控制多个闪存3221至322n。在示例中,信号SIG可以是基于主机3100和SSD 3200之间的接口的信号。例如,信号SIG可由诸如通用串行总线(USB)、多媒体卡(MMC)、嵌入式MMC(eMMC)、外围组件互连(PCI)、高速PCI(PCIe)、高级技术附件(ATA)、串行ATA(SATA)、并行ATA(PATA)、小型计算机系统接口(SCSI)、增强小型磁盘接口(ESDI)、集成驱动电子设备(IDE)、火线、通用闪存(UFS)、Wi-Fi、蓝牙和NVMe的接口中的至少一种定义。

[0175] 在实施方式中,SSD控制器3210可基于从主机(图1所示的300)接收的请求将逻辑块地址(LBA)转换为物理块地址(PBA)。例如,当从主机(图1所示的300)接收的请求是编程请求、读请求或擦除请求时,SSD控制器3210可以按512字节单位对LBA寻址。例如,包括在PBA中的地址当中的列地址可以按512字节单位寻址。

[0176] 此外,SSD控制器3210可在输入地址的五个周期当中的仅一个周期期间将列地址

输出到多个闪存3221至322n当中的所选闪存,并且可在其它的四个周期期间将行地址输出到多个闪存3221至322n当中的所选闪存。例如,由于列地址以512字节单位寻址,所以SSD控制器3210可在仅一个周期期间输入列地址。另外,由于用于表示行地址的比特数增加,所以SSD控制器3210可在四个周期期间将经增加的比特数输出到多个闪存3221至322n当中的所选闪存。

[0177] 在实施方式中,当从主机(图1所示的300)接收的请求是编程请求、读请求或擦除请求时,SSD控制器3210可生成表示LBA要以512字节单位寻址的命令。例如,SSD控制器3210可生成表示列地址要以512字节单位寻址的新命令,而非与现有编程请求、现有读请求或现有擦除请求对应的命令。SSD控制器3210可将所生成的新命令输出到多个闪存3221至322n当中的所选闪存。

[0178] 在实施方式中,多个闪存3221至322n当中的所选闪存可基于命令通过确定寻址单位是1字节单位还是512字节单位来执行与新命令对应的操作。

[0179] 辅助电源3230通过电源连接器3002联接到主机3100。当来自主机3100的电力供应不顺畅时,辅助电源3230可提供SSD 3200的电力。在示例中,辅助电源3230可位于SSD 3200中,或者可位于SSD 3200外部并且联接到SSD 3200。例如,辅助电源3230可位于主板上,并且可向SSD 3200提供辅助电力。

[0180] 缓冲存储器3240作为SSD 3200的缓冲存储器操作。例如,缓冲存储器3240可暂时地存储从主机3100接收的数据或者从多个闪存3221至322n接收的数据,或者可暂时地存储闪存3221至322n的元数据(例如,映射表)。缓冲存储器3240可以是易失性存储器。示例包括诸如DRAM、SDRAM、DDR SDRAM、LPDDR SDRAM和GRAM的易失性存储器或者诸如FRAM、ReRAM、STT-MRAM和PRAM的非易失性存储器。

[0181] 图16示出可应用存储装置的用户系统4000的实施方式。参照图16,用户系统4000包括应用处理器4100、存储器模块4200、网络模块4300、存储模块4400和用户接口4500。

[0182] 应用处理器4100可驱动包括在用户系统4000中的组件、操作系统(OS)、用户程序等。在示例中,应用处理器4100可包括用于控制包括在用户系统4000中的组件的控制器、接口、图形引擎等。应用处理器4100可作为系统芯片(SoC)来提供。

[0183] 在实施方式中,应用处理器4100可基于从主机(图1所示的300)接收的请求将逻辑块地址(LBA)转换为物理块地址(PBA)。例如,当从主机(图1所示的300)接收的请求是编程请求、读请求或擦除请求时,应用处理器4100可以按512字节单位对LBA寻址。例如,包括在PBA中的地址当中的列地址可以按512字节单位寻址。

[0184] 此外,应用处理器4100可在输入地址的五个周期当中的仅一个周期期间将列地址输出到存储模块4400,并且在其它的四个周期期间将行地址输出到存储模块4400。例如,由于列地址以512字节单位寻址,所以应用处理器4100可在仅一个周期期间输入列地址。另外,由于用于表示行地址的比特数增加,所以应用处理器4100可在四个周期期间将经增加的比特数输出到存储模块4400。

[0185] 在实施方式中,当从主机(图1所示的300)接收的请求是编程请求、读请求或擦除请求时,应用处理器4100可生成表示LBA要以512字节单位寻址的命令。例如,应用处理器4100可生成表示列地址要以512字节单位寻址的新命令,而非与现有编程请求、现有读请求或现有擦除请求对应的命令,并且将所生成的新命令输出到存储模块4400。

[0186] 在实施方式中,存储模块4400可基于命令通过确定寻址单位是1字节单位还是512字节单位来执行与新命令对应的操作。

[0187] 存储器模块4200可作为用户系统4000的主存储器、工作存储器、缓冲存储器或高速缓存存储器操作。存储器模块4200的示例包括诸如DRAM、SDRAM、DDR SDRAM、DDR2 SDRAM、DDR3 SDRAM、LPDDR SDRAM、LPDDR2 SDRAM和LPDDR3 SDRAM的易失性随机存取存储器或者诸如PRAM、ReRAM、MRAM和FRAM的非易失性随机存取存储器。在示例中,应用处理器4100和存储器模块4200可通过基于叠层封装(PoP)进行封装来作为一个半导体封装提供。

[0188] 网络模块4300可与外部装置通信。在示例中,网络模块4300可支持诸如码分多址(CDMA)、全球移动通信系统(GSM)、宽带CDMA(WCDMA)、CDMA-2000、时分多址(TDMA)、长期演进(LTE)、Wimax、WLAN、UWB、蓝牙和Wi-Fi的无线通信。在示例中,网络模块4300可被包括在应用处理器4100中。

[0189] 存储模块4400可存储数据。例如,存储模块4400可存储从应用处理器4100接收的数据。另选地,存储模块4400可将存储在其中的数据发送到应用处理器4100。存储模块4400的示例包括诸如相变RAM(PRAM)、磁性RAM(MRAM)、电阻RAM(RRAM)、NAND闪存、NOR闪存或具有三维结构的NAND闪存的非易失性半导体存储器装置。在示例中,存储模块4400可作为诸如用户系统4000的存储卡的可移除驱动器或外部驱动器来提供。

[0190] 在示例中,存储模块4400可包括多个非易失性存储器装置,例如,其可与参照图2和图3描述的存储器装置相同地操作。存储模块4400可与参照图1描述的存储装置50相同地操作。

[0191] 用户接口4500可包括用于向应用处理器4100输入数据或命令或者向外部装置输出数据的接口。在示例中,用户接口4500可包括例如键盘、键区、按钮、触摸面板、触摸屏、触摸板、触摸球、相机、麦克风、陀螺仪传感器、振动传感器和压电元件的用户输入接口。用户接口4500可包括例如液晶显示器(LCD)、有机发光二极管(OLED)显示装置、有源矩阵OLED(AMOLED)显示装置、LED、扬声器和监视器的用户输出接口。

[0192] 根据上述实施方式中的一个或更多个,用于表示地址的单位改变,以使得包括在存储器装置中的芯片的数量可增加。

[0193] 尽管参照其特定实施方式示出和描述了本公开,但是本领域技术人员将理解,在不脱离由所附权利要求及其等同物限定的本公开的精神和范围的情况下,可对其进行形式和细节上的各种改变。因此,本公开的范围不应限于上述实施方式,而是应该不仅由所附权利要求而且还由其等同物确定。

[0194] 在上述实施方式中,可选择性地执行所有步骤,或者可省略部分步骤。在各个实施方式中,这些步骤未必根据所描述的顺序执行,而是可重新布置。本说明书和附图中所公开的实施方式仅是方便理解本公开的示例,本公开不限于此。即,对于本领域技术人员而言应该显而易见的是,可基于本公开的技术范围进行各种修改。这些实施方式可被组合以形成附加实施方式。

[0195] 此外,已在附图和说明书中描述了本公开的实施方式。尽管这里使用了特定术语,但那些术语仅用于描述本公开的实施方式。因此,本公开不限于上述实施方式,在本公开的精神和范围内可进行许多变化。对于本领域技术人员而言应该显而易见,除了本文所公开的实施方式之外,还可基于本公开的技术范围进行各种修改。

[0196] 本文公开了示例实施方式,并且尽管采用特定术语,但这些术语仅在一般性和描述性意义上使用和解释,而非为了限制。在一些情况下,对于本领域普通技术人员将显而易见的是,自提交本申请起,除非另外具体地指示,否则结合特定实施方式描述的特征、特性和/或元素可单独地使用或与结合其它实施方式描述的特征、特性和/或元素组合使用。因此,本领域技术人员将理解,在不脱离所附权利要求中阐述的本公开的精神和范围的情况下,可进行各种形式和细节上的改变。

[0197] 相关申请的交叉引用

[0198] 本申请要求2020年5月19日提交的韩国专利申请号10-2020-0059801的优先权,其整体通过引用并入本文。

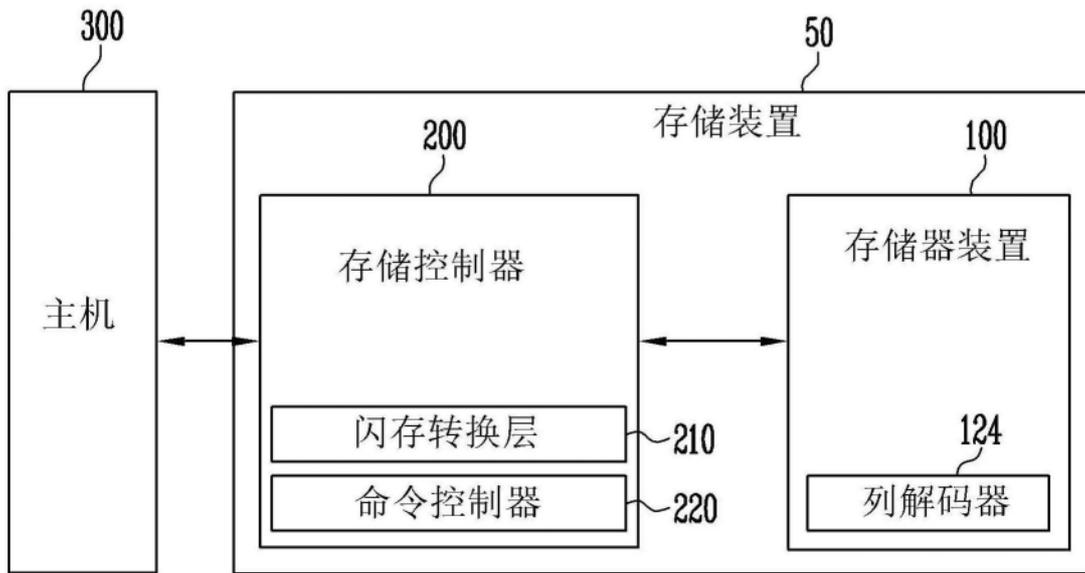


图1

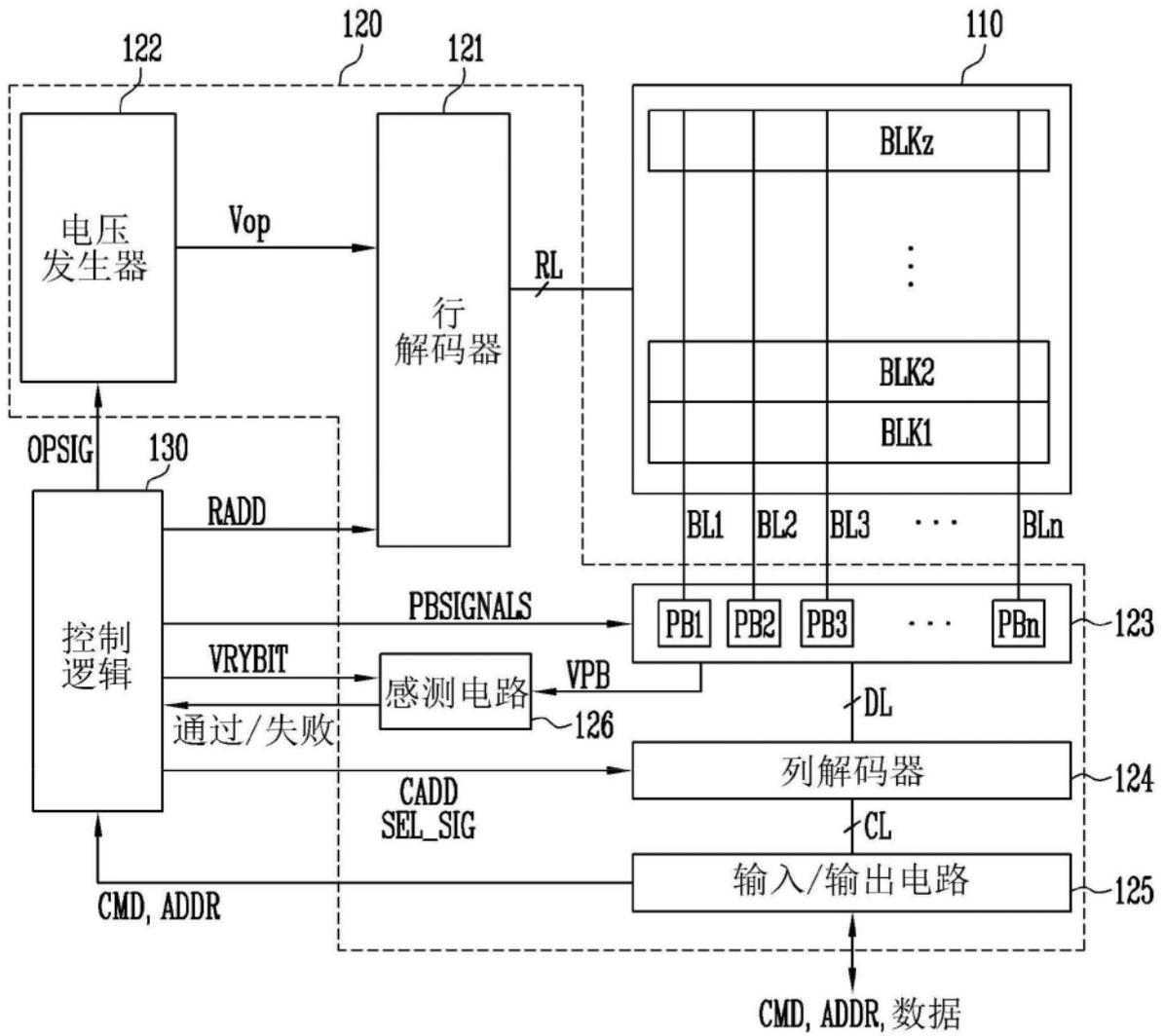


图2

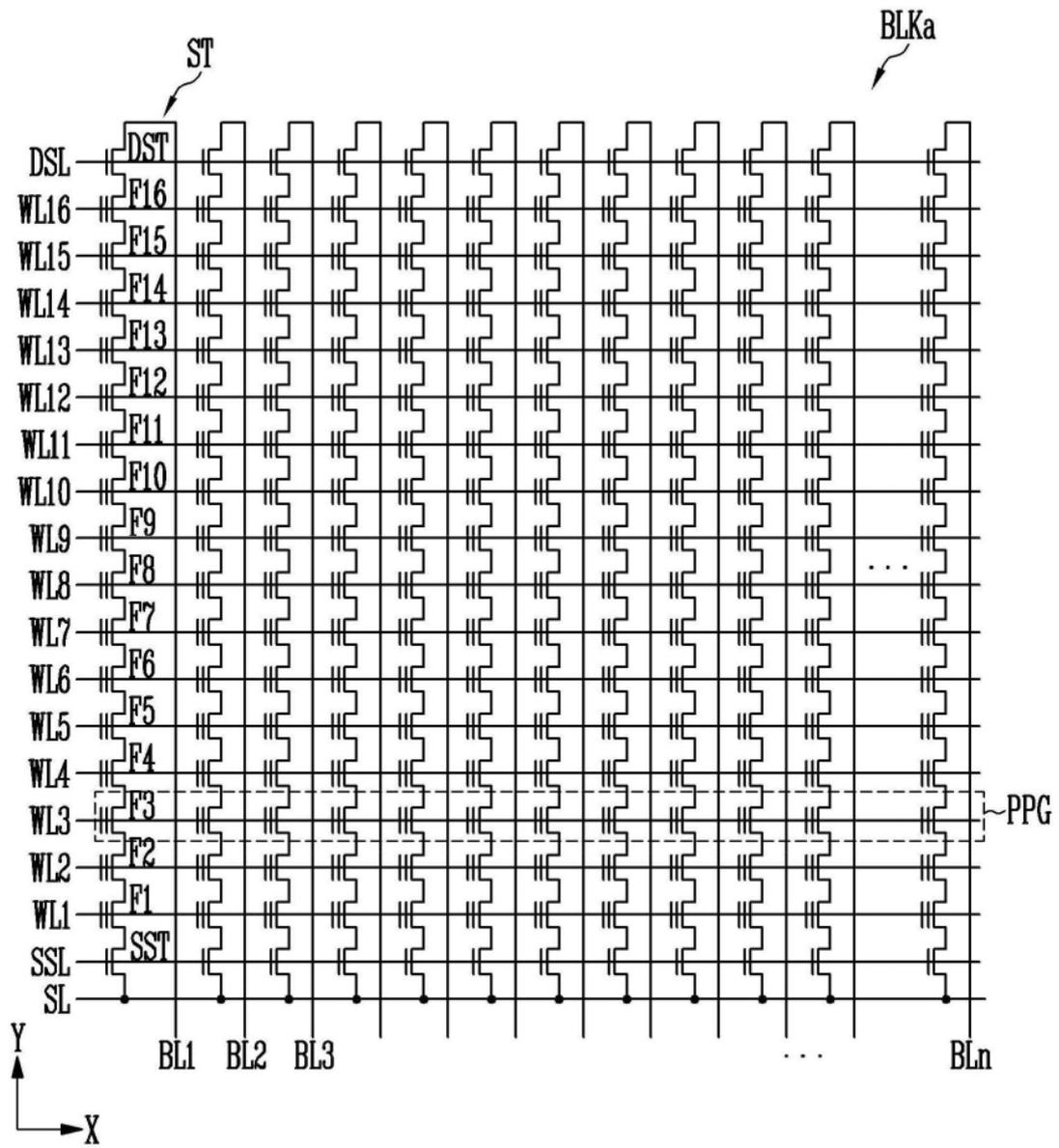


图3

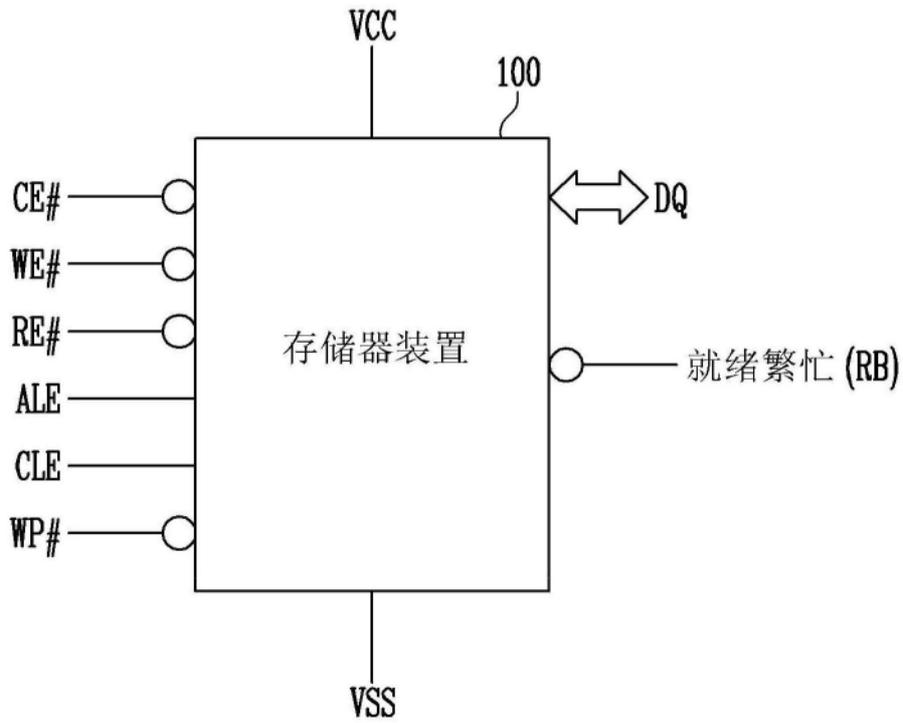


图4

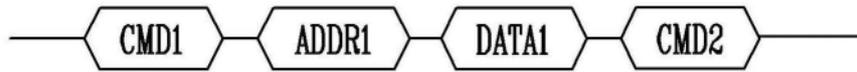


图5A



图5B

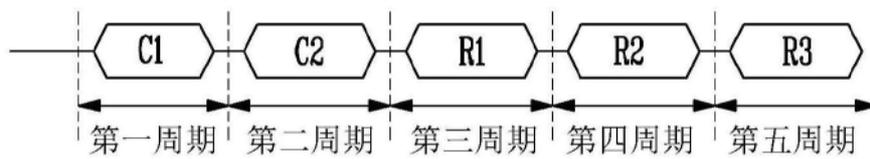


图6A

| 总线周期 | DQ0 | DQ1 | DQ2 | DQ3 | DQ4 | DQ5 | DQ6 | DQ7 | 地址信息 |         |          |
|------|-----|-----|-----|-----|-----|-----|-----|-----|------|---------|----------|
| 第一周期 | A0  | A1  | A2  | A3  | A4  | A5  | A6  | A7  | 列地址  | A[14:0] |          |
| 第二周期 | A8  | A9  | A10 | A11 | A12 | A13 | A14 | L   |      |         |          |
| 第三周期 | A16 | A17 | A18 | A19 | A20 | A21 | A22 | A23 | 行地址  | 字线      | A[24:16] |
| 第四周期 | A24 | A25 | A26 | A27 | A28 | A29 | A30 | A31 |      | 平面      | A[26:25] |
| 第五周期 | A32 | A33 | A34 | A35 | A36 | A37 | A38 | A39 |      | 块       | A[36:27] |
|      |     |     |     |     |     |     |     |     |      | LUN     | A[39:37] |

图6B

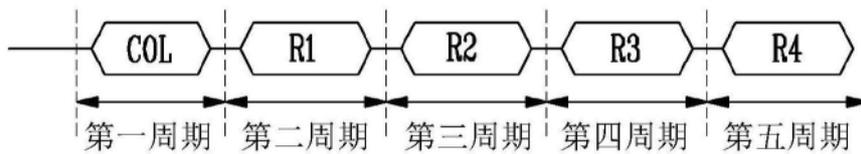


图7A

| 总线周期 | DQ0 | DQ1 | DQ2 | DQ3 | DQ4 | DQ5 | DQ6 | DQ7 | 地址信息 |        |          |
|------|-----|-----|-----|-----|-----|-----|-----|-----|------|--------|----------|
| 第一周期 | A0  | A1  | A2  | A3  | A4  | A5  | A6  | A7  | 列地址  | A[7:0] |          |
| 第二周期 | A8  | A9  | A10 | A11 | A12 | A13 | A14 | A15 | 行地址  | 字线     | A[24:8]  |
| 第三周期 | A16 | A17 | A18 | A19 | A20 | A21 | A22 | A23 |      | 平面     | A[26:25] |
| 第四周期 | A24 | A25 | A26 | A27 | A28 | A29 | A30 | A31 |      | 块      | A[36:27] |
|      |     |     |     |     |     |     |     |     |      | LUN    | A[39:37] |
| 第五周期 | A32 | A33 | A34 | A35 | A36 | A37 | A38 | A39 |      |        |          |

图7B

| DQ0 | DQ1 | DQ2 | DQ3 | DQ4 | DQ5 | DQ6 | DQ7 | 字节寻址  | 扇区寻址<br>(块寻址) |
|-----|-----|-----|-----|-----|-----|-----|-----|-------|---------------|
| A0  | A1  | A2  | A3  | A4  | A5  | A6  | A7  |       |               |
| 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0字节   | 0字节           |
| 0   | 0   | 0   | 0   | 0   | 0   | 0   | 1   | 1字节   | 512字节         |
| 0   | 0   | 0   | 0   | 0   | 0   | 1   | 0   | 2字节   | 1024字节        |
| 0   | 0   | 0   | 0   | 0   | 0   | 1   | 1   | 3字节   | 1536字节        |
| 0   | 0   | 0   | 0   | 0   | 1   | 0   | 0   | 4字节   | 2048字节        |
| ⋮   | ⋮   | ⋮   | ⋮   | ⋮   | ⋮   | ⋮   | ⋮   | ⋮     | ⋮             |
| 1   | 1   | 1   | 1   | 1   | 1   | 1   | 0   | 254字节 | 130048字节      |
| 1   | 1   | 1   | 1   | 1   | 1   | 1   | 1   | 255字节 | 130560字节      |

图8

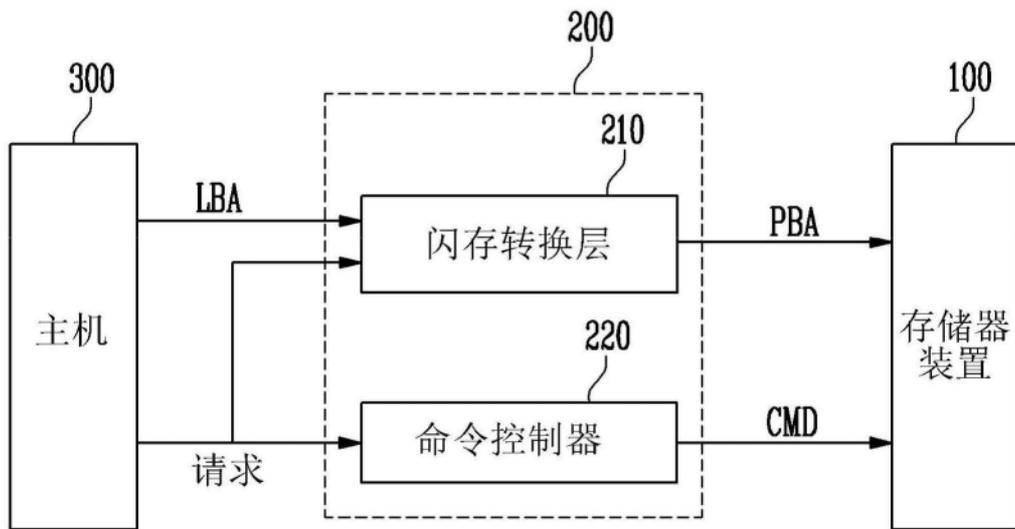


图9

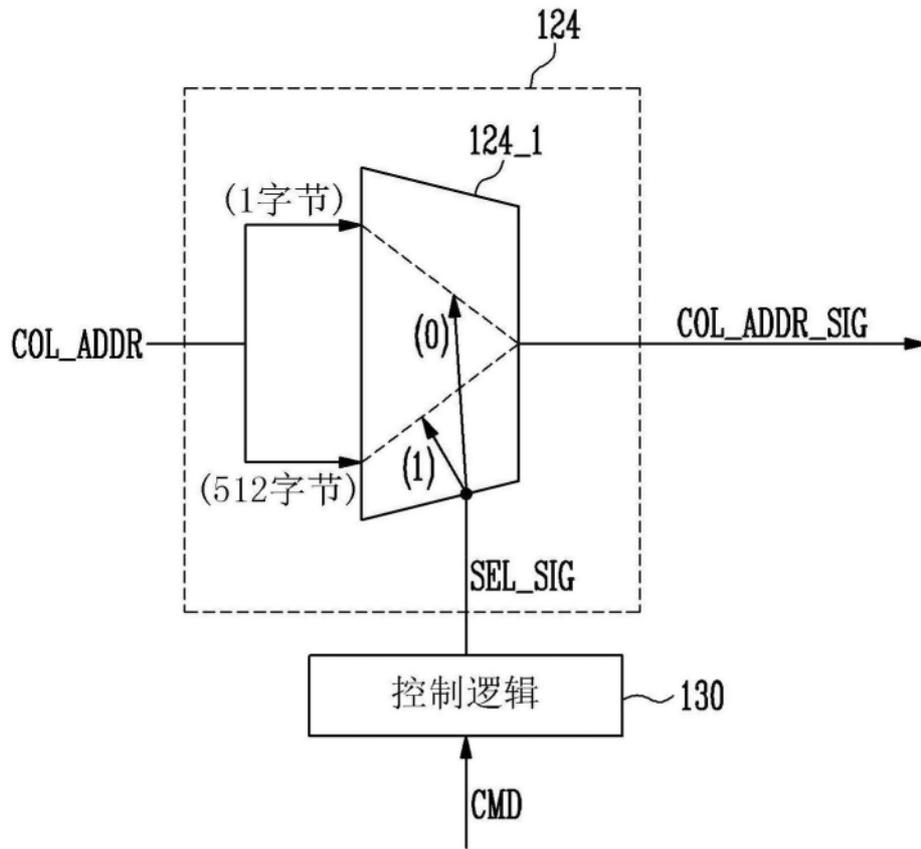


图10

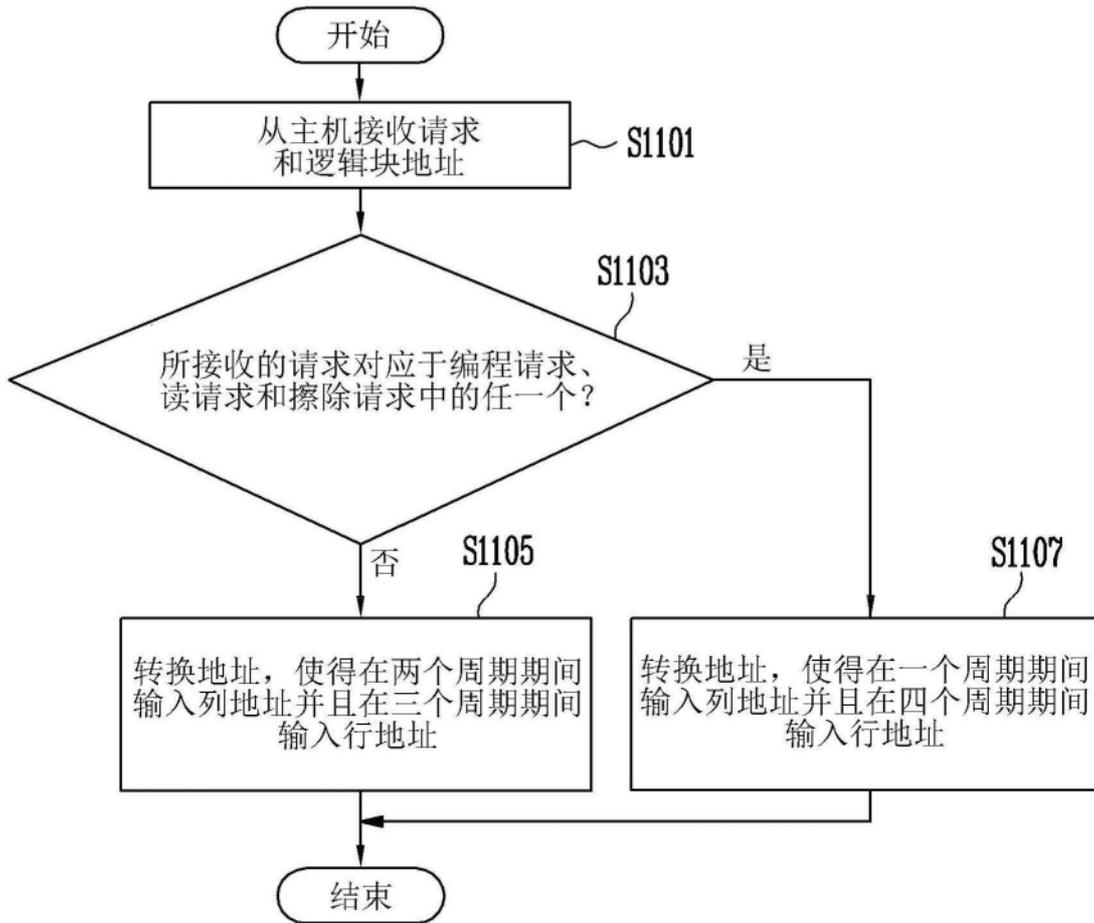


图11

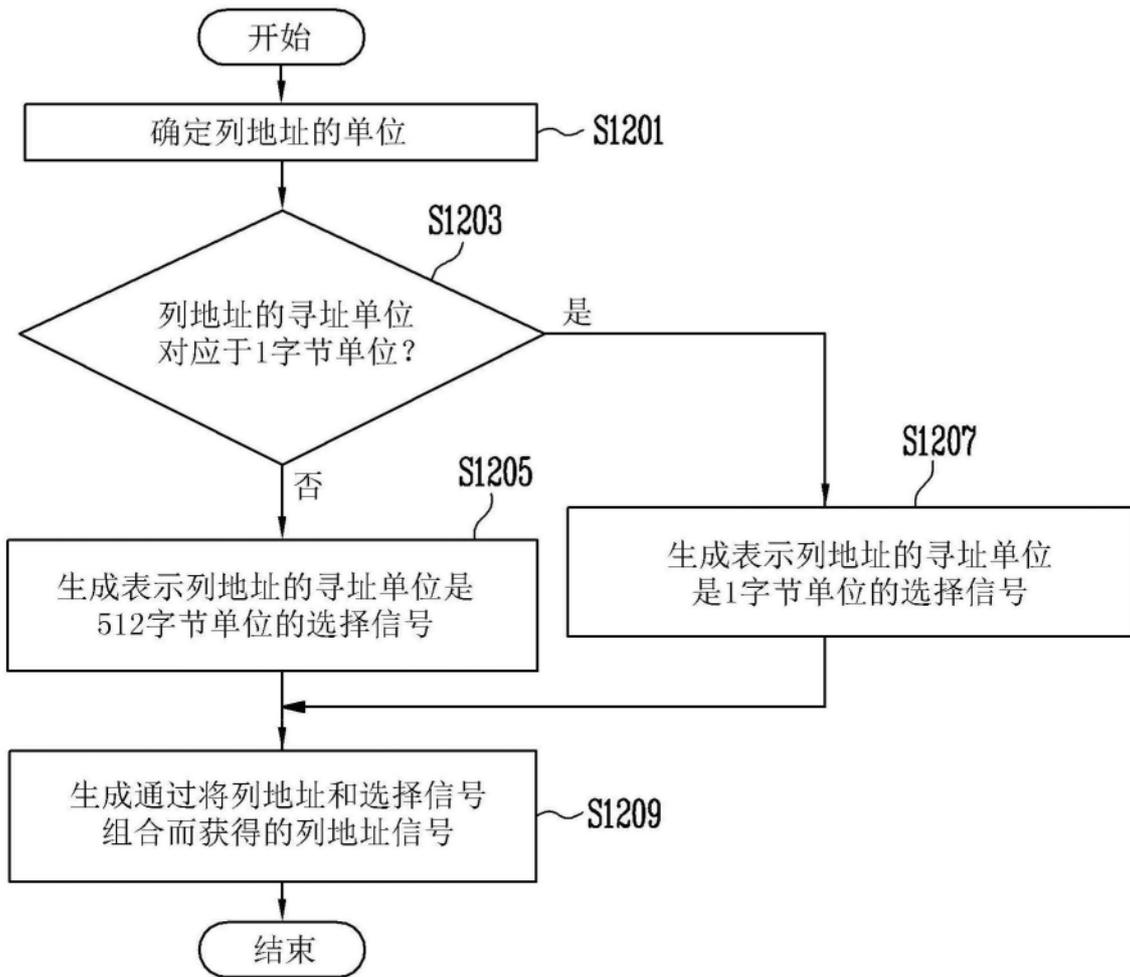


图12

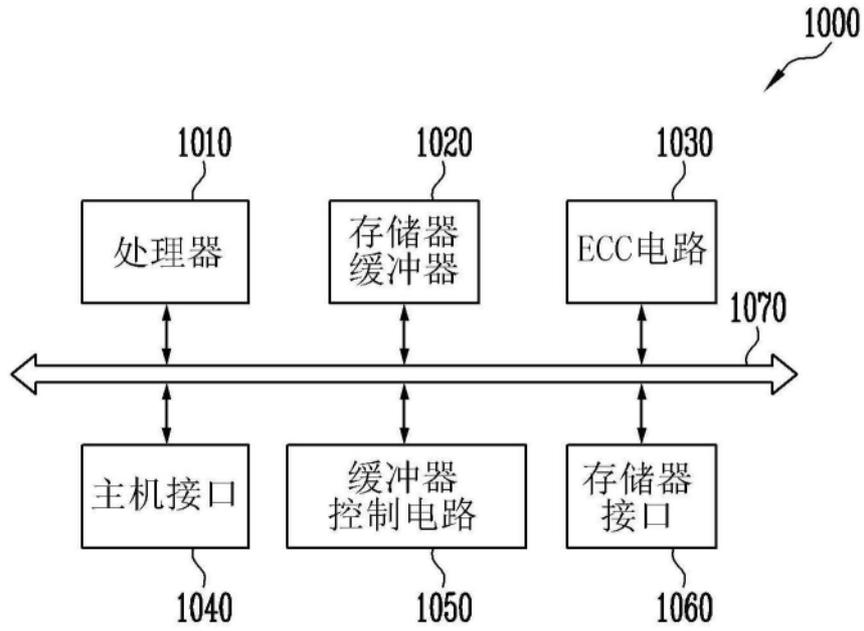


图13

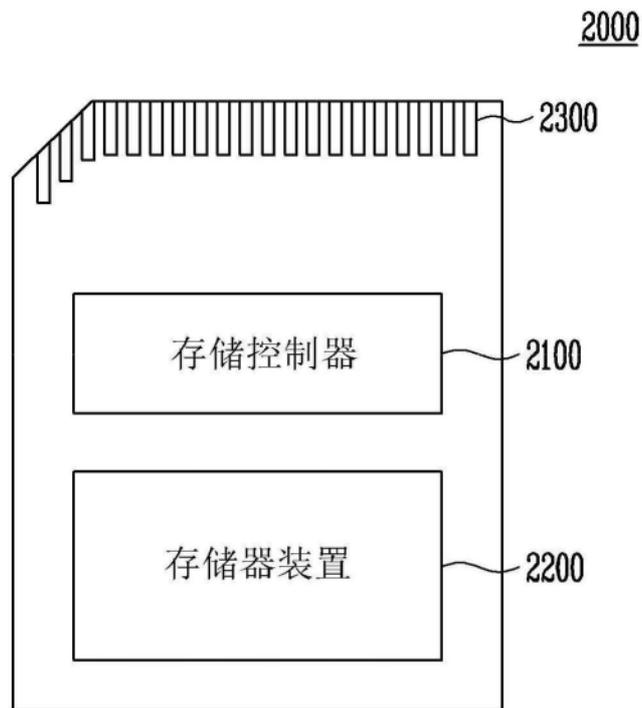


图14

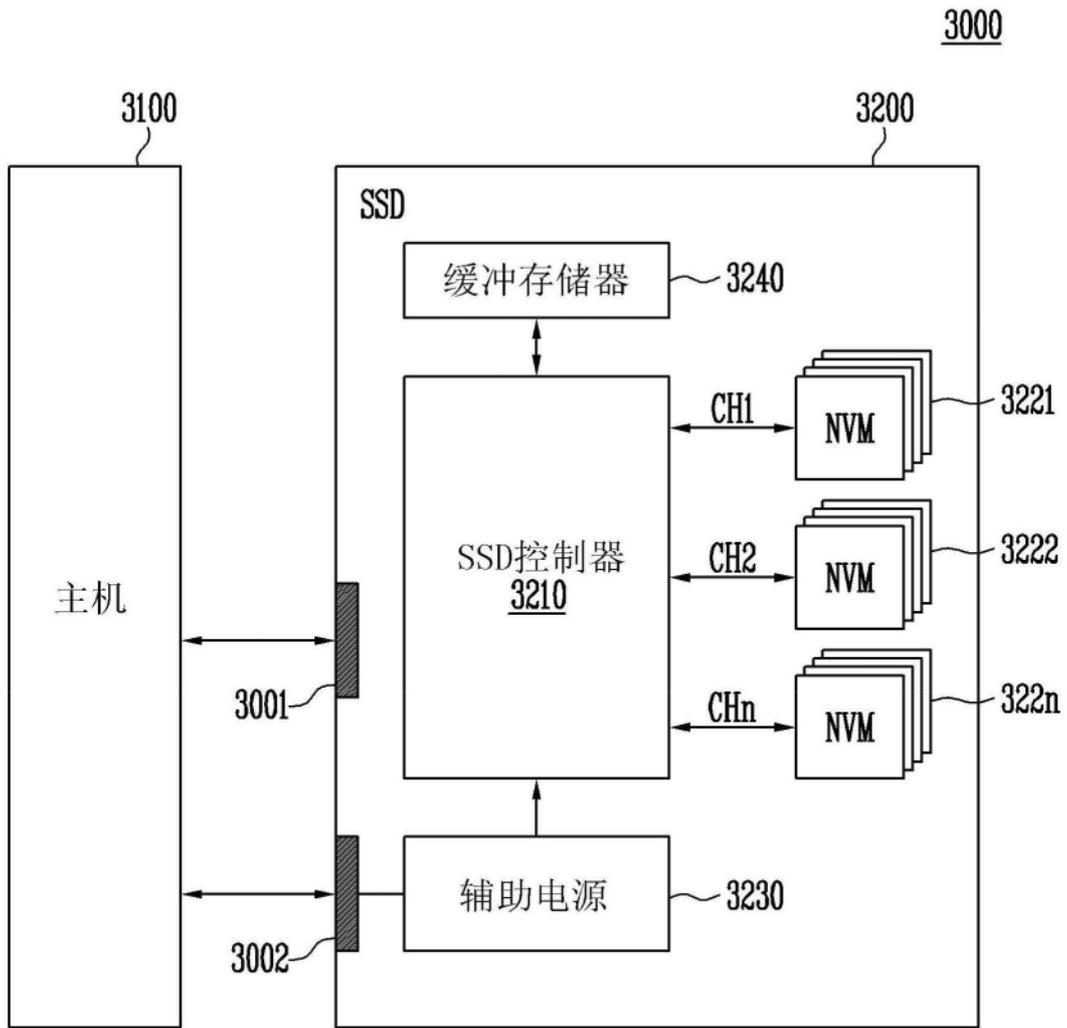


图15

4000

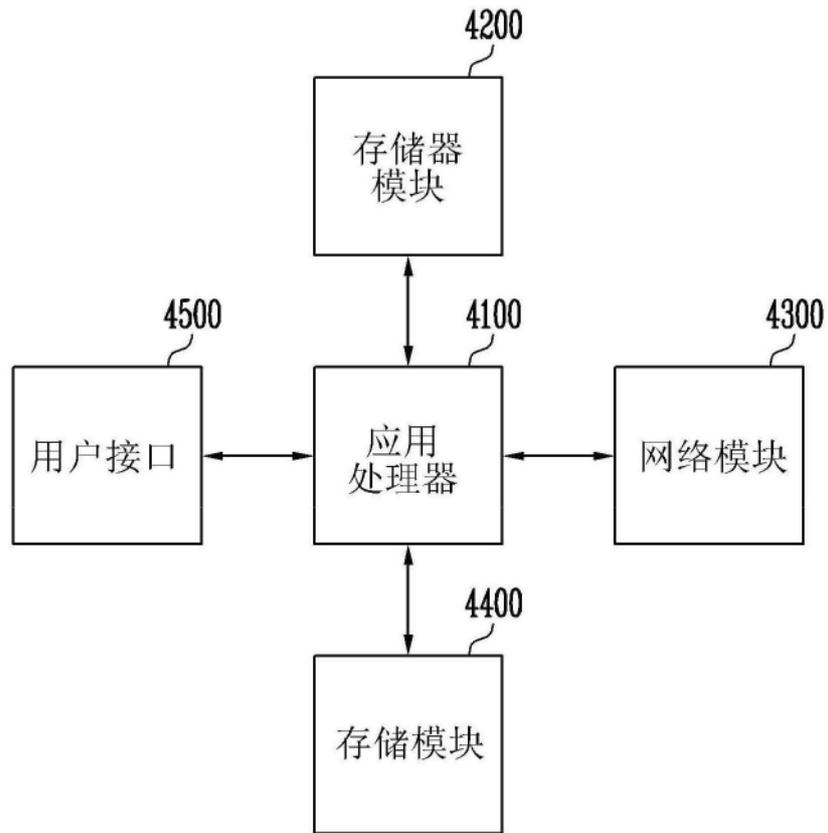


图16