(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3989038号

(P3989038)

(45)発行日　平成19年10月10日(2007.10.10)　(24)登録日　平成19年7月27日(2007.7.27)

(51)Int.Cl.		F I	
H01L 21/82	(2006.01)	H01L 21/82	P
H01L 27/118	(2006.01)	H01L 21/82	M
H01L 21/822	(2006.01)	H01L 27/04	E
H01L 27/04	(2006.01)		

請求項の数 8　(全 20 頁)

(21)出願番号　特願平8-94970
(22)出願日　平成8年4月17日(1996.4.17)
(65)公開番号　特開平9-283632
(43)公開日　平成9年10月31日(1997.10.31)
審査請求日　平成15年4月11日(2003.4.11)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目６番２号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　三木　維康
東京都小平市上水本町５丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　小笠原　茂雄
東京都小平市上水本町５丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　岡　則昭
東京都小平市上水本町５丁目２０番１号
株式会社日立製作所　半導体事業部内

最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【特許請求の範囲】

【請求項１】

３層以上の配線層を有する半導体集積回路装置であって、

複数の外部端子は、半導体チップの外周部に沿って千鳥状に配置され、

前記千鳥状に配置された外部端子は、内側の列の外部端子と外側の列の外部端子とを有し、

前記内側の列の外部端子は、前記外側の列の外部端子と、入力または出力バッファ回路との間に配置され、

前記内側の列の外部端子と、前記入力または出力バッファ回路とは、第１の引き出し配線によって電気的に接続され、

前記外側の列の外部端子と、前記入力または出力バッファ回路とは、第２の引き出し配線によって電気的に接続され、

前記内側の列の外部端子間において、前記第２の引き出し配線は、複数の配線層を含み、かつ前記第１の引き出し配線とは、互いに異なる配線層で構成され、

前記第１の引き出し配線の電流密度と、前記第２の引き出し配線の電流密度とが等しくなるように、それらの断面積が構成されることを特徴とする半導体集積回路装置。

【請求項２】

半導体集積回路装置であって、

複数の外部端子は千鳥状に配置され、

前記千鳥状に配置された外部端子は、第１の列の外部端子と、第２の列の外部端子とを

有し、
前記第１の列の外部端子は、前記第２の列の外部端子と、入力または出力バッファ回路との間に配置され、
前記第１の列の外部端子と、前記入力または出力バッファ回路とは、第１の引き出し配線によって電気的に接続され、
前記第２の列の外部端子と、前記入力または出力バッファ回路とは、第２の引き出し配線によって電気的に接続され、
前記第２の引き出し配線は、複数の配線層を含み、かつ前記第１の引き出し配線と前記第２の引き出し配線とは、互いに異なる配線層で構成され、
前記第１の引き出し配線の電流密度と、前記第２の引き出し配線の電流密度とが等しくなるように、それらの断面積が構成されることを特徴とする半導体集積回路装置。
【請求項３】
半導体集積回路装置であって、
第１の列の外部端子と、第２の列の外部端子とが千鳥状に配置され、
前記第１の列の外部端子は、前記第２の列の外部端子と、入力または出力バッファ回路との間に配置され、
前記第１の列の外部端子と、前記入力または出力バッファ回路とは、第１の引き出し配線によって電気的に接続され、
前記第２の列の外部端子と、前記入力または出力バッファ回路とは、第２の引き出し配線によって電気的に接続され、
前記第１の引き出し配線は、前記第２の引き出し配線と別層の配線層で構成され、
前記第２の引き出し配線は、複数の配線層を含み、
前記第１の引き出し配線は、前記第２の引き出し配線よりも上層の配線層で構成され、
前記第１の引き出し配線の断面積は、前記第２の引き出し配線の複数の配線層のそれぞれの断面積よりも大きく構成され、
前記第１の引き出し配線の電流密度と、前記第２の引き出し配線の電流密度とが等しくなるように構成されることを特徴とする半導体集積回路装置。
【請求項４】
請求項１、２または３記載の半導体集積回路装置において、
前記第１の列の外部端子は、前記第２の引き出し配線の上部を延在するように構成されることを特徴とする半導体集積回路装置。
【請求項５】
請求項１～４のいずれか一項に記載の半導体集積回路装置において、
前記入力または出力バッファ回路上を電源配線が延在し、
前記電源配線は、前記第２の引き出し配線と同層の配線を含むことを特徴とする半導体集積回路装置。
【請求項６】
請求項１～４のいずれか一項に記載の半導体集積回路装置において、
前記第１の引き出し配線は、前記第２の引き出し配線よりも上層の配線層を含み、
前記第２の引き出し配線は、複数の配線層を含むことを特徴とする半導体集積回路装置。
【請求項７】
請求項１～４のいずれか一項に記載の半導体集積回路装置において、
前記第１の引き出し配線を、少なくとも最上層の配線を含む１層または複数層の配線で構成し、
前記第２の引き出し配線を、前記最上層の配線以外であって、前記最上層の配線よりも下層の複数層の配線で構成したことを特徴とする半導体集積回路装置。
【請求項８】
請求項１～４のいずれか一項に記載の半導体集積回路装置において、
前記内側の列の外部端子と、前記外側の列の外部端子とがハーフピッチずらされて配置

されることを特徴とする半導体集積回路装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体集積回路装置に関し、特に、千鳥配列方式のボンディングパッドを有する半導体集積回路装置に適用して有効な技術に関するものである。
【０００２】
【従来の技術】
ゲートアレイ方式を採用する論理ＬＳＩは、半導体チップの主面の中央部にマトリクス状に配置した多数の基本セルで論理部を構成している。この論理部の外側には、複数の入出力（Ｉ／Ｏ）バッファ回路が論理部を取り囲むように配置されている。入出力バッファ回路のさらに外側、すなわち半導体チップの最外周部には、外部装置との電気的な接続を取るためのボンディングパッド（外部端子）が複数配置されている。これらのボンディングパッドは、入出力バッファ回路の配列に対応する位置に配置されている。
【０００３】
近年、この種のゲートアレイ方式を採用する論理ＬＳＩは、ゲート（論理回路）の大規模化に伴う外部端子数の増加に対応するために、ボンディングパッドを半導体チップの外周に沿って２列あるいは３列に配置すると共に、各列間でボンディングパッドの位置を半ピッチずらす千鳥配列方式を採用している。この千鳥配列方式によれば、ボンディングパッドの実効的なピッチが縮小されるため、同一サイズの半導体チップにより多くのボンディングパッドを形成することが可能となる。
【０００４】
上記千鳥配列方式のボンディングパッドを備えた論理ＬＳＩについては、例えば特開平５－２９３７７号公報に記載されたものがある。
【０００５】
この公報に記載された論理ＬＳＩは、例えば３層配線構造の場合、ボンディングパッドを半導体チップの外周に沿って２列に配置すると共に、各列間でボンディングパッドの位置を半ピッチずらす千鳥配列方式を採用している。そして、ボンディングパッドを幅の広い第３層目の配線と幅の狭い第２層目の配線の２層で構成し、ボンディングパッドと内部回路とを接続する引き出し配線を第１層目の配線で構成している。
【０００６】
２列のボンディングパッドを千鳥状に配置した場合、ボンディングパッドのピッチを狭くしていくと、外側の列のボンディングパッドの引き出し配線の一部と内側の列のボンディングパッドの一部とがオーバーラップするようになる。すると、オーバーラップしたボンディングパッドと引き出し配線との間に結合容量が形成され、引き出し配線の配線遅延が問題となる。
【０００７】
しかし、前記公報のように、ボンディングパッドを幅の広い第３層目の配線と幅の狭い第２層目の配線の２層で構成した場合は、ボンディングパッドの一部を構成する幅の広い第３層目の配線と引き出し配線を構成する第１層目の配線との間に２層の層間絶縁膜（第１層目の配線と第２層目の配線とを電気的に分離する第１の層間絶縁膜および第２層目の配線と第３層目の配線とを電気的に分離する第２の層間絶縁膜）が介在することになるため、オーバーラップしたボンディングパッドと引き出し配線との間の結合容量が低減される。また、ボンディングパッドの他の一部を構成する第２層目の配線はその幅が狭いので、引き出し配線とオーバーラップすることはなく、従って、第２層目の配線と引き出し配線との結合容量が問題となることはない。
【０００８】
【発明が解決しようとする課題】
前記公報に記載された論理ＬＳＩは、ボンディングパッドと内部回路とを接続する引き出し配線を第１層目の配線で構成しているので、半導体素子の微細化に伴って配線が微細化

されてくると、引き出し配線の許容電流が小さくなり、このボンディングパッドを電源（Ｖcc、ＧＮＤ）線や大電流が流れる信号線に接続することができなくなる。

【０００９】

その対策として、例えば内側の列のボンディングパッドの引き出し配線を第１層目の配線と第２層目の配線の２層で構成すれば、この引き出し配線の許容電流を大きくすることができる。しかしこの場合、電源（Ｖcc、ＧＮＤ）線や大電流が流れる信号線に接続できるボンディングパッドは、内側の列のボンディングパッドに限られてしまうため、内部回路とボンディングパッドを接続する配線の引き回しが困難になるという問題が生じる。

【００１０】

本発明の目的は、ボンディングパッドのピッチを狭くすることのできる技術を提供することにある。

【００１１】

本発明の他の目的は、半導体チップに形成されるすべてのボンディングパッドの電流密度をほぼ同じにすることができる技術を提供することにある。

【００１２】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【００１３】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【００１４】

本発明の半導体集積回路装置は、半導体チップの外周部に沿ってボンディングパッドを複数列配置し、内側の列のボンディングパッドと外側の列のボンディングパッドとを千鳥状に配置した、３層以上の配線層を有する半導体集積回路装置において、前記内側の列のボンディングパッドと内部回路とを電気的に接続する第１の引き出し配線を、少なくとも最上層の配線を含む１層または複数層の配線で構成し、前記外側の列のボンディングパッドと内部回路とを電気的に接続する第２の引き出し配線を、前記第１の引き出し配線とは別層の複数層の配線で構成する。

【００１５】

例えば配線層が３層の場合は、最上層の第３層目配線で前記第１の引き出し配線を構成し、第２層目配線と第１層目配線とで前記第２の引き出し配線を構成する。また、配線層が５層の場合は、例えば最上層の第５層目配線と第４層目配線とで前記第１の引き出し配線を構成し、第３層目配線と第２層目配線と第１層目配線とで前記第２の引き出し配線を構成する。

【００１６】

本発明の半導体集積回路装置は、前記第１の引き出し配線の断面積と前記第２の引き出し配線の断面積をほぼ同じにすることにより、それぞれの引き出し配線を流れる電流の密度がほぼ同じになるようにする。

【００１７】

【発明の実施の形態】

以下、本発明の実施の形態を図面を用いて詳述する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【００１８】

（実施の形態１）

本実施の形態の半導体集積回路装置は、３層配線構造を有するＣＭＯＳ(Complementary Metal Oxide Semiconductor) ゲートアレイである。このＣＭＯＳゲートアレイが形成された半導体チップを図１に示す。

【００１９】

単結晶シリコンからなる半導体チップ１の主面の中央部には、ゲートアレイの論理部を構成する多数の基本セル２が図のＸ方向およびＹ方向に沿ってマトリクス状に配置されている。各基本セル２は、図示しないｎチャネル型ＭＩＳＦＥＴ(Metal Insulator Semiconductor Field Effect Transistor) およびｐチャネル型ＭＩＳＦＥＴを所定数組み合わせて構成されており、各基本セル２内のＭＩＳＦＥＴ間および基本セル２間を論理設計に基づいて結線することにより、所望の論理機能を実現している。

【００２０】

上記論理機能を実現するための結線は、ＣＡＤ(Computer Aided Design) を用いた自動配置配線システム（ＤＡ； Design Automation）により行われる。自動配置配線システムは、マクロセルなどを用いて設計、検証された論理回路を半導体チップ１上に自動的にレイアウトすると共に、この論理回路上に仮想的に設定されたＸ－Ｙ格子座標に配線を自動的にレイアウトして論理回路間を結線する。３層配線構造のゲートアレイでは、例えば第１層目配線と第３層目配線とが主としてＸ格子座標に配置され、第２層目配線が主としてＹ格子座標に配置される。本実施の形態のゲートアレイの場合、例えば第１層目配線は信号用配線を構成し、第２層目配線は電源用配線（ＶccおよびＧＮＤ）を構成し、第３層目配線は後述するボンディングパッド（外部端子）用の導電層を構成している。第１～第３層目配線は、例えばアルミニウム（Ａｌ）合金からなる。

【００２１】

上記論理部の周囲には、複数の入出力（Ｉ／Ｏ）バッファ回路３が論理部を取り囲むように配置されている。各入出力バッファ回路３は、前記基本セル２と同様、ｎチャネル型ＭＩＳＦＥＴとｐチャネル型ＭＩＳＦＥＴを所定数組み合わせて構成されており、これらのＭＩＳＦＥＴ間の結線パターンを変えることによって、入力バッファ回路、出力バッファ回路または双方向性バッファ回路などの回路機能が形成できるようになっている。

【００２２】

上記入出力バッファ回路３の周囲、すなわち半導体チップ１の周辺部には、外部装置との電気的な接続を取るためのボンディングパッド（外部端子）４が複数配置されている。これらのボンディングパッド４は、入出力バッファ回路３の配列に対応する位置に配置されており、各ボンディングパッド４とそれに対応する入出力バッファ回路３とは、後述する引き出し配線を介して電気的に接続されている。

【００２３】

本実施の形態のＣＭＯＳゲートアレイは、論理回路の大規模化に伴う外部端子数の増加に対応するために、上記ボンディングパッド４を半導体チップ１の各辺に沿って２列に配置すると共に、各列間でボンディングパッド４の位置を半ピッチずらす千鳥配列方式を採用している。

【００２４】

また、本実施の形態のＣＭＯＳゲートアレイは、上記２列に配置されたボンディングパッド４（ボンディングパッド４Ａおよびボンディングパッド４Ｂ）を第３層目配線で構成すると共に、内側の列のボンディングパッド４Ａとそれに対応する入出力バッファ回路３とを接続する引き出し配線を第３層目配線で構成し、外側の列のボンディングパッド４Ｂとそれに対応する入出力バッファ回路３とを接続する引き出し配線を第１層目配線と第２層目配線とで構成している。すなわち、本実施の形態のＣＭＯＳゲートアレイは、内側の列のボンディングパッド４Ａの引き出し配線と、外側の列のボンディングパッド４Ｂの引き出し配線とを別層の配線で構成している。

【００２５】

次に、上記２列に配置されたボンディングパッド４Ａ、４Ｂとそれらに接続された引き出し配線の構成を具体的に説明する。

【００２６】

図２は、内側の列のボンディングパッド４Ａ、入出力バッファ回路３およびそれらを接続する引き出し配線５Ａを示す平面図、図３および図４は、同じく斜視図である。これらの図には、ボンディングパッド４Ａ、入出力バッファ回路３および引き出し配線５Ａを構成

する導電層とそれらを電気的に接続する接続孔のみを示し、導電層を電気的に分離する層間絶縁膜の図示は省略してある。

【００２７】

入出力バッファ回路３は、ｎチャネル型ＭＩＳＦＥＴとｐチャネル型ＭＩＳＦＥＴを所定数組み合わせて構成される。入出力バッファ回路３の形成領域には、あらかじめ図５に示すようなパターンを有するフィールド絶縁膜６によって互いに分離された一対の拡散層（ｎ型拡散層７ｎおよびｐ型拡散層７ｐ）が形成されると共に、ｎ型拡散層７ｎの上部にｎチャネル型ＭＩＳＦＥＴのゲート電極８ｎが、ｐ型拡散層７ｐの上部にｐチャネル型ＭＩＳＦＥＴのゲート電極８ｐがそれぞれＸ方向（またはＹ方向）に沿って複数本配置される。これらのゲート電極８ｎ、８ｐは、例えば多結晶シリコンからなる。また、ゲート電極８ｎの両側のｎ型拡散層７ｎはｎチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域を構成し、ゲート電極８ｐの両側のｐ型拡散層７ｐはｐチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域を構成している。そして、これらのｎチャネル型ＭＩＳＦＥＴとｐチャネル型ＭＩＳＦＥＴを、信号用配線である第１層目配線９と電源用配線（ＶccおよびＧＮＤ）である第２層目配線１０とを使い、図２～図４に示すようなパターンで結線することにより、例えば図６に示すような出力バッファ回路が形成されている。

【００２８】

上記入出力バッファ回路３とボンディングパッド４Ａとを接続する引き出し配線５Ａは、第３層目配線で構成され、ボンディングパッド４Ａと一体に形成されている。この引き出し配線５Ａと入出力バッファ回路３の第１層目配線９とは、入出力バッファ回路３の一端部において、電源用配線（Ｖcc、ＧＮＤ）である第２層目配線１０と同層のパッド配線１０Ａを介して電気的に接続されている。第１層目配線９とその上部のパッド配線１０Ａとは、それらを電気的に分離する第１層間絶縁膜に開孔された接続孔１２Ａを通じて電気的に接続されている。また、パッド配線１０Ａとその上部の引き出し配線５Ａとは、それらを電気的に分離する第２層間絶縁膜に開孔された接続孔１３Ａを通じて電気的に接続されている。

【００２９】

図７は、外側の列のボンディングパッド４Ｂ、入出力バッファ回路３およびそれらを接続する引き出し配線５Ｂを示す平面図、図８および図９は、同じく斜視図である。前記図２～図４と同様、これらの図には、ボンディングパッド４Ｂ、入出力バッファ回路３および引き出し配線５Ｂを構成する導電層とそれらを電気的に接続する接続孔のみを示し、導電層を電気的に分離する層間絶縁膜の図示は省略してある。

【００３０】

入出力バッファ回路３は、前記内側の列のボンディングパッド４Ｂに接続された入出力バッファ回路３と同様、ｎチャネル型ＭＩＳＦＥＴとｐチャネル型ＭＩＳＦＥＴを所定数組み合わせて構成されている。そして、これらのｎチャネル型ＭＩＳＦＥＴとｐチャネル型ＭＩＳＦＥＴを、信号用配線である第１層目配線９と電源用配線（ＶccおよびＧＮＤ）である第２層目配線１０とを使い、図７～図９に示すようなパターンで結線することにより、例えば図１０に示すような入力バッファ回路が形成されている。入出力バッファ回路３は、結線パターンを変えることにより、例えば前記図６に示すような出力バッファ回路とすることもできる。つまり、入出力バッファ回路３は、論理機能に応じて結線パターンを変えることにより、入力バッファ回路、出力バッファ回路（あるいは双方向性バッファ回路）などの種々の回路機能を形成することができる。

【００３１】

上記入出力バッファ回路３とボンディングパッド４Ｂとを接続する引き出し配線５Ｂは、信号用配線である第１層目配線９と一体に形成され、入出力バッファ回路３の一端部からボンディングパッド４Ｂの下部まで延在する配線９Ｂと、電源用配線（Ｖcc、ＧＮＤ）である第２層目配線１０と同層の配線１０Ｂとで構成されている。配線１０Ｂは配線９Ｂと同一のパターンで形成され、配線９Ｂと重なり合うように配置されている。

【００３２】

引き出し配線５Ｂを構成する上記２層の配線９Ｂ、１０Ｂは、入出力バッファ回路３の一端部およびボンディングパッド４Ｂの下部において、それらを電気的に分離する第１層間絶縁膜に開孔された接続孔１２Ｂを通じて電気的に接続されている。また、配線１０Ｂと第３層目配線で構成されたボンディングパッド４Ｂとは、ボンディングパッド４Ｂの下部において、それらを電気的に分離する第２層間絶縁膜に開孔された接続孔１３Ｂを通じて電気的に接続されている。

【００３３】

図１１および図１２は、上記のように構成された入出力バッファ回路３、引き出し配線５Ａ、５Ｂおよびボンディングパッド４Ａ、４Ｂの３個分の配置を示す斜視図である。

【００３４】

次に、上記引き出し配線５Ａ、５Ｂが形成された領域の半導体チップ１の断面構造を図１３（引き出し配線５Ａ、５Ｂの一端部における断面図）を用いて説明する。

【００３５】

単結晶シリコンからなる半導体基板１Ａ上には、酸化シリコンからなる素子分離用のフィールド絶縁膜６が形成されており、このフィールド絶縁膜６の上部には酸化シリコン膜１４が形成されている。酸化シリコン膜１４は、この領域には形成されていないＭＩＳＦＥＴとその上部の配線とを電気的に分離する絶縁膜を構成している。

【００３６】

上記酸化シリコン膜４の上部には、第１層目配線９および配線９Ｂが形成されている。図の中央の第１層目配線９は、内側のボンディングパッド４Ａの引き出し配線５Ａに接続される信号用配線の一端部であり、その両側の２本の配線９Ｂ、９Ｂは、それぞれ外側のボンディングパッド４Ｂに接続される引き出し配線５Ｂの一部を構成している。第１層目配線９および配線９Ｂは、例えば酸化シリコン膜１４上にスパッタリング法で堆積したＡｌ合金膜をパターニングして形成する。第１層目配線９および配線９Ｂの幅、膜厚は、例えば２０μｍ、0.５μｍである。

【００３７】

上記第１層目配線９および配線９Ｂの上部には、第１層間絶縁膜１５が形成されている。第１層間絶縁膜１５は、ＣＶＤ法で堆積した酸化シリコンからなり、例えばＣＭＰ(Chemical Mechanical Polishing; 化学的機械研磨）法によってその表面が平坦化されている。

【００３８】

上記第１層間絶縁膜１５の上部には、パッド配線１０Ａおよび配線１０Ｂが形成されている。パッド配線１０Ａは、第１層目配線９と内側のボンディングパッド４Ａの引き出し配線５Ａとを接続するための中間配線であり、配線１０Ｂは、外側のボンディングパッド４Ｂに接続される引き出し配線５Ｂの他の一部を構成している。パッド配線１０Ａおよび配線１０Ｂは、例えば第１層間絶縁膜１５上にスパッタリング法で堆積したＡｌ合金膜をパターニングして形成する。パッド配線１０Ａおよび配線１０Ｂは、下層の第１層目配線９および配線９Ｂと同じ幅、同じ膜厚で形成されている。

【００３９】

パッド配線１０Ａとその下部の第１層目配線９とは、第１層間絶縁膜１５に開孔された複数の接続孔１２Ａを通じて電気的に接続されている。同様に、配線１０Ｂとその下部の配線９Ｂとは、第１層間絶縁膜１５に開孔された複数の接続孔１２Ｂを通じて電気的に接続されている。これらの接続孔１２Ａ、１２Ｂの内部には、例えばタングステン（Ｗ）からなるプラグ１６が埋め込まれている。プラグ１６の埋め込みは、第１層間絶縁膜１５上にスパッタリング法（またはＣＶＤ法）で堆積したＷ膜をエッチバックすることにより行う。

【００４０】

上記パッド配線１０Ａおよび配線１０Ｂの上部には、第２層間絶縁膜１７が形成されている。第２層間絶縁膜１７は、前記第１層間絶縁膜１５と同様、ＣＶＤ法で堆積した酸化シリコンからなり、例えばＣＭＰ法によってその表面が平坦化されている。

【００４１】

上記第２層間絶縁膜１７の上部には、内側のボンディングパッド４Ａと一体に構成された引き出し配線５Ａが形成されている。引き出し配線５Ａは、例えば第２層間絶縁膜１７上にスパッタリング法で堆積したＡｌ合金膜をパターニングして形成する。引き出し配線５Ａの幅は、引き出し配線５Ｂを構成する前記配線９Ｂや配線１０Ｂと同じ（２０μｍ）であるが、膜厚はそれらの２倍（1.０μｍ）である。

【００４２】

ここで、上記引き出し配線５Ｂを構成する２層の配線９Ｂ、１０Ｂのそれぞれの膜厚を0.５μｍとした場合、この引き出し配線５Ｂの実効的な膜厚は、0.５＋0.５＝1.０μｍになる。従って、もう一方の引き出し配線５Ａの膜厚を1.０μｍとした場合、引き出し配線５Ａと引き出し配線５Ｂの実効的な膜厚は同じ（1.０μｍ）になる。さらに、引き出し配線５Ａと引き出し配線５Ｂ（配線９Ｂおよび配線１０Ｂ）の幅が同じ（２０μｍ）であるとすれば、引き出し配線５Ａと引き出し配線５Ｂの実効的な断面積も同じ（２０μｍ×1.０μｍ＝２０μm^2)になる。従って、この場合は表１に示すように、引き出し配線５Ａを流れる電流密度と引き出し配線５Ｂ（配線９Ｂ、１０Ｂ）を流れる電流密度はほぼ同じになる。

【００４３】

【表１】

表　1

配　線　層	配線膜厚	配線密度
第３層目配線（5B）	1.０（μｍ）	２０（ｍＡ/μｍ）
第２層目配線（10B）	0.５（μｍ）	１０（ｍＡ/μｍ）
第１層目配線（9B）	0.5（μｍ）	１０（ｍＡ/μｍ）

【００４４】

引き出し配線５Ａとその下部のパッド配線１０Ａとは、第２層間絶縁膜１７に開孔された複数の接続孔１３Ａを通じて電気的に接続されている。これらの接続孔１３Ａの内部には、例えばWからなるプラグ１６が埋め込まれている。プラグ１６の埋め込みは、第２層間絶縁膜１７上にスパッタリング法（またはＣＶＤ法）で堆積したW膜をエッチバックすることにより行う。

【００４５】

本実施の形態では、パッド配線１０Ａとその下部の第１層目配線９とを接続する接続孔１２Ａの真上に接続孔１３Ａを配置する、いわゆるスタックド・ビア(Stacked Via) 構造を採用している。スタックド・ビア構造は、前述したＣＭＰ法による層間絶縁膜の平坦化とWプラグによる接続孔の埋め込みとによって形成する。

【００４６】

上記引き出し配線５Ａの上部には、パッシベーション膜１９が形成されている。パッシベーション膜１９は、半導体チップ１の表面保護膜であり、例えばＣＶＤ法で堆積した酸化シリコンと窒化シリコンの積層膜で構成されている。

【００４７】

以上のように構成された本実施の形態のＣＭＯＳゲートアレイによれば、次のような効果が得られる。

【００４８】

（１）ボンディングパッド４Ａ、４Ｂを千鳥配列とし、内側のボンディングパッド４Ａの引き出し配線５Ａと外側のボンディングパッド４Ｂの引き出し配線５Ｂとを別層の配線で構成したことにより、ボンディングパッド４Ａ、４Ｂのピッチを狭くしても、外側のボンディングパッド４Ｂの引き出し配線５Ｂが内側のボンディングパッド４Ａに接触すること

がない。従って、例えば図１４に示すように、外側のボンディングパッド４Ｂの引き出し配線５Ｂの一部と内側のボンディングパッド４Ａの一部をオーバーラップさせることも可能である。

【００４９】

内側のボンディングパッド４Ａの引き出し配線５Ａは、最上層配線である第３層目配線で構成するので、その幅を狭くしても膜厚を厚くすることでエレクトロマイグレーション耐性を確保することができ、大電流を流すことが可能となる。また、外側のボンディングパッド４Ｂの引き出し配線５Ｂは２層の配線９Ｂ、１０Ｂで構成するので、配線９Ｂおよび配線１０Ｂの幅を狭くしてもエレクトロマイグレーション耐性を確保することができ、大電流を流すことが可能となる。

【００５０】

これにより、引き出し配線５Ａ、５Ｂの幅およびピッチを狭くすることができるので、ボンディングパッド４Ａ、４Ｂのピッチを狭くすることができる。従って、同一サイズの半導体チップにより多くのボンディングパッドを形成することができ、外部端子数の多い（多ピンの）大規模ＣＭＯＳゲートアレイを実現することができる。

【００５１】

（２）第３層目配線で構成される引き出し配線５Ａの断面積と、第１層目配線および第２層目配線で構成される引き出し配線５Ｂの断面積を同じにすることができるので、引き出し配線５Ａを流れる電流密度と引き出し配線５Ｂを流れる電流密度をほぼ同じにすることができる。すなわち、半導体チップ１の外周に配置されるすべてのボンディングパッド４の引き出し配線の電流密度をほぼ同じにすることができる。しかも、前述したように、第３層目配線で構成される引き出し配線５Ａはその膜厚を厚くすることで、また引き出し配線５Ｂを２層の配線９Ｂ、１０Ｂで構成することでそれぞれ十分な電流密度を確保することができるので、すべてのボンディングパッド４の引き出し配線に大電流を流すことができる。

【００５２】

これにより、電源（Ｖcc、ＧＮＤ）線や大電流が流れる信号線に接続するボンディングパッドを自由に選択することができるので、自動配置配線システムを用いた論理設計の自由度が向上する。すなわち、ＣＡＤを用いた自動配置配線に要する時間を短縮できるので、ゲートアレイの開発期間を短縮することができる。また、論理回路とボンディングパッドを接続する配線長を短くすることができるので配線遅延を低減でき、高速、高性能のゲートアレイを実現することができる。

【００５３】

（実施の形態２）

本実施の形態の半導体集積回路装置は、５層配線構造を有するＣＭＯＳゲートアレイであり、前記実施の形態１と同様、ボンディングパッド４Ａ、４Ｂを千鳥配列とし、内側のボンディングパッド４Ａの引き出し配線と外側のボンディングパッド４Ｂの引き出し配線を別層の配線で構成している。

【００５４】

本実施の形態では、内側のボンディングパッド４Ａの引き出し配線を第５層目配線と第４層目配線の２層で構成し、外側のボンディングパッド４Ｂの引き出し配線を第３層目配線と第２層目配線と第１層目配線の３層で構成している。また、ボンディングパッド４Ａ、４Ｂは、第５層目配線で構成している。

【００５５】

図１５および図１６は、内側の列のボンディングパッド４Ａ、入出力バッファ回路３およびそれらを接続する引き出し配線２０Ａを示す斜視図である。

【００５６】

引き出し配線２０Ａを構成する２層の配線２１Ａ、２２Ａのうち、第５層目配線である配線２２Ａは、ボンディングパッド４Ａと一体に構成されている。第４層目配線である配線２１Ａは配線２２Ａと同一のパターンで形成され、配線２２Ａと重なり合うように配置さ

れている。配線２２Ａと配線２１Ａとは、それらの両端部において、接続孔２３Ａを通じて電気的に接続されている。

【００５７】

上記配線２１Ａは、第３層目配線であるパッド配線２４Ａ、第２層目配線であるパッド配線２５Ａおよび第１層目配線であるパッド配線２６Ａを介して入出力バッファ回路３に接続されている。配線２１Ａとパッド配線２４Ａ、パッド配線２４Ａとパッド配線２５Ａ、パッド配線２５Ａとパッド配線２６Ａは、それぞれ接続孔２７Ａ、２８Ａ、２９Ａを通じて電気的に接続されている。

【００５８】

図１７および図１８は、外側の列のボンディングパッド４Ｂ、入出力バッファ回路３およびそれらを接続する引き出し配線２０Ｂを示す斜視図である。

【００５９】

引き出し配線２０Ｂを構成する３層の配線２４Ｂ、２５Ｂおよび２６Ｂは、同一のパターンで形成され、重なり合うように配置されている。第３層目配線である配線２４Ｂと第２層目配線である配線２５Ｂ、配線２５Ｂと第１層目配線である配線２６Ｂは、それらの両端においてそれぞれ接続孔２８Ｂ、２９Ｂを通じて電気的に接続されている。また、第５層目配線であるボンディングパッド４Ｂと引き出し配線２０Ｂとは、ボンディングパッド４Ｂの下部において、接続孔２３Ｂおよび接続孔２７Ｂを通じて電気的に接続されている。

【００６０】

上記のように構成された入出力バッファ回路３、引き出し配線２０Ａ、２０Ｂおよびボンディングパッド４Ａ、４Ｂの３個分の配置を図１９に示す。また、入出力バッファ回路３側の一端部における引き出し配線２０Ａ、２０Ｂの断面構造を図２０に示す。図２０の符号３０は第３層間絶縁膜、３１は第４層間絶縁膜である。第３層間絶縁膜３０および第４層間絶縁膜３１は、例えばＣＶＤ法で堆積した酸化シリコンからなり、それらの表面は、例えばＣＭＰ法によって平坦化されている。また、第３層間絶縁膜３０に開孔された接続孔２７Ａ、２７Ｂの内部、および第４層間絶縁膜３２に開孔された接続孔２３Ａ、２３Ｂの内部には、例えばWからなるプラグ１６が埋め込まれている。

【００６１】

ここで、上記引き出し配線２０Ｂを構成する３層の配線２４Ｂ、２５Ｂ、２６Ｂのそれぞれの膜厚を0.４μｍとした場合、この引き出し配線２０Ｂの実効的な膜厚は、0.４＋0.４＋0.４＝1.２μｍになる。このとき、もう一方の引き出し配線２０Ａを構成する２層の配線２１Ａ、２２Ａのそれぞれの膜厚を0.６μｍとすれば、この引き出し配線２０Ａの実効的な膜厚は、0.６＋0.６＝1.２μｍになり、引き出し配線２０Ａ（配線２１Ａ、２２Ａ）と引き出し配線２０Ｂ（配線２４Ｂ、２５Ｂ、２６Ｂ）の実効的な膜厚は同じになる。さらに、引き出し配線２０Ａの幅と引き出し配線２０Ｂの幅が同じであるとすれば、引き出し配線２０Ａの実効的な断面積と引き出し配線２０Ｂの実効的な断面積も同じになる。従って、この場合は表２に示すように、引き出し配線２５Ａを流れる電流密度と引き出し配線２５Ｂを流れる電流密度はほぼ等しくなる。

【００６２】

【表２】

表　2

配　線　層	配線膜厚	配線密度
第５層目配線（22Ａ）	0.6 （μｍ）	１２（ｍＡ/μｍ）
第４層目配線（21Ａ）	0.6 （μｍ）	１２（ｍＡ/μｍ）
第３層目配線（24Ｂ）	0.4 （μｍ）	８（ｍＡ/μｍ）
第２層目配線（25Ｂ）	0.4 （μｍ）	８（ｍＡ/μｍ）
第１層目配線（26Ｂ）	0.4 （μｍ）	８（ｍＡ/μｍ）

【００６３】
上記のように構成された本実施の形態のＣＭＯＳゲートアレイによれば、前記実施の形態１とほぼ同様の効果が得られる。
【００６４】
以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。
【００６５】
前記実施の形態では、３層配線構造のゲートアレイおよび５層配線構造のゲートアレイについて説明したが、４層配線構造のゲートアレイや６層以上の配線構造のゲートアレイに適用することもできる。
【００６６】
配線層が４層の場合は、内側の列のボンディングパッドに接続する第１の引き出し配線を例えば第４層目配線と第２層目配線とで構成し、外側の列のボンディングパッドに接続する第２の引き出し配線を例えば第３層目配線と第１層目配線とで構成する。このとき、第１の引き出し配線の幅と第２の引き出し配線の幅が同じであるとして、第４層目配線の膜厚と第３層目配線の膜厚を同じにし、第２層目配線の膜厚と第１層目配線の膜厚を同じにすれば、第１の引き出し配線の電流密度と第２の引き出し配線の電流密度をほぼ同じにすることができる。配線層が６層以上の場合は、第１の引き出し配線を構成する配線と第２の引き出し配線を構成する配線の組み合わせは多数考えられる。
【００６７】
また、前記実施の形態では、ボンディングパッドを２列に配置した場合について説明したが、３列に配置する場合にも適用することができる。例えば配線層が５層の場合は、図２１に示すように、最も内側の列のボンディングパッド４Ａの引き出し配線２０Ａをボンディングパッド４Ａ（第５層目配線）と一体に構成し、中央の列のボンディングパッド４Ｂの引き出し配線２０Ｂを第４層目配線（配線２１Ｂ）と第２層目配線（配線２５Ｂ）とで構成し、最も外側の列のボンディングパッド４Ｃの引き出し配線２０Ｃを第３層目配線（配線２４Ｃ）と第１層目配線（配線２６Ｃ）とで構成すればよい。
【００６８】
前記実施の形態ではＣＭＯＳゲートアレイについて説明したが、本発明は、エンベデッドアレイ、セルベースＩＣなどの各種特定用途向けＩＣに適用することができる。本発明は、少なくとも３層以上の配線層を有し、ボンディングパッドを千鳥状に配置する多ピンＬＳＩに適用することができる。
【００６９】
【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【００７０】

（１）本発明によれば、ボンディングパッドと内部回路を接続する引き出し配線の幅およびピッチを狭くすることができるので、ボンディングパッドのピッチを狭くすることができる。これにより、同一サイズの半導体チップにより多くのボンディングパッドを形成することができるので、外部端子数の多い（多ピンの）大規模ＣＭＯＳゲートアレイを実現することができる。

【００７１】

（２）本発明によれば、半導体チップの外周に配置されるすべてのボンディングパッドの引き出し配線の電流密度をほぼ同じにすることができ、しかも、すべてのボンディングパッドの引き出し配線に大電流を流すことができるので、電源（Ｖcc、ＧＮＤ）線や大電流が流れる信号線に接続するボンディングパッドを自由に選択することができ、自動配置配線システムを用いた論理設計の自由度が向上する。

【図面の簡単な説明】

【図１】本発明の実施の形態１である半導体集積回路装置が形成された半導体チップの斜視図である。

【図２】本発明の実施の形態１である半導体集積回路装置における内側の列のボンディングパッド、入出力バッファ回路およびそれらを接続する引き出し配線を示す平面図である。

【図３】本発明の実施の形態１である半導体集積回路装置における内側の列のボンディングパッド、入出力バッファ回路およびそれらを接続する引き出し配線を示す斜視図である。

【図４】本発明の実施の形態１である半導体集積回路装置における内側の列のボンディングパッド、入出力バッファ回路およびそれらを接続する引き出し配線を示す斜視図である。

【図５】本発明の実施の形態１である半導体集積回路装置における入出力バッファ回路の平面図である。

【図６】本発明の実施の形態１である半導体集積回路装置における出力バッファ回路の回路図である。

【図７】本発明の実施の形態１である半導体集積回路装置における外側の列のボンディングパッド、入出力バッファ回路およびそれらを接続する引き出し配線を示す平面図である。

【図８】本発明の実施の形態１である半導体集積回路装置における外側の列のボンディングパッド、入出力バッファ回路およびそれらを接続する引き出し配線を示す斜視図である。

【図９】本発明の実施の形態１である半導体集積回路装置における外側の列のボンディングパッド、入出力バッファ回路およびそれらを接続する引き出し配線を示す斜視図である。

【図１０】本発明の実施の形態１である半導体集積回路装置における入力バッファ回路の回路図である。

【図１１】本発明の実施の形態１である半導体集積回路装置におけるボンディングパッド、入出力バッファ回路およびそれらを接続する引き出し配線を示す斜視図である。

【図１２】本発明の実施の形態１である半導体集積回路装置におけるボンディングパッド、入出力バッファ回路およびそれらを接続する引き出し配線を示す斜視図である。

【図１３】本発明の実施の形態１である半導体集積回路装置における引き出し配線の構成を示す断面図である。

【図１４】本発明の実施の形態１である半導体集積回路装置におけるボンディングパッドおよびそれらを接続する引き出し配線の配置の１例を示す平面図である。

【図１５】本発明の実施の形態２である半導体集積回路装置における内側の列のボンディ

ングパッド、入出力バッファ回路およびそれらを接続する引き出し配線を示す斜視図である。
【図１６】本発明の実施の形態２である半導体集積回路装置における内側の列のボンディングパッド、入出力バッファ回路およびそれらを接続する引き出し配線を示す斜視図である。
【図１７】本発明の実施の形態２である半導体集積回路装置における外側の列のボンディングパッド、入出力バッファ回路およびそれらを接続する引き出し配線を示す斜視図である。
【図１８】本発明の実施の形態２である半導体集積回路装置における外側の列のボンディングパッド、入出力バッファ回路およびそれらを接続する引き出し配線を示す斜視図である。
【図１９】本発明の実施の形態２である半導体集積回路装置におけるボンディングパッド、入出力バッファ回路およびそれらを接続する引き出し配線を示す斜視図である。
【図２０】本発明の実施の形態２である半導体集積回路装置における引き出し配線の構成を示す断面図である。
【図２１】本発明の他の実施の形態である半導体集積回路装置におけるボンディングパッドおよび引き出し配線を示す斜視図である。
【符号の説明】
１　半導体チップ
１Ａ　半導体基板
２　基本セル
３　入出力バッファ回路
４　ボンディングパッド（外部端子）
４Ａ　ボンディングパッド（外部端子）
４Ｂ　ボンディングパッド（外部端子）
４Ｃ　ボンディングパッド（外部端子）
５Ａ　引き出し配線
５Ｂ　引き出し配線
６　フィールド絶縁膜
７ｎ　ｎ型拡散層
７ｐ　ｐ型拡散層
８ｎ　ゲート電極
８ｐ　ゲート電極
９　第１層目配線
９Ｂ　配線
１０　第２層目配線
１０Ａ　パッド配線
１０Ｂ　配線
１２Ａ　接続孔
１２Ｂ　接続孔
１３Ａ　接続孔
１３Ｂ　接続孔
１４　酸化シリコン膜
１５　第１層間絶縁膜
１６　プラグ
１７　第２層間絶縁膜
１９　パッシベーション膜
２０Ａ　引き出し配線
２０Ｂ　引き出し配線
２０Ｃ　引き出し配線

２１Ａ　配線
２１Ｂ　配線
２２Ａ　配線
２３Ａ　接続孔
２３Ｂ　接続孔
２４Ａ　パッド配線
２４Ｂ　配線
２４Ｃ　配線
２５Ａ　パッド配線
２５Ｂ　配線
２６Ａ　パッド配線
２６Ｂ　配線
２６Ｃ　配線
２７Ａ　接続孔
２８Ａ　接続孔
２９Ａ　接続孔
３０　第３層間絶縁膜
３１　第４層間絶縁膜

【図１】

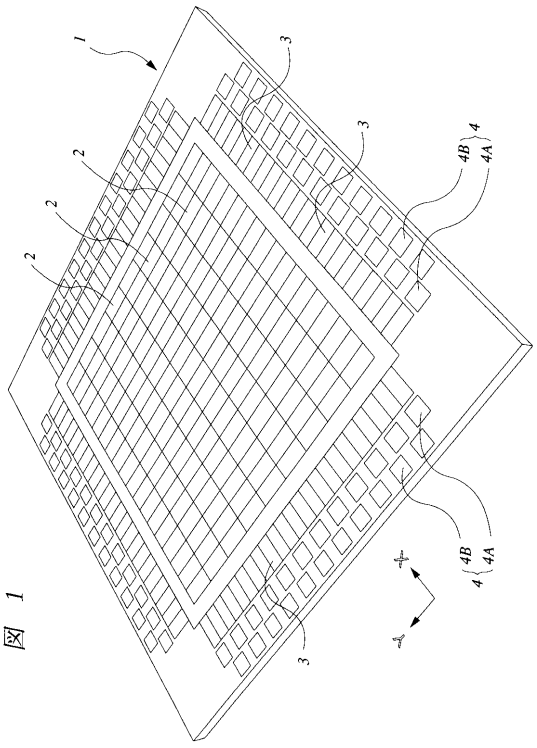
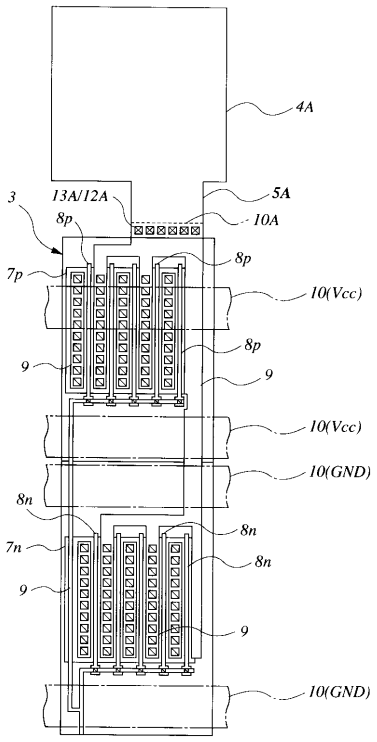


図 1

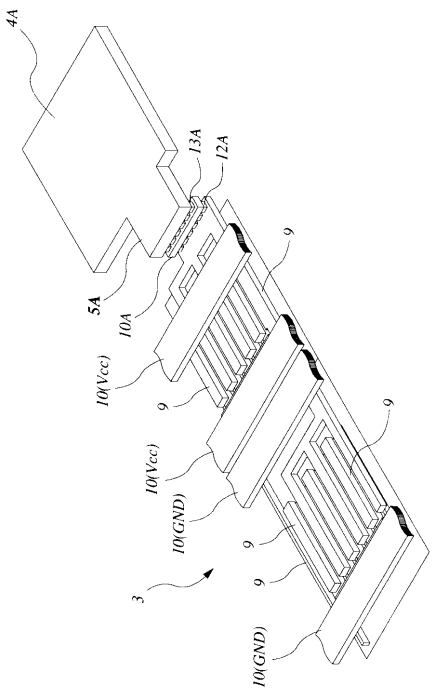
【図２】

図 2



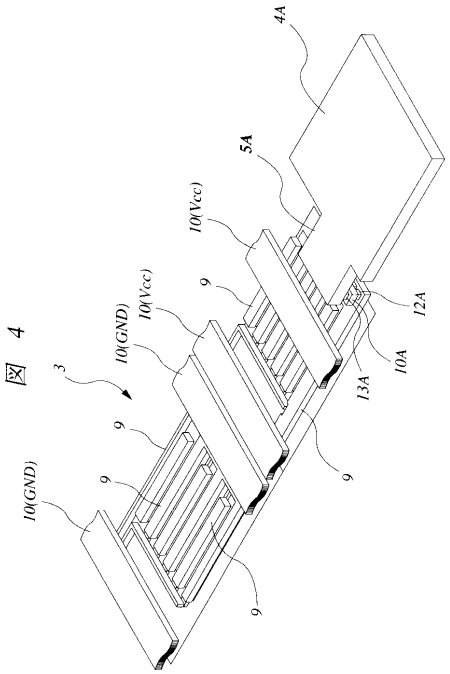
【図３】

図 3



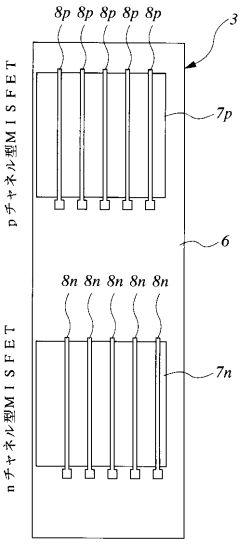
【図４】

図 4



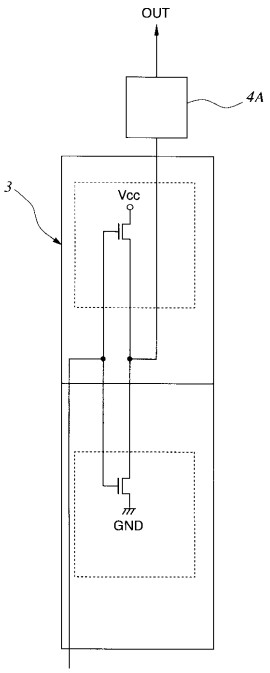
【図５】

図 5



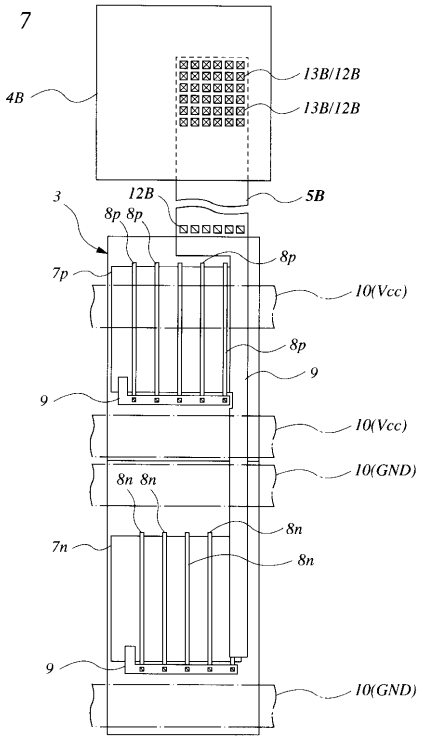
【図６】

図 6



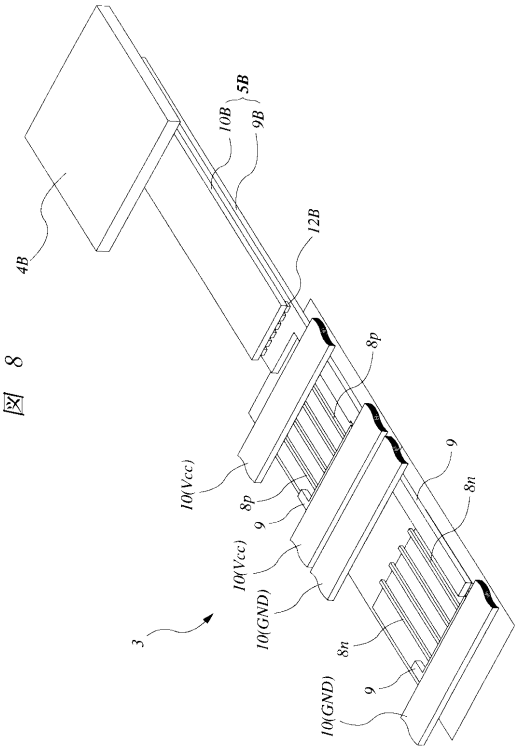
【図７】

図 7



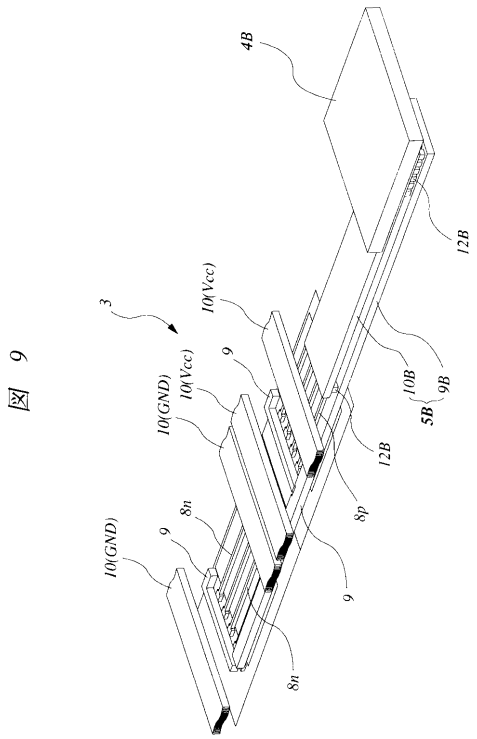
【図８】

図 8



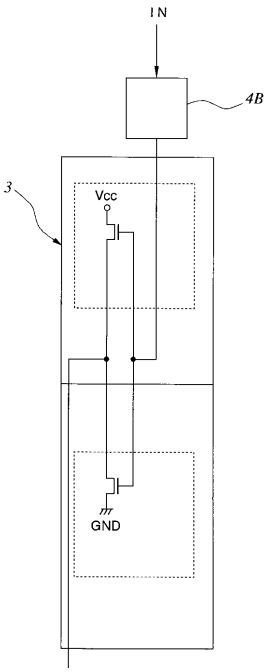
【図９】

図 9



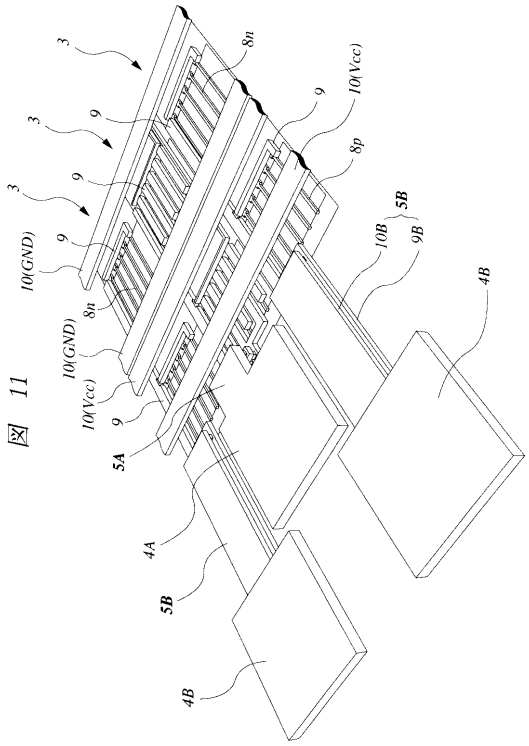
【図１０】

図 10



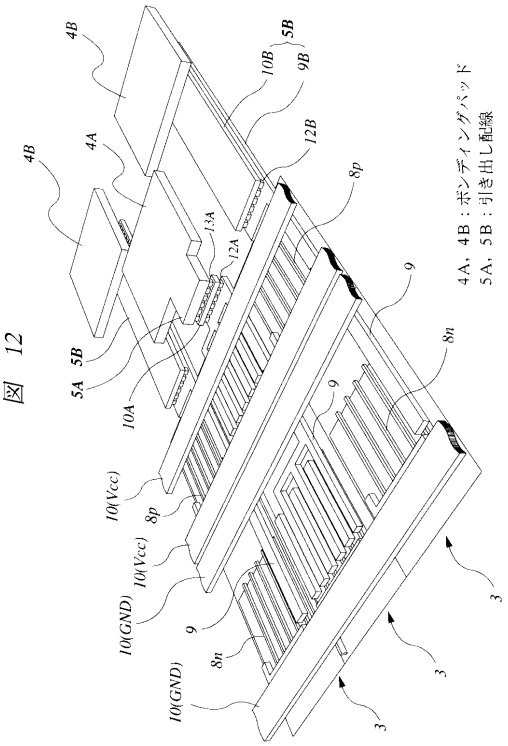
【図１１】

図 11



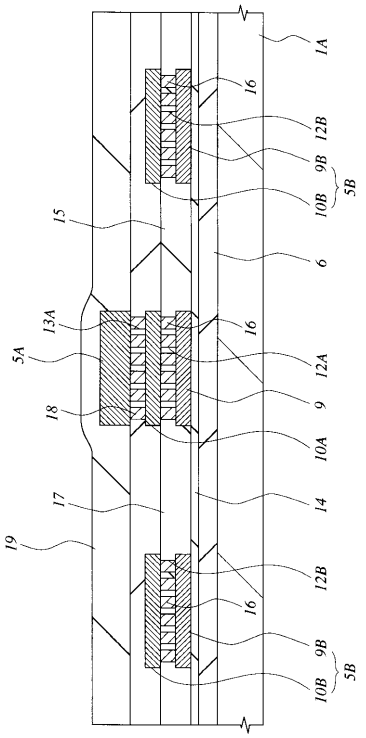
【図１２】

図 12



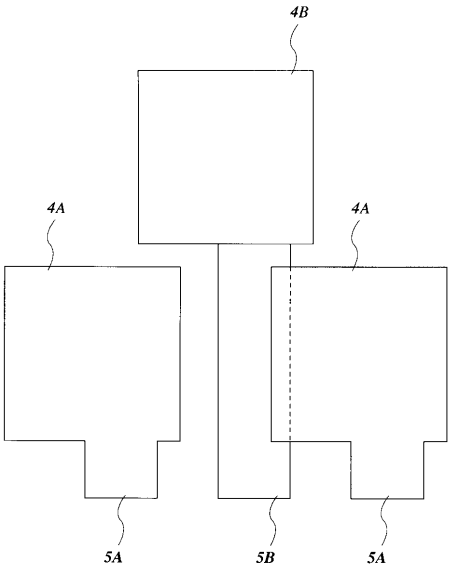
【図１３】

図 13



【図１４】

図 14



【図１５】

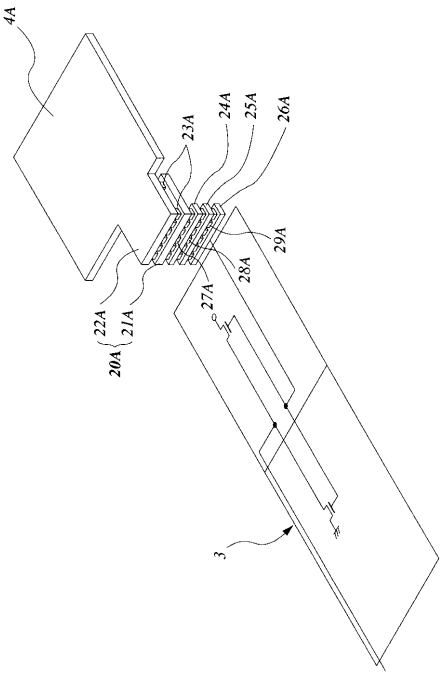


図 15

【図１６】

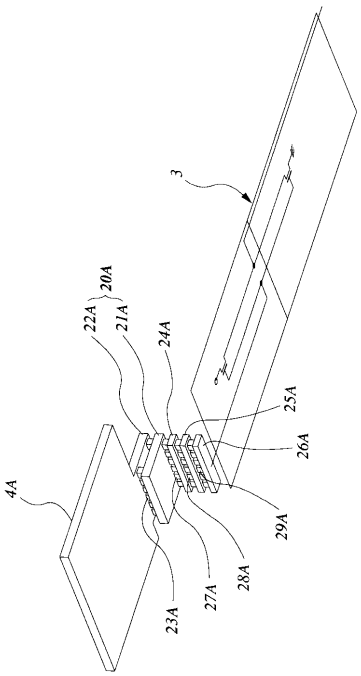


図 16

【図１７】

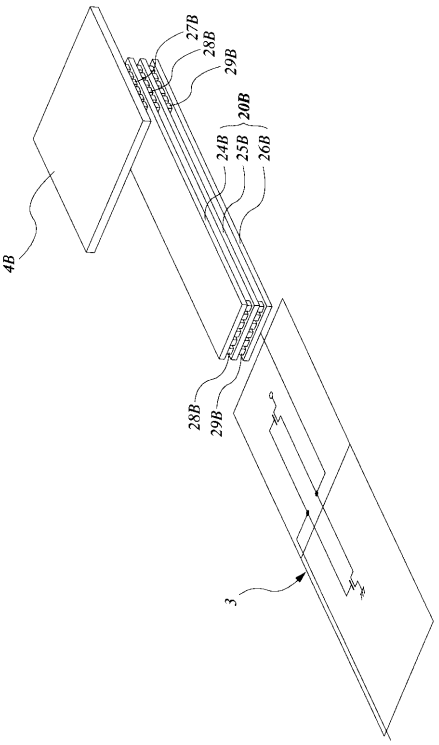


図 17

【図１８】

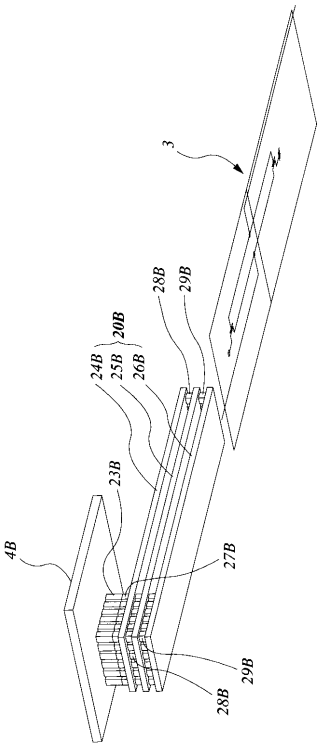


図 18

【図１９】

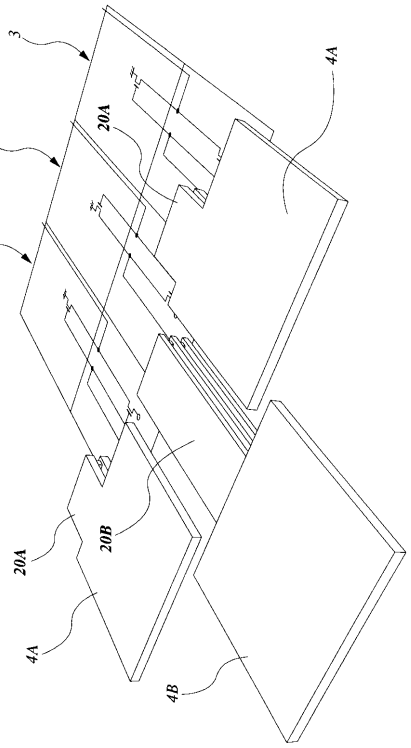


図 19

【図２０】

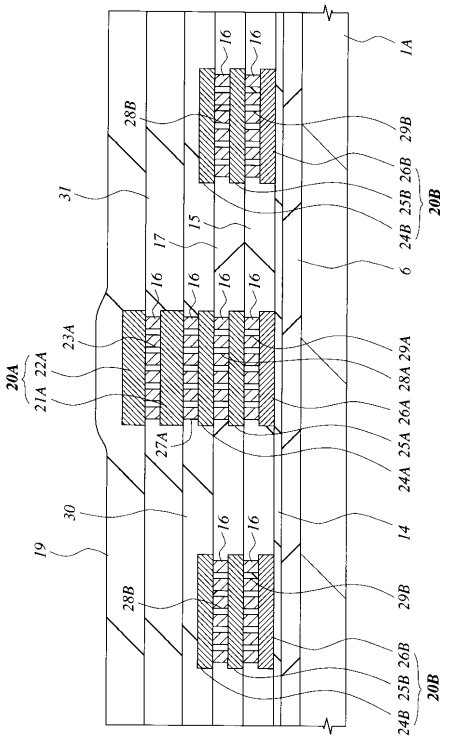


図 20

【図２１】

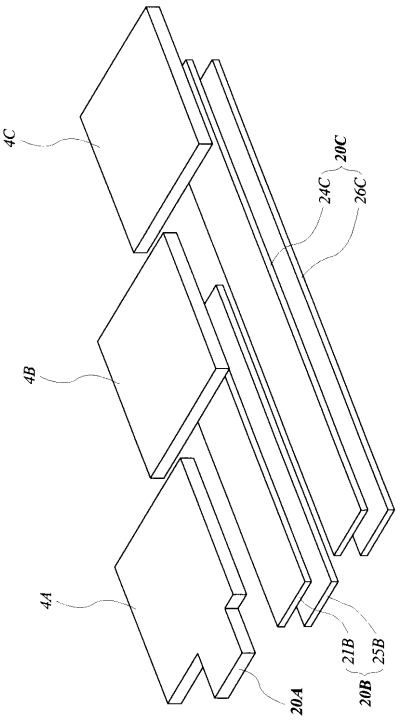


図 21

フロントページの続き

(72)発明者　高橋　卯
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　片桐　光昭
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内

審査官　大嶋　洋一

(56)参考文献　特開平０１－１０９７５９（ＪＰ，Ａ）
特開平０３－１７３４３３（ＪＰ，Ａ）
特開平０５－２９９７９０（ＪＰ，Ａ）
特開平０６－２５２２６７（ＪＰ，Ａ）
特開平０７－２６３４４６（ＪＰ，Ａ）