



ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4152767/24-24

(22) 28.11.86

(46) 30.01.89. Бюл. № 4

(72) В. С. Лупиков

(53) 681.327.6(088.8)

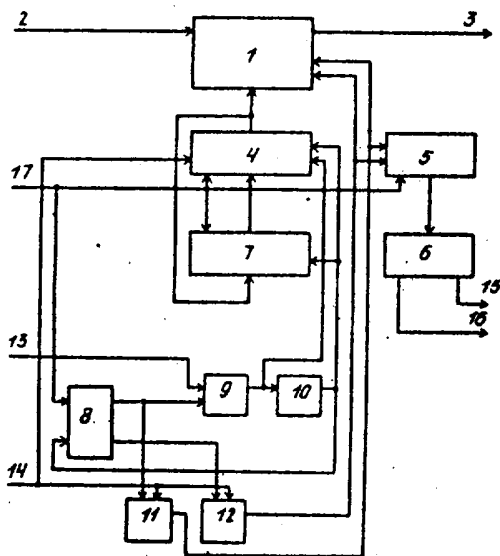
(56) Авторское свидетельство СССР
№ 1156140, кл. G 11 C 19/00, 1984.

Авторское свидетельство СССР
№ 1111202, кл. G 06 F 12/00, 1982.

(54) БУФЕРНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

(57) Изобретение может быть использо-
вано при построении буферных запоми-
нающих устройств систем обработки
информации. Цель изобретения - повы-
шение надежности устройства. Устрой-
ство содержит блок 1 памяти с информа-
ционными входами 2 и выходами 3,
счетчик 4, выходы которого подключены
к адресным входам блока 1, реверсив-
ный счетчик 5, содержимое которого
определяет занятый объем памяти, де-

кодированный 6, подключенный к счетчику
5, на выходах которого появляются
сигналы "ЗУ свободно" и "ЗУ перепол-
нено", регистр 7, триггер 8, сумма-
тор 9 по модулю два, формирователь 10
импульсов, элементы И 11 и 12, вход
13 режима, вход 14 синхронизации.
Если триггер 8 находится в "0", то в
счетчике 4 находится адрес чтения, а
в регистре 7 - адрес записи. Если
триггер 8 находится в "0", то в счет-
чике 4 находится адрес записи, а в
регистре 7 - адрес чтения. Сумматор
9 и формирователь 10 обеспечивают об-
мен данными между счетчиком 4 и реги-
стром 7 с целью введения необходимого
адреса в счетчик 4 в соответствии с
сигналом режима на входе 13 и состоя-
нием триггера 8. Элементы И 11 и 12
формируют импульсы чтения и записи
для блока 1 и импульсы сложения и вы-
читания для счетчика 5. 2 ил.



Фиг. 1

Изобретение относится к вычислительной технике и может быть использовано в качестве буферного запоминающего устройства в системах обработки информации.

Цель изобретения - повышение надежности устройства.

На фиг. 1 приведена структурная схема устройства; на фиг. 2 - структурная схема счетчика.

Устройство содержит блок 1 памяти, информационные входы 2 и выходы 3, счетчик 4, реверсивный счетчик 5, дешифратор 6, регистр 7; триггер 8, сумматор 9 по модулю два, формирователь 10 импульсов, элементы И 11 и 12, вход 13 режима, вход 14 синхронизации, входы 15 и 16 управления, вход 17 установки.

Счетчик 4 содержит регистр 18 сдвига, элемент ИЛИ 19 и сумматор 20 по модулю два.

Устройство работает следующим образом.

Перед началом работы сигналом по входу 17 установки счетчики 4 и 5, регистр 7 и триггер 8 устанавливаются в нулевое состояние.

Высокий уровень сигнала на инверсном выходе триггера 8 свидетельствует о том, что в счетчике 4 хранится текущий адрес записи в блок 1 памяти. Высокий уровень сигнала на прямом выходе триггера 8 свидетельствует о том, что в счетчике 4 хранится текущий адрес чтения.

При выполнении операции записи данных в блок 1 памяти на вход 13 поступает низкий уровень сигнала. Записываемые данные поступают на входы 2 устройства в сопровождении сигнала по входу 14. Сигнал по входу 14 должен быть задержан относительно момента смены сигнала по входу 13 на время, достаточно равное для срабатывания триггера 8 по счетному входу, сумматора 9 по модулю два, формирователя 10.

Если в момент поступления низкого уровня сигнала по входу 13 триггер 8 находится в единичном состоянии, т.е. в счетчике 4 хранится текущий адрес чтения, то на выходе сумматора 9 по модулю два появляется высокий уровень сигнала, по которому формирователь 10 сформирует импульс, переписывающий содержимое регистра 7 в счетчик 4, а содержимое счетчика

4 в регистр 7 и устанавливающий триггер 8 по счетному входу в нулевое состояние. Этим обеспечивается подключение к адресным входам блока 1 памяти текущего адреса записи. Сигнал синхронизации по входу 14, поступая через элемент И 12 на вход управления блока 1 памяти, осуществляет запись данных с входов 2 в блок 1 памяти по текущему адресу записи. Задним фронтом сигнала по входу 14 производится модификация содержимого реверсивного счетчика 5 (к его содержимому добавляется единица) и текущего адреса записи, хранящегося в это время в счетчике 4.

На фиг. 2 приведена схема одного из вариантов счетчика 4, а именно псевдослучайного счетчика, выполненного на регистре 18 сдвига с сумматором 20 по модулю два в цепи его обратной связи с инверсией на выходе. При высоком уровне сигнала на выходе сумматора 9 по модулю два и при поступлении сигнала от формирователя 10 через элемент ИЛИ 19 на синхровход регистра 18 производится запись в регистр 18 кода, присутствующего на его информационных входах. Запись производится по заднему фронту синхросигнала. При низком уровне сигнала на выходе сумматора 9 по модулю два и при поступлении сигнала по входу 14 производится через элемент ИЛИ 19 модификация содержимого регистра 18 сдвига в соответствии с видом его обратной связи.

Если в следующем цикле должна быть произведена операция записи в блок 1 памяти, уровень сигнала на входе 13 не изменяется, т.е. остается низкий уровень сигнала. Если же в следующем цикле должна быть произведена операция чтения данных из блока 1 памяти, уровень сигнала на входе 13 меняется на высокий. При этом появляется высокий уровень сигнала на выходе сумматора 9 по модулю два, по которому формируется импульс формирователем 10 и переписывается содержимое регистра 7 в счетчик 4, а содержимое счетчика 4 в регистр 7 и изменяется на противоположное состояние триггера 8. Этим осуществляется подключение к адресным входам блока 1 памяти текущего адреса чтения. Поступающий с задержкой относительно смены уровня сигнала на входе 13 сигнал по входу 14 через

элемент И 11 на вход стробирования блока 1 памяти обеспечивает чтение данных из блока 1 памяти на выходы 3 устройства. Задним фронтом сигнала по входу 14 осуществляется модификация содержимого реверсивного счетчика 5 (вычитается единица) и модификация текущего адреса чтения в счетчике 4. Если и в следующем цикле должна выполняться операция чтения, то состояние уровня сигнала на входе 13 не изменяется. Последующие циклы записи и чтения данных выполняются аналогично.

Выходные сигналы реверсивного счетчика 5 поступают на дешифратор 6, формирующий на выходах 15 и 16 индикации сигналы состояния "Буфер пуст" и "Буфер заполнен", управляющие работой приемника и передатчика информации.

Ф о р м у л а и з о б р е т е н и я

Буферное запоминающее устройство, содержащее блок памяти, информационные входы и выходы которого являются соответственно информационными входами и выходами устройства, реверсивный счетчик, выходы которого подключены к входам дешифратора, выходы которого являются выходами индикации устройства, счетчик, тактовый вход которого является входом синхрониза-

ции устройства, входы сброса реверсивного счетчика и счетчика объединены и являются входом установки устройства, триггер, первый и второй элементы И, отличающееся тем, что, с целью повышения надежности устройства, оно содержит регистр, формирователь импульсов и сумматор по модулю два, причем первые входы первого и второго элементов И подключены к счетному входу счетчика, выходы которого подключены к адресным входам блока памяти и информационным входам регистра, вход установки которого подключен к входу установки счетчика и входу установки триггера, прямой выход которого подключен к второму входу первого элемента И и первому входу сумматора по модулю два, второй вход которого является входом режима устройства, инверсный выход триггера подключен к второму входу второго элемента И, выход которого подключен к входу записи блока памяти и входу сложения реверсивного счетчика, вход вычитания которого подключен к входу чтения блока памяти и выходу первого элемента И, выход сумматора по модулю два подключен к входу режима счетчика и входу формирователя импульсов, выход которого подключен к счетному входу триггера, к входу записи регистра и входу записи счетчика.

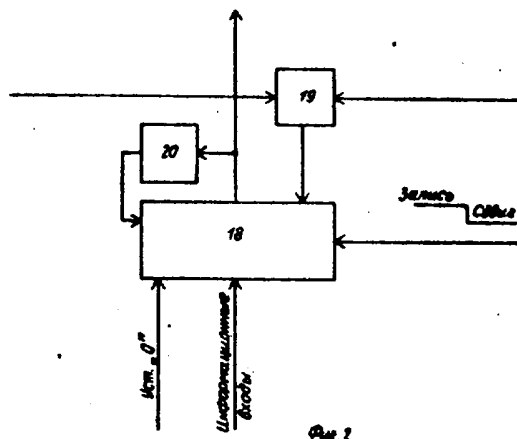


Рис. 1

Составитель С. Шустенко

Редактор Е. Копча

Техред М. Ходанич

Корректор С. Черни

Заказ 7456/55

Тираж 558

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4