



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0143380  
(43) 공개일자 2022년10월25일

(51) 국제특허분류(Int. Cl.)

H01L 29/78 (2006.01) H01L 29/786 (2006.01)  
H01L 29/808 (2006.01) H01L 29/812 (2006.01)

(52) CPC특허분류

H01L 29/7832 (2013.01)  
H01L 29/786 (2021.01)

(21) 출원번호 10-2021-0049819

(22) 출원일자 2021년04월16일

심사청구일자 2021년04월16일

(71) 출원인

인하대학교 산학협력단

인천광역시 미추홀구 인하로 100(용현동, 인하대학교)

(72) 발명자

이영택

인천광역시 연수구 신송로118번길 6, 110동 201호(송도동, 송도풍림아이원1단지아파트)

이민중

충청북도 청주시 청원구 읍봉로 77, 8동 1301호(사천동, 신동아아파트)

(74) 대리인

양성보

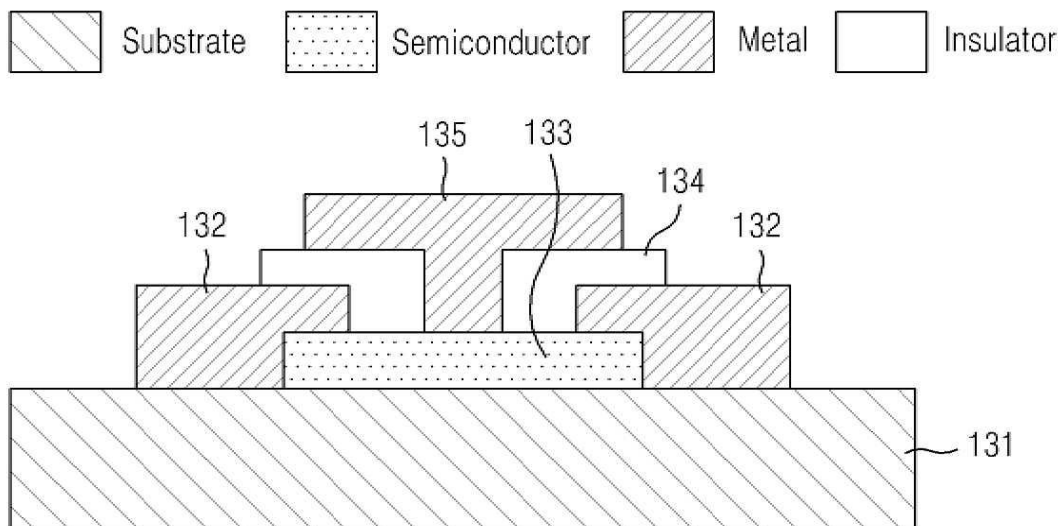
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 MISFET과 MESFET 이중구조 융합화 기술

(57) 요약

MISFET과 MESFET 이중구조 융합 소자 구조 및 그 동작 방법이 제시된다. 본 발명에서 제안하는 MISFET과 MESFET 이중구조 융합 소자는 기판 상에 적층되고, MESFET 및 MISFET의 구동 특성을 갖는 공통 소스/드레인 전극, 공통 소스/드레인 전극 사이의 기판 상에 형성되고, MESFET 및 MISFET의 구동 특성을 갖는 공통 반도체 채널, 공통 소스/드레인 전극 및 공통 반도체 채널 상에 적층되고, MISFET의 구동 특성을 갖는 게이트 절연막 및 게이트 절연막 상에 적층되고, MESFET 및 MISFET의 구동 특성을 갖는 공통 게이트 전극을 포함한다.

대표도 - 도1c



(52) CPC특허분류

*H01L 29/8086* (2013.01)

*H01L 29/8126* (2013.01)

이 발명을 지원한 국가연구개발사업

|             |                                                     |
|-------------|-----------------------------------------------------|
| 과제고유번호      | 1711127684                                          |
| 과제번호        | NRF-2021R1C1C1005235                                |
| 부처명         | 과학기술정보통신부                                           |
| 과제관리(전문)기관명 | 한국연구재단                                              |
| 연구사업명       | 우수신진연구                                              |
| 연구과제명       | Lab-on-a-chip 기반 인체 pH 이상 증후 및 원인 규명을위한 휴대용 진단키트 개발 |
| 기 여 율       | 1/1                                                 |
| 과제수행기관명     | 인하대학교 산학협력단                                         |
| 연구기간        | 2021.03.01 ~ 2024.02.29                             |

---

## 명세서

### 청구범위

#### 청구항 1

기관 상에 적층되고, MESFET 및 MISFET의 구동 특성을 갖는 공통 소스/드레인 전극;  
공통 소스/드레인 전극 사이의 기관 상에 형성되고, MESFET 및 MISFET의 구동 특성을 갖는 공통 반도체 채널;  
공통 소스/드레인 전극 및 공통 반도체 채널 상에 적층되고, MISFET의 구동 특성을 갖는 게이트 절연막; 및  
게이트 절연막 상에 적층되고, MESFET 및 MISFET의 구동 특성을 갖는 공통 게이트 전극  
을 포함하는 이중구조 융합 소자.

#### 청구항 2

제1항에 있어서,  
공통 게이트 전극은,  
공통 게이트 전극과 공통 반도체 채널의 직접적인 접합을 이루며 전류의 흐름을 제어하는 MESFET의 구동 특성  
및 공통 게이트 전극과 공통 반도체 채널 사이에 존재하는 게이트 절연막에 의해 공통 게이트 전극으로 흐르게  
되는 누설전류를 차단하는 MISFET의 구동 특성을 갖고, 공통 반도체 채널과 쇼트키 접합을 이루는 금속 물질을  
포함하는  
이중구조 융합 소자.

#### 청구항 3

제1항에 있어서,  
게이트 절연막은,  
공통 게이트 전극과 공통 반도체 채널을 절연시키는 절연 물질을 포함하고,  
공통 반도체 채널은,  
공통 게이트 전극에 의해 ON/OFF 전류의 제어가 가능한 물질을 포함하고,  
공통 소스/드레인 전극은,  
공통 반도체 채널과 옴릭 접합(Ohmic contact)을 이루는 금속 물질을 포함하는  
이중구조 융합 소자.

#### 청구항 4

공통 소스/드레인 전극, 공통 반도체 채널, 게이트 절연막 및 공통 게이트 전극을 포함하는 이중구조 융합 소자  
의 동작 방법에 있어서,  
공통 소스/드레인 전극에 각각 접지 및 드레인 전압을 인가하는 단계;  
공통 게이트 전극에 전압을 인가하는 단계; 및  
공통 게이트 전극에 인가된 전압에 따라 ON 전류가 흐르는 동작 영역, OFF 전류가 흐르는 동작 영역 또는  
SS(Subthreshold Slope)를 결정하는 동작 영역 중 어느 한 영역에서 동작하는 단계  
를 포함하는 이중구조 융합 소자의 동작 방법.

#### 청구항 5

제4항에 있어서,

ON 전류가 흐르는 동작 영역의 경우,

게이트 절연막을 사이에 두고 게이트 전극에 의해 공통 반도체 채널에 캐리어가 축적되어 ON 전류가 흐르는 이중구조 융합 소자의 동작 방법.

#### 청구항 6

제4항에 있어서,

OFF 전류가 흐르는 동작 영역의 경우,

게이트 절연막을 사이에 두고 공통 게이트 전극에 의해 공통 반도체 채널에 캐리어가 공핍되는 이중구조 융합 소자의 동작 방법.

#### 청구항 7

제4항에 있어서,

SS(Subthreshold Slope)를 결정하는 동작 영역의 경우,

공통 게이트 전극과 공통 반도체 채널의 직접적인 접합에 의해 캐리어가 공핍되는 이중구조 융합 소자의 동작 방법.

#### 청구항 8

기관 상에 적층되고, JFET 및 MISFET의 구동 특성을 갖는 소스/드레인 전극;

소스/드레인 전극 사이의 기관 상에 형성되고, JFET 및 MISFET의 구동 특성을 갖는 공통 반도체 채널;

소스/드레인 전극 및 공통 반도체 채널 상에 적층되고, MISFET의 구동 특성을 갖는 게이트 절연막; 및

게이트 절연막 상에 적층되고, JFET 및 MISFET의 구동 특성을 갖는 공통 게이트 전극

을 포함하는 이중구조 융합 소자.

#### 청구항 9

제8항에 있어서,

공통 반도체 채널은,

pn 접합 다이오드 기반의 JFET에 따라,

p-type 다이오드 기반의 JFET일 경우 n 채널을 갖는 공통 반도체 채널을 포함하거나, 또는

n-type 다이오드 기반의 JFET일 경우 p 채널을 갖는 공통 반도체 채널을 포함하는

이중구조 융합 소자.

### 발명의 설명

### 기술 분야

[0001] 본 발명은 반도체 전자소자 기반의 서로 다른 구동을 보이는 두 전자소자의 융합 기술에 관한 것이다.

### 배경 기술

[0002] 반도체 소자는 공정법 및 구동 방식에 따라 구조적 차이(다시 말해, 이중 구조)를 가지게 되며, 이러한 구조 및 구동 방식의 차이로부터 각각의 소자는 고유한 장점 및 단점을 가지게 된다. MOSFET 같은 경우에는 채널(channel)을 활성화 시켜 구동하기 때문에 높은 ON 전류 및 안정적인 누설전류를 가지지만, 게이트 절연막/반도체 채널 사이에 우수하지 못한 계면 특성 하에 비교적 낮은 SS(Subthreshold Slope) 값을 갖는다. 하지만, MESFET의 경우 반도체층에 금속의 직접적인 접합이 이루어진 쇼트키 다이오드(schottky diode) 구동 기반으로 캐리어(carrier)를 공핍시켜 사용하기 때문에 상대적으로 우수한 SS를 가지지만, 낮은 ON 전류 및 높은 누설전

류의 단점을 가진다.

- [0003] 따라서, 두 가지 종류의 전자소자를 융합시킨 구조를 통해 각각의 장점을 살릴 수 있는 구동 방식에 관한 기술을 필요로 한다.

## 선행기술문헌

### 비특허문헌

- [0004] (비특허문헌 0001) Y. T. Lee, A. Vardi, and M. Tordjman, "A hybrid self-aligned MIS-MESFET architecture for improved diamond-based transistors", Appl. Phys. Lett., 117, 202101 (2020)

## 발명의 내용

### 해결하려는 과제

- [0005] 본 발명이 이루고자 하는 기술적 과제는 MISFET 구조 기반의 전자소자 구동의 우수하지 못한 SS(Subthreshold Slope) 단점을 해결하기 위한 MISFET과 MESFET 융합 구조 및 구동 방식을 제공하는데 있다. 반도체 전자소자 구동에 있어 전력 소비량을 줄이기 위해 우수한 SS를 갖는 전자소자를 제공하고자 한다.

### 과제의 해결 수단

- [0006] 일 측면에 있어서, 본 발명에서 제안하는 MISFET과 MESFET 이중구조 융합 소자는 기판 상에 적층되고, MESFET 및 MISFET의 구동 특성을 갖는 공통 소스/드레인 전극, 공통 소스/드레인 전극 사이의 기판 상에 형성되고, MESFET 및 MISFET의 구동 특성을 갖는 공통 반도체 채널, 공통 소스/드레인 전극 및 공통 반도체 채널 상에 적층되고, MISFET의 구동 특성을 갖는 게이트 절연막 및 게이트 절연막 상에 적층되고, MESFET 및 MISFET의 구동 특성을 갖는 공통 게이트 전극을 포함한다.

- [0007] 공통 게이트 전극은 공통 게이트 전극과 공통 반도체 채널의 직접적인 접합을 이루며 전류의 흐름을 제어하는 MESFET의 구동 특성 및 공통 게이트 전극과 공통 반도체 채널 사이에 존재하는 게이트 절연막에 의해 공통 게이트 전극으로 흐르게 되는 누설전류를 차단하는 MISFET의 구동 특성을 갖고, 공통 반도체 채널과 쇼트키 접합을 이루는 금속 물질을 포함한다.

- [0008] 게이트 절연막은 공통 게이트 전극과 공통 반도체 채널을 절연시키는 절연 물질을 포함하고, 공통 반도체 채널은 공통 게이트 전극에 의해 ON/OFF 전류의 제어가 가능한 물질을 포함하고, 공통 소스/드레인 전극은 공통 반도체 채널과 오믹 접합(Ohmic contact)을 이루는 금속 물질을 포함한다.

- [0009] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 공통 소스/드레인 전극, 공통 반도체 채널, 게이트 절연막 및 공통 게이트 전극을 포함하는 이중구조 융합 소자의 동작 방법은 공통 소스/드레인 전극에 각각 접지 및 드레인 전압을 인가하는 단계, 공통 게이트 전극에 전압을 인가하는 단계 및 공통 게이트 전극에 인가된 전압에 따라 ON 전류가 흐르는 동작 영역, OFF 전류가 흐르는 동작 영역 또는 SS(Subthreshold Slope)를 결정하는 동작 영역 중 어느 한 영역에서 동작하는 단계를 포함한다.

### 발명의 효과

- [0010] 본 발명의 실시예들에 따르면 서로 다른 기존의 구조적, 기능적 차이를 가지는 전자소자의 구동 방식을 융합화시킨 신개념의 전자소자를 제안한다. 각각의 소자에서 나타나는 장점들을 통해 MISFET의 우수한 점멸비, MESFET의 우수한 SS를 가지는 전자소자를 개발할 수 있다. 본 발명의 실시예들에 따른 MIS-MESFET은 기존 MISFET 구조와 비교해 우수한 SS를 가지며, 이는 같은 드레인 전류를 확보하기 위해 상대적으로 낮은 드레인 전압(VD)에서 소자 구동을 가능하게 하여 저전력 반도체 전자소자 구동을 가능하게 한다.

### 도면의 간단한 설명

- [0011] 도 1은 본 발명의 일 실시예에 따른 MIS-MESFET 융합 소자의 구조를 나타내는 도면이다.  
도 2는 본 발명의 일 실시예에 따른 MIS-MESFET의 체계도이다.

도 3은 본 발명의 일 실시예에 따른 MIS-MESFET 이중구조 융합 소자의 동작 방법을 설명하기 위한 흐름도이다.

도 4는 본 발명의 일 실시예에 따른 MIS-MESFET과 MESFET 및 MISFET의 소자 구동 측정 결과를 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 MIS-MESFET과 MESFET 및 MISFET의 SS 값을 나타내는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

도 1은 본 발명의 일 실시예에 따른 MIS-MESFET 융합 소자의 구조를 나타내는 도면이다.

도 1(a)는 종래기술에 따른 MESFET의 구조를 나타내는 도면이고, 도 1(b)는 종래기술에 따른 MISFET의 구조를 나타내는 도면이다. 도 1(c)는 제안하는 MIS-MESFET 융합 소자의 구조를 나타내는 도면이다.

도 1(a)를 참조하면, 종래기술에 따른 MESFET의 구조는 기판(Substrate)(111) 상에 적층되는 금속 물질(Metal)을 포함하는 소스/드레인 전극(112), 소스/드레인 전극 사이의 기판 상에 형성되는 반도체(Semiconductor) 채널(113), 소스/드레인 전극 사이의 반도체 채널 상에 적층되는 금속 물질(Metal)을 포함하는 게이트 전극(114)을 포함한다.

MESFET의 경우, 반도체층에 게이트 전극(114)의 직접적인 접합이 이루어진 쇼트키 다이오드(schottky diode) 구동 기반으로 캐리어(carrier)를 공핍시켜 사용하기 때문에 상대적으로 우수한 SS를 가지지만, 낮은 ON 전류 및 높은 누설전류의 단점을 가진다.

도 1(b)를 참조하면, 종래기술에 따른 MISFET의 구조는 기판(Substrate)(121) 상에 적층되는 금속 물질(Metal)을 포함하는 소스/드레인 전극(122), 소스/드레인 전극 사이의 기판 상에 형성되는 반도체(Semiconductor) 채널(123), 소스/드레인 전극 및 반도체 채널 상에 적층되는 게이트 절연막(Insulator)(124), 게이트 절연막 상에 적층되는 금속 물질(Metal)을 포함하는 게이트 전극(125)을 포함한다.

MISFET의 경우 채널(channel)을 활성화시켜 구동하기 때문에 높은 ON 전류 및 안정적인 누설전류를 가지지만, 게이트 절연막과 반도체 채널 사이에 우수하지 못한 계면 특성 하에 비교적 낮은 SS 값을 갖는다.

도 1(c)를 참조하면, 제안하는 MIS-MESFET 융합 소자의 구조는 기판(Substrate)(131) 상에 적층되고, MESFET 및 MISFET의 구동 특성을 갖는 공통 소스/드레인 전극(132); 공통 소스/드레인 전극(132) 사이의 기판(131) 상에 형성되고, MESFET 및 MISFET의 구동 특성을 갖는 공통 반도체 채널(133), 공통 소스/드레인 전극(132) 및 공통 반도체(Semiconductor) 채널(133) 상에 적층되고, MISFET의 구동 특성을 갖는 게이트 절연막(134) 및 게이트 절연막(Insulator)(134) 상에 적층되고, MESFET 및 MISFET의 구동 특성을 갖는 공통 게이트 전극(135)을 포함한다.

본 발명의 실시예에 따른 MIS-MESFET 융합 소자의 공통 게이트 전극(135)은 공통 게이트 전극(135)과 공통 반도체 채널(133)의 직접적인 접합을 이루며 전류의 흐름을 제어하는 MESFET의 구동 특성 및 공통 게이트 전극(135)과 공통 반도체 채널(133) 사이에 존재하는 게이트 절연막(134)에 의해 공통 게이트 전극(135)으로 흐르게 되는 누설전류를 차단하는 MISFET의 구동 특성을 갖고, 공통 반도체 채널(133)과 쇼트키 접합을 이루는 금속 물질을 포함한다.

본 발명의 실시예에 따르면, 게이트 절연막(134)은 공통 게이트 전극과 공통 반도체 채널을 절연시키는 절연 물질을 포함할 수 있다.

본 발명의 실시예에 따르면, 공통 반도체 채널(133)은 공통 게이트 전극에 의해 ON/OFF 전류의 제어가 가능한 물질을 포함할 수 있다.

본 발명의 실시예에 따르면, 공통 소스/드레인 전극(135)은 공통 반도체 채널과 오믹 접합(Ohmic contact)을 이루는 금속 물질을 포함할 수 있다.

제안하는 MIS-MESFET 융합 소자는 상대적으로 높은 점멸비(on/off ratio)를 가지는 MISFET(Metal-Insulator-Semiconductor Field-Effect Transistor) 특성과, 우수한 SS(Subthreshold Slope)를 가지는 MESFET(Metal-

Semiconductor Field-Effect Transistor)의 특성을 모두 가지는 전자소자를 제안한다.

- [0027] MISFET은 반도체 채널과 게이트 전극 사이에 존재하는 게이트 절연막에 의해 낮은 누설전류를 가지는 장점이 있다. 그리고 구동 방식에 있어, 게이트 전극에 의해 반도체 채널에 존재하는 캐리어를 축적 및 공핍시키는 방식으로 전류의 ON/OFF 상태를 만들 수 있다. 하지만, 이러한 구동에 있어 게이트 절연막/게이트 전극, 게이트 절연막/반도체 채널의 우수한 계면 특성 및 결함이 없는 게이트 절연막 형성이 기반이 되어야 우수한 SS를 가지는 결점이 있다.
- [0028] 이와 반대로 MESFET은 게이트 전극/반도체 채널 사이의 쇼트키 접합(다이오드)을 이용하기 때문에, 반도체 채널에 존재하는 캐리어를 공핍시키는 방식으로 구동을 한다. 이러한 구동 방식에 기인하여, 일반적으로 우수한 접합을 보이는 금속/반도체 접합을 바탕으로 우수한 SS를 가질 수 있지만, 활성화되지 못한 채널에 의해 상대적으로 낮은 ON 전류에 의해 낮은 점멸비를 가진다.
- [0029] 제안하는 MIS-MESFET 융합 소자 구조의 각 역할에 있어서, 공통 게이트 전극, 공통 반도체 채널에서 MESFET 구동 특성을 보임과 동시에, 공통 게이트 전극, 게이트 절연막, 공통 반도체 채널에서 MISFET 구동 특성을 보일 수 있다. 즉 MISFET 기반의 캐리어를 축적 및 공핍시키는 높은 점멸비를 가지면서, MESFET 기반의 쇼트키 접합을 통한 우수한 SS를 확보하여 전자소자의 우수한 전기적 특성을 나타낼 수 있다.
- [0031] 도 2는 본 발명의 일 실시예에 따른 MIS-MESFET의 체계도이다.
- [0032] 본 발명의 구성은 MISFET 구동을 위한 게이트 전극, 게이트 절연막, 반도체 채널, 소스/드레인 전극 및 MESFET 구동을 위한 게이트 전극, 반도체 채널, 소스/드레인 전극을 포함한다. 여기서, 제안하는 MIS-MESFET 융합 소자의 구동은 게이트 전극과 반도체 채널, 소스/드레인 전극을 하나의 소자로써 구동시켜 공통 게이트 전극, 게이트 절연막, 공통 반도체 채널, 공통 소스/드레인 전극으로 구동할 수 있다.
- [0033] 제안하는 MIS-MESFET 융합 소자 구조의 각 역할에 있어서, 공통 게이트 전극, 공통 반도체 채널에서 MESFET 구동 특성을 보임과 동시에, 공통 게이트 전극, 게이트 절연막, 공통 반도체 채널에서 MISFET 구동 특성을 보일 수 있다. 즉 MISFET 기반의 캐리어를 축적 및 공핍시키는 높은 점멸비를 가지면서, MESFET 기반의 쇼트키 접합을 통한 우수한 SS를 확보하여 전자소자의 우수한 전기적 특성을 나타낼 수 있다.
- [0034] 본 발명의 일 실시예에 따른 MIS-MESFET 융합 소자의 공통 게이트 전극은 공통 반도체 채널에 흐르는 전류의 흐름(ON/OFF 전류)을 제어한다. 공통 반도체 채널은 전류의 흐름을 제어할 수 있는 물질로, 공통 게이트 전극의 일정 전압 이상에서는 ON 전류, 이하에서는 OFF 전류가 흐를 수 있다. 공통 소스/드레인 전극은 이와 같이 제어된 전류의 값을 읽어낼 수 있다.
- [0035] 본 발명의 일 실시예에 따른 MIS-MESFET 융합 소자의 구동 특성에 있어서, MESFET의 구동 특성은 공통 게이트 전극과 공통 반도체 채널의 직접적인 접합을 이루며 전류의 흐름을 제어하게 된다. 이와 반대로 MISFET의 구동 특성은 공통 게이트 전극과 공통 반도체 채널 사이에 존재하는 게이트 절연막에 의해 공통 게이트 전극으로 흐르게 되는 누설전류를 차단할 수 있다.
- [0036] 본 발명에서 제안하는 MIS-MESFET 융합 소자의 구조는 MISFET과 MESFET 구조의 융합형 구조로 이해할 수 있다. 공통 반도체 채널 내에 MESFET 구조로 동작되는 영역 및 MISFET 구조로 동작되는 영역이 존재하여 두 기본적인 소자 구동을 동시에 이뤄낼 수 있다. 소자 구동에 있어서도 MIS-MESFET은 공통 반도체 채널에 있어 MISFET 소자의 구동 특성 및 MESFET 소자의 구동 특성을 이뤄낼 수 있다.
- [0037] 상기한 MIS-MESFET의 공통 게이트 전극은 공통 반도체 채널과 쇼트키 접합을 이루는 모든 금속을 포함한다. 공통 소스/드레인 전극에는 공통 반도체 채널과 오믹 접합(Ohmic contact)을 이루는 모든 금속을 포함한다. 게이트 절연막은 공통 게이트 전극과 공통 반도체 채널을 절연시킬 수 있는 모든 물질을 포함하고, 공통 반도체 채널에 있어서도 공통 게이트 전극에 의해 ON/OFF 전류의 제어가 가능한 모든 물질을 포함한다.
- [0038] 또한, MIS-MESFET의 공통 게이트 전극에 있어서 MESFET 구조로 동작되는 영역 및 MISFET 구조로 동작되는 영역은 소자 구동 및 공정법에 따라 자유롭게 조절할 수 있다.
- [0039] 마지막으로 공통 게이트 전극에 있어서, 쇼트키 다이오드 기반의 MESFET 구동이 아닌 pn 접합 다이오드 기반의 JFET 구동을 이용하게 된다면 (MIS-JFET 융합소자), 공통 게이트 전극은 반도체 물질 및 게이트 금속을 포함하는 공통 게이트로 이용할 수 있다. n 채널과 p 채널 MIS-JFET에서 JFET 실시 예는 각각 p-type 반도체의 게이트

전극과 n-type 반도체의 반도체 채널 및 n-type 반도체의 게이트 전극과 p-type 반도체의 반도체 채널을 포함한다.

- [0040] 다시 말해, 본 발명의 일 실시예에 따른 MIS-JFET 융합 소자는 기판 상에 적층되고, JFET 및 MISFET의 구동 특성을 갖는 소스/드레인 전극, 소스/드레인 전극 사이의 기판 상에 적층되고, JFET 및 MISFET의 구동 특성을 갖는 공통 반도체 채널, 소스/드레인 전극 및 공통 반도체 채널 상에 적층되고, MISFET의 구동 특성을 갖는 게이트 절연막 및 게이트 절연막 상에 적층되고, JFET 및 MISFET의 구동 특성을 갖는 공통 게이트 전극을 포함할 수 있다.
- [0041] MIS-JFET 융합 소자의 공통 반도체 채널은 pn 접합 다이오드 기반의 JFET에 따라, p-type 다이오드 기반의 JFET일 경우 n 채널을 갖는 공통 반도체 채널을 포함하거나, 또는 n-type 다이오드 기반의 JFET일 경우 p 채널을 갖는 공통 반도체 채널을 포함할 수 있다.
- [0043] 도 3은 본 발명의 일 실시예에 따른 MIS-MESFET 이중구조 융합 소자의 동작 방법을 설명하기 위한 흐름도이다.
- [0044] 공통 소스/드레인 전극, 공통 반도체 채널, 게이트 절연막 및 공통 게이트 전극을 포함하는 MIS-MESFET 이중구조 융합 소자의 동작 방법은 공통 소스/드레인 전극에 각각 접지 및 드레인 전압을 인가하는 단계(310), 공통 게이트 전극에 전압을 인가하는 단계(320) 및 공통 게이트 전극에 인가된 전압에 따라 ON 전류가 흐르는 동작 영역, OFF 전류가 흐르는 동작 영역 또는 SS(Subthreshold Slope)를 결정하는 동작 영역 중 어느 한 영역에서 동작하는 단계(330)를 포함한다.
- [0045] 단계(310)에서, 공통 소스/드레인 전극에 각각 접지 및 드레인 전압( $V_D$ )을 인가한다. 공통 반도체 채널에 흐르는 전류 감지를 위해 공통 소스/드레인 전극에 각각 접지 및 드레인 전압을 인가한다.
- [0046] 단계(320)에서, 공통 게이트 전극에 전압( $V_G$ )을 인가한다.
- [0047] 이 때 사용되는 공통 게이트 전극 전압( $V_G$ ) 범위 영역은 ON 전류를 흐르기 위한 영역과 OFF 전류를 흐르기 위한 영역, SS를 결정하는 영역, 의 총 3가지 영역으로 구분할 수 있다.
- [0048] 단계(330)에서 공통 게이트 전극에 인가된 전압( $V_G$ )에 따라 ON 전류가 흐르는 동작 영역, OFF 전류가 흐르는 동작 영역 또는 SS(Subthreshold Slope)를 결정하는 동작 영역 중 어느 한 영역에서 동작한다.
- [0049] ON 전류를 흐르기 위한 영역에서 MIS-MESFET은 게이트 절연막을 사이에 두고 게이트 전극에 의해 반도체 채널에 캐리어가 축적(331)되는 MISFET 소자 구동 특성(높은 ON 전류)을 따라갈 수 있다(332).
- [0050] 이와 반대로 OFF 전류를 흐르기 위한 영역에서는 게이트 전극과 반도체 채널의 직접적인 접촉에 의해 캐리어를 공핍(335)시키는 MESFET 구동 및 게이트 절연막을 사이에 두고 게이트 전극에 의해 반도체 채널에 캐리어가 공핍되는 MISFET 소자 구동 특성(낮은 OFF 전류)을 따라갈 수 있다(336).
- [0051] 본 발명의 구동에 있어서 핵심 영역인 SS 측정 영역은, 게이트 전극과 반도체 채널의 직접적인 접촉(쇼트키 접합)에 의해 캐리어를 공핍(333)시키는 MESFET 구동 특성을 따르고, MISFET 구조에서 나타나는  $SS(=d\log I_D/dV_G)$  보다 향상된 결과(우수한 SS)를 나타낼 수 있다(334).
- [0052] 상기한 MIS-JFET에서는 MESFET 소자 구동 영역을 JFET 소자 구동으로써 포함시킬 수 있다.
- [0054] 도 4는 본 발명의 일 실시예에 따른 MIS-MESFET과 MESFET 및 MISFET의 소자 구동 측정 결과를 나타내는 도면이다.
- [0055] 각각 Al 게이트 전극과 Au/Ti 소스/드레인 전극, 수소화 다이아몬드 반도체 채널, HfO<sub>2</sub> 게이트 절연막을 포함하는 MESFET(도 4(a) 및 도 4(d)), MISFET(도 4(b) 및 도 4(e)), MIS-MESFET(도 4(c) 및 도 4(f))의 드레인 전압-전류 특성( $V_D$ - $I_D$ ) 및 게이트 전압-전류 특성( $V_G$ - $I_D$ )에 대한 소자 별 구동 측정 결과를 나타내는 도면이다.
- [0056] 이와 같이 MESFET에서는 MISFET 보다 우수한 SS(도 4에서는  $g_m$ ,  $dI_D/dV_G$ )가 나타나는 것을 확인할 수 있다. 그리고 MISFET에 있어서는, 비교적 낮은 SS를 가지지만 MESFET에 비해 높은 ON 전류를 가지는 것을 확인할 수 있다. 이 두 결과를 바탕으로 MIS-MESFET 소자의 결과를 살펴보면, MESFET의 우수한 SS 특성과 MISFET의 높은 ON 전류

를 가진 융합 소자임을 확인할 수 있다.

- [0058] 도 5는 본 발명의 일 실시예에 따른 MIS-MESFET과 MESFET 및 MISFET의 SS 값을 나타내는 도면이다.
- [0059] 도 5(a)는 제안하는 MIS-MESFET 이중구조 융합 소자의 구동 원리 파악을 위한 MESFET 및 MISFET과의 게이트 전압-전류 특성( $V_G$ - $I_D$ )을 비교하는 그래프이고, 도 5(b)는 MIS-MESFET의 게이트 전압-전류 특성( $V_G$ - $I_D$ ) 및 SS 그래프이다.
- [0060] 도 5(a)를 참고하면, MIS-MESFET의  $V_G$ - $I_D$ 의 기울기( $\sim$ SS)는 MESFET의 기울기를 따라가는 모습을 확인할 수 있다. 또한 MIS-MESFET의 높은 ON 전류는 MISFET의 ON 전류를 따라가는 모습 또한 확인할 수 있다. 또한, 제안하는 MIS-MESFET의 SS 값은 67 mV/dec로 MISFET 소자 구동에서 나타나는 이상적인 SS 값(Boltzmann limit)인 60 mV/dec에 가까운 모습을 확인할 수 있다.
- [0061] 본 발명의 실시예들에 따르면 서로 다른 기존의 구조적, 기능적 차이를 가지는 전자소자의 구동 방식을 융합화시킨 신개념의 전자소자를 제안한다. 각각의 소자에서 나타나는 장점들을 통해 MISFET의 우수한 점멸비, MESFET의 우수한 SS를 가지는 전자소자를 개발할 수 있다. 본 발명의 실시예들에 따른 MIS-MESFET은 기존 MISFET 구조와 비교해 우수한 SS를 가지며, 이는 같은 드레인 전류를 확보하기 위해 상대적으로 낮은 드레인 전압( $V_D$ )이 필요함을 의미한다. 소자의 동적 구동에 있어 소비 전력량은 구동 전압의 제곱에 비례하는 특징을 가지고 있고, 이는 저전력 반도체 전자소자 구동을 가능하게 한다. 본 발명은 전자소자가 가질 수 있는 문제점을 구조의 융합화를 통한 신개념의 구동 방식을 통해 해결함으로써, 문제에 대한 다양한 접근을 만들어냄과 동시에 기초 연구에 대한 방향을 제시할 수 있다.
- [0063] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0064] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.
- [0065] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은

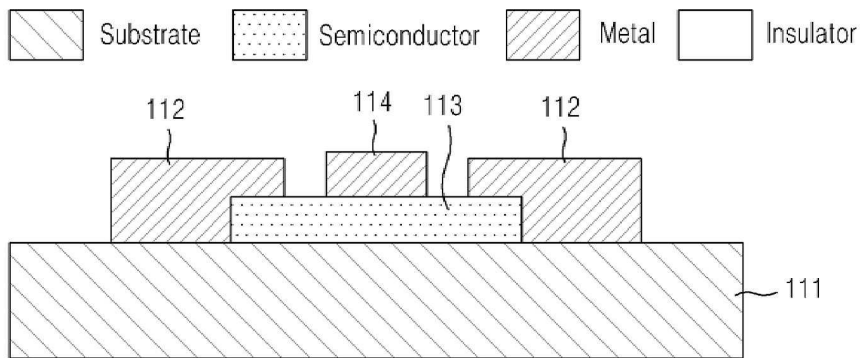
기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0066] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

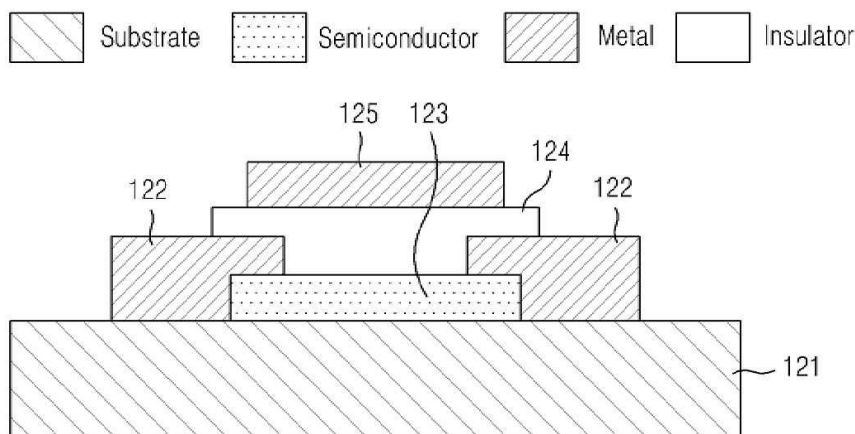
[0067] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

## 도면

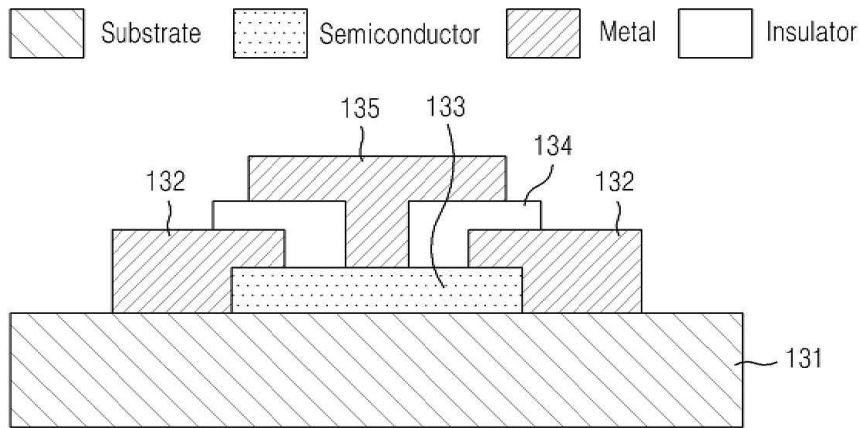
도면1a



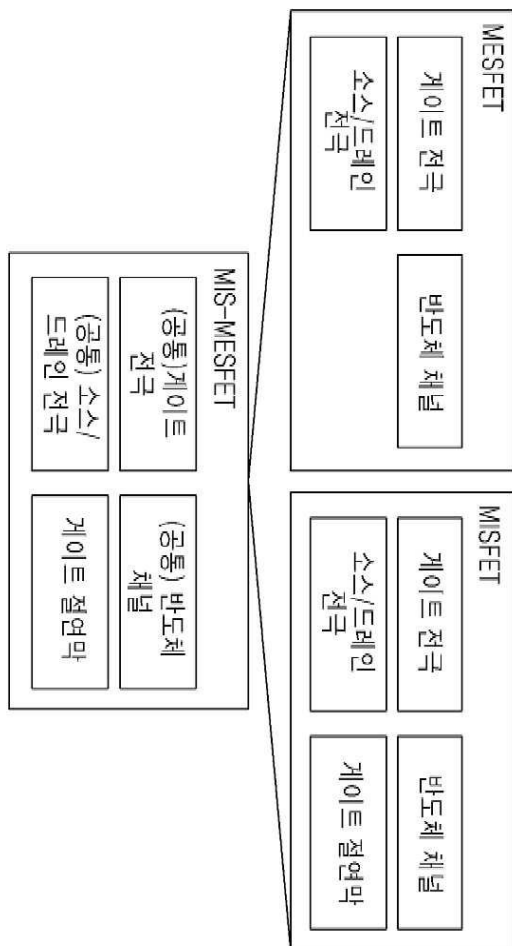
도면1b



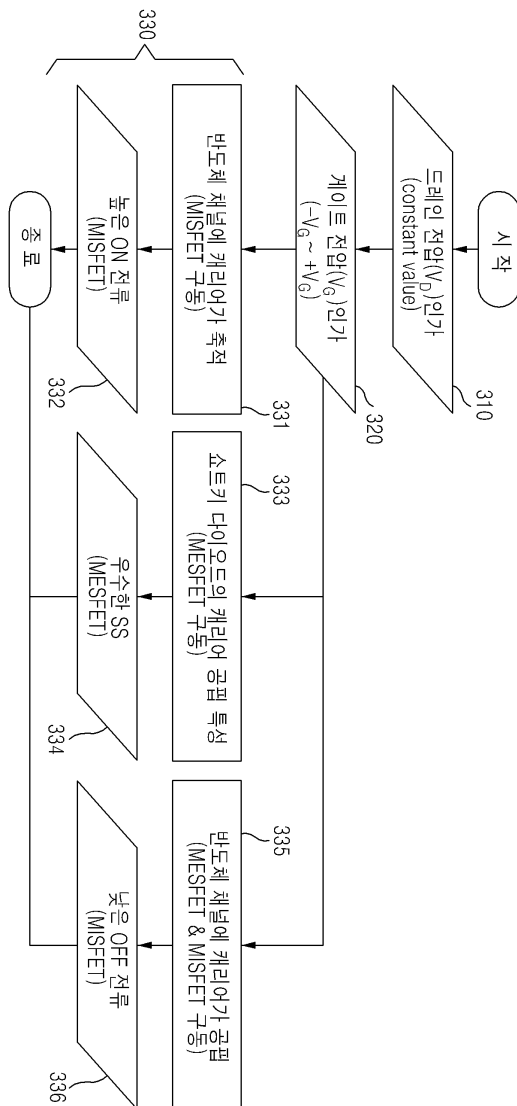
도면1c



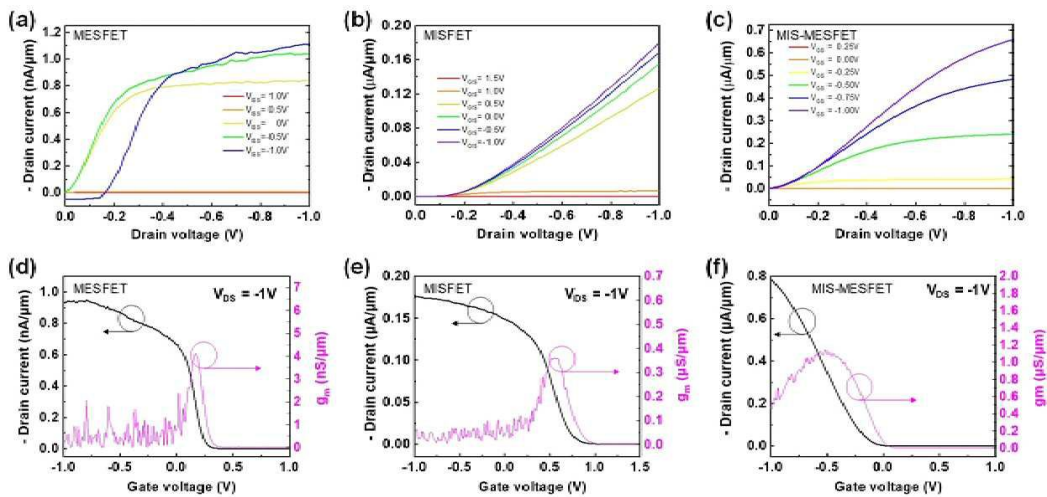
도면2



도면3



도면4



도면5

