



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I717788 B

(45) 公告日：中華民國 110 (2021) 年 02 月 01 日

(21) 申請案號：108125620

(22) 申請日：中華民國 101 (2012) 年 05 月 10 日

(51) Int. Cl. : *G11C19/18 (2006.01)**G11C19/28 (2006.01)**G11C19/36 (2006.01)**G09G3/20 (2006.01)*

(30) 優先權：2011/05/13 日本

2011-108133

(71) 申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：梅崎敦司 UMEZAKI, ATSUSHI (JP)

(74) 代理人：林志剛

(56) 參考文獻：

EP 1895545A2

US 4272831

US 2008/0062112A1

US 2009/0310734A1

審查人員：蔡明宏

申請專利範圍項數：4 項 圖式數：23 共 110 頁

(54) 名稱

半導體裝置

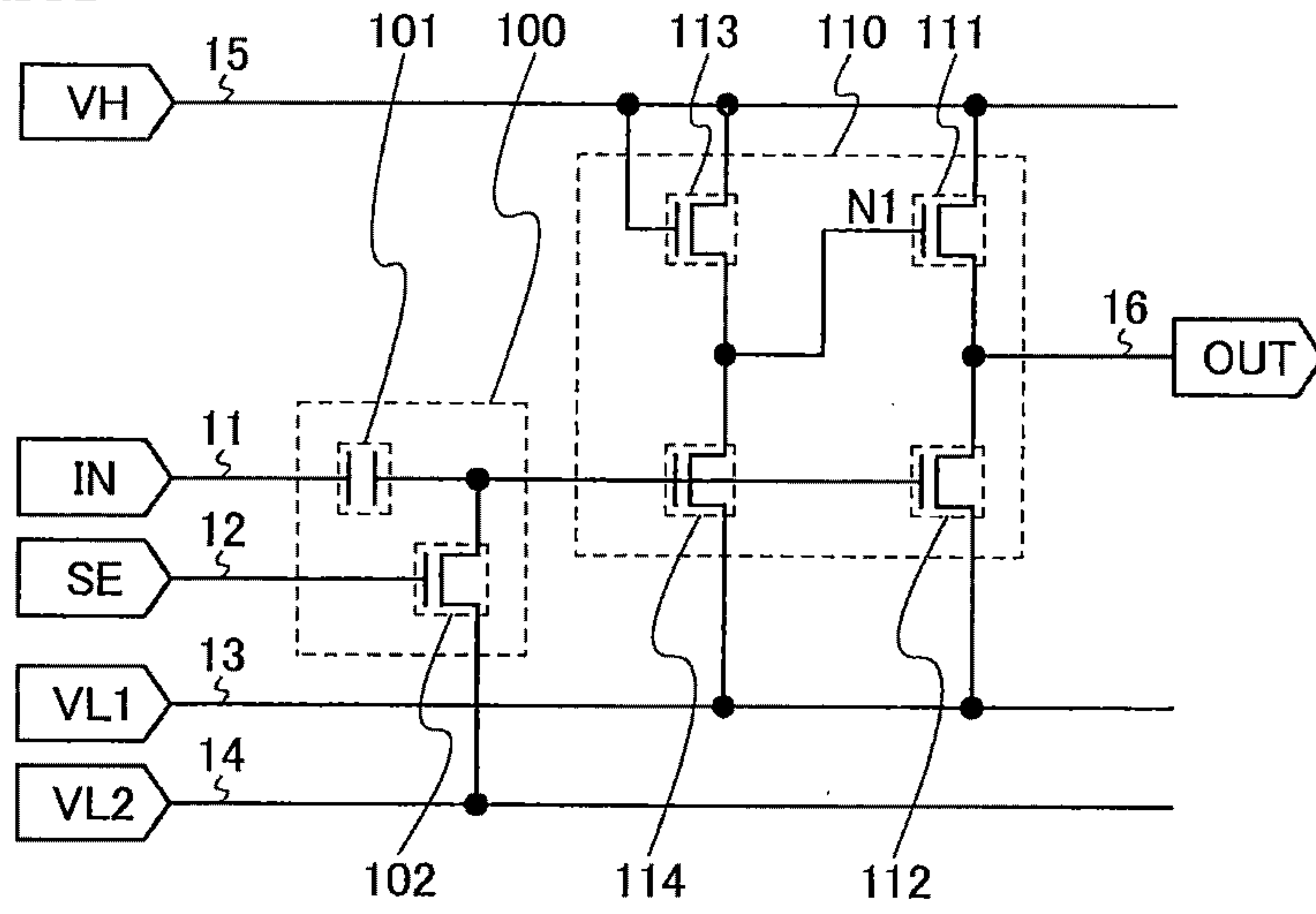
(57) 摘要

提供一半導體裝置，其甚至在其電晶體為空乏型電晶體之事例中仍可穩定操作。該半導體裝置包括第一電晶體，用以供應第一電位到第一佈線；第二電晶體，用以供應第二電位到該第一佈線；第三電晶體，用以供應開通該第一電晶體之第三電位到該第一電晶體的閘極及停止供應該第三電位；第四電晶體，用以供應該第二電位到該第一電晶體的該閘極；以及第一電路，用以產生藉由偏移第一訊號所獲得之第二訊號。該第二訊號係輸入到該第四電晶體的閘極。該第二訊號的低位準之該電位低於該第二電位。

Provided is a semiconductor device which can operate stably even in the case where a transistor thereof is a depletion transistor. The semiconductor device includes a first transistor for supplying a first potential to a first wiring, a second transistor for supplying a second potential to the first wiring, a third transistor for supplying a third potential at which the first transistor is turned on to a gate of the first transistor and stopping supplying the third potential, a fourth transistor for supplying the second potential to the gate of the first transistor, and a first circuit for generating a second signal obtained by offsetting a first signal. The second signal is input to a gate of the fourth transistor. The potential of a low level of the second signal is lower than the second potential.

指定代表圖：

圖 1A



符號簡單說明：

VL1 . . . 電位

VL2 . . . 電位

VH . . . 電位

IN . . . 訊號

SE . . . 訊號

OUT . . . 訊號

11 . . . 佈線

12 . . . 佈線

13 . . . 佈線

14 . . . 佈線

15 . . . 佈線

16 . . . 佈線

100 . . . 電路

101 . . . 電容器

102 . . . 電晶體

110 . . . 電路

111 . . . 電晶體

112 . . . 電晶體

113 . . . 電晶體

114 . . . 電晶體

申請案號: 108125620(由107118004分割)

申請日: 101年5月10日

公告本

I717788

發明摘要

IPC 分類號: G11C 19/18 (2006.01)
G11C 19/28 (2006.01)
G11C 19/36 (2006.01)
G09G 3/20 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【中文】

提供一半導體裝置，其甚至在其電晶體為空乏型電晶體之事例中仍可穩定操作。該半導體裝置包括第一電晶體，用以供應第一電位到第一佈線；第二電晶體，用以供應第二電位到該第一佈線；第三電晶體，用以供應開通該第一電晶體之第三電位到該第一電晶體的閘極及停止供應該第三電位；第四電晶體，用以供應該第二電位到該第一電晶體的該閘極；以及第一電路，用以產生藉由偏移第一訊號所獲得之第二訊號。該第二訊號係輸入到該第四電晶體的閘極。該第二訊號的低位準之該電位低於該第二電位。

【英文】

Provided is a semiconductor device which can operate stably even in the case where a transistor thereof is a depletion transistor. The semiconductor device includes a first transistor for supplying a first potential to a first wiring, a second transistor for supplying a second potential to the first wiring, a third transistor for supplying a third potential at which the first transistor is turned on to a gate of the first transistor and stopping supplying the third potential, a fourth transistor for supplying the second potential to the gate of the first transistor, and a first circuit for generating a second signal obtained by offsetting a first signal. The second signal is input to a gate of the fourth transistor. The potential of a low level of the second signal is lower than the second potential.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

VL1：電位

VL2：電位

VH：電位

IN：訊號

SE：訊號

OUT：訊號

11：佈線

12：佈線

13：佈線

14：佈線

15：佈線

16：佈線

100：電路

101：電容器

102：電晶體

110：電路

111：電晶體

112：電晶體

113：電晶體

114：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【技術領域】

本發明的一實施例係相關於半導體裝置及顯示裝置。

【先前技術】

具有較高值的顯示裝置已伴隨諸如液晶電視等大尺寸顯示裝置的普及而發展。尤其是，已積極發展將導電型彼此相同之電晶體用於驅動器電路的技術（見專利文件 1）。

圖 23 圖解專利文件 1 中所說明之驅動器電路。專利文件 1 中所說明之驅動器電路包括電晶體 M1、M2、M3、及 M4 和電容器 C1。在專利文件 1 中，在高位準之訊號被輸出作為訊號 OUT 的事例中，使電晶體 M1 的閘極成為浮動閘，及執行藉由使用電容器 C1 的電容耦合將電晶體 M1 的閘極之電位增加到高於電位 VDD 的升壓操作。為了使電晶體 M1 的閘極成為浮動閘，藉由使電晶體的閘極與源極之間的電位差（下面此差被稱作 V_{gs} ）為 0V，開通連接到電晶體 M1 之閘極的電晶體（如、電晶體 M4）。

另外，在低位準之訊號被輸出作為訊號 OUT 的事例

中，高位準之訊號被輸入作為訊號 IN，如此電晶體 M2 及 M3 被開通。

[參考文件]

專利文件 1：日本已出版專利申請案號 2002-328643

【發明內容】

當使用空乏型電晶體（亦稱作正常開電晶體）作為電晶體時，在 $V_{gs} = 0V$ 時未關閉電晶體。因此，在高位準之訊號被輸出作為訊號 OUT 的事例中，電晶體 M3 及 M4 未被關閉，如此未使電晶體 M1 的閘極成為浮動閘。當無法使電晶體 M1 的閘極成為浮動閘時，無法正常執行升壓操作，如此會導致機能失常或窄化操作頻率範圍。

另外，在低位準之訊號被輸出作為訊號 OUT 的事例中，因為顯示裝置的驅動器電路之驅動電壓高，所以電晶體 M2 及電晶體 M3 的 V_{gs} 也大，因此加速電晶體的劣化及導致驅動器電路的機能失常。

鑑於上述，本發明的一實施例之一目的在於設置甚至在其電晶體為空乏型電晶體之事例中仍可穩定操作的半導體裝置。另外，本發明的一實施例之一目的在於抑制電晶體的劣化。

本發明的一實施例之半導體裝置包括第一電晶體，用以供應第一電位到第一佈線；第二電晶體，用以供應第二電位到第一佈線；第三電晶體，用以供應開通第一電晶體

之第三電位到第一電晶體的閘極及停止供應第三電位；第四電晶體，用以供應第二電位到第一電晶體的閘極；以及第一電路，用以產生藉由偏移第一訊號所獲得之第二訊號。第二訊號係輸入到第四電晶體的閘極。第二訊號的低位準之電位低於第二電位。

本發明的一實施例之半導體裝置包括第一電晶體，用以供應第一電位到第一佈線；第二電晶體，用以供應第二電位到第一佈線；第三電晶體，用以供應開通第一電晶體之第三電位到第一電晶體的閘極及停止供應第三電位；第四電晶體，用以供應第二電位到第一電晶體的閘極；電容器，其一電極被輸入有第一訊號；以及第五電晶體，用以供應第四電位到電容器的另一電極。第四電晶體的閘極連接到電容器的另一電極。第四電位低於第二電位。

第一訊號可被輸入到上述半導體裝置中之第二電晶體的閘極。

根據本發明的一實施例，甚至在電晶體為空乏型電晶體之事例中，仍可關閉電晶體。另外，可減少關閉狀態中之電晶體的汲極電流。因此，可防止電路的機能失常。另外，根據本發明的一實施例，可減少電晶體的 V_{gs} ，藉以可抑制電晶體的劣化。

【圖式簡單說明】

圖 1A 及 1B 為根據本發明的一實施例之半導體裝置圖；

圖 2A 及 2B 為根據本發明的實施例之半導體裝置圖；

圖 3A 及 3B 為根據本發明的實施例之半導體裝置圖；

圖 4A 及 4B 為根據本發明的實施例之半導體裝置圖；

圖 5A 及 5B 為根據本發明的實施例之半導體裝置圖；

圖 6A 及 6B 為根據本發明的實施例之半導體裝置圖；

圖 7 為根據本發明的一實施例之半導體裝置的圖表；

圖 8A 及 8B 為根據本發明的實施例之半導體裝置圖；

圖 9A 及 9B 為根據本發明的實施例之半導體裝置圖；

圖 10A 至 10C 為根據本發明的一實施例之半導體裝置圖；

圖 11 為根據本發明的一實施例之移位暫存器圖；

圖 12 為根據本發明的一實施例之移位暫存器圖；

圖 13A 至 13C 為根據本發明的實施例之顯示裝置圖；

圖 14A 至 14E 為根據本發明的實施例之氧化物材料的結構圖；

圖 15A 至 15C 為根據本發明的一實施例之氧化物材

料的結構圖；

圖 16A 至 16C 為根據本發明的一實施例之氧化物材料的結構圖；

圖 17A 至 17D 為根據本發明的實施例之電晶體的結構圖；

圖 18A 至 18C 各個為使用氧化物半導體層之電晶體的特性圖；

圖 19 為電晶體的關閉狀態電流與測量基板溫度之間的關係圖；

圖 20A 至 20D 為根據本發明的實施例之電子裝置圖；

圖 21A 至 21D 為根據本發明的實施例之電子裝置圖；

圖 22A 及 22B 為根據本發明的實施例之半導體裝置圖；以及

圖 23 為習知驅動器電路圖。

【實施方式】

下面參考圖式說明本發明的實施例之例子。需注意的是，精於本技藝之人士應明白，在不違背本發明的精神和範疇之下，可以各種方式修改實施例的細節。因此本發明並不侷限於實施例的下面說明。

（實施例 1）

在此實施例中，說明藉由以偏移輸入訊號所產生之訊號所驅動的半導體裝置之一例子。

參考圖 1A 說明此實施例的半導體裝置之組態。圖 1A 為此實施例的半導體裝置之電路圖。圖 1A 之半導體裝置包括電路 100 和電路 110。電路 100 連接到佈線 11、佈線 12、佈線 14、及電路 110。電路 110 連接到佈線 15、佈線 13、佈線 16、及電路 100。依據電路 100 及 110 的組態，可適當改變連接到電路 100 及 110 的任一者之佈線等等。

需注意的是，在此說明書中， X 及 Y 彼此電連接之事例， X 及 Y 彼此功能上連接之事例，及 X 及 Y 彼此直接連接之事例係包含在“ X 連接到 Y ”的明確說明中。

電位 VL1 供應到佈線 13。電位 VL1 為預定電位。佈線 13 傳送電位 VL1。

電位 VL2 供應到佈線 14。電位 VL2 為預定電位且低於電位 VL1。佈線 14 傳送電位 VL2。

電位 VH 供應到佈線 15。電位 VH 為預定電位且高於電位 VL1。佈線 15 傳送電位 VH。

佈線 13、14、及 15 亦被稱作供電線。電位 VL1、VL2、及 VH 亦被稱作供電電位，及各個係從供電電路等等所供應。

訊號 IN 係輸入到佈線 11。訊號 IN 為半導體裝置的輸入訊號。訊號 IN 為高位準電位為 VH 及低位準電位為 VL1 之數位訊號。即、電位 VH 或電位 VL1 係供應到佈線

11。佈線 11 傳送訊號 IN。

訊號 SE 係輸入到佈線 12。訊號 SE 為用以控制產生偏移電壓之時序的訊號。訊號 SE 為高位準電位高於 VL2 及低位準電位低於或等於 VL2 之數位訊號。即、高於電位 VL2 之電位或者低於或等於電位 VL2 之電位係供應到佈線 12。佈線 12 傳送訊號 SE。

訊號 OUT 係輸出自佈線 16。訊號 OUT 為半導體裝置的輸出訊號。訊號 OUT 為高位準電位為 VH 及低位準電位為 VL1 之數位訊號。佈線 16 傳送訊號 OUT。

佈線 11、12、及 16 亦被稱作訊號線。另外，訊號 IN、訊號 SE、及訊號 OUT 亦分別被稱作輸入訊號、控制訊號、及輸出訊號。

電路 100 藉由偏移訊號 IN 而產生訊號 INO。即、電路 100 藉由偏移電壓而產生低於訊號 IN 的電位之訊號 INO。電路 100 輸出訊號 INO 到電路 110。

訊號 INO 的低位準電位低於佈線 13 的電位 VL1。另一方面，訊號 INO 的高位準電位高於 VL1 及低於 VH 較佳。

電路 110 選擇訊號 OUT 的高位準或低位準，以回應訊號 INO（電路 100 的輸出訊號）。例如，在電路 110 為反相器電路之事例中，當訊號 INO 在高位準時電路 110 輸出訊號 OUT 的低位準電位，反之當訊號 INO 在低位準時輸出訊號 OUT 的高位準電位。電路 110 選擇佈線 15 的電位和佈線 13 的電位中哪一個輸出到佈線 16，以回應訊

號 INO。例如，當訊號 INO 在高位準時電路 110 輸出佈線 13 的電位到佈線 16，反之當訊號 INO 在低位準時輸出佈線 15 的電位到佈線 16。電路 110 藉由升壓操作亦增加訊號 OUT 的高位準電位成佈線 15 的電位 VH。

接著，參考圖 1A 說明電路 100 和電路 110 之特定例子。

電路 100 包括電容器 101 和電晶體 102。電容器 101 的一電極連接到佈線 11。電晶體 102 的第一端子（源極和汲極的其中之一）連接到佈線 14，其第二端子連接到電容器 101 的另一電極，及其閘極連接到佈線 12。

電路 110 包括電晶體 111、112、113、及 114。電晶體 111 的第一端子連接到佈線 15，及其第二端子連接到佈線 16。電晶體 112 的第一端子連接到佈線 13，其第二端子連接到佈線 16，及其閘極連接到電晶體 114 的閘極。電晶體 113 的第一端子連接到佈線 15，其第二端子連接到電晶體 111 的閘極，及其閘極連接到佈線 15。電晶體 114 的第一端子連接到佈線 13，其第二端子連接到電晶體 111 的閘極，及其閘極連接到電容器 101 的另一電極。電晶體 111 的閘極連接到另一電晶體（如、電晶體 113、電晶體 114）之部位被表示作節點 N1。

電容器 101 保持佈線 11 與電晶體 102 的第二端子之間的電位差。如此，在電晶體 102 的第二端子在浮動狀態之事例中，電晶體 102 的第二端子之電位根據輸入到佈線 11 的訊號而改變，即、訊號 INO 的電位根據訊號 IN 而改

變。

電晶體 102 供應佈線 14 的電位 VL2 到電容器 101 之另一電極。電晶體 102 供應電位 VL2 到電容器 101 之另一電極的時序係由佈線 12 之訊號 SE 所控制。

藉由電晶體 102 供應到電容器 101 的另一電極之電位低於電位 VL1。尤其是，電晶體 102 供應低於電晶體 114 的第一端子之電位的電位到電容器 101 之另一電極。

電晶體 111 供應佈線 15 的電位 VH 到佈線 16。電晶體 111 亦保持電晶體 111 的閘極和第二端子之間的電位差。如此，在節點 N1 在浮動狀態之事例中，節點 N1 的電位隨著佈線 16 之電位增加而增加。

在訊號輸入到佈線 15 之事例中，電晶體 111 供應佈線 15 的訊號到佈線 16。

電晶體 112 供應佈線 13 的電位 VL1 到佈線 16。電晶體 112 供應佈線 13 的電位 VL1 到佈線 16 之時序係由輸出自電路 100 的訊號 INO（電容器 101 的另一電極之電位）所控制。

電晶體 113 供應佈線 15 的電位 VH 到電晶體 111 之閘極。在電位 VH 供應到電晶體 111 的閘極之後，電晶體 113 停止供應電位 VH 到電晶體 111 的閘極。在直到關閉電晶體 113 為止開通電晶體 111 之後，電晶體 113 保持供應電位 VH 到電晶體 111 的閘極。

藉由電晶體 113 供應到電晶體 111 的閘極之電位為開通電晶體 111 的電位。

電晶體 114 供應佈線 13 的電位 VL1 到電晶體 111 之閘極。電晶體 114 供應佈線 13 的電位 VL1 到電晶體 111 之閘極的時序係由輸出自電路 100 的訊號 INO 所控制。

包括在此實施例的半導體裝置中之電晶體（如、電晶體 102、111、112、113、及 114）的導電型係彼此相同。於包括在此實施例的半導體裝置中之電晶體為 n 通道電晶體的事例中說明此實施例。

接著，參考圖 1B 說明圖 1A 所示之半導體裝置的驅動方法之例子。圖 1B 為說明圖 1A 所示之半導體裝置的驅動方法之時序圖的例子。

將週期分成週期 T0 及週期 T1，以說明圖 1A 所示之半導體裝置的驅動方法。

週期 T0 為用以保持電容器 101 中的偏移電壓之週期。首先，訊號 IN 被設定在低位準，以便電容器 101 的一電極之電位變成 VL1。另外，訊號 SE 被設定在高位準以開通電晶體 102。結果，佈線 14 的電位 VL2 係供應到電容器 101 的另一電極，以便電容器 101 的另一電極之電位變成 VL2。以此方式，在電容器 101 中保持訊號 IN 的低位準電位 VL1 與經由電晶體 102 所供應之佈線 14 的電位 VL2 之間的差。差（VL1-VL2）對應於偏移電壓。

在週期 T0 中，低於 VL1 的電位係經由電晶體 102 供應到電容器 101 之另一電極。

週期 T1 為用以藉由偏移訊號 IN 來產生訊號 INO 及藉由訊號 INO 來驅動電路 110 之週期。首先，訊號 SE 被

改變成低位準以關閉電晶體 102，藉以使電容器 101 的另一電極成為浮動閘。因為電容器 101 在週期 T0 中保持電位差（VL1-VL2），所以藉由從訊號 IN 的電位減掉電位差（VL1-VL2）所獲得之訊號被產生作訊號 INO。因此，當訊號 IN 在低位準時，訊號 INO 變成電位低於 VL1 之低位準；當訊號 IN 在高位準時，訊號 INO 變成電位低於 VH 之高位準。

以訊號 IN 在高位準之事例及訊號 IN 在低位準之事例來說明在週期 T1 中的圖 1A 所示之半導體裝置的驅動方法。

在週期 T1 中，當訊號 IN 的電位改變成高位準時，訊號 INO 變成高位準，以便電晶體 112 及 114 被開通。結果，佈線 13 的電位 VL1 係經由電晶體 112 供應到佈線 16。佈線 13 的電位 VL1 經由電晶體 114 亦供應到節點 N1。佈線 15 的電位 VH 經由電晶體 113 亦供應到節點 N1。然而，節點 N1 的電位變成低如電晶體 111 被關閉之電位，其中電晶體 114 的 W （通道寬度）/ L （通道長度）比足夠大於電晶體 113 的 W （通道寬度）/ L （通道長度）比；如此，電晶體 111 被關閉。因此，訊號 OUT 變成低位準電位（即、VL1）。

另一方面，在週期 T1 中，當訊號 IN 的位準改變成低位準時，訊號 INO 變成低位準，以便電晶體 112 及 114 被關閉。因為佈線 15 的電位 VH 經由電晶體 113 供應到節點 N1，所以節點 N1 的電位增加。結果，電晶體 111 被

開通，以便佈線 15 的電位 V_H 經由電晶體 111 供應到佈線 16，藉以增加佈線 16 的電位。然後，節點 N1 的電位到達藉由從電位 V_H 減掉電晶體 113 的臨界電壓所獲得之電位，以便電晶體 113 被關閉而使節點 N1 在浮動狀態。甚至在使節點 N1 在浮動狀態之後，佈線 16 的電位仍增加。此外，當關閉電晶體 113 時的節點 N1 與佈線 16 之間的電位差被保持在電晶體 111 的閘極與第二端子之間。因此，節點 N1 的電位連同佈線 16 的電位增加進一步增加到高於電位 V_H 。上述為所謂的升壓操作。因此，訊號 OUT 變成高位準電位（即、 V_H ）。

在訊號輸入到佈線 15 之事例中，訊號輸出到佈線 16。例如，在時脈訊號輸入到佈線 15 之事例中，在訊號 IN 在低位準期間的週期中，時脈訊號從佈線 15 輸出到佈線 16。

如上述，當訊號 OUT 在高位準時，電晶體 114 的閘極之電位低於 V_{L1} ，如此，電晶體 114 的 V_{gs} 為負值；因此，即使電晶體 114 為空乏型電晶體，電晶體 114 仍可被關閉，或者即使電晶體 114 為 $V_{gs} 0V$ 中的汲極電流大之電晶體，仍可抑制電晶體 114 的汲極電流。因此，可使電晶體 111 的閘極成為浮動狀態，藉以能夠防止電路 110 的機能失常。

另外，像電晶體 114，電晶體 112 的 V_{gs} 亦為負值。因此，即使電晶體 112 為空乏型電晶體，電晶體 112 仍可被關閉，或者即使電晶體 112 為 $V_{gs} 0V$ 中的汲極電流大

之電晶體，仍可抑制電晶體 112 的汲極電流。因此，可防止或抑制從佈線 16 到佈線 13 的電流流動，藉以能夠降低電力消耗。

另外，當訊號 OUT 在低位準時，電晶體 112 及 114 的閘極之電位低於 V_H ，如此電晶體 112 及 114 的 V_{gs} 小。因此，可抑制電晶體 112 及 114 的劣化。

因此，說明圖 1A 所示之半導體裝置的驅動方法。

接著，參考圖 2A、2B、3A、3B、4A、4B、5A、及 5B 說明不同於圖 1A 之半導體裝置。下面說明不同 1A 之部位。

如圖 2A 所示，可省略圖 1A 所示之半導體裝置中的佈線 14，及可將電晶體 102 的第一端子連接到佈線 13。然後，在週期 T_0 中電位 V_{L2} 可供應到佈線 13，及在週期 T_1 中電位 V_{L1} 可供應到佈線 13。甚至在那事例中，可在週期 T_0 中將電位 V_{L2} 供應到電容器 101 的另一電極，如此可執行類似於圖 1A 所示之半導體裝置的操作之操作。因此，可達成類似於圖 1A 所示之半導體裝置的效果之效果。另外，因為可省略佈線 14，所以與圖 1A 所示之半導體的佈線數目比較，可縮減佈線數目。

另外，在圖 2A 所示之半導體裝置中，在週期 T_0 中可不改變佈線 13 的電位而是維持電位 V_{L1} ，以及佈線 11 的電位可被設定成高於電位 V_{L1} 及低於電位 V_H 。甚至在那事例中，當在週期 T_1 中訊號 IN 在低位準時，電容器 101 的另一電極之電位可變成低於電位 V_{L1} 的電位，如此

可執行類似於圖 1A 所示之半導體裝置的操作之操作。因此，可達成類似於圖 1A 所示之半導體裝置的效果之效果。另外，因為可固定供電電位，所以可簡化供應電位到佈線 13 等等之供電電路的組態。

如圖 2B 所示，可省略圖 1A 所示之半導體裝置中的佈線 14，及可將電晶體 102 的第一端子連接到佈線 15。然後，在週期 T0 中可將電位 VL2 供應到佈線 15，及在週期 T1 中可將電位 VH 供應到佈線 15。甚至在那事例中，在週期 T0 中仍可將電位 VL2 供應到電容器 101 的另一電極，如此可執行類似於圖 1A 所示之半導體裝置的操作之操作。因此，可達成類似於圖 1A 所示之半導體裝置的效果之效果。另外，因為可省略佈線 14，所以佈線數目可小於圖 1A 所示之半導體裝置中的佈線數目。

如圖 3A 所示，可省略圖 1A 所示之半導體裝置中的佈線 14，及可將電晶體 102 的第一端子連接到佈線 12，及可將電晶體 102 的第二端子和閘極連接到電容器 101 的另一電極。然後，可將訊號 SE 在週期 T0 中設定在低位準及在週期 T1 中設定在高位準。甚至在那事例中，在週期 T0 中電容器 101 的另一電極之電位仍可變成低於電位 VL1 的電位，如此可執行類似於圖 1A 所示之半導體裝置的操作之操作。因此，可達成類似於圖 1A 所示之半導體裝置的效果之效果。另外，因為可省略佈線 14，所以佈線數目可小於圖 1A 所示之半導體裝置中的佈線數目。

如圖 3B 所示，可省略圖 1A 所示之半導體裝置中的

佈線 12 及 14，及可將電晶體 102 的第一端子連接到佈線 13，和可將電晶體 102 的第二端子和閘極連接到電容器 101 的另一電極。然後，在週期 T0 中可將電位 VL2 供應到佈線 13，及在週期 T1 中可將電位 VL1 供應到佈線 13。甚至在那事例中，在週期 T0 中電容器 101 的另一電極之電位仍可變成低於電位 VL1 的電位，如此可執行類似於圖 1A 所示之半導體裝置的操作之操作。因此，可達成類似於圖 1A 所示之半導體裝置的效果之效果。另外，因為可省略佈線 12 及 14，所以佈線數目可小於圖 1A 所示之半導體裝置中的佈線數目。

如圖 4A 所示，可省略圖 1A 所示之半導體裝置中的佈線 12 及 14，及可將電晶體 102 的第一端子連接到佈線 15，和可將電晶體 102 的第二端子和閘極連接到電容器 101 的另一電極。然後，在週期 T0 中可將電位 VL2 供應到佈線 15，及在週期 T1 中可將電位 VH 供應到佈線 15。甚至在那事例中，在週期 T0 中電容器 101 的另一電極之電位仍可變成低於電位 VL1 的電位，如此可執行類似於圖 1A 所示之半導體裝置的操作之操作。因此，可達成類似於圖 1A 所示之半導體裝置的效果之效果。另外，因為可省略佈線 12 及 14，所以佈線數目可小於圖 1A 所示之半導體裝置中的佈線數目。

如圖 4B 所示，在圖 1A 所示之半導體裝置中可將電晶體 112 的閘極連接到佈線 11 中。在圖 4B 所示之半導體裝置中，經由電晶體 112 將佈線 13 的電位 VL1 供應到佈

線 16 之時序受訊號 IN 的控制。因為訊號 IN 上升或下降快於訊號 INO，所以可將電晶體 112 開通或關閉快於電晶體 112 的閘極連接到電容器 101 的另一電極時。因此，佈線 13 的電位 VL1 供應到佈線 16 之時序變得較快，以便能夠降低訊號 OUT 的下降時間。另外，隨著關閉電晶體 112 的時序加快，可縮短佈線 15 及 13 之間的流通電流流動之時間，藉以可降低電力消耗。

像圖 4B 所示之半導體裝置，亦可在圖 2A、2B、3A、3B、及 4A 所示之任一半導體裝置中將電晶體 112 的閘極連接到佈線 11。在那事例中也一樣，可達成類似於圖 4B 所示之半導體裝置的效果之效果。

如圖 5A 所示，第一端子連接到佈線 13、第二端子連接到電晶體 111 的閘極、及閘極連接到佈線 12 之電晶體 115 可設置在圖 1A 所示的半導體裝置中。佈線 13 的電位 VL1 經由電晶體 115 供應到電晶體 111 的閘極。電位 VL1 經由電晶體 115 供應到電晶體 111 的閘極之時序係藉由佈線 12 的訊號 SE 所控制。在圖 5A 所示之半導體裝置中，在週期 T0 中可將佈線 13 的電位 VL1 供應到電晶體 111 的閘極，藉以可初始化半導體裝置。因此，可防止半導體裝置的機能失常。

另外，在圖 5A 所示之半導體裝置中，可將電晶體 115 的第一端子連接到佈線 14。甚至在那事例中，可執行類似於電晶體 115 的第一端子連接到佈線 13 之事例的操作之操作。

在產生偏移電壓之時序與執行初始化的時序不一致之事例中，可將電晶體 115 的閘極連接到輸入初始化用的訊號之佈線。

在圖 2A、2B、3A、3B、4A、及 4B 所示之任一半導體裝置中亦可設置第一端子連接到佈線 13 或佈線 14、第二端子連接到電晶體 111 的閘極、及閘極連接到佈線 12 之電晶體 115。在那事例中也一樣，可達成類似於圖 5A 所示之半導體裝置的效果之效果。

如圖 5B 所示，在圖 1A 所示之半導體裝置中，可將電晶體 113 的第二端子及閘極連接到佈線 17。可將電位 V_H 、高於電位 V_{L1} 及低於電位 V_H 之電位、或訊號供應到佈線 17。輸入到佈線 17 之訊號的例子為訊號 IN 之反相訊號。因此，佈線 11 可連接到佈線 17，具有反相器設置在其間。在那事例中，當開通電晶體 114 時關閉電晶體 113，藉以可防止電流在佈線 15 與佈線 13 之間流動。如此，可降低電力消耗。另外，不需要使電晶體 114 的 W/L 比遠大於電晶體 113 的 W/L 比，如此縮減電晶體的尺寸。

在圖 2A、2B、3A、3B、4A、4B、及 5A 所示之任一半導體裝置中亦可將電晶體 113 的第二端子和閘極連接到佈線 17。在那事例中也一樣，可達成類似於圖 5B 所示之半導體裝置的效果之效果。

如圖 22A 所示，可省略圖 1A 所示之半導體裝置中的佈線 14，及可將電晶體 102 的第一端子連接到佈線 13，

及可設置其中一電極連接到佈線 12 而另一電極連接到電容器 101 的另一電極之電容器 103。電容器 103 保持佈線 12 與電容器 101 的另一電極之間的電位差。另外，在圖 22A 所示之半導體裝置中，佈線 13 的電位 VL1 係經由電晶體 102 供應到電容器 101 之另一電極。在圖 22A 所示之半導體裝置中，在週期 T0 中，低位準的訊號 IN 係輸入到電容器 101 之一電極，而佈線 13 的電位 VL1 係經由電晶體 102 供應到電容器 101 之另一電極。然後，訊號 SE 從高位準改變成低位準，以便關閉電晶體 102，如此，電容器 101 的另一電極之電位由於與電容器 103 的電容耦合而變成低於電位 VL1 的電位。因此，在週期 T0 中電容器 101 的另一電極之電位變成低於電位 VL1 的電位，如此可執行類似於圖 1A 所示之半導體裝置的操作之操作。因此，可達成類似於圖 1A 所示之半導體裝置的效果之效果。另外，因為可省略佈線 14，所以佈線數目可小於圖 1A 所示之半導體裝置中的佈線數目。此外，因為未使用電位 VL2，所以可降低供電電位的數目。

如圖 22B 所示，在圖 22A 所示之半導體裝置中，可將電晶體 102 的第一端子連接到佈線 11。在那事例中也一樣，在週期 T0 中，低位準之訊號 IN 可經由電晶體 102 供應到電容器 101 的另一電極，如此可執行類似於圖 22A 所示之半導體裝置的操作之操作。因此，可達成類似於圖 22A 所示之半導體裝置的效果之效果。

在圖 22A 及 22B 所示之半導體裝置中可省略電容器

103。在那事例中，可使用閘極與電晶體 102 的第二端子之間的寄生電容來取代電容器 103。

在圖 22A 及 22B 所示之任一半導體裝置中，可將電容器 103 的一電極連接到除了佈線 12 以外的佈線。在週期 T0 中訊號 SE 從高位準改變成低位準之後，輸入到佈線的訊號從高位準改變成低位準較佳。這是因為在關閉電晶體 102 之後，可減少電容器 101 的另一電極之電位。另外，輸入到佈線的訊號從低位準改變成高位準之時序在訊號 SE 係在高位準期間的週期較佳。

再者，在圖 2A、2B、3A、3B、4A、4B、5A、及 5B 所示之任一半導體裝置中可省略佈線 14，及可將電晶體 102 的第一端子連接到佈線 11 或佈線 13，及可設置其中一電極連接到佈線 12 而另一電極連接到電容器 101 的另一電極之電容器 103。

另外，雖然未圖示，但是可將電容器連接在圖 2A、2B、3A、3B、4A、4B、5A、5B、22A、及 22B 所示的任一半導體裝置中之電晶體 111 的閘極與第二端子之間。如此，可增加佈線 16 與節點 N1 之間的電容值。因此，在訊號 IN 在低位準期間的週期中，節點 N1 的電位可變成高於沒有電容器設置在電晶體 111 的閘極與第二端子之間時的節點 N1 之電位的電位。也就是說，可增加電晶體 111 的 V_{gs} 。因此可增加電晶體 111 的汲極電流，如此縮短訊號 OUT 的上升時間。

另外，雖然未圖示，但是可使用 MOS 電容器作為圖

2A、2B、3A、3B、4A、4B、5A、5B、22A、及 22B 所示的任一半導體裝置中之電容器 101。在那事例中，使用作為 MOS 電容器之電晶體的閘極連接到佈線 11，及電晶體的源極或汲極連接到電晶體 102 的第二端子較佳。如此，可增加每一單位面積的電容值，因為佈線 11 的電位高於電晶體 102 之第二端子的電位。

因此，說明組態不同於圖 1A 之半導體裝置。

隨著電晶體 111 的 W/L 比增加，可縮短訊號 OUT 的上升時間。因此，在半導體裝置的電晶體之中，電晶體 111 的 W/L 比最大較佳。即、電晶體 111 的 W/L 比大於電晶體 102、112、113、及 114 的 W/L 比之任一個較佳。

電晶體 112 供應電位到連接至佈線 16 的負載，反之電晶體 114 供應電位到電晶體 111 的閘極。此外，隨著電晶體 112 的 W/L 比增加，可縮短訊號 OUT 的下降時間。因此，電晶體 112 的 W/L 比大於電晶體 114 的 W/L 比較佳。

另一方面，不需要使週期 T_0 中之用於供應電荷到電容器 101 的另一電極之電晶體 102 的 W/L 比大。因此，電晶體 102 的 W/L 比小於電晶體 112 或電晶體 114 的 W/L 比較佳。

另外，隨著電容器 101 的電容值大於電晶體 112 及 114 的閘極電容總和，訊號 INO 的振幅電壓可較接近訊號 IN 的振幅電壓。因此，電容器 101 的電容值大於電晶體 112 及 114 的閘極電容總和較佳。另外或另一選擇是，當

電容器 101 的一電極係由與電晶體的閘極電極相同材料所形成，及電容器 101 的另一電極係由與電晶體的源極或汲極電極相同材料所形成時，電容器 101 的兩電極彼此重疊之區域大於電晶體 112 的閘極和源極彼此重疊之區域、電晶體 112 的閘極和汲極彼此重疊之區域、電晶體 114 的閘極和源極彼此重疊之區域、及電晶體 114 的閘極和汲極彼此重疊之區域的總和較佳。

在週期 T0 中，電位 VL1 未供應給佈線 13，以便可使佈線 13 在浮動狀態中，或者電位 VH 未供應到佈線 15，以便可使佈線 15 在浮動狀態中；如此能夠防止週期 T0 中的機能失常。

在週期 T1 中，電位 VL2 未供應到佈線 14，以便可使佈線 14 在浮動狀態中。

在訊號 IN 於高位準期間的週期中，低位準訊號可輸入到佈線 15。在那事例中，當開通電晶體 114 時關閉電晶體 113，藉以能夠防止電流在佈線 15 與佈線 13 之間流動。如此可降低電力消耗。另外，不需要使電晶體 114 的 W/L 比遠大於電晶體 113 的 W/L 比，如此縮減電晶體的尺寸。

此實施例可與任何其他實施例等等予以適當組合實施。

(實施例 2)

在此實施例中，說明本發明的一實施例之半導體裝置

被用於包括在移位暫存器中的正反器電路之事例。說明不同於實施例 1 的部位。

參考圖 6A 說明此實施例的半導體裝置。圖 6A 為此實施例的半導體裝置之電路圖。圖 6A 之半導體裝置不同於圖 1A 的半導體裝置在於電晶體 111 的第一端子連接到佈線 23、電晶體 113 的閘極連接到佈線 21、及電容器 101 的一電極連接到佈線 22。

訊號 IN1 被輸入到佈線 21。訊號 IN1 為半導體裝置的輸入訊號及充作起始脈衝。例如，訊號 IN1 為高位準電位為 VH 及低位準電位為 VL1 之數位訊號。佈線 21 傳送訊號 IN1。

訊號 IN2 被輸入到佈線 22。訊號 IN2 為半導體裝置的輸入訊號及充作重設訊號。例如，訊號 IN2 為高位準電位為 VH 及低位準電位為 VL1 之數位訊號。佈線 22 傳送訊號 IN2。

訊號 CK 被輸入到佈線 23。訊號 CK 為半導體裝置的輸入訊號。例如，訊號 CK 為高位準電位為 VH 及低位準電位為 VL1 之數位訊號。訊號 CK 為電位在高位準與低位準之間重複切換的時脈訊號。佈線 23 傳送訊號 CK。

佈線 21、22、及 23 亦被稱作訊號線。尤其是，佈線 23 亦被稱作時脈訊號線。

接著，參考圖 7 說明圖 6A 所示之半導體裝置的驅動方法之例子。圖 7 為說明圖 6A 所示之半導體裝置的驅動方法之時序圖的例子。

在週期 T0 中，訊號 IN2 被設定在低位準，以便電容器 101 的一電極之電位變成 VL1。另外，訊號 SE 被設定在高位準以開通電晶體 102。結果，佈線 14 的電位 VL2 係供應到電容器 101 的另一電極，以便電容器 101 的另一電極之電位變成 VL2。以此方式，訊號 IN2 的低位準電位 VL1 與經由電晶體 101 所供應之佈線 14 的電位 VL2 之間的差（即、差（VL1-VL2））被保持在電容器 101 中。差（VL1-VL2）對應於偏移電壓。

在週期 T1 中，訊號 SE 被改變成低位準以關閉電晶體 102，藉以使電容器 101 的另一電極成為浮動狀態。因為在週期 T0 中電容器 101 保持電位差（VL1-VL2），所以藉由從訊號 IN2 的電位減掉電位差（VL1-VL2）所獲得之訊號被產生作訊號 IN2O。因此，當訊號 IN2 在低位準時，訊號 IN2O 變成電位低於 VL1 之低位準；當訊號 IN2 在高位準時，訊號 IN2O 變成電位低於 VH 之高位準。

為週期 Ta、週期 Tb、週期 Tc、及週期 Td 的每一個分開說明週期 T1 中之圖 6A 所示之半導體裝置的驅動方法。

在週期 Ta 中，因為訊號 IN2 在低位準，所以訊號 IN2O 變成低位準，以便電晶體 112 及 114 被關閉。另外，訊號 IN1 被改變成高位準，以便電晶體 113 被開通。結果，佈線 15 的電位 VH 被供應到節點 N1，因此節點 N1 的電位增加。結果，電晶體 111 被開通，以便佈線 23 的訊號 CK 被供應到佈線 16。因為在週期 Ta 中訊號 CK 在

低位準，所以訊號 OUT 變成電位為 VL1 之低位準。然後，節點 N1 的電位到達藉由從電位 VH 減掉電晶體 113 的臨界電壓所獲得之電位，以便電晶體 113 被關閉而使節點 N1 在浮動狀態中。當關閉電晶體 113 時之節點 N1 與佈線 16 之間的電位差被保持在電晶體的閘極與第二端子之間。

在週期 Tb 中，因為訊號 IN2 保持在低位準，所以訊號 IN2O 亦保持在低位準，以便電晶體 112 及 114 保持關閉。另外，訊號 IN1 的電位被改變成低位準，所以電晶體 113 保持關閉。因此，節點 N1 保持在浮動狀態中。因為節點 N1 保持在週期 Ta 的電位中，所以電晶體 111 保持開通，如此佈線 23 的訊號 CK 保持供應到佈線 16。在週期 Tb 中，訊號 CK 的電位被改變成高位準，以便佈線 16 的電位增加。於此際，保持週期 Ta 中的節點 N1 與佈線 16 之間的電位差，以保持在電晶體 111 的閘極與第二端子之間。因此，節點 N1 的電位連同佈線 16 的電位增加進一步增加到高於電位 VH。因此，訊號 OUT 變成高位準電位（即、VH）。

在週期 Tc 中，訊號 IN2 的位準被改變成高位準，如此訊號 IN2O 的位準亦被改變成高位準，以便電晶體 112 及 114 被開通。結果，佈線 13 的電位 VL1 經由電晶體 112 供應到佈線 16 及經由電晶體 114 供應到節點 N1。另一方面，訊號 IN1 保持在低位準，如此電晶體 113 保持關閉。因此，節點 N1 的電位被改變成電位 VL1，以便電晶

體 111 被關閉。因此，訊號 OUT 變成低位準電位（即、VL1）。

在週期 Td 中，訊號 IN2 的位準被改變成低位準，如此訊號 IN2O 的位準亦被改變成低位準，以便電晶體 112 及 114 被關閉。另外，訊號 IN1 保持在低位準，如此電晶體 113 保持關閉。因此，節點 N1 在週期 Tc 保持於電位 VL1 中，以便電晶體 111 保持關閉。另外，佈線 16 在週期 Tc 保持於電位 VL1 中，以便訊號 OUT 保持在低位準電位。

如上述，當訊號 IN2 在低位準時，電晶體 114 的閘極之電位低於 VL1，如此電晶體 114 的 V_{gs} 為負值；因此，即使電晶體 114 為空乏型電晶體，仍可關閉電晶體 114，或者即使電晶體 114 為 V_{gs} 0V 中的汲極電流大之電晶體，仍可抑制電晶體 114 的汲極電流。因此，亦可使電晶體 111 的閘極成為浮動狀態，藉以能夠防止電路 110 的機能失常。

另外，當訊號 IN2 在高位準時，電晶體 112 及 114 之閘極的電位低於 VH，如此電晶體 112 及 114 的 V_{gs} 小。因此，可抑制電晶體 112 及 114 的劣化。

至此，說明圖 6A 所示之半導體裝置的驅動方法。

接著，參考圖 6B、8A、8B、9A、9B、及 10A 說明不同於圖 6A 之半導體裝置。下面說明不同於圖 6A 之部位。

如圖 6B 所示，在圖 6A 所示之半導體裝置中，電晶

體 113 的第一端子可連接到佈線 21。在圖 6B 所示之半導體裝置中，在週期 T_a 中佈線 21 的訊號 IN_1 經由 113 供應到節點 N_1 。在週期 T_a 中，因為訊號 IN_1 在高位準，所以節點 N_1 的電位增加。然後，節點 N_1 的電位到達藉由從電位 V_H 減掉電晶體 113 的臨界電壓所獲得之電位，以便電晶體 113 被關閉。在週期 T_b 、 T_c 、及 T_d 中電晶體 113 保持關閉。因此，可執行類似於圖 6A 所示之半導體裝置的操作之操作。因此，可達成類似於圖 6A 所示之半導體裝置的效果之效果。另外，因為可省略佈線 15，所以佈線數目可小於圖 6A 所示之半導體裝置中的佈線數目。

如圖 8A 所示，圖 6B 所示之半導體裝置中的電路 100 可連接到佈線 21 以取代佈線 22。在圖 8A 所示之半導體裝置中，連接到電路 100 之佈線 21 的訊號 IN_1 被偏移以產生訊號 IN_{10} ，及訊號 IN_{10} 被供應到電晶體 113 的閘極。電容器 101 的一電極連接到佈線 21，而其另一電極連接到電晶體 113 的閘極。電晶體 102 的第一端子連接到佈線 14，電晶體 102 的第二端子連接到電容器 101 的另一電極，及電晶體 102 的的閘極連接到佈線 12。電容器 101 保持佈線 21 與電晶體 113 的閘極之間的電位差，及電晶體 102 供應佈線 14 的電位 V_{L1} 到電晶體 113 的閘極。在圖 8A 所示之半導體裝置中，電晶體 113 的 V_{gs} 可被抑制成負的；因此，可在不考慮供應到節點 N_1 的電荷量之下使電晶體 113 的 W/L 比是大的。因此，可縮短節點 N_1 之電位到達上述電位所花的時間，增加驅動頻率。

如圖 8B 所示，在圖 6B 所示之半導體裝置中不僅可為佈線 22 而且可為佈線 21 設置電路 100。在圖 8B 中，為佈線 22 所設置之電路 100，及包括在電路 100 中之電容器 101 和電晶體 102 係分別表示作電路 100A、電容器 101A、及電晶體 102A；為佈線 21 所設置之電路 100，及包括在電路 100 中之電容器 101 和電晶體 102 係分別表示作電路 100B、電容器 101B、及電晶體 102B。電路 100A 類似於圖 6A 所示之電路 100，及電路 100B 類似於圖 8A 所示之電路 100；因此，略過其說明。藉由圖 8B 所示之半導體裝置可達成類似於圖 6B 所示之半導體裝置中的效果之效果以及類似於圖 8A 所示之半導體裝置中的效果之效果。

如圖 9A 所示，在圖 6A 所示之半導體裝置中，可將電晶體 112 的閘極連接到佈線 24。訊號 IN3 被輸入到佈線 24。佈線 24 傳送訊號 IN3。訊號 IN3 為高位準電位為 V_H 及低位準電位為 V_{L1} 之數位訊號。作為訊號 IN3 的例子，具有訊號 CK 的反相訊號之時脈訊號、相位係從訊號 CK 的相位位移之時脈訊號等等。在圖 9A 所示之半導體裝置中，在週期 T_d 中，電晶體 112 在開及關之間重複切換，以便佈線 13 的電位 V_{L1} 可週期性供應到佈線 16，藉以可更確實將佈線 16 的電位保持在 V_{L1} 。

在圖 6B、8A、及 8B 所示之任一半導體裝置中也一樣，電晶體 112 的閘極可連接到佈線 24。在那事例中也一樣，可達成類似於圖 9A 所示之半導體裝置的效果之效

果。

在圖 6A、6B、8A、及 8B 所示之半導體裝置中可設置第一端子連接到佈線 13、第二端子連接到佈線 16、及閘極連接到佈線 24 之電晶體。在那事例中也一樣，可達成類似於圖 9A 所示之半導體裝置的效果之效果。

如圖 9B 所示一般，可在圖 6A 所示之任一半導體裝置中可設置第一端子連接到佈線 23、第二端子連接到佈線 25、及閘極連接到電晶體 111 的閘極之電晶體。電晶體 116 供應佈線 23 的訊號 CK 到佈線 25。佈線 23 的訊號 CK 到佈線 25 之時序係由節點 N1 的電位所控制。電晶體 116 亦保持佈線 25 與節點 N1 之間的電位差。訊號 OUT 係輸出自佈線 25。佈線 25 傳送訊號 OUT。在圖 9B 中，輸出自佈線 16 之訊號 OUT 被表示作訊號 OUTA，反之輸出自佈線 25 之訊號 OUT 被表示作訊號 OUTB。在與訊號 OUTB 相同的時序中，訊號 OUTA 在高位準與低位準之間切換。在圖 9B 所示之半導體裝置中，可使用訊號 OUTA 及訊號 OUTB 的其中之一作為移位暫存器的前向訊號，而可使用另一個作為用以驅動負載等等之訊號。因此，憑藉將圖 9B 所示之半導體裝置用於正反器電路中，甚至當驅動大負載時仍可執行正常操作。

在圖 6B、8A、8B、及 9A 所示之半導體裝置中也一樣，可設置第一端子連接到佈線 23、第二端子連接到佈線 25、及閘極連接到電晶體 111 的閘極之電晶體 116。在那事例中也一樣，可達成類似於圖 9B 所示之半導體裝置

的效果之效果。

如圖 10A 所示，在圖 6A 所示之半導體裝置中可設置用以產生訊號 IN2 之電路 120。電路 120 連接到節點 N1、佈線 12、及電容器 101 的一電極。電路 120 根據節點 N1 的電位和佈線 12 的訊號 SE 而產生訊號 IN2，及輸出到電容器 101 的一電極。例如，不管節點 N1 的電位為何，當訊號 SE 在高位準時，電路 120 產生低位準之訊號 IN2；及當訊號 SE 在低位準時，當節點 N1 的電位高時（如、週期 Ta、週期 Tb）電路 120 產生低位準之訊號 IN2，及當節點 N1 的電位低時（如、週期 Tc、週期 Td）產生高位準之訊號 IN2。即、電路 120 充作 NOR 電路。

電路 120 可連接到佈線 16 以取代節點 N1。

在圖 6B、8A、8B、9A、及 9B 所示之任一半導體中也一樣，可設置用以產生訊號 IN2 之電路 120。

雖然未圖示於圖式中，但是像圖 2A 所示之半導體裝置一般，在圖 6A、6B、8A、8B、9A、9B、及 10A 所示之任一半導體中也一樣，電晶體 102 的第二端子可連接到佈線 13。在那事例中也一樣，可達成類似於圖 2A 所示之半導體裝置的效果之效果。

雖然未圖示於圖式中，但是像圖 2B 所示之半導體裝置一般，在圖 6A、6B、8A、8B、9A、9B、及 10A 所示之任一半導體中也一樣，電晶體 102 的第二端子可連接到佈線 15。在那事例中也一樣，可達成類似於圖 2B 所示之半導體裝置的效果之效果。

雖然未圖示於圖式中，但是像圖 3A 所示之半導體裝置一般，在圖 6A、6B、8A、8B、9A、9B、及 10A 所示之任一半導體中也一樣，電晶體 102 的第一端子可連接到佈線 12 及電晶體 102 的閘極可連接到電晶體 102 的第二端子。在那事例中也一樣，可達成類似於圖 3A 所示之半導體裝置的效果之效果。

雖然未圖示於圖式中，但是像圖 3B 所示之半導體裝置一般，在圖 6A、6B、8A、8B、9A、9B、及 10A 所示之任一半導體中也一樣，電晶體 102 的第一端子可連接到佈線 13 及電晶體 102 的閘極可連接到電晶體 102 的第二端子。在那事例中也一樣，可達成類似於圖 3B 所示之半導體裝置的效果之效果。

雖然未圖示於圖式中，但是像圖 4A 所示之半導體裝置一般，在圖 6A、6B、8A、8B、9A、9B、及 10A 所示之任一半導體中也一樣，電晶體 102 的第一端子可連接到佈線 15 及電晶體 102 的閘極可連接到電晶體 102 的第二端子。在那事例中也一樣，可達成類似於圖 4A 所示之半導體裝置的效果之效果。

雖然未圖示於圖式中，但是像圖 4B 所示之半導體裝置一般，在圖 6A、6B、8A、8B、9A、9B、及 10A 所示之任一半導體中也一樣，電晶體 112 的閘極可連接到電容器 101 的一電極。在那事例中也一樣，可達成類似於圖 4B 所示之半導體裝置的效果之效果。

雖然未圖示於圖式中，但是像圖 5A 所示之半導體裝

置一般，在圖 6A、6B、8A、8B、9A、9B、及 10A 所示之任一半導體中也一樣，可設置第一端子連接到佈線 13、第二端子連接到電晶體 111 的閘極、及閘極連接到佈線 12 之電晶體 115。在那事例中也一樣，可達成類似於圖 5A 所示之半導體裝置的效果之效果。

雖然未圖示於圖式中，但是像圖 22A 及 22B 所示之半導體裝置一般，在圖 6A、6B、8A、8B、9A、9B、及 10A 所示之任一半導體中也一樣，可省略佈線 14、及可將電晶體 102 的第一端子連接到佈線 22 或佈線 13、及可設置其一電極連接到佈線 12 而其另一電極連接到電容器 101 的另一電極之電容器 103。在那事例中也一樣，可達成類似於圖 22A 及 22B 所示之半導體裝置的效果之效果。

至此，說明組態不同於圖 6A 之半導體裝置。

接著，說明電路 120 的特定例子。

圖 10B 為電路 120 的電路圖。電路 120 包括電晶體 121、電晶體 122、及電晶體 123。電晶體 121 的第一端子連接到佈線 15，電晶體 121 的第二端子連接到電容器 101 的一電極，及電晶體 121 的閘極連接到佈線 15。電晶體 122 的第一端子連接到佈線 13，電晶體 122 的第二端子連接到電容器 101 的一電極，及電晶體 122 的閘極連接到節點 N1。電晶體 123 的第一端子連接到佈線 13，電晶體 123 的第二端子連接到電容器 101 的一電極，及電晶體 123 的閘極連接到佈線 12。

電晶體 121 供應佈線 15 的電位 VH 到電容器 101 的一電極。電晶體 122 供應佈線 13 的電位 VL1 到電容器 101 的一電極。電晶體 123 亦供應佈線 13 的電位 VL1 到電容器 101 的一電極。電晶體 122 供應佈線 13 的電位 VL1 到電容器 101 的一電極之時期係由節點 N1 的電位所控制。電晶體 123 供應佈線 13 的電位 VL1 到電容器 101 的一電極之時期係由佈線 12 的訊號 SE 所控制。

在週期 T0 中，因為訊號 SE 為高位準，所以電晶體 123 被開通。結果，不管電晶體 122 是否開通，佈線 13 的電位 VL1 係經由電晶體 123 供應到電容器 101 的一電極，藉以訊號 IN2 變成低位準電位。

在週期 T1 中，因為訊號 SE 的位準被改變成低位準，所以電晶體 123 被關閉。結果，在節點 N1 的電位增加及如此電晶體 122 被開通之事例中，佈線 13 的電位 VL1 係經由電晶體 122 供應到電容器 101 的一電極，藉以訊號 IN2 變成低位準電位；在節點 N1 的電位減少及如此電晶體 122 被關閉之事例中，佈線 13 的電位 VL1 未供應到電容器 101 的一電極，藉以訊號 IN2 變成高位準電位。

如圖 10C 所示，電晶體 124、125、及 126 可設置在圖 10B 所示之電路 120 中。電晶體 124 的第一端子連接到佈線 15，電晶體 124 的第二端子連接到電容器 101 的一電極，及電晶體 124 的閘極連接到電晶體 121、122、及 123 的第二端子。電晶體 125 的第一端子連接到佈線 13，電晶體 125 的第二端子連接到電容器 101 的一電極，及電

晶體 125 的閘極連接到節點 N1。電晶體 126 的第一端子連接到佈線 13，電晶體 126 的第二端子連接到電容器 101 的一電極，及電晶體 126 的閘極連接到佈線 12。在圖 10C 所示之半導體裝置中，訊號 IN2 的高位準電位和低位準電位可以升壓操作分別被增加到 VH 和 VL1。

在圖 10C 所示之電路 120 中，可使用佈線 23 取代佈線 15。即、電晶體 121 的第一端子、電晶體 121 的閘極、及電晶體 124 的第一端子可連接到佈線 23。在那事例中，在週期 Td 中訊號 IN2 可在高位準與低位準之間重複切換。因此，可縮短電晶體 112 及 114 開通期間的週期，藉以可抑制電晶體 112 及 114 的劣化。

至此，說明電路 120 的特定例子。

在週期 Td 的全部或部分中，當訊號 IN2 被設定在高位準時開通電晶體 112 及 114。結果在那事例中，佈線 13 的電位係經由電晶體 112 供應到佈線 16 及經由電晶體 114 供應到節點 N1。因此，在週期 Td 中也一樣，佈線 16 和節點 N1 的電位可更確實保持在 VL1。

此實施例可與任何其他實施例等等予以適當組合實施。

(實施例 3)

在此實施例中，說明使用實施例 2 所說明之半導體裝置作為正反器電路的移位暫存器。說明不同於實施例 1 及 2 的部位。

參考圖 11 說明此實施例的移位暫存器。圖 11 為此實施例的移位暫存器之電路圖。圖 11 之移位暫存器包括 N 個正反器電路 200 (N 為自然數)。在這些當中，圖 11 圖示第一至第三級正反器電路 200 (被表示作正反器電路 200_1、正反器電路 200_2、及正反器電路 200_3)。

在圖 11 所示之移位暫存器中，使用圖 6A 所示之半導體裝置作為正反器電路 200。然而，正反器電路 200 並不侷限於圖 6A 所示之半導體裝置，及可適當使用實施例 2 所說明之任何其他半導體裝置。

說明圖 11 所示之移位暫存器電路中的連接關係。第 i 級正反器電路 200 (i 為 2 至 $(N-1)$ 的任一個) 連接到第 i 級佈線 31 (被表示作佈線 31_ i)、第 $(i-1)$ 級佈線 31 (被表示作佈線 31_ $(i-1)$)、第 $(i+1)$ 級佈線 31 (被表示作佈線 31_ $(i+1)$)、佈線 32、佈線 33、佈線 34、佈線 35 及 36 的其中之一、及佈線 37。尤其是，在第 i 級正反器電路 200 中，佈線 16 連接到第 i 級佈線 31，佈線 21 連接到第 $(i-1)$ 級佈線 31，及佈線 22 連接到第 $(i+1)$ 級佈線 31。另外，佈線 15 連接到佈線 32，佈線 13 連接到佈線 33，佈線 14 連接到佈線 34，佈線 23 連接到佈線 35 及 36 的其中之一，及佈線 12 連接到佈線 37。第 1 級正反器電路 200 不同於第 i 級正反器電路 200 在於佈線 21 連接到佈線 38。

訊號 OUT 係輸出自佈線 31；佈線 31 傳送訊號 OUT。

電位 VH 係供應到佈線 32，及佈線 32 傳送電位 VH。

電位 VL1 係供應到佈線 33，及佈線 33 傳送電位 VL1。

電位 VL2 係供應到佈線 34，及佈線 34 傳送電位 VL2。

訊號 CK1 係供應到佈線 35，及佈線 35 傳送訊號 CK1。訊號 CK2 係供應到佈線 36，及佈線 36 傳送訊號 CK2。訊號 CK1 及 CK2 類似於訊號 CK。訊號 CK1 及 CK2 為彼此反相之訊號或者相位彼此不同之訊號。

訊號 SE 係輸入到佈線 37，及佈線 37 傳送訊號 SE。

訊號 SP 係輸入到佈線 38，及佈線 38 傳送訊號 SP。訊號 SP 為移位暫存器的起始脈衝。訊號 SP 亦為高位準電位為 VH 及低位準電位為 VL1 之數位訊號。

接著，參考圖 12 說明圖 11 所示之移位暫存器的驅動方法之例子。圖 12 為用以說明圖 11 所示之移位暫存器的驅動方法之時序圖的例子。在圖 12 中，第 1 級正反器電路 200 的訊號 OUT、第二級正反器電路 200 的訊號 OUT、及第 N 級正反器電路 200 的訊號 OUT 被分別表示作訊號 OUT1、訊號 OUT2、及訊號 OUTN。

在週期 T0 中，訊號 SE 被設定在高位準。結果，第 1 至第 N 級正反器電路 200 的每一個如在實施例 2 所說明的週期 T0 中一般執行操作。

在週期 T1 中，訊號 SE 的位準被改變成低位準。結果，第 1 至第 N 級正反器電路 200 的每一個如在實施例 2

所說明的週期 $T1$ 中一般執行操作。尤其是，當第 $(i-1)$ 級正反器電路 200 的訊號 OUT 在高位準時，第 i 級正反器電路 200 如在實施例 2 所說明的週期 Ta 中一般執行操作，藉以第 i 級正反器電路 200 的訊號 OUT 變成在低位準。然後，訊號 CK1 及 CK2 被反相，及第 i 級正反器電路 200 如在實施例 2 所說明的週期 Tb 中一般執行操作，藉以第 i 級正反器電路 200 的訊號 OUT 變成在高位準。然後，訊號 CK1 及 CK2 被反相與第 $(i+1)$ 級正反器電路 200 的訊號 OUT 被改變成高位準，以及第 i 級正反器電路 200 如在實施例 2 所說明的週期 Tc 中一般執行操作，藉以第 i 級正反器電路 200 的訊號 OUT 變成在低位準。然後，直到第 $(i-1)$ 級正反器電路 200 的訊號 OUT 再次被改變成高位準為止，第 i 級正反器電路 200 保持執行實施例 2 所說明之週期 Td 中的操作，其中第 i 級正反器電路 200 的訊號 OUT 被保持在低位準。

因為使用圖 6A 所示的半導體裝置作為圖 11 所示之移位暫存器中的正反器電路 200，所以可達成類似於圖 6A 所示之半導體裝置的效果之效果。

至此，說明圖 11 所示之移位暫存器的驅動方法。

在圖 11 所示之移位暫存器中，可省略佈線 37，及可將各個正反器電路 200 中之佈線 12 連接到佈線 38。以此方式，可縮減佈線數目。此外，在電容器 101 中可週期性保持偏移電壓。

在將圖 9A 所示之半導體裝置用於正反器電路 200 的

事例中，當佈線 23 連接到佈線 35 時佈線 24 連接到佈線 36 較佳。以此方式，可抑制佈線數目的增加。

在將圖 9B 所示之半導體裝置用於正反器電路 200 的事例中，佈線 25 連接到佈線 31 及佈線 16 連接到負載較佳。以此方式，可藉由不受負載影響之佈線 25 的訊號 OUTB 驅動另一級正反器電路 200，藉以能夠穩定驅動移位暫存器。

此實施例可與任何其他實施例等等予以適當組合實施。

（實施例 4）

在此實施例中，說明將實施例 3 所說明之移位暫存器用於驅動器電路的顯示裝置。

另外，可將驅動器電路的部分或整體形成在與像素部相同的基板之上，藉以可獲得系統面板。

作為用於顯示裝置之顯示元件，可使用液晶元件（亦稱作液晶顯示元件）或發光元件（亦稱作發光顯示元件）。發光元件在其類別中包括由電流或電壓控制亮度之元件，及尤其是包括無機電致發光（EL）元件、有機 EL 元件等等。亦可使用藉由電作用改變其對比之顯示媒體，諸如電子墨水等。

在圖 13A 中，設置密封劑 4005，以便圍繞設置在第一基板 4001 之上的像素部 4002，及像素部 4002 係密封在第一基板 4001 與第二基板 4006 之間。在圖 13A 中，掃

描線驅動器電路 4004 和訊號線驅動器電路 4003 係形成在另一基板之上且安裝在第一基板 4001 之上由密封劑 4005 所圍繞的區域以外之區域。另外，各種訊號和電位係從撓性印刷電路（FPC）4018a 及 4018b 供應到訊號線驅動器電路 4003、掃描線驅動器電路 4004、及像素部 4002。

在圖 13B 及 13C 中，設置密封劑 4005，以便圍繞著設置在第一基板 4001 之上的像素部 4002 和掃描線驅動器電路 4004。第二基板 4006 係設置在像素部 4002 和掃描線驅動器電路 4004 之上。如此，藉由第一基板 4001、密封材料 4005、及第二基板 4006，將像素部 4002 和掃描線驅動器電路 4004 與顯示元件密封在一起。在圖 13B 及 13C 中，訊號線驅動器電路 4003 係形成在另一基板之上且安裝在第一基板 4001 之上由密封劑 4005 所圍繞的區域以外之區域。在圖 13B 及 13C 中，各種訊號和電位係從 FPC 4018 供應到訊號線驅動器電路 4003、掃描線驅動器電路 4004、及像素部 4002。

雖然圖 13B 及 13C 各個圖解訊號線驅動器電路 4003 被分開形成且安裝在第一基板 4001 上之例子，但是本發明的一實施例並不侷限於此結構。掃描線驅動器電路可被分開形成而後安裝，或者只有部分訊號線驅動器電路或部分掃描線驅動器電路被分開形成而後安裝。

並未特別限制此種分開形成的驅動器電路之連接方法；可使用玻璃覆晶（COG）法、打線接合法、捲帶自動接合（TAB）法等等。圖 13A 圖解藉由 COG 法安裝訊號

線驅動器電路 4003 和掃描線驅動器電路 4004 之例子；圖 13B 圖解藉由 COG 法安裝訊號線驅動器電路 4003 之例子；圖 13C 圖解藉由 TAB 法安裝訊號線驅動器電路 4003 之例子。

此外，顯示裝置包含：面板，將顯示元件密封在其中；及模組，將包括控制器之 IC 等等安裝在面板上。

此說明書中的顯示裝置意指影像顯示裝置、顯示裝置、或光源（包括照明裝置）。而且，顯示裝置亦包括下面模組在其類別中：裝附諸如 FPC、TAB 捲帶、或 TCP 等連接器之模組；在設置有印刷佈線板之其尖端具有 TAB 捲帶或 TCP 的模組；及藉由 COG 法將積體電路（IC）直接安裝在顯示元件上之模組。

設置在第一基板之上的像素部包括複數個電晶體。

在使用液晶元件作為顯示元件之事例中，使用熱向性液晶、低分子液晶、高分子液晶、聚合物分散型液晶、鐵電液晶、反鐵電液晶等等。依據條件，此種液晶材料展現出膽固醇相、層列相、立體相、對掌向列相、等向相等。

另一選擇是，可使用不需要對準膜之展現藍相的液晶。藍相為液晶相的其中之一，其在膽固醇液晶的溫度增加的同時僅產生在膽固醇相改變成等向相之前。因為藍相僅出現在狹窄的溫度範圍中，所以混合 5 重量百分比或更多的對掌劑之液晶組成用於液晶層以便提高溫度範圍較佳。包括展現藍相之液晶和對掌劑之液晶組成具有 1 msec

或較短的短回應時間，具有光學等向性（因此不需要對準處理），及具有小視角相依性。此外，因為不需要設置對準膜，所以不需要研磨處理。結果，可防止由於研磨處理所導致的靜電放電，如此可降低製造處理中之液晶顯示裝置的故障和破壞。因此，可增加液晶顯示裝置的生產力。

液晶材料的電阻係數大於或等於 $1 \times 10^9 \Omega \cdot \text{cm}$ 、大於或等於 $1 \times 10^{11} \Omega \cdot \text{cm}$ 較佳、大於或等於 $1 \times 10^{12} \Omega \cdot \text{cm}$ 更好。在 20°C 測量此說明書中的電阻係數。

考量設置在像素部等等之電晶體的漏電流來設定設置在液晶顯示裝置中之儲存電容器的尺寸，以便電荷可被保留一段預定週期。考量電晶體等等的關閉狀態電流來設定儲存電容器之尺寸。

關於液晶顯示裝置，使用扭轉向列（TN）模式、平面轉換（IPS）模式、邊界電場轉換（FFS）模式、軸對稱對準微單位（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、反鐵電液晶（AFLC）模式等等。

另外，可形成正常黑液晶顯示裝置，諸如利用垂直對準（VA）模式之透射型液晶顯示裝置。給定一些例子作為垂直對準模式；例如，可使用多域垂直對準（MVA）模式、圖案化垂直對準（PVA）模式、ASV 模式等等。

此實施例亦可應用到 VA 液晶顯示裝置。VA 液晶顯示裝置具有一種控制液晶顯示面板的液晶分子之對準的形式。在 VA 液晶顯示裝置中，當未施加電壓時在相對於面

板表面的垂直方向上對準液晶分子。而且，能夠使用被稱作域乘法或多域設計之方法，其中像素被分成一些區域（子像素）及其各自區域中的不同方向上對準分子。

在顯示裝置中，適當設置黑色矩陣（阻光層）、諸如極化構件等光學構件（光學基板）、減速度構件、或抗反射構件等等。例如，可使用具有極化基板和減速度基板之圓形極化。此外，可使用背光、側光等等作為光源。

作為像素部中之顯示方法，可使用連續法、交錯法等等。另外，為了彩色顯示而在像素中所控制之彩色元件並不侷限於三色彩：R、G、及 B（R、G、及 B 分別對應於紅、綠、及藍）。例如，可使用 R、G、B、及 W（W 對應於白）；R、G、B、及黃、青綠色、洋紅色等等的一或多個；諸如此類。另外，顯示區的尺寸在彩色元件的各自點之間可以是不同的。本發明並不侷限於應用到彩色顯示用的顯示裝置；本發明之一實施例可應用到單色顯示用的顯示裝置。

另一選擇是，作為包括在顯示裝置中之顯示元件，可使用利用電致發光之發光元件。根據發光材料為有機化合物或無機化合物來分類利用電致發光之發光元件。通常，前者被稱作有機 EL 元件，而後者被稱作無機 EL 元件。

在有機 EL 元件中，藉由施加電壓到發光元件，電子和電洞被分開從一對電極注射到含發光有機化合物之層，及電流流動。載子（電子和電洞）被重組，如此激發發光有機化合物。發光有機化合物從激發狀態回到接地狀態，

藉以發出光。在此種機制之後，發光元件被稱作電流激發發光元件。

無機 EL 元件係根據其元件結構而分類成分散型無機 EL 元件和薄膜無機 EL 元件。分散型無機 EL 元件具有發光材料的粒子分散在結合劑中之發光層，及其光發射機制為利用施體位準和受體位準之施體和受體重組型光發射。薄膜無機 EL 元件具有發光層係夾置在介電層之間，而介電層另外夾置在電極之間的結構，及其光發射機制為利用金屬離子的內殼電子過渡之局部型光發射。

另外，可設置驅動電子墨水之電子紙作為顯示裝置。電子紙亦被稱作電泳顯示裝置（電泳顯示），及具有其具有與普通紙張一樣的可閱讀位準，其具有低於其他顯示裝置的電力消耗，及其可被塑形成薄且輕之有利點。

雖然電泳顯示裝置可具有各種模式，但是電泳顯示裝置包含分散在溶劑或溶質中之複數個微膠囊，各個微膠囊含有帶正電的第一粒子和帶負電的第二粒子。藉由施加電場到微膠囊，微膠囊中的粒子在彼此相對的方向上移動，及只顯示集中在一側上之粒子的色彩。第一粒子和第二粒子各個含有色素及在沒有電場就不移動。另外，第一粒子和第二粒子具有不同色彩（它們的其中之一可以是無色的）。

如此，電泳顯示裝置為利用所謂的介電泳作用之顯示裝置，藉由介電泳作用具有高介電常數之物質移動到高電場區。

上述微膠囊分散在溶劑中之溶液被稱作電子墨水。此電子墨水可印刷在玻璃、塑膠、布料、紙張等等的表面上。而且，電子墨水亦能夠利用濾色器或具有色素之粒子來彩色顯示。

微膠囊中之第一粒子和第二粒子係可使用選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電致變色材料、或磁泳材料的單一材料來形成，或使用這些的任一者之合成材料來形成。

作為電子紙，可使用使用扭轉球顯示系統的顯示裝置。扭轉球顯示系統意指各個著以黑色和白色之球狀粒子係排列在第一電極層與第二電極層之間，它們是用於顯示元件之電極層，及電位差產生在第一電極層與第二電極層之間，以控制球狀粒子的取向，以便執行顯示之方法。

實施例 3 所說明之移位暫存器可應用到此實施例所說明的顯示裝置，藉以能夠設置即使電晶體為空乏型電晶體時仍能夠穩定操作之顯示裝置。

此實施例可與任何其他實施例等等予以適當組合實施。

(實施例 5)

在此實施例中，說明可應用到實施例 1 及 2 所說明之半導體裝置、實施例 3 所說明之移位暫存器、及實施例 4 所說明之顯示裝置的任一者之電晶體。

<氧化物半導體>

下面詳細說明氧化物半導體。

欲待使用之氧化物半導體含有至少銦 (In) 或鋅 (Zn) 較佳。尤其是，含有 In 和 Zn 較佳。作為用以減少使用氧化物半導體之電晶體的電特性變化之穩定劑，另外含有鎵 (Ga) 較佳。作為穩定劑含有錫 (Sn) 較佳。作為穩定劑含有鈦 (Hf) 較佳。作為穩定劑含有鋁 (Al) 較佳。

作為另一穩定劑，可含有一或複數種鑷系元素，諸如鑷 (La)、鈾 (Ce)、鐳 (Pr)、釹 (Nd)、鈾 (Sm)、鈾 (Eu)、釷 (Gd)、錳 (Tb)、鐳 (Dy)、釹 (Ho)、鉕 (Er)、鐳 (Tm)、鐳 (Yb)、及鑷 (Lu)。

作為氧化物半導體，例如，可使用下面的任一者：氧化銦；氧化錫；氧化鋅；兩成分金屬氧化物，諸如 In-Zn 為基氧化物、Sn-Zn 為基氧化物、Al-Zn 為基氧化物、Zn-Mg 為基氧化物、Sn-Mg 為基氧化物、In-Mg 為基氧化物、或 In-Ga 為基氧化物等；三成分金屬氧化物，諸如 In-Ga-Zn 為基氧化物（亦稱作 IGZO）、In-Al-Zn 為基氧化物、In-Sn-Zn 為基氧化物、Sn-Ga-Zn 為基氧化物、Al-Ga-Zn 為基氧化物、Sn-Al-Zn 為基氧化物、In-Hf-Zn 為基氧化物、In-La-Zn 為基氧化物、In-Ce-Zn 為基氧化物、In-Pr-Zn 為基氧化物、In-Nd-Zn 為基氧化物、In-Sm-Zn 為基氧化物、In-Eu-Zn 為基氧化物、In-Gd-Zn 為基氧化物、

In-Tb-Zn 為基氧化物、In-Dy-Zn 為基氧化物、In-Ho-Zn 為基氧化物、In-Er-Zn 為基氧化物、In-Tm-Zn 為基氧化物、In-Yb-Zn 為基氧化物、或 In-Lu-Zn 為基氧化物等；以及四成分金屬氧化物，諸如 In-Sn-Ga-Zn 為基氧化物、In-Hf-Ga-Zn 為基氧化物、In-Al-Ga-Zn 為基氧化物、In-Sn-Al-Zn 為基氧化物、In-Sn-Hf-Zn 為基氧化物、或 In-Hf-Al-Zn 為基氧化物等。

當沒有電場及如此具有相當低的關閉狀態電流時，In-Ga-Zn 為基氧化物半導體材料具有足夠高的電阻。此外，In-Ga-Zn 為基氧化物半導體材料具有高場效遷移率。另外，在使用 In-Sn-Zn 為基氧化物半導體材料之電晶體中，場效遷移率可高如使用 In-Ga-Zn 為基氧化物半導體材料的場效遷移率之三倍或更多，及臨界電壓可能是正的。這些半導體材料為可用於包括在根據本發明的一實施例之半導體裝置中的電晶體之材料的適當例子。

例如，“In-Ga-Zn 為基氧化物”意指含 In、Ga、及 Zn 作為其主要成分之氧化物，及並未特別限制 In:Ga:Zn 的比率。In-Ga-Zn 為基氧化物可含有除了 In、Ga、及 Zn 以外的金屬元素。

另一選擇是，可使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 及 $m \neq$ 整數) 所表示之材料作為氧化物半導體。需注意的是， M 表示選自 Ga、Fe (鐵)、Mn (錳)、及 Co (鈷) 之一或更多個金屬元素。另一選擇是，作為氧化物半導體，可使用以 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 及 $n =$ 整數) 所表示之材料。

例如，可使用具有原子比 $\text{In:Ga:Zn} = 1:1:1$ ($= 1/3:1/3:1/3$) 或 $\text{In:Ga:Zn} = 2:2:1$ ($= 2/5:2/5:1/5$) 之 In-Ga-Zn 為基氧化物，或者其組成在上述組成附近之氧化物的任一者。另一選擇是，可使用具有原子比 $\text{In:Sn:Zn} = 1:1:1$ ($= 1/3:1/3:1/3$)、 $\text{In:Sn:Zn} = 2:1:3$ ($= 1/3:1/6:1/2$) 或 $\text{In:Sn:Zn} = 2:1:5$ ($= 1/4:1/8:5/8$) 之 In-Sn-Zn 為基氧化物，或者其組成在上述組成附近之氧化物的任一者。

然而，在未侷限於上述給定的材料之下，依據所需的半導體特性（如、遷移率、臨界電壓、及變化），可使用具有適當組成之材料。為了實現所需的半導體特性，載子密度、雜質濃度、缺陷密度、金屬元素與氧之間的原子比、原子間距離、密度等等被設定成適當值較佳。

例如，具有 In-Sn-Zn 為基氧化物可相對容易提供高遷移率，反之藉由降低亦具有 In-Ga-Zn 為基氧化物之塊狀物中的密度，可增加遷移率。

例如，具有原子比 $\text{In:Ga:Zn} = a:b:c$ ($a+b+c = 1$) 之氧化物的組成在具有原子比 $\text{In:Ga:Zn} = A:B:C$ ($A+B+C = 1$) 之氧化物的組成附近之事例意指 a 、 b 、及 c 滿足下面關係： $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ ，及例如 r 可以是 0.05。同樣可應用到其他氧化物。

另外，降低形成電子施體（施體）之諸如濕氣和氫等雜質較佳，以便氧化物半導體層可被高度淨化。尤其是，藉由二次離子質譜儀（SIMS）所測量之高度淨化的氧化物半導體層中之氫的濃度為 $5 \times 10^{19}/\text{cm}^3$ 或更低、 5×10^{18}

$/\text{cm}^3$ 或更低較佳、 $5 \times 10^{17}/\text{cm}^3$ 或更低更好、 $1 \times 10^{16}/\text{cm}^3$ 或更低更好。由霍爾效應測量所測量之氧化物半導體層的載子密度低於 $1 \times 10^{14}/\text{cm}^3$ 、低於 $1 \times 10^{12}/\text{cm}^3$ 較佳、低於 $1 \times 10^{11}/\text{cm}^3$ 更好。

此處，提及氧化物半導體層的氫濃度之分析。半導體層的氫濃度係藉由二次離子質譜儀所測量。已知原則上藉由 SIMS 分析來獲得樣本的頂表面附近或由不同材料所形成之疊層之間的介面附近之正確資料是困難的。如此，在由 SIMS 分析厚度方向上之層中的氫之濃度分佈的事例中，在濃度不會大幅改變及保持實質上相同值之層的區域中獲得平均值，及被利用作為氫濃度。然而，在層的厚度小之事例中，由於鄰近層中之氫濃度的影響，在某些事例中無法找出濃度被保持實質上相同值之此種區域。在那事例中，層的區域中之氫濃度的最大值或最小值被利用作為層的氫濃度。另外，在具有最大值之山形峰值或具有最小值之谷形峰值為出現在層的區域之事例中，在拐點的值被利用作為氫濃度。

在藉由濺鍍法形成氧化物半導體層之事例中，重要的是盡可能降低不僅靶材的氫濃度而且室中的水和氫。尤其是，下面是有效的：在沈積之前烘烤室的內部；降低室中所產生之氣體中的水和氫濃度；及防止排出室中的氣體之排氣系統的逆流。

氧化物半導體可以是單晶或非單晶。在後一事例中，氧化物半導體可以是非晶或多晶。另外，氧化物半導體可

具有包括具有晶性的部位之非晶結構或非非晶結構。

在非晶狀態之氧化物半導體中，可比較容易獲得平坦表面，以便當藉由使用氧化物半導體製造電晶體時，可降低介面散射，如此可比較容易獲得相對高的遷移率。

另一方面，在具有晶性之氧化物半導體中，可進一步降低塊狀中的缺陷，及當提高表面平坦時，可獲得高於非晶狀態之氧化物半導體層的遷移率之遷移率。為了提高表面平坦，可將氧化物半導體形成在平坦表面上較佳；尤其是，可將氧化物半導體形成在具有平均表面粗度 (Ra) 低於或等於 1 nm、低於或等於 0.3 nm 較佳、低於或等於 0.1 nm 更好之表面上。

需注意的是， Ra 係藉由由 JIS B 0601 所定義之中心線平均粗度的三維擴張所獲得，以便應用到平面，及可被表示作“從參考表面到特定表面之偏移的絕對值之平均值”及由下面公式所定義。

[公式 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

在上述公式中， S_0 表示欲待測量之平面的面積（由座標 (x_1, y_1) 、 (x_1, y_2) 、 (x_2, y_1) 、及 (x_2, y_2) 之四點所定義之矩形區），及 Z_0 表示欲待測量之平面的平均高度。可以原子力顯微鏡 (AFM) 來測量平均表面粗度 Ra 。

氧化物半導體膜在單晶狀態、多晶（亦稱作多晶體）狀態、非晶狀態等等。

氧化物半導體膜為 c 軸對準結晶氧化物半導體 (CAAC-OS) 膜較佳。

CAAC-OS 膜既非完全單晶亦非完全非晶。CAAC-OS 膜為具有晶體非晶混合相結構之氧化物半導體膜，其中晶體部和非晶部包括在非晶相中。需注意的是，在許多事例中，晶體部具有尺寸適合尺寸小於 100 nm 之立方體內部。從利用透射式電子顯微鏡 (TEM) 所獲得之觀察影像，CAAC-OS 膜中之非晶部和晶體部之間的邊界不清楚。另外，利用 TEM，未找到 CAAC-OS 膜中之晶粒邊界；如此，在 CAAC-OS 膜中，抑制由於晶粒邊界所導致之電子遷移率的減少。

在包括於 CAAC-OS 膜中之晶體部的每一個中，c 軸被對準在平行於形成 CAAC-OS 膜之表面的法線向量或者 CAAC-OS 膜之頂表面的法線向量之方向上，形成從垂直於 a-b 平面之方向觀看的三角或六角原子排列，及當從垂直於 c 軸的方向觀看時，以層式方式排列金屬原子或者以層式方式排列金屬原子和氧原子。晶體部的 a 軸和 b 軸之方向在晶體部之中可以是不同的。在此說明書中，簡單表示“垂直”包含從 85°到 95°的範圍；簡單表示“平行”包含從 -5°到 5°的範圍。

在 CAAC-OS 膜中，晶體部的分佈不一定均勻。例如，在形成 CAAC-OS 膜時晶體生長從氧化物半導體膜的頂表面側行進之事例中，在某些情況中，氧化物半導體膜的頂表面附近中之晶體部的比例高於形成氧化物半導體膜

之表面附近中的晶體部。另外，在將雜質添加到 CAAC-OS 膜之事例中，在某些情況中，添加雜質之區域中的晶體部變成非晶。

因為包括在 CAAC-OS 膜中之晶體部的 c 軸被對準在平行於形成 CAAC-OS 膜之表面的法線向量或者 CAAC-OS 膜之頂表面的法線向量之方向上，所以 c 軸的方向可依據 CAAC-OS 膜之形狀（形成 CAAC-OS 膜之表面的橫剖面形狀或者 CAAC-OS 膜之頂表面的橫剖面形狀）而彼此不同。隨著其被沈積，晶體部的 c 軸之方向為平行於形成 CAAC-OS 膜之表面的法線向量或者 CAAC-OS 膜之頂表面的法線向量之方向。晶體部係藉由沈積或藉由執行結晶化的處理來形成，諸如沈積之後的熱處理等。

藉由在電晶體中使用 CAAC-OS 膜，可減少由於可見光或紫外線之照射所導致的電特性變化。如此，電晶體具有高度可靠性。

包括在氧化物半導體膜中之氧的部分可由氮來取代。

需注意的是，當藉由濺鍍法沈積 CAAC-OS 膜時大氣中的氧氣之比例高較佳。例如，在以氮和氧的混合大氣之濺鍍法的事例中，氧氣的比例為 30% 或更多較佳、40% 或更多更好。這是因為從大氣供應氧及促進 CAAC 的結晶。

另外，在藉由濺鍍法沈積 CAAC-OS 膜之事例中，沈積 CAAC-OS 膜之基板被加熱至 150°C 或更高較佳、170°C 或更高更好。這是因為基板溫度越高，越能促進 CAAC 的結晶。

另外，在經過於氮大氣或真空中的熱處理之後，CAAC-OS 膜經過在氧大氣或氧和另一氣體的混合大氣之熱處理較佳。這是因為由於前一熱處理所導致之氧不足可由供應自後一熱處理中的大氣之氧來恢復。

另外，沈積 CAAC-OS 膜之膜表面（沈積表面）為平坦的較佳。這是因為由於約垂直於沈積表面的 c 軸存在於 CAAC-OS 膜中所以沈積表面的粗度會在 CAAC-OS 膜中產生晶粒邊界。因此，在沈積 CAAC-OS 膜之前，沈積表面經過諸如化學機械拋光（CMP）平面化較佳。沈積表面的平均粗度約 0.5 nm 或更少較佳、0.3 nm 或更少更好。

接著，參考圖 14A 至 14E、圖 15A 至 15C、及圖 16A 至 16C 詳細說明 CAAC-OS 膜的晶體結構之例子。除非特別指明，否則朝上方向對應於 c 軸方向，及垂直於 c 軸方向之平面對應於 14A 至 14E、圖 15A 至 15C、及圖 16A 至 16C 中的 a-b 平面。簡單表示“上半部”和“下半部”分別意指 a-b 平面上方的上半部及 a-b 平面下方的下半部（相對於 a-b 平面之上半部和下半部）。另外，在圖 14A 至 14E 中，被單圈起來的 O 表示四座標 O，而被雙圈起來的 O 表示三座標 O。

圖 14A 圖解包括一個六座標 In 原子和鄰近 In 原子之六個四座標氧原子（下面稱作四座標 O）的結構。此處，包括一金屬原子和鄰近它之氧原子的結構被稱作小群組。圖 14A 中之結構實際上為八面結構，但是為了簡化被圖解作平面結構。需注意的是，三個四座標 O 存在於圖 14A

中的上半部和下半部。圖 14A 所示之小群組的電荷為 0。

圖 14B 圖解包括一個五座標 Ga、鄰近 Ga 之三個三座標氧原子（下面稱作三座標 O）、及鄰近 Ga 之兩個四座標 O 的結構。所有三座標 O 存在於 a-b 平面上。一個四座標 O 存在於圖 14B 中的上半部和下半部。In 原子亦可具有圖 14B 所示之結構，因為 In 可具有五配位基。圖 14B 所示之小群組的電荷為 0。

圖 14C 圖解包括一個四座標 Zn 和鄰近 Zn 之四個四座標 O 的結構。在圖 14C 中，一個四座標 O 存在於上半部而三個四座標 O 存在於下半部；另一選擇是，三個四座標 O 可存在於上半部而一個四座標 O 可存在於下半部。圖 14C 所示之小群組的電荷為 0。

圖 14D 圖解包括一個六座標 Sn 和鄰近 Sn 原子之六個四座標 O 的結構。在圖 14D 中，三個四座標 O 存在於上半部和下半部的每一個中。圖 14D 所示之小群組的電荷為 +1。

圖 14E 圖解包括兩個 Zn 之小群組。在圖 14E 中，一個四座標 O 存在於上半部和下半部的每一個中。圖 14E 所示之小群組的電荷為 -1。

此處，複數個小群組被統稱作中間群組，及複數個中間群組被統稱作大群組（亦稱作單位單元）。

此處，下面說明小群組之間的結合規則。在圖 14A 中，相對於六座標 In 之上半部的三個 O 各個具有三個鄰近的 In 在朝下方向上，及下半部的三個 O 各個具有三個

鄰近的 In 在朝上方向上。在圖 14B 中，相對於五座標 Ga 之上半部的一個 O 具有一個鄰近的 Ga 在朝下方向上，及下半部的一個 O 具有一個鄰近的 Ga 在朝上方向上。在圖 14C 中，相對於四座標 Zn 之上半部的一個 O 具有一個鄰近的 Zn 在朝下方向上，及下半部的三個 O 各個具有三個鄰近的 Zn 在朝上方向上。以此方式，相對於金屬原子之上半部的四座標 O 之數目等於在朝下方向上鄰近至此之金屬原子的數目，及相對於金屬原子之下半部的四座標 O 之數目等於在朝上方向上鄰近至此之金屬原子的數目。因為四座標 O 的座標數為 4，所以朝下方向上之鄰近金屬原子的數目和朝上方向上之鄰近金屬原子的數目之總和為 4。因此，當相對於金屬原子之上半部的四座標 O 之數目和相對於金屬原子之下半部的四座標 O 之數目的總和為 4 時，可結合包括金屬原子之兩個小群組。下面說明理由。例如，在經由相對於六座標金屬原子之下半部的三個四座標 O 來結合六座標金屬（In 或 Sn）原子之事例中，六座標金屬原子被結合到五座標金屬（Ga 或 In）原子或四座標金屬（Zn）原子。

經由 c 軸方向上之四座標 O，將座標數為 4、5、或 6 之金屬原子結合到另一金屬原子。除了上述之外，中間群組係可藉由結合複數個小群組來形成，以便層式結構的總電荷為 0。

圖 15A 圖解包括在 In-Sn-Zn-O 為基系統之層式結構中的中間群組之模型。圖 15B 圖解由三個中間群組所組成

之大群組。圖 15C 圖解當從 c 軸方向觀察時之圖 15B 的層式結構中之原子排列。

在圖 15A 中，為了簡化省略三座標 O ，及相對於四座標 O ，只圖解其數目；例如，存在於相對於 Sn 之上半部和下半部的每一個中之三個四座標 O 被表示作圈起來的 3。同樣地，在圖 15A 中，存在於相對於 In 之上半部和下半部的每一個中之一個四座標 O 被表示作圈起來的 1。圖 15A 亦圖解鄰近於下半部的一個四座標 O 和上半部的三個四座標 O 之 Zn ，及鄰近於上半部的一個四座標 O 原子和下半部的三個四座標 O 之 Zn 。

在包括於圖 15A 之 $In-Sn-Zn-O$ 為基系統的層式結構中之中間群組中，以從頂部開始之順序，鄰近於上半部和下半部的每一個中之三個四座標 O 的 Sn 被結合到鄰近於上半部和下半部的每一個中之一個四座標 O 的 In ， In 結合到鄰近於上半部的三個四座標 O 之 Zn ，經由相對於 Zn 之下半部的一個四座標 O 將 Zn 結合到鄰近於上半部和下半部的每一個中之三個四座標 O 的 In ， In 被結合到包括兩個 Zn 原子且鄰近於上半部的一個四座標 O 之小群組，及經由相對於小群組之下半部中的一個四座標 O ，將小群組結合到鄰近於上半部和下半部的每一個中之三個四座標 O 的 Sn 。複數個此種中間群組被結合以構成大群組。

此處，用於一個三座標 O 的一結合之電荷和用於一個四座標 O 的一結合之電荷可分別被假設為 -0.667 及 -0.5 。例如，（五座標或六座標） In 的電荷、（四座標） Zn 的

電荷、及（五座標或六座標）Sn 的電荷分別為 +3、+2、及 +4。因此，包括 Sn 之小群組中的電荷為 +1。因此，需要抵銷 +1 之 -1 的電荷以形成包括 Sn 之層式結構。作為具有電荷 -1 之結構，可給定圖 14E 所示之包括兩個 Zn 的小群組。例如，利用包括兩個 Zn 之一個小群組，可抵銷包括 Sn 之一個小群組的電荷，以便層式結構的總電荷可變成 0。

In-Sn-Zn-O 為基晶體 ($\text{In}_2\text{SnZn}_3\text{O}_8$) 係可藉由重複圖 15B 所示之大群組來獲得。如此獲得之 In-Sn-Zn-O 為基晶體的層式結構可被表示作組成公式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 為 0 或自然數)。

上述規則亦應用到下面氧化物：四成分金屬氧化物，諸如 In-Sn-Ga-Zn 為基氧化物等；三成分金屬氧化物，諸如 In-Ga-Zn 為基氧化物（亦稱作 IGZO）、In-Al-Zn 為基氧化物、Sn-Ga-Zn 為基氧化物、Al-Ga-Zn 為基氧化物、Sn-Al-Zn 為基氧化物、In-Hf-Zn 為基氧化物、In-La-Zn 為基氧化物、In-Ce-Zn 為基氧化物、In-Pr-Zn 為基氧化物、In-Nd-Zn 為基氧化物、In-Sm-Zn 為基氧化物、In-Eu-Zn 為基氧化物、In-Gd-Zn 為基氧化物、In-Tb-Zn 為基氧化物、In-Dy-Zn 為基氧化物、In-Ho-Zn 為基氧化物、In-Er-Zn 為基氧化物、In-Tm-Zn 為基氧化物、In-Yb-Zn 為基氧化物、或 In-Lu-Zn 為基氧化物等；兩成分金屬氧化物，諸如 In-Zn 為基氧化物、Sn-Zn 為基氧化物、Al-Zn 為基氧化物、Zn-Mg 為基氧化物、Sn-Mg 為基氧化物、In-Mg

為基氧化物、或 In-Ga 為基氧化物等；諸如此類。

作為例子，圖 16A 圖解包括在 In-Ga-Zn-O 為基系統的層式結構中之中間群組的模型。

在包括於圖 16A 之 In-Ga-Zn-O 為基系統的層式結構中之中間群組中，以從頂部開始之順序，鄰近於上半部和下半部的每一個中之三個四座標 O 的 In 被結合到鄰近於上半部之一個四座標 O 的 Zn，經由相對於 Zn 之下半部的三個四座標 O，將 Zn 結合到鄰近於上半部和下半部的每一個中之一個四座標 O 之 Ga，及經由相對於 Ga 之下半部的一個四座標 O，將 Ga 結合到鄰近於上半部和下半部的每一個中之三個四座標 O 的 In。複數個此種中間群組被結合而構成。

圖 16B 圖解由三個中間群組所組成之大群組。圖 16C 圖解當從 c 軸方向觀察時之圖 16B 的層式結構中之原子排列。

此處，（六座標或五座標）In 的電荷、（四座標）Zn 的電荷、及（五座標）Ga 的電荷分別為 +3、+2、+3，如此包括 In、Zn、及 Ga 的任一者之小群組的電荷變成 0。結果，由此種小群組的組合所組成之中間群組的總電荷總是 0。

為了形成 In-Ga-Zn-O 為基系統的層式結構，大群組亦可使用 In、Ga、及 Zn 的排列不同於圖 16A 者之中間群組來形成。

<通道係形成在氧化物半導體層中之電晶體>

參考圖 17A 至 17D 說明通道係形成在氧化物半導體層中之電晶體。圖 17A 至 17D 各為電晶體的結構之例子的概要橫剖面圖。

圖 17A 所示之電晶體包括導電層 601 (a)、絕緣層 602 (a)、氧化物半導體層 603 (a)、導電層 605a (a)、導電層 605b (a)、絕緣層 606 (a)、及導電層 608 (a)。

導電層 601 (a) 係設置在元件形成層 600 (a) 之上。

絕緣層 602 (a) 係設置在導電層 601 (a) 之上。

氧化物半導體層 603 (a) 與導電層 601 (a) 重疊，具有絕緣層 602 (a) 設置在其間。

導電層 605a (a) 及導電層 605b (a) 係設置在氧化物半導體層 603 (a) 之上，及電連接到氧化物半導體層 603 (a)。

絕緣層 606 (a) 係設置在氧化物半導體層 603 (a)、導電層 605a (a)、及導電層 605a (b) 之上。

導電層 608 (a) 與氧化物半導體層 603 (a) 重疊，具有絕緣層 606 (a) 設置在其間。

不一定設置導電層 601 (a) 和導電層 608 (a) 二者。當未設置導電層 608 (a) 時，不一定設置絕緣層 606 (a)。

圖 17B 所示之電晶體包括導電層 601 (b)、絕緣層

602 (b)、氧化物半導體層 603 (b)、導電層 605a (b)、導電層 605b (b)、絕緣層 606 (b)、及導電層 608 (b)。

導電層 601 (b) 係設置在元件形成層 600 (b) 之上。

絕緣層 602 (b) 係設置在導電層 601 (b) 之上。

導電層 605a (b) 和導電層 605b (b) 各個係設置在絕緣層 602 (b) 的一部分之上。

氧化物半導體層 603 (b) 係設置在導電層 605a (b) 和導電層 605b (b) 之上，及電連接到導電層 605a (b) 和導電層 605b (b)。氧化物半導體層 603 (b) 與導電層 601 (b) 重疊，具有絕緣層 602 (b) 設置在其間。

絕緣層 606 (b) 係設置在氧化物半導體層 603 (b)、導電層 605a (b)、及導電層 605b (b) 之上。

導電層 608 (b) 與氧化物半導體層 603 (b) 重疊，具有絕緣層 606 (b) 設置在其間。

不一定設置導電層 601 (b) 和導電層 608 (b) 二者。當未設置導電層 608 (b) 時，不一定設置絕緣層 606 (b)。

圖 17C 所示之電晶體包括導電層 601 (c)、絕緣層 602 (c)、氧化物半導體層 603 (c)、導電層 605a (c)、及導電層 605b (c)。

氧化物半導體層 603 (c) 包括區域 604a (c) 和區域 604b (c)。區域 604a (c) 和區域 604b (c) 係彼此分開

設置及將摻雜劑添加至此。區域 604a (c) 和區域 604b (c) 之間的區域為通道形成區。氧化物半導體層 603 (c) 係設置在元件形成層 600 (c) 之上。不一定設置區域 604a (c) 和區域 604b (c)。

導電層 605a (c) 和導電層 605b (c) 係設置在氧化物半導體 603 (c) 之上且電連接到氧化物半導體 603 (c)。使導電層 605a (c) 和導電層 605b (c) 的側邊成錐形。

導電層 605a (c) 與區域 604a (c) 的一部分重疊；然而，本發明的一實施例並不侷限於此。導電層 605a (c) 與區域 604a (c) 的一部分之間的重疊可使導電層 605a (c) 與區域 604a (c) 之間的電阻降低。與導電層 605a (c) 重疊之氧化物半導體層 603 (c) 的整個區域可形成區域 604a (c)。

導電層 605b (c) 與區域 604b (c) 的一部分重疊；然而，本發明的一實施例並不侷限於此。導電層 605b (c) 與區域 604b (c) 的一部分之間的重疊可使導電層 605b (c) 與區域 604b (c) 之間的電阻降低。與導電層 605b (c) 重疊之氧化物半導體層 603 (c) 的整個區域可形成區域 604b (c)。

絕緣層 602 (c) 係設置在氧化物半導體層 603 (c)、導電層 605a (c)、導電層 605b (c) 之上。

導電層 601 (c) 與氧化物半導體層 603 (c) 重疊，具有絕緣層 602 (c) 設置在其間。與導電層 601 (c) 重

疊且具有絕緣層 602 (c) 設置在其間之氧化物半導體層 603 (c) 的區域為通道形成區。

圖 17D 所示之電晶體包括導電層 601 (d)、絕緣層 602 (d)、氧化物半導體層 603 (d)、導電層 605a (d)、及導電層 605b (d)。

導電層 605a (d) 和導電層 605b (d) 係設置在元件形成層 600 (d) 之上。使導電層 605a (d) 和導電層 605b (d) 的側邊成錐形。

氧化物半導體層 603 (d) 包括區域 604a (d) 和區域 604b (d)。區域 604a (d) 和區域 604b (d) 係彼此分開設置及將摻雜劑添加至此。區域 604a (d) 和區域 604b (d) 之間的區域為通道形成區。例如，氧化物半導體層 603 (d) 係設置在導電層 605a (d)、導電層 605b (d)、及元件形成層 600 (c) 之上，且電連接到導電層 605a (d) 和導電層 605b (d)。不一定設置區域 604a (d) 和區域 604b (d)。

區域 604a (d) 電連接到導電層 605a (d)。

區域 604b (d) 電連接到導電層 605b (d)。

絕緣層 602 (d) 係設置在氧化物半導體層 603 (d) 之上。

導電層 601 (d) 與氧化物半導體層 603 (d) 重疊，具有絕緣層 602 (d) 設置在其間。與導電層 601 (d) 重疊且具有絕緣層 602 (d) 在其間之氧化物半導體層 603 (d) 的區域為通道形成區。

接著，說明圖 17A 至 17D 所示之各個組件。

可使用絕緣層、具有絕緣表面之基板等等作為元件形成層 600 (a) 、 600 (b) 、 600 (c) 、 600 (d) 。另外，亦可使用事先形成元件之層作為元件形成層 600 (a) 、 600 (b) 、 600 (c) 、 600 (d) 。

導電層 601 (a) 、 601 (b) 、 601 (c) 、 601 (d) 充作電晶體的閘極。充作電晶體的閘極之層亦被稱作閘極電極或閘極佈線。

作為導電層 601 (a) 、 601 (b) 、 601 (c) 、 601 (d) ，能夠使用例如一層金屬材料，諸如鋁、鎂、鈦、鉻、鉭、鎢、鋁、銅、鈳、或鈳等或者含這些材料的任一者作為主要成分之合金材料。導電層 601 (a) 、 601 (b) 、 601 (c) 、 601 (d) 亦可藉由堆疊可應用到導電層 601 (a) 、 601 (b) 、 601 (c) 、 601 (d) 之材料的層來形成。

絕緣層 602 (a) 、 602 (b) 、 602 (c) 、 602 (d) 充作電晶體的閘極絕緣層。

作為絕緣層 602 (a) 、 602 (b) 、 602 (c) 、 602 (d) ，能夠使用例如氧化矽層、氮化矽層、氮氧化矽層、氧氮化矽層、氧化鋁層、氮化鋁層、氮氧化鋁層、氧氮化鋁層、氧化鈺層、或氧化釧層。絕緣層 602 (a) 、 602 (b) 、 602 (c) 、 602 (d) 亦可藉由堆疊可應用到絕緣層 602 (a) 、 602 (b) 、 602 (c) 、 602 (d) 之材料的層來形成。

另一選擇是，作為絕緣層 602 (a)、602 (b)、602 (c)、602 (d)，例如可使用含屬於週期表的第 13 族之元素和氧的材料之絕緣層。例如在氧化物半導體層 603 (a)、603 (b)、603 (c)、603 (d) 含有屬於第 13 族的元素之事例中，含有屬於第 13 族的元素之絕緣層可被使用作為與氧化物半導體層 603 (a)、603 (b)、603 (c)、603 (d) 相接觸之絕緣層，藉以可改良絕緣層與氧化物半導體層之間的介面狀態。

含屬於週期表的第 13 族之元素和氧的材料之例子包括氧化鎵、氧化鋁、鋁鎵氧化物、及鎵鋁氧化物。鋁鎵氧化物、意指原子比上鋁量大於鎵量之物質，及鎵鋁氧化物意指原子比上鎵量大於或等於鋁量之物質。例如，可使用被表示作 Al_2O_x ($x = 3 + \alpha$ ，其中 α 大於 0 及小於 1)、 Ga_2O_x ($x=3+\alpha$ ，其中 α 大於 0 及小於 1)、或 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ (x 大於 0 及小於 2 而 α 大於 0 及小於 1)。

絕緣層 602 (a)、602 (b)、602 (c)、602 (d) 亦可藉由堆疊可應用到絕緣層 602 (a)、602 (b)、602 (c)、602 (d) 之材料的層來形成。例如，絕緣層 602 (a)、602 (b)、602 (c)、602 (d) 可由含被表示作 Ga_2O_x 之氧化鎵的疊層所形成。另外，絕緣層 602 (a)、602 (b)、602 (c)、602 (d) 可由含被表示作 Ga_2O_x 之氧化鎵的絕緣層及含被表示作 Al_2O_x 之氧化鋁的絕緣層之堆疊所形成。

另外，當電晶體的通道長度為 30 nm 時，氧化物半導

體層 603 (a) 、 603 (b) 、 603 (c) 、 603 (d) 的厚度可以約 5 nm 。在那事例中，藉由使用 CAAC 氧化物半導體層作為氧化物半導體層 603 (a) 、 603 (b) 、 603 (c) 、 603 (d) ，可抑制電晶體的短通道效應。

給予 n 型或 p 型導電性之摻雜劑被添加到區域 604a (c) 、 604b (c) 、 604b (d) 、 604b (d) ，及區域充作電晶體的源極或汲極。作為摻雜劑，例如，可使用週期表中之第 13 族的元素（如、硼）、週期表中之第 15 族的元素（如、氮、磷、及砷）、及稀有氣體元素（如、氦、氬、及氙）的一或更多個。充作電晶體的源極之區域亦被稱作源極區，及充作電晶體的汲極之區域亦被稱作汲極區。因為添加摻雜劑到區域 604a (c) 、 604b (c) 、 604a (d) 、 604b (d) 使得與導電層的接觸電阻降低，所以可使電晶體的尺寸縮減。

導電層 605a (a) 至 605a (d) 充作電晶體的源極和汲極，而導電層 605b (a) 至 605b (d) 充作電晶體的源極和汲極。充作電晶體的源極之層亦被稱作源極電極或源極佈線，而充作電晶體的汲極之層亦被稱作汲極電極或汲極佈線。

作為導電層 605a (a) 、 605a (b) 、 605a (c) 、 605a (d) 、 605b (a) 、 605b (b) 、 605b (c) 、 605b (d) ，例如，可使用一層金屬材料，諸如鋁、鎂、鉻、銅、鈹、鈦、鈳、或鎢等或者含上述金屬材料的任一者作為主要成分之合金材料。例如，導電層 605a (a) 、 605a

(b) 、 605a (c) 、 605a (d) 、 605b (a) 、 605b (b) 、 605b (c) 、 605b (d) 可使用一層含銅、鎂、及鋁之合金材料來形成。導電層 605a (a) 、 605a (b) 、 605a (c) 、 605a (d) 、 605b (a) 、 605b (b) 、 605b (c) 、 605b (d) 亦可藉由堆疊可應用到導電層 605a (a) 、 605a (b) 、 605a (c) 、 605a (d) 、 605b (a) 、 605b (b) 、 605b (c) 、 605b (d) 之材料的層來形成。例如，導電層 605a (a) 、 605a (b) 、 605a (c) 、 605a (d) 、 605b (a) 、 605b (b) 、 605b (c) 、 605b (d) 可藉由堆疊一層含銅、鎂、及鋁的合金材料與含銅的層所形成。

作為導電層 605a (a) 、 605a (b) 、 605a (c) 、 605a (d) 、 605b (a) 、 605b (b) 、 605b (c) 、 605b (d) ，亦可使用含導電金屬氧化物之層。導電金屬氧化物的例子為氧化銦、氧化錫、氧化鋅、銦及錫的氧化物、和銦及鋅的氧化物。可應用到導電層 605a (a) 、 605a (b) 、 605a (c) 、 605a (d) 、 605b (a) 、 605b (b) 、 605b (c) 、 605b (d) 之導電金屬氧化物可含有氧化矽。

作為絕緣層 606 (a) 、 606 (b) ，可使用可用於絕緣層 602 (a) 、 602 (b) 、 602 (c) 、 602 (d) 之一層材料。絕緣層 606 (a) 、 606 (b) 係可由可用於絕緣層 606 (a) 、 606 (b) 之材料的疊層來形成。例如，絕緣層 606 (a) 、 606 (b) 係可由氧化矽、氧化鋁等等來形成。

例如，藉由將氧化鋁層應用到絕緣層 606 (a)、606 (b)，可更加防止雜質（水）進入氧化物半導體層 603 (a)、603 (b)，及可更有效防止氧從氧化物半導體層 603 (a)、603 (b) 排除。

導電層 608 (a)、608 (b) 充作電晶體的閘極。當電晶體包括導電層 601 (a) 及 608 (a) 二者或導電層 601 (b) 及 608 (b) 二者時，導電層 601 (a) 及 608 (a) 的其中之一或導電層 601 (b) 及 608 (b) 的其中之一亦被稱作背閘極、背閘極電極、或背閘極佈線。以此方式，各個充作閘極之複數個導電層可被設置有設置在其間之通道形成層，藉以可更加容易控制電晶體的臨界電壓。

作為導電層 608 (a)、608 (b)，例如可使用可用於導電層 601 (a)、601 (b)、601 (c)、601 (d) 之一層材料。導電層 608 (a)、608 (b) 亦可由可用於導電層 608 (a)、608 (b) 之材料的疊層來形成。

另外，充作通道保護層之絕緣層係可由可用於絕緣層 602 (a)、602 (b)、602 (c)、602 (d) 之材料的疊層來形成。

另外，基極層係可形成在元件形成層 600 (a)、600 (b)、600 (c)、600 (d) 之上，及電晶體係可形成在基極層之上。在那事例中，例如，可使用可用於絕緣層 602 (a)、602 (b)、602 (c)、602 (d) 的一層材料作為基極層。基極層亦可由可用於絕緣層 602 (a)、602 (b)、602 (c)、602 (d) 之材料的疊層來形成。例

如，基極層係可由氧化鋁層和氧化矽層的堆疊來形成，藉以可抑制經由氧化物半導體層 603 (a)、603 (b)、603 (c)、603 (d) 排除基極層中的氧。

另外，與氧化物半導體層 603 (a)、603 (b)、603 (c)、603 (d) 相接觸之絕緣層可被形成含有過量的氧，藉以可更加容易供應氧到氧化物半導體層 603 (a)、603 (b)、603 (c)、603 (d)。因此，可降低氧化物半導體層 603 (a)、603 (b)、603 (c)、603 (d) 中以及絕緣層與氧化物半導體層 603 (a)、603 (b)、603 (c)、603 (d) 之間的介面中之氧不足；如此，可更加減少氧化物半導體層 603 (a)、603 (b)、603 (c)、603 (d) 的載子密度。本發明的一實施例並不侷限於此。在製造處理中可將氧化物半導體層 603 (a)、603 (b)、603 (c)、603 (d) 形成含有過量的氧，同樣在此事例中，可藉由與氧化物半導體層 603 (a)、603 (b)、603 (c)、603 (d) 相接觸之上述絕緣層來抑制從氧化物半導體層 603 (a)、603 (b)、603 (c)、603 (d) 排除氧。

<通道係形成在氧化物半導體層中之電晶體的特性>

在含 In、Sn、及 Zn 作為其主要成分之氧化物半導體被用於通道形成區之電晶體中，可藉由在加熱基板的同時沈積氧化物半導體或者藉由在形成氧化物半導體層之後執行熱處理來提供令人滿意的特性。“主要成分”意指元素以

5 原子百分比或更多包含在組成中。

藉由在形成含 In、Sn、及 Zn 作為其主要成分的氧化物半導體層之後有意地加熱基板，可提高電晶體的場效遷移率。此外，可在正方向上位移電晶體的臨界電壓，以使電晶體正常關。

例如，圖 18A 至 18C 各個圖示包括含 In、Sn、及 Zn 作為其主要成分且具有通道長度 L $3\mu\text{m}$ 及通道寬度 W $10\mu\text{m}$ 的氧化物半導體層，以及具有厚度 100 nm 的閘極絕緣層之電晶體的特性。此處， V_d 被設定在 10 V 。

圖 18A 圖示在未有意地加熱基板之下藉由濺鍍法形成含 In、Sn、及 Zn 作為其主要成分的氧化物半導體層之電晶體的特性。電晶體的場效遷移率為 $18.8\text{ cm}^2/\text{Vsec}$ 。另一方面，當在有意地加熱基板的同時形成含 In、Sn、及 Zn 作為其主要成分的氧化物半導體層時，可提高場效遷移率。圖 18B 圖示在以 200°C 加熱基板的同時形成含 In、Sn、及 Zn 作為其主要成分的氧化物半導體層之電晶體的特性。電晶體的場效遷移率為 $32.2\text{ cm}^2/\text{Vsec}$ 。

藉由在形成含 In、Sn、及 Zn 作為其主要成分的氧化物半導體層之後執行熱處理，可進一步增強場效遷移率。圖 18C 圖示在 200°C 中藉由濺鍍形成含 In、Sn、及 Zn 作為其主要成分的氧化物半導體層，而後經過 650°C 的熱處理之電晶體的特性。電晶體的場效遷移率為 $34.5\text{ cm}^2/\text{Vsec}$ 。

此種基板加熱或熱處理作用，使得對氧化物半導體的

有害雜質之氫和氫氧根未包括在膜中或從膜中移除。也就是說，藉由從氧化物半導體移除充作施體雜質之氫，可高度淨化氧化物半導體，如此使電晶體能夠成為正常關電晶體，及使電晶體的關閉狀態電流能夠被降至 $1 \text{ aA}/\mu\text{m}$ 或更低。此處，每微米的通道寬度說明關閉狀態電流。

圖 19 圖示電晶體的關閉狀態電流與測量中之基板溫度（絕對溫度）的倒數之間的關係。此處，為了簡化，水平軸指示藉由測量中之基板溫度的倒數乘上 1000 所獲得之值（ $1000/T$ ）。

如圖 19 所示，當基板溫度分別為 125°C 及 85°C 時，關閉狀態電流為 $0.1 \text{ aA}/\mu\text{m}$ ($1 \times 10^{-19} \text{ A}/\mu\text{m}$) 或更低及 $10 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-20} \text{ A}/\mu\text{m}$) 或更低。關閉狀態電流的對數與溫度的倒數之間的比例關係建議室溫（ 27°C ）時的關閉狀態電流為 $0.1 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-22} \text{ A}/\mu\text{m}$) 或更低。從上述明顯可見，關閉狀態電流在 125°C 、 85°C 、及室溫時分別可以是 $1 \text{ aA}/\mu\text{m}$ ($1 \times 10^{-18} \text{ A}/\mu\text{m}$) 或更低、 $100 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-19} \text{ A}/\mu\text{m}$) 或更低，及 $1 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-21} \text{ A}/\mu\text{m}$) 或更低。

此實施例所說明之電晶體可被用於實施例 1 或 2 所說明之半導體裝置，藉以半導體裝置可穩定操作。尤其是，藉由使用此實施例所說明之電晶體作為電晶體 102，可降低電晶體 102 的關閉狀態電流；因此，可降低從電容器 101 漏洩的電荷量，如此可降低保持電容器 101 中之偏移電壓的時間頻率。

此實施例可與任何其他實施例等等予以適當組合實

施。

(實施例 6)

在此實施例中，說明配備有上述實施例的任一者所說明之半導體裝置、移位暫存器、顯示裝置等等的電子裝置之例子。

圖 20A 圖示可攜式遊戲操縱台，其包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接端子 9636、記錄媒體讀取部 9672 等等。圖 20A 所示之可攜式遊戲操縱台可具有讀取儲存在記錄媒體中之程式或資料以顯示於顯示部上的功能；藉由與另一可攜式遊戲操縱台無線通訊來共享資料之功能；諸如此類。圖 20A 所示之可攜式遊戲操縱台的功能並不侷限於此，及可提供各種功能。

圖 20B 圖示數位相機，其包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接端子 9636、快門按鈕 9676、影像接收部 9677 等等。圖 20B 中之數位相機可具有拍攝靜止影像及/或移動影像之功能；自動或手動校正所拍攝的影像之功能；從天線偵測各種資料之功能；保持所拍攝的影像或者從天線所偵測的資料之功能；將所拍攝的影像或者從天線所偵測的資料顯示於顯示部上之功能等等。圖 20B 所示之數位相機的功能並不侷限於此，及可提供各種功能。

圖 20C 圖示電視機，其包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接端子 9636 等等。

圖 20C 中的電視機具有將電視的電波轉換成影像訊號之功能；將影像訊號轉換成適合顯示的訊號之功能；轉換影像訊號的圖框頻率之功能等等。圖 20C 所示之電視機的功能並不侷限於此，及可提供各種功能。

圖 20D 圖解電子電腦（個人電腦）用監視器（此監視器亦被稱作 PC 監視器），其包括外殼 9630、顯示部 9631 等等。作為例子，在圖 20D 之監視器中，視窗型顯示部 9653 係設置給顯示部 9631。需注意的是，為了說明，圖 20D 圖解在顯示部 9631 中之視窗型顯示部 9653；可顯示其他符號，諸如圖示或影像等。在個人電腦用監視器中，在許多事例中只在資料輸入時重寫影像訊號，如此應用上述實施例中之驅動顯示裝置的方法較佳。圖 20D 所示之監視器的功能並不侷限於此，及可提供各種功能。

圖 21A 圖解電腦，其包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接端子 9636、定位裝置 9681、外部連接埠 9680 等等。圖 21A 所示之電腦可具有將各種資料（如、靜止影像、移動影像、及正文影像）顯示於顯示部上之功能；藉由各種軟體（程式）來控制處理之功能；諸如無線通訊或有線通訊等通訊功能；藉由使用通訊功能與各種電腦網路連接之功能；藉由使用通訊功能來傳送或接收各種資料之功能；諸如此類。圖 21A 所示之電腦的功能並不侷限於此，及可提供各種功能。

圖 21B 圖解行動電話，其包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、麥克風 9638 等等。圖

21B 所示之行動電話可具有將各種資料（如、靜止影像、移動影像、及正文影像）顯示於顯示部上之功能；將日曆、日期、時間等等顯示於顯示部上之功能；操作或編輯顯示於顯示部上的資料之功能；藉由各種軟體（程式）來控制處理之功能；諸如此類。圖 21B 所示之行動電話的功能並不侷限於此，及可提供各種功能。

圖 21C 圖解電子紙（亦稱作電子書或電子書閱讀器），其包括外殼 9630、顯示部 9631、操作鍵 9632 等等。圖 21C 所示之電子紙具有將各種資料（如、靜止影像、移動影像、及正文影像）顯示於顯示部上之功能；將日曆、日期、時間等等顯示於顯示部上之功能；操作或編輯顯示於顯示部上的資料之功能；藉由各種軟體（程式）來控制處理之功能；諸如此類。圖 21C 所示之電子紙的功能並不侷限於此，及可提供各種功能。圖 21D 圖解另一電子紙。圖 21D 中之電子紙具有添加太陽能電池 9651 和電池 9652 到圖 21C 之電子紙的結構。當反射式顯示裝置被使用作為顯示部 9631 時，電子紙被預期用於比較亮的環境中，在此事例中，圖 21D 的結構較佳，因為太陽能電池 9651 可有效產生電力及電池 9652 可有效充電。需注意的是，在縮減尺寸等等時，使用鋰離子電池作為電池 9652 是有利的。

實施例 1 所說明之半導體裝置、實施例 2 所說明之半導體裝置、實施例 3 所說明之移位暫存器、或實施例 4 所說明之顯示裝置可被應用到此實施例所說明的任一電子裝

置，藉以甚至當其電晶體為空乏型電晶體時，電子裝置仍可操作。

此實施例可與任何其他實施例等等予以適當組合實施。

此申請案係依據日本專利局於 2011、5、13 所發表之日本專利申請案序號 2011-108133，藉以併入其全文做為參考。

【符號說明】

M1：電晶體

M2：電晶體

M3：電晶體

M4：電晶體

VL1：電位

VL2：電位

VH：電位

C1：電容器

IN：訊號

IN1：訊號

IN2：訊號

IN3：訊號

INO：訊號

IN10：訊號

IN20：訊號

SE : 訊號

SP : 訊號

CK : 訊號

CK1 : 訊號

CK2 : 訊號

OUT : 訊號

OUTA : 訊號

OUTB : 訊號

OUT1 : 訊號

OUT2 : 訊號

OUTN : 訊號

N1 : 節點

11 : 佈線

12 : 佈線

13 : 佈線

14 : 佈線

15 : 佈線

16 : 佈線

17 : 佈線

21 : 佈線

22 : 佈線

23 : 佈線

24 : 佈線

25 : 佈線

31_{*i*} : 第 *i* 級佈線

31_(*i*-1) : 第 *i*-1 級佈線

31_(*i*+1) : 第 *i*+1 級佈線

32 : 佈線

33 : 佈線

34 : 佈線

35 : 佈線

36 : 佈線

37 : 佈線

38 : 佈線

100 : 電路

100A : 電路

100B : 電路

101 : 電容器

101A : 電容器

101B : 電容器

102 : 電晶體

102A : 電晶體

102B : 電晶體

110 : 電路

111 : 電晶體

112 : 電晶體

113 : 電晶體

114 : 電晶體

- 115 : 電晶體
- 116 : 電晶體
- 120 : 電路
- 121 : 電晶體
- 122 : 電晶體
- 123 : 電晶體
- 124 : 電晶體
- 125 : 電晶體
- 126 : 電晶體
- 200 : 正反器電路
- 200_1 : 正反器電路
- 200_2 : 正反器電路
- 200_3 : 正反器電路
- 4001 : 第一基板
- 4002 : 像素部
- 4003 : 訊號線驅動器電路
- 4004 : 掃描線驅動器電路
- 4005 : 密封劑
- 4006 : 第二基板
- 4018 : 撓性印刷電路
- 4018a : 撓性印刷電路
- 4018b : 撓性印刷電路
- 600 (a) : 元件形成層
- 601 (a) : 導電層

- 602 (a) : 絕緣層
- 603 (a) : 氧化物半導體層
- 605a (a) : 導電層
- 605b (a) : 導電層
- 606 (a) : 絕緣層
- 608 (a) : 導電層
- 600 (b) : 元件形成層
- 601 (b) : 導電層
- 602 (b) : 絕緣層
- 603 (b) : 氧化物半導體層
- 605a (b) : 導電層
- 605b (b) : 導電層
- 606 (b) : 絕緣層
- 608 (b) : 導電層
- 600 (c) : 元件形成層
- 601 (c) : 導電層
- 602 (c) : 絕緣層
- 603 (c) : 氧化物半導體層
- 604a (c) : 區域
- 604b (c) : 區域
- 605a (c) : 導電層
- 605b (c) : 導電層
- 600 (d) : 元件形成層
- 601 (d) : 導電層

- 602 (d) : 絕緣層
- 603 (d) : 氧化物半導體層
- 604a (d) : 區域
- 604b (d) : 區域
- 605a (d) : 導電層
- 605b (d) : 導電層
- 9630 : 外殼
- 9631 : 顯示部
- 9633 : 揚聲器
- 9635 : 操作鍵
- 9636 : 連接端子
- 9638 : 麥克風
- 9651 : 太陽能電池
- 9652 : 電池
- 9653 : 視窗型顯示部
- 9672 : 記錄媒體讀取部
- 9676 : 快門按鈕
- 9677 : 影像接收部
- 9680 : 外部連接埠
- 9681 : 定位裝置

申請專利範圍

1. 一種半導體裝置，包括：

移位暫存器，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；以及

電容器，

其中該第一電晶體的源極及汲極中的一者直接連接到第一佈線，

該第一電晶體的該源極及該汲極中的另一者直接連接到第二佈線，

該第二電晶體的源極及汲極中的一者直接連接到第三佈線，

該第二電晶體的該源極及該汲極中的另一者直接連接到該第二佈線，

該第二電晶體的閘極直接連接到第四佈線，

該第三電晶體的源極及汲極中的一者直接連接到第五佈線，

該第三電晶體的該源極及該汲極中的另一者直接連接到該第一電晶體的閘極，

該第四電晶體的源極及汲極中的一者直接連接到該第三佈線，

該第四電晶體的該源極及該汲極中的另一者直接連接到該第一電晶體的該閘極，

該第四電晶體的閘極直接連接到該第四佈線，

該第五電晶體的源極及汲極中的一者直接連接到第六佈線，

該第五電晶體的該源極及該汲極中的另一者直接連接到該第三電晶體的閘極，

該電容器的第一電極直接連接到該第五佈線，

該電容器的第二電極直接連接到該第三電晶體的該閘極，

時脈訊號輸入到該第五佈線，以及

該移位暫存器輸出第一輸出訊號到該第二佈線以及第二輸出訊號到該第四佈線。

2.一種半導體裝置，包括：

移位暫存器，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；以及

電容器，

其中該第一電晶體的源極及汲極中的一者直接連接到第一佈線，

該第一電晶體的該源極及該汲極中的另一者直接連接到第二佈線，

該第二電晶體的源極及汲極中的一者直接連接到第三佈線，

該第二電晶體的該源極及該汲極中的另一者直接連接到該第二佈線，

該第二電晶體的閘極直接連接到第四佈線，

該第三電晶體的源極及汲極中的一者直接連接到第五佈線，

該第三電晶體的該源極及該汲極中的另一者直接連接到該第一電晶體的閘極，

該第四電晶體的源極及汲極中的一者直接連接到該第三佈線，

該第四電晶體的該源極及該汲極中的另一者直接連接到該第一電晶體的該閘極，

該第四電晶體的閘極直接連接到該第四佈線，

該第五電晶體的源極及汲極中的一者直接連接到第六佈線，

該第五電晶體的該源極及該汲極中的另一者直接連接到該第三電晶體的閘極，

該第六電晶體的源極及汲極中的一者直接連接到該第一佈線，

該第六電晶體的該源極及該汲極中的另一者直接連接到第七佈線，

該第六電晶體的閘極直接連接到該第一電晶體的該閘極，

該電容器的第一電極直接連接到該第五佈線，

該電容器的第二電極直接連接到該第三電晶體的該閘極，

時脈訊號輸入到該第一佈線，以及

該移位暫存器輸出第一輸出訊號到該第二佈線以及第二輸出訊號到該第四佈線。

3. 一種半導體裝置，包括：

移位暫存器，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；以及

電容器，

其中該第一電晶體的源極及汲極中的一者直接連接到第一佈線，

該第一電晶體的該源極及該汲極中的另一者直接連接到第二佈線，

該第二電晶體的源極及汲極中的一者直接連接到第三佈線，

該第二電晶體的該源極及該汲極中的另一者直接連接到該第二佈線，

該第二電晶體的閘極直接連接到第四佈線，

該第三電晶體的源極及汲極中的一者直接連接到第五佈線，

該第三電晶體的該源極及該汲極中的另一者直接連接到該第一電晶體的閘極，

該第四電晶體的源極及汲極中的一者直接連接到該第三佈線，

該第四電晶體的該源極及該汲極中的另一者直接連接到該第一電晶體的該閘極，

該第四電晶體的閘極直接連接到該第四佈線，

該第五電晶體的源極及汲極中的一者直接連接到第六佈線，

該第五電晶體的該源極及該汲極中的另一者直接連接到該第三電晶體的閘極，

該電容器的第一電極直接連接到該第五佈線，

該電容器的第二電極直接連接到該第三電晶體的該閘極，

該第一電晶體的通道寬度大於該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體之每一者的通道寬度，以及

該移位暫存器輸出第一輸出訊號到該第二佈線以及第二輸出訊號到該第四佈線。

4. 一種半導體裝置，包括：

移位暫存器，包括：

第一電晶體；
第二電晶體；
第三電晶體；
第四電晶體；
第五電晶體；以及
電容器，

其中該第一電晶體的源極及汲極中的一者直接連接到第一佈線，

該第一電晶體的該源極及該汲極中的另一者直接連接到第二佈線，

該第二電晶體的源極及汲極中的一者直接連接到第三佈線，

該第二電晶體的該源極及該汲極中的另一者直接連接到該第二佈線，

該第二電晶體的閘極直接連接到第四佈線，

該第三電晶體的源極及汲極中的一者直接連接到第五佈線，

該第三電晶體的該源極及該汲極中的另一者直接連接到該第一電晶體的閘極，

該第四電晶體的源極及汲極中的一者直接連接到該第三佈線，

該第四電晶體的該源極及該汲極中的另一者直接連接到該第一電晶體的該閘極，

該第四電晶體的閘極直接連接到該第四佈線，

該第五電晶體的源極及汲極中的一者直接連接到第六佈線，

該第五電晶體的該源極及該汲極中的另一者直接連接到該第三電晶體的閘極，

該電容器的第一電極直接連接到該第五佈線，

該電容器的第二電極直接連接到該第三電晶體的該閘極，

該第一電晶體的通道寬度大於該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體之每一者的通道寬度，

時脈訊號輸入到該第一佈線，以及

該移位暫存器輸出第一輸出訊號到該第二佈線以及第二輸出訊號到該第四佈線。

圖式

圖 1A

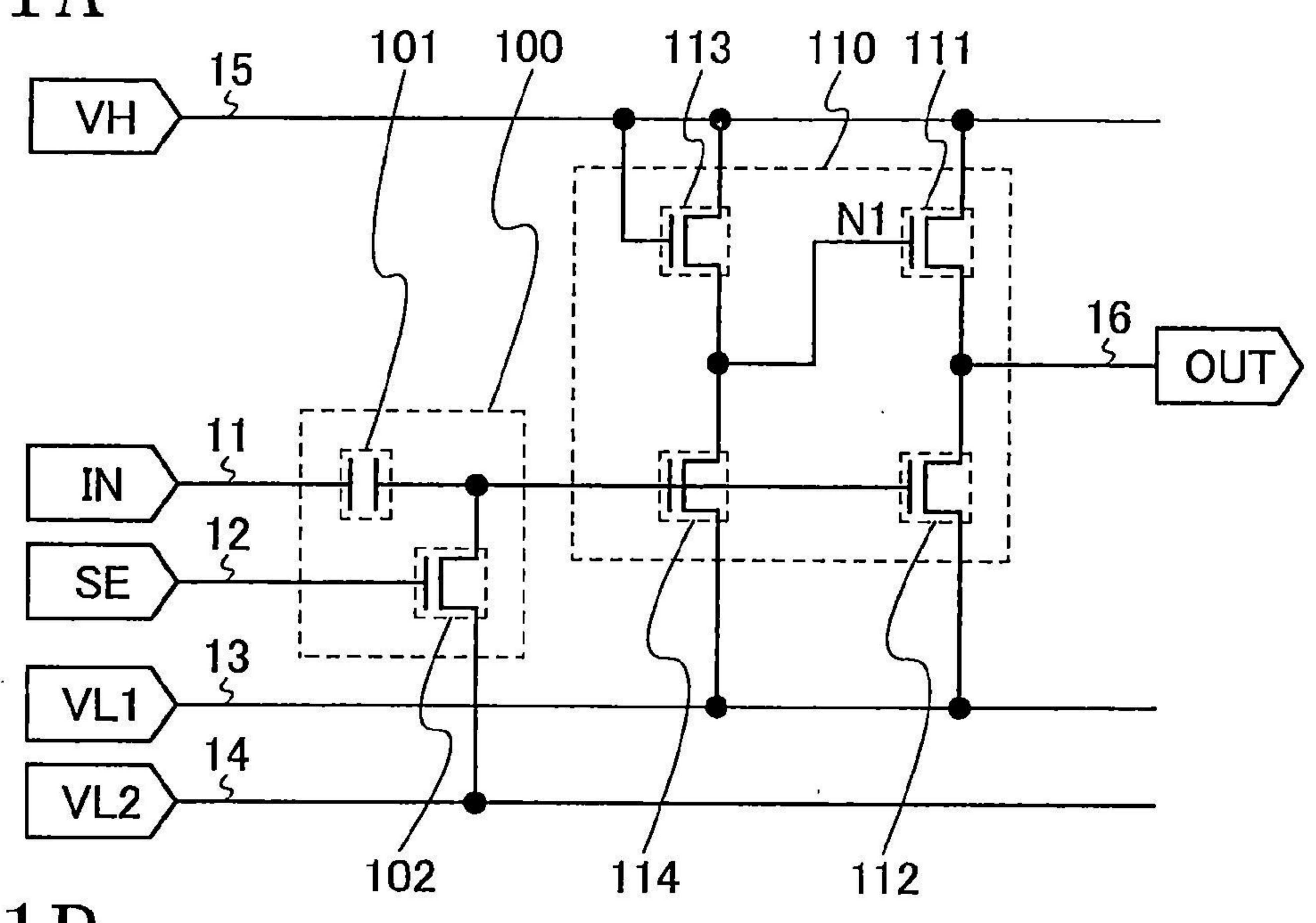


圖 1B

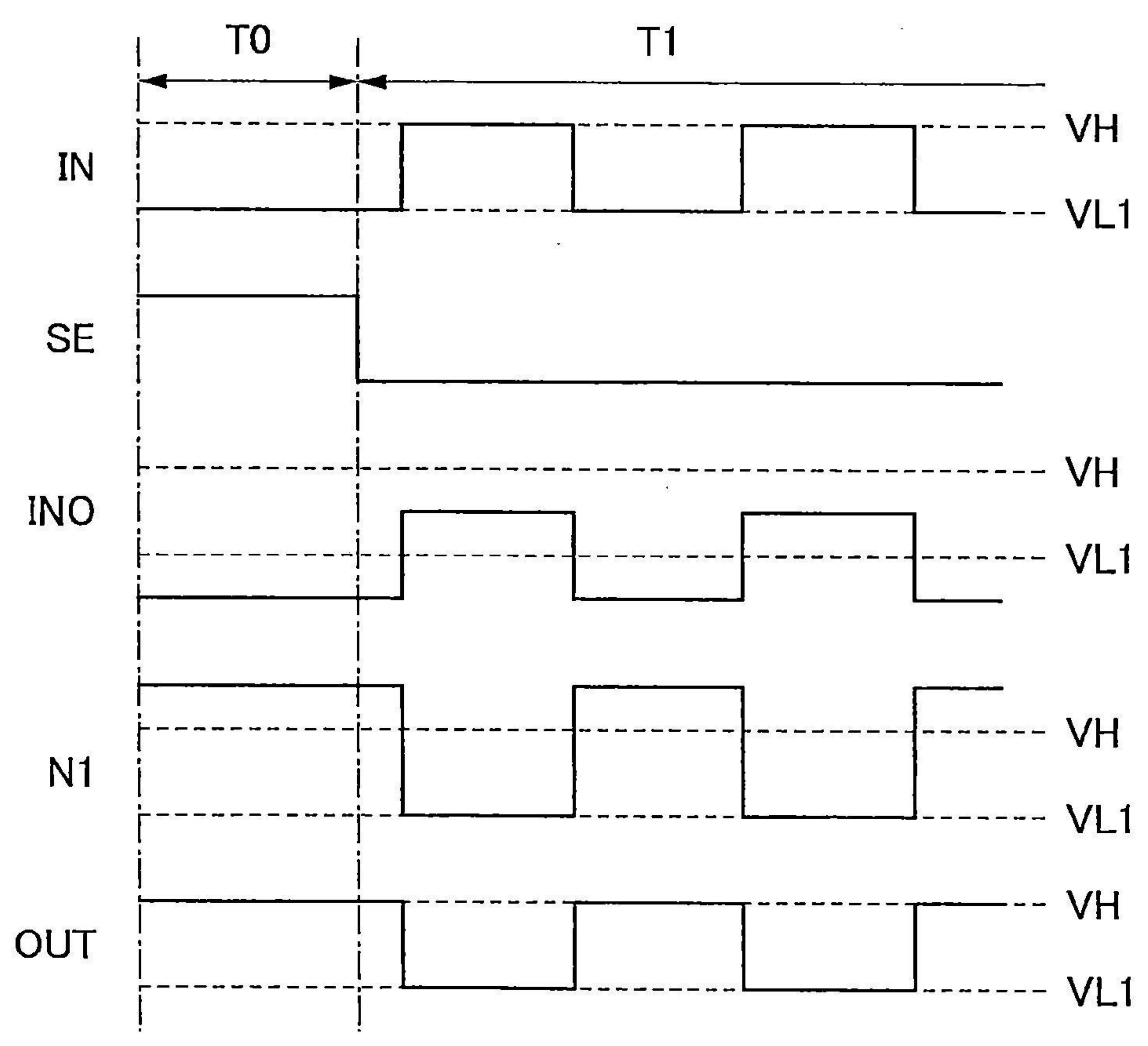


圖 2A

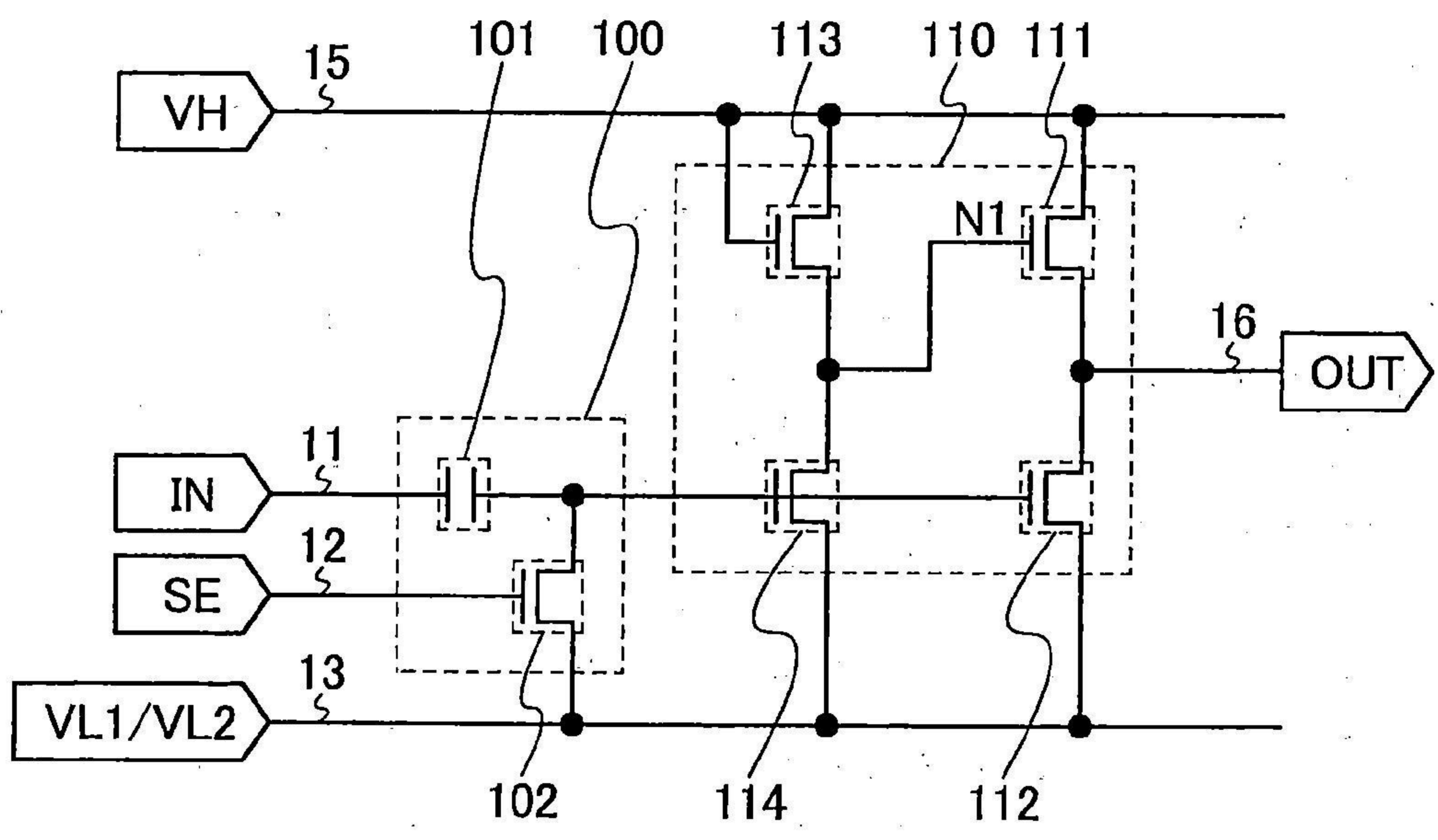


圖 2B

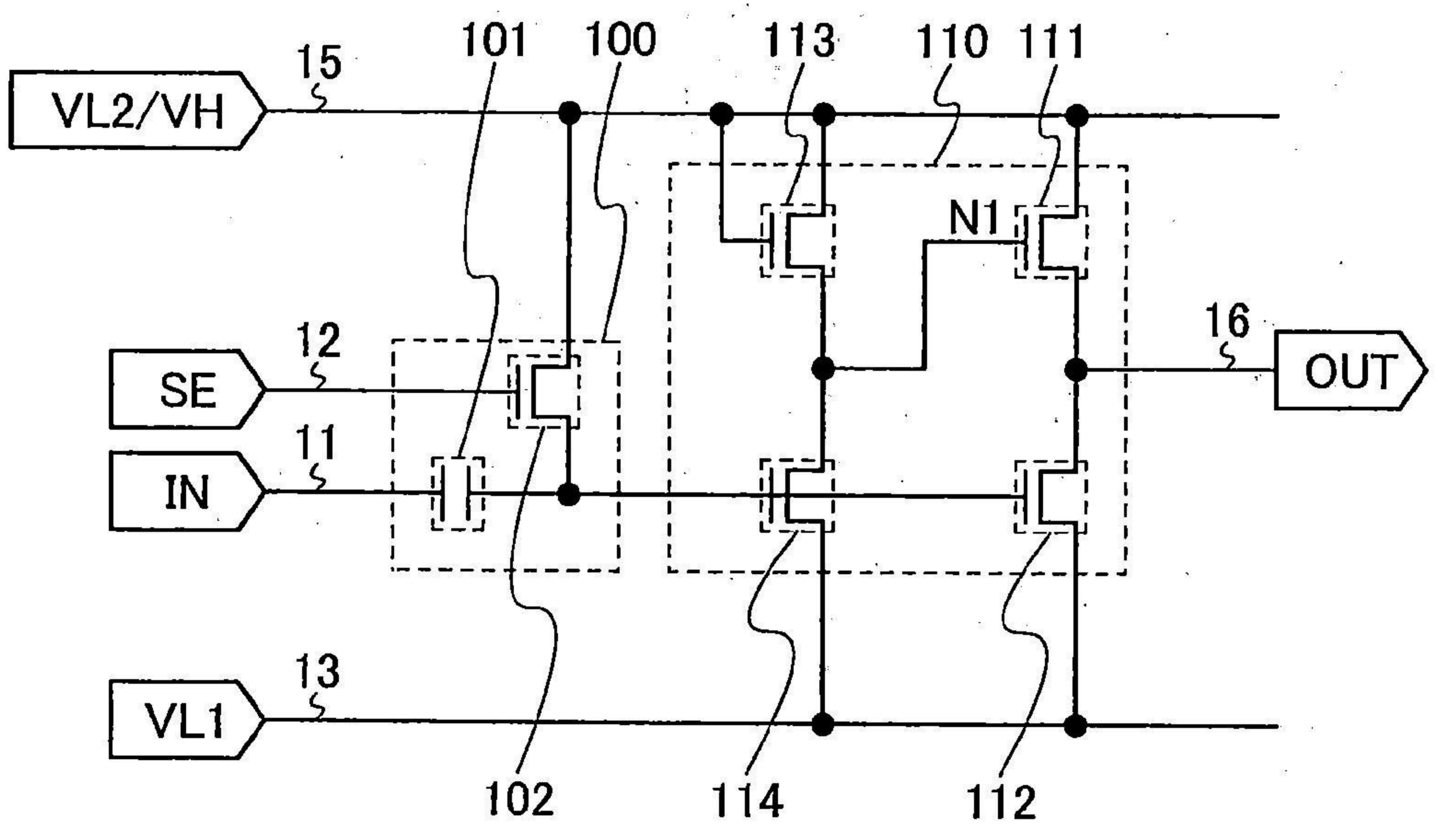


圖 3A

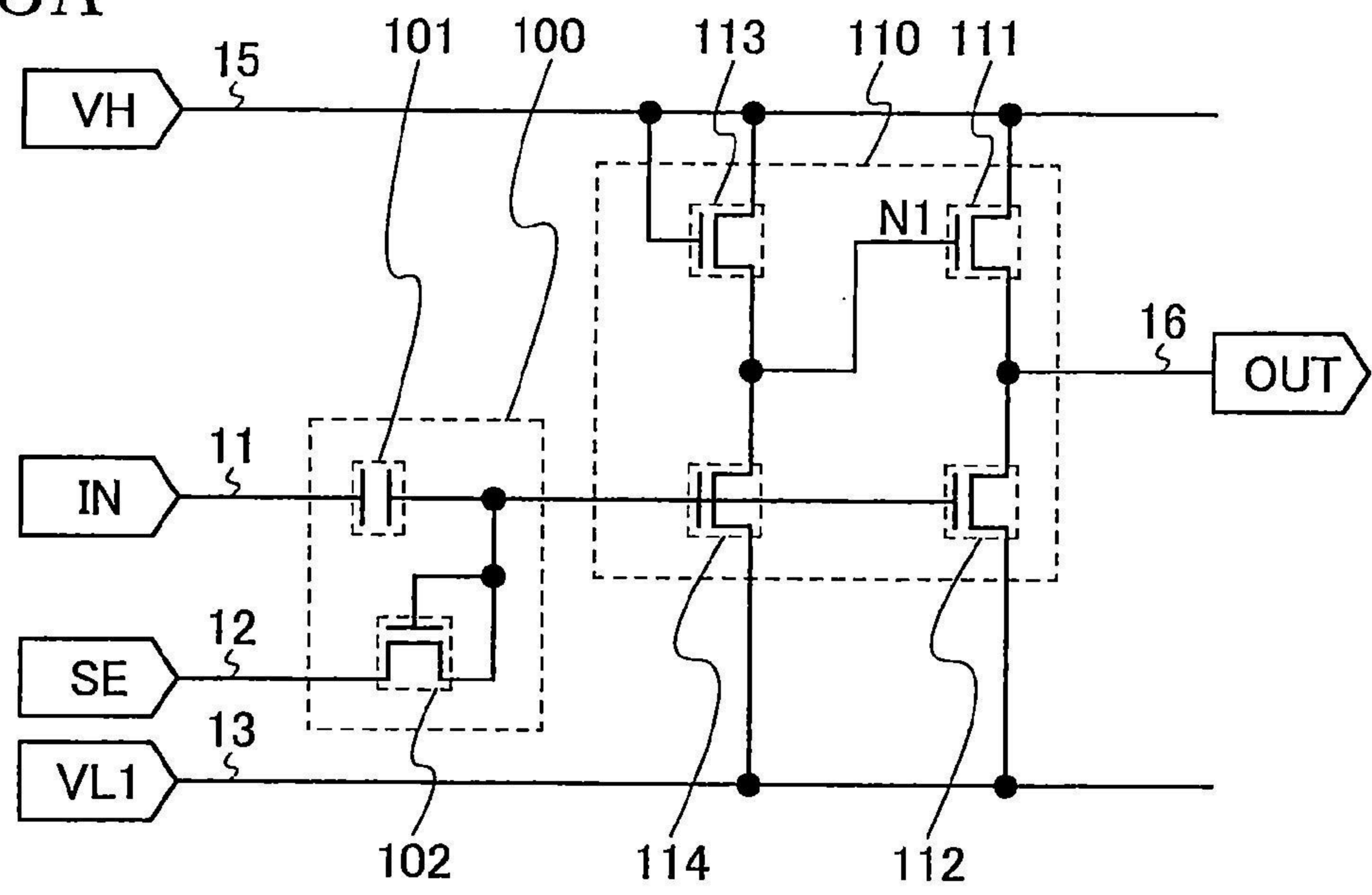


圖 3B

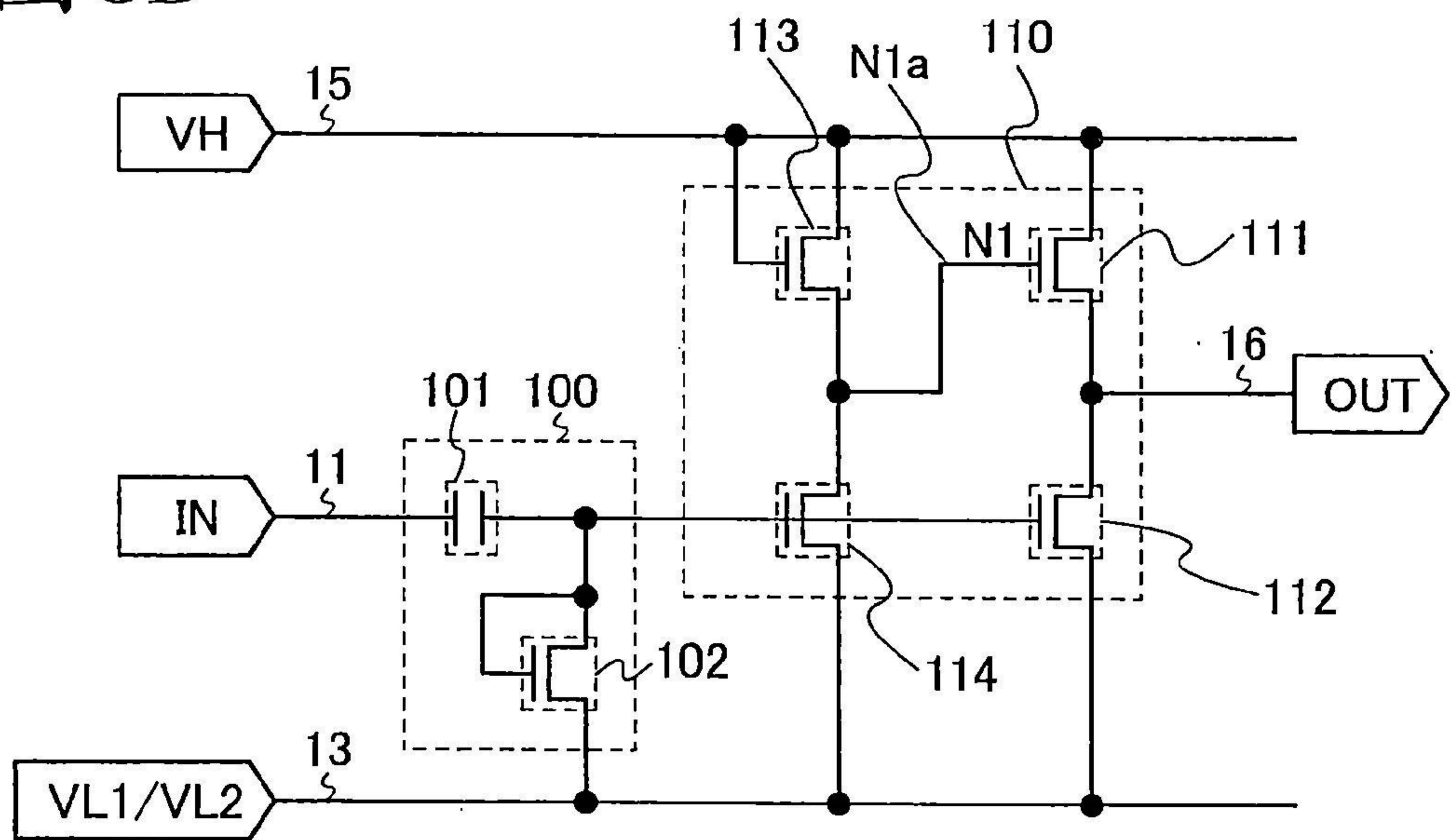


圖 4A

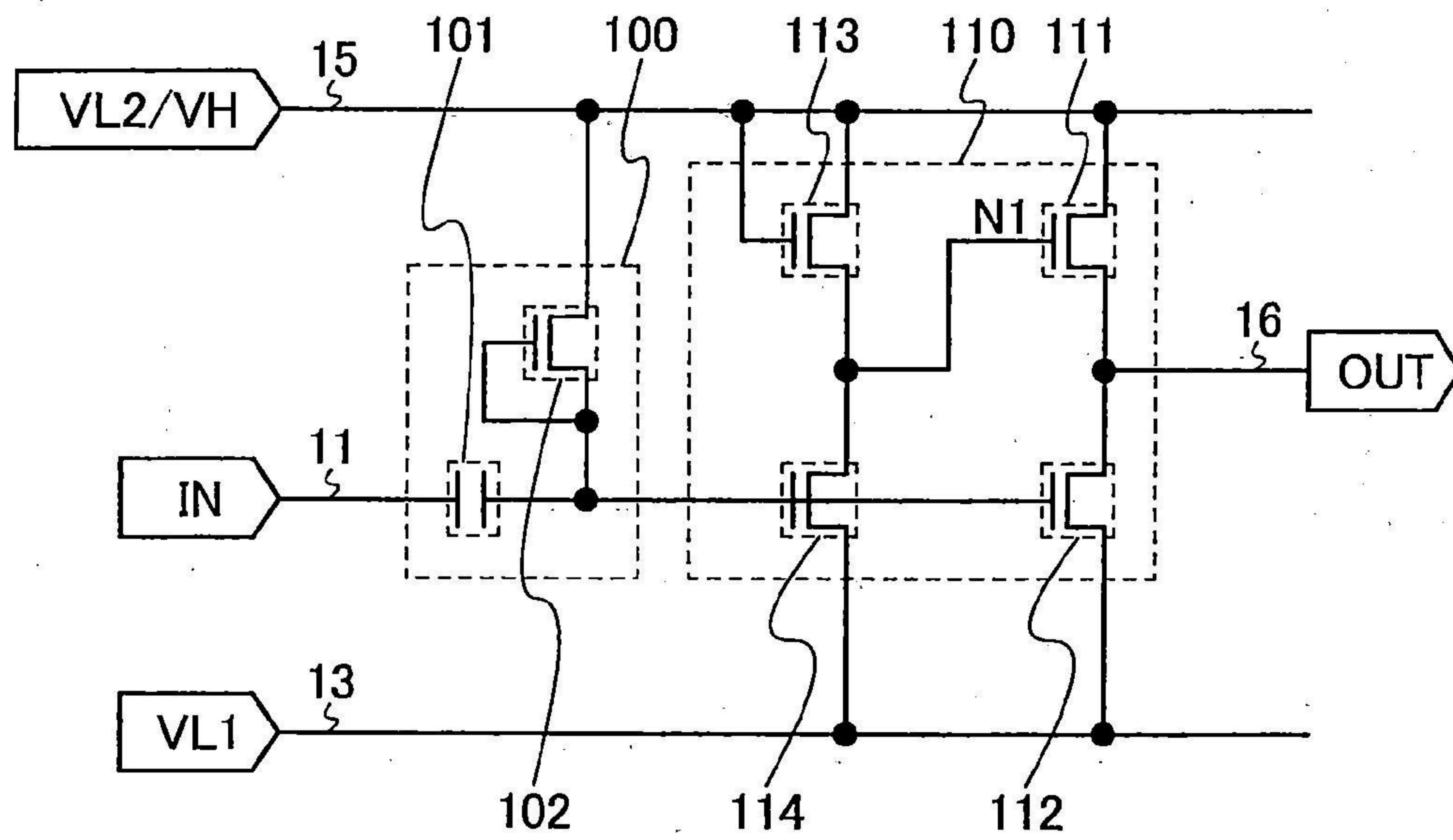


圖 4B

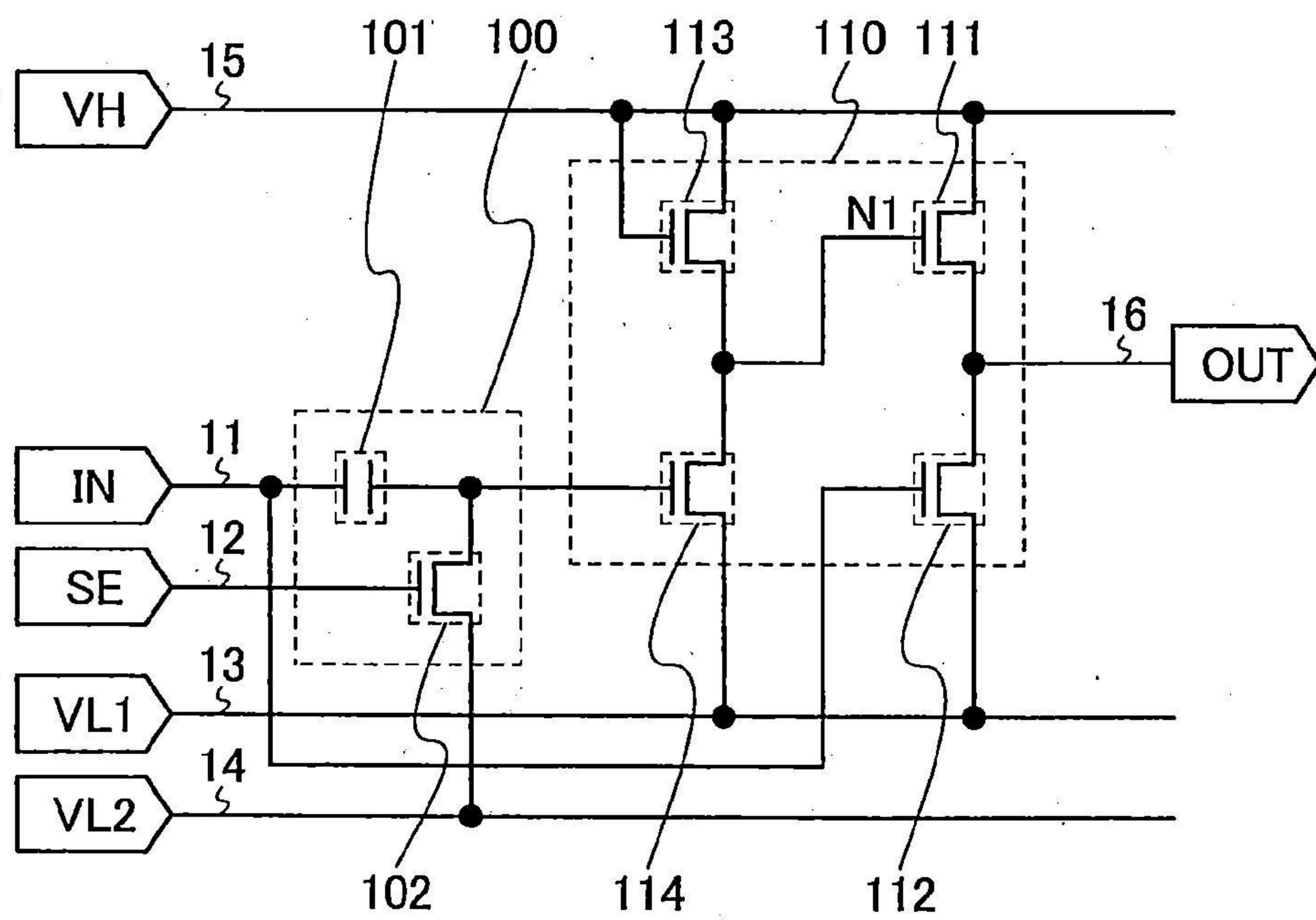


圖 5A

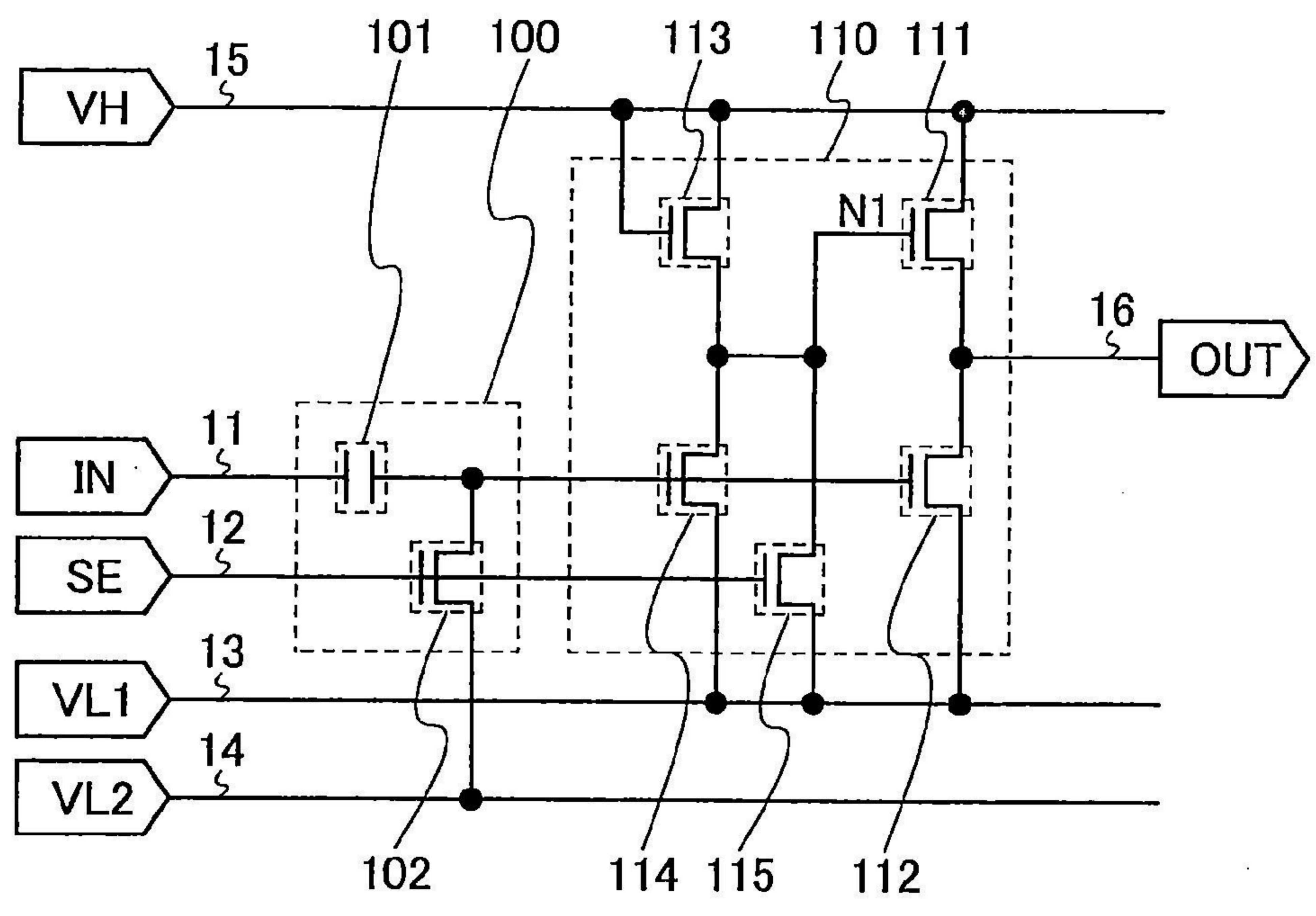


圖 5B

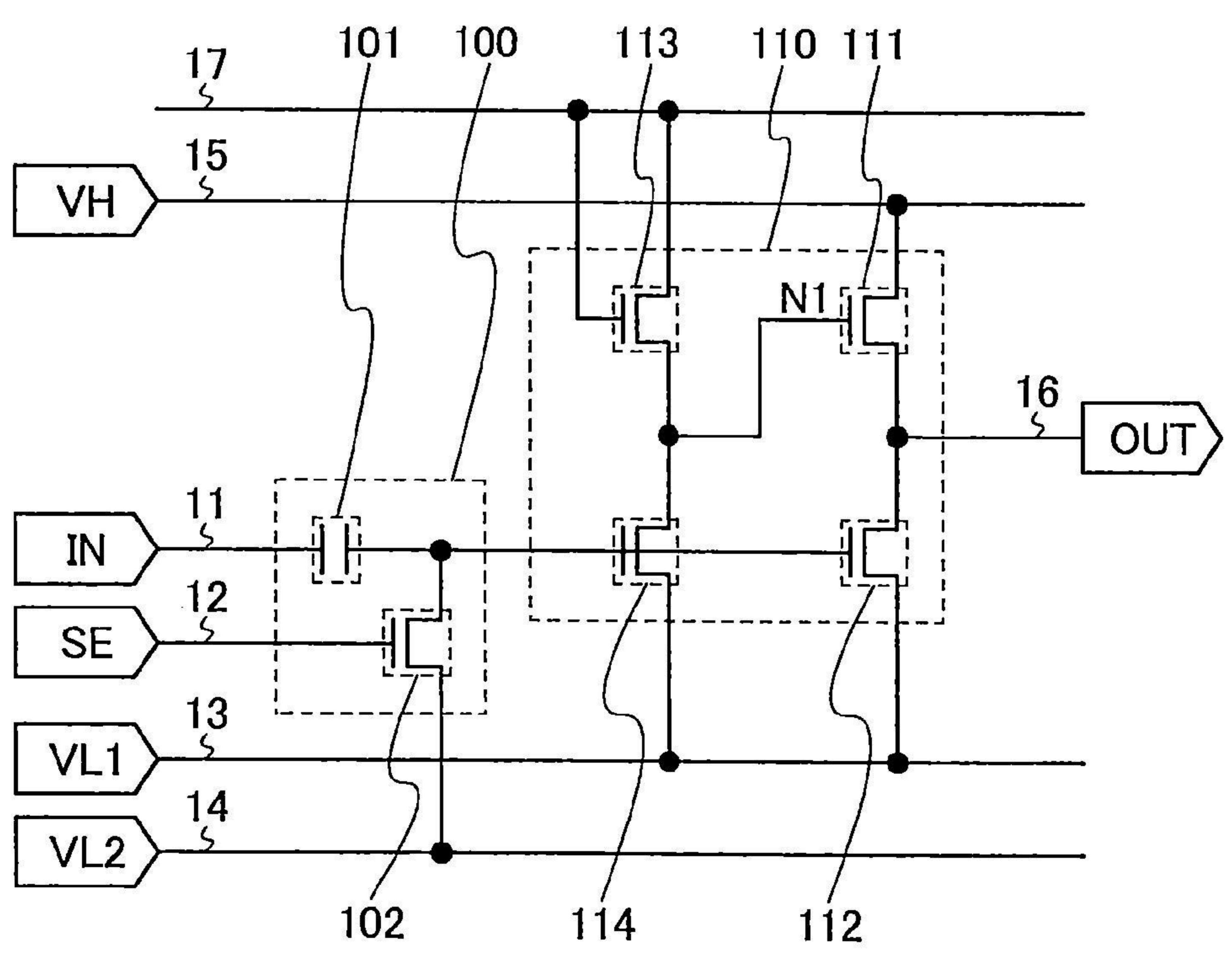


圖 6A

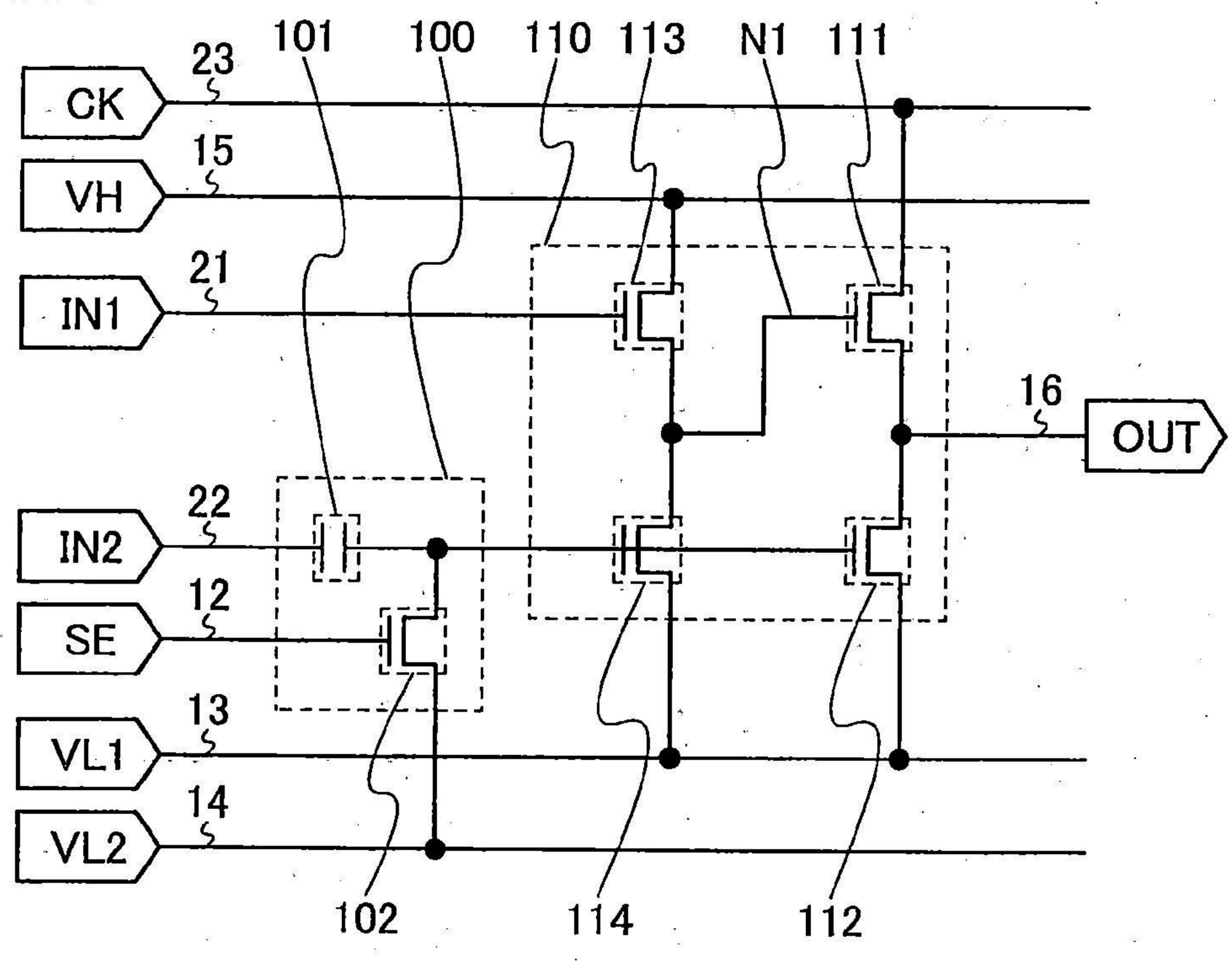


圖 6B

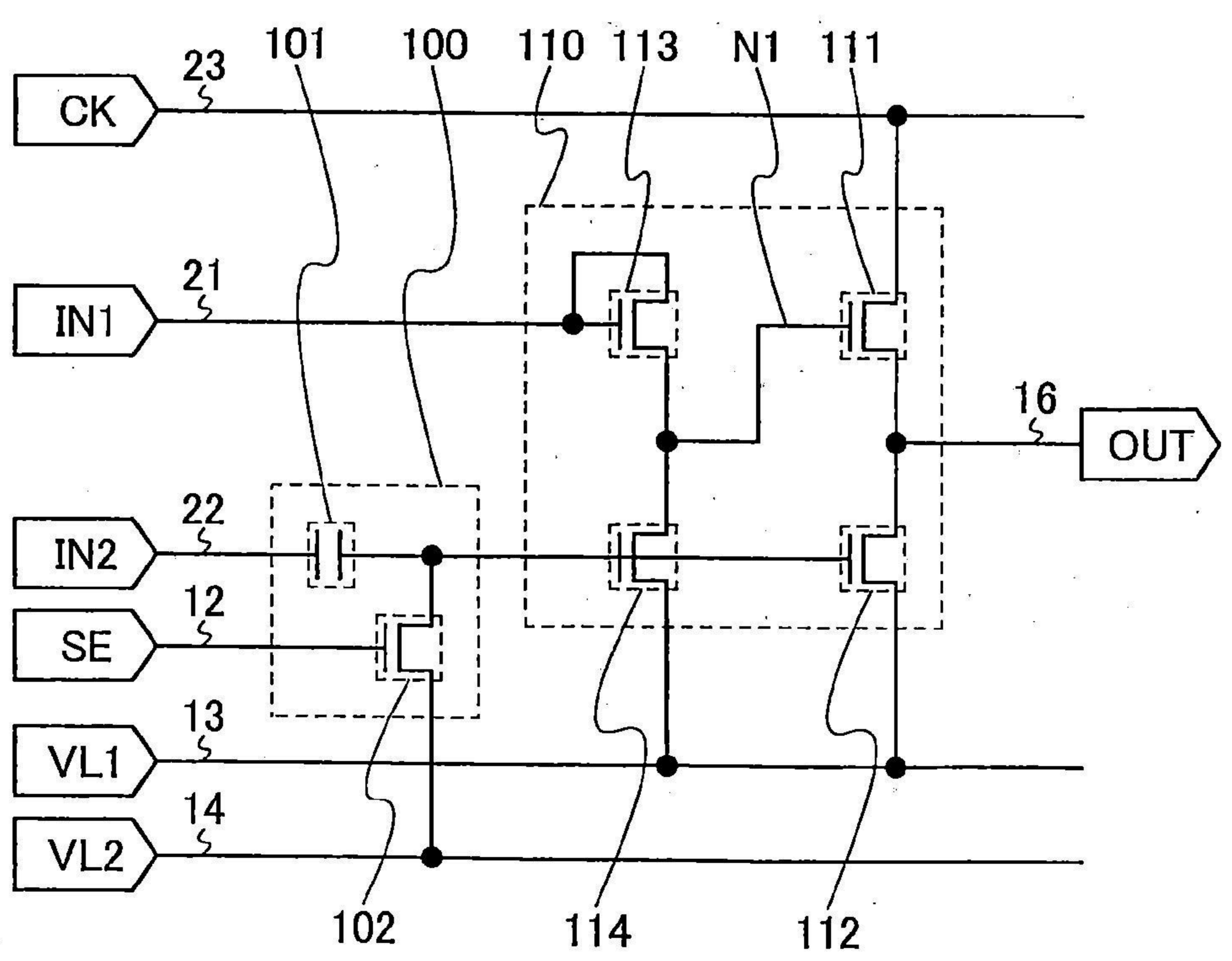


圖 7

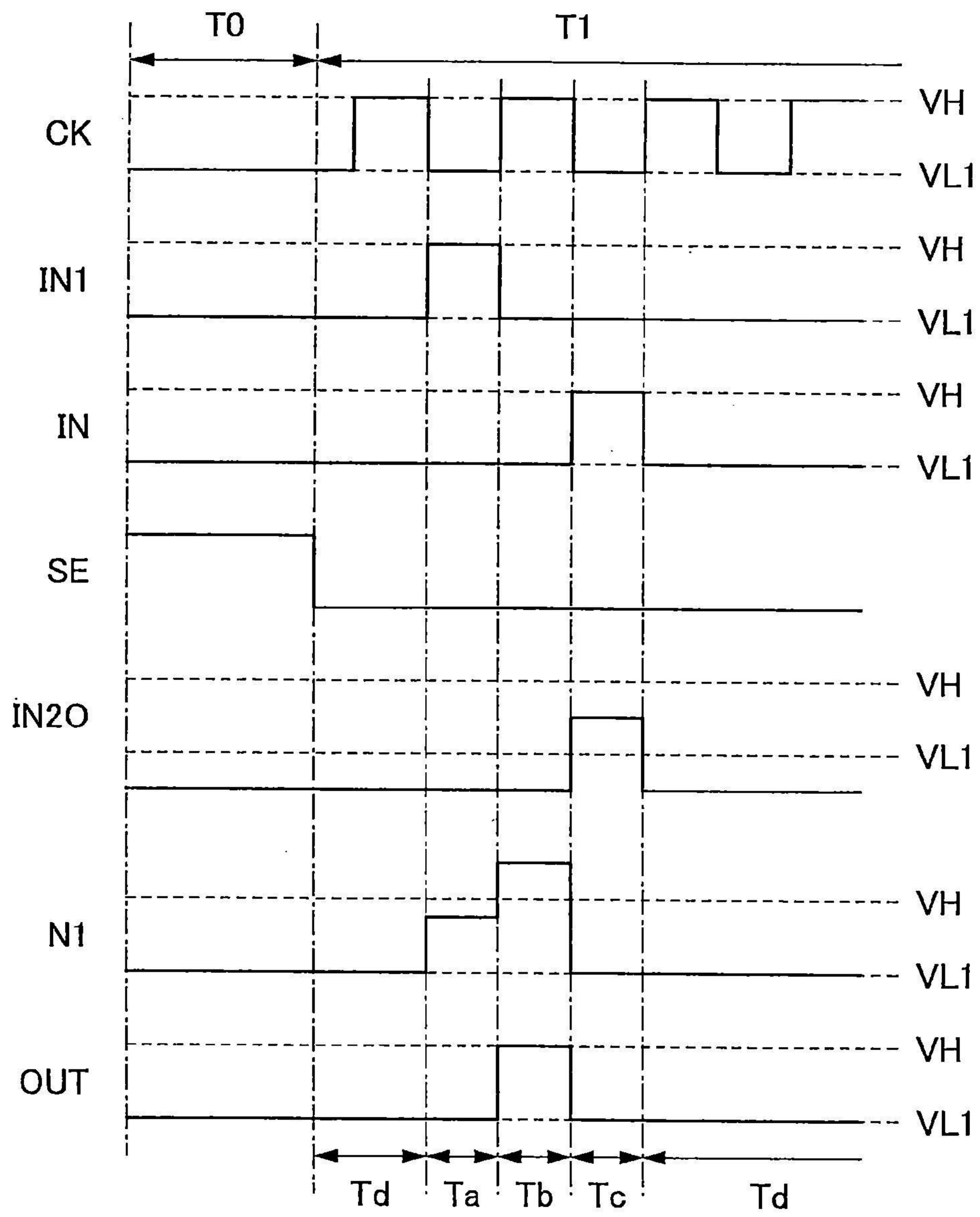


圖 8A

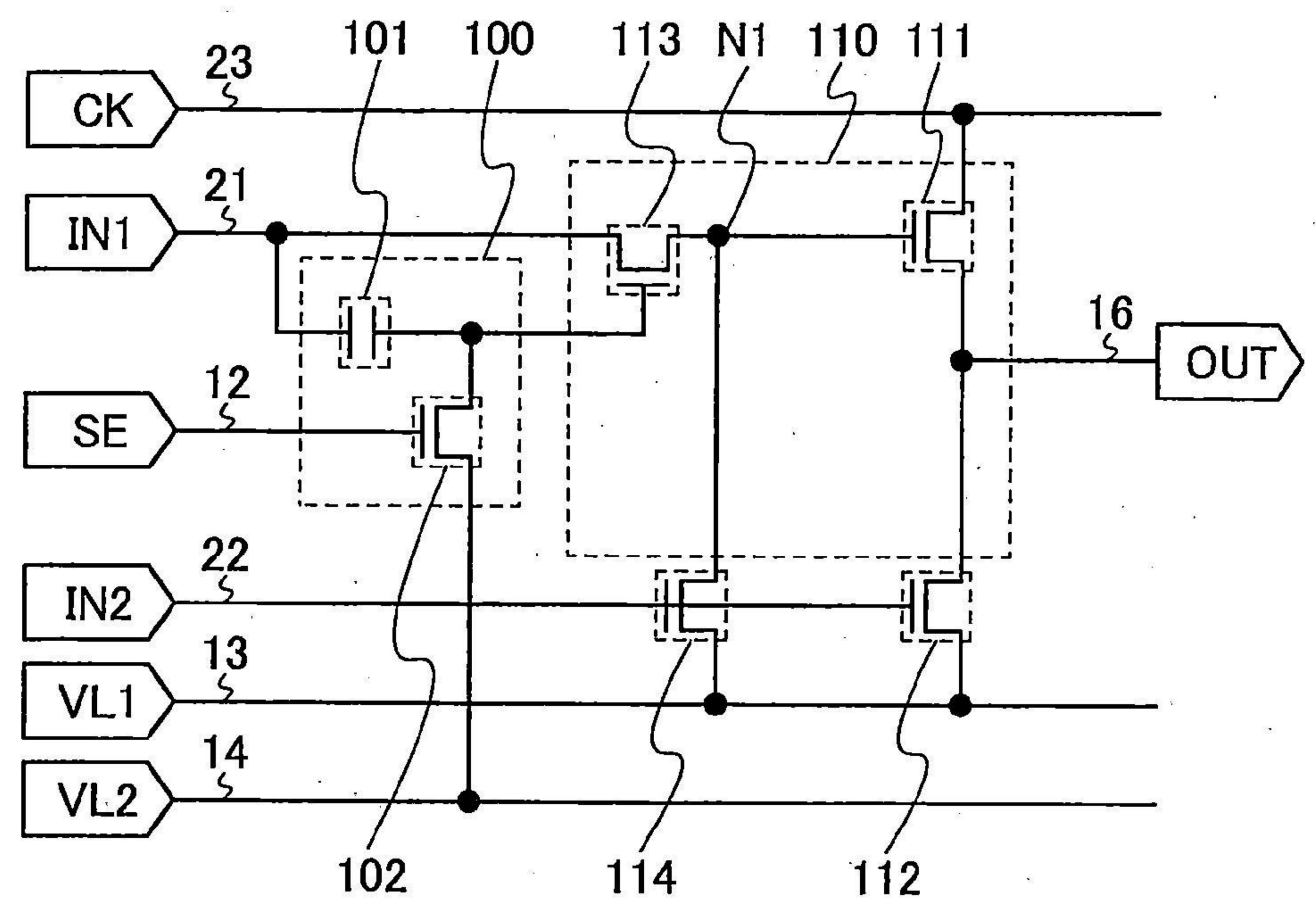


圖 8B

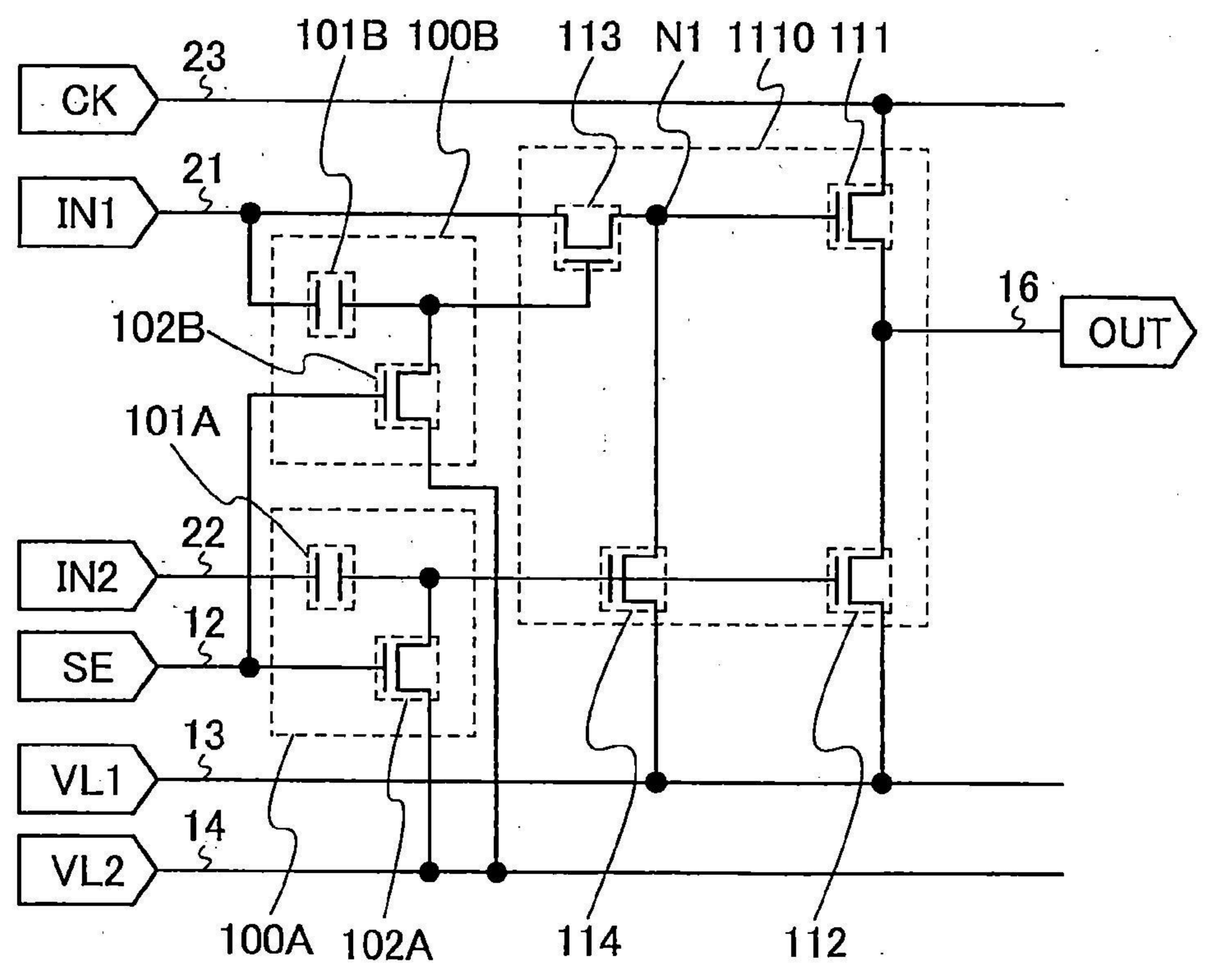


圖 9A

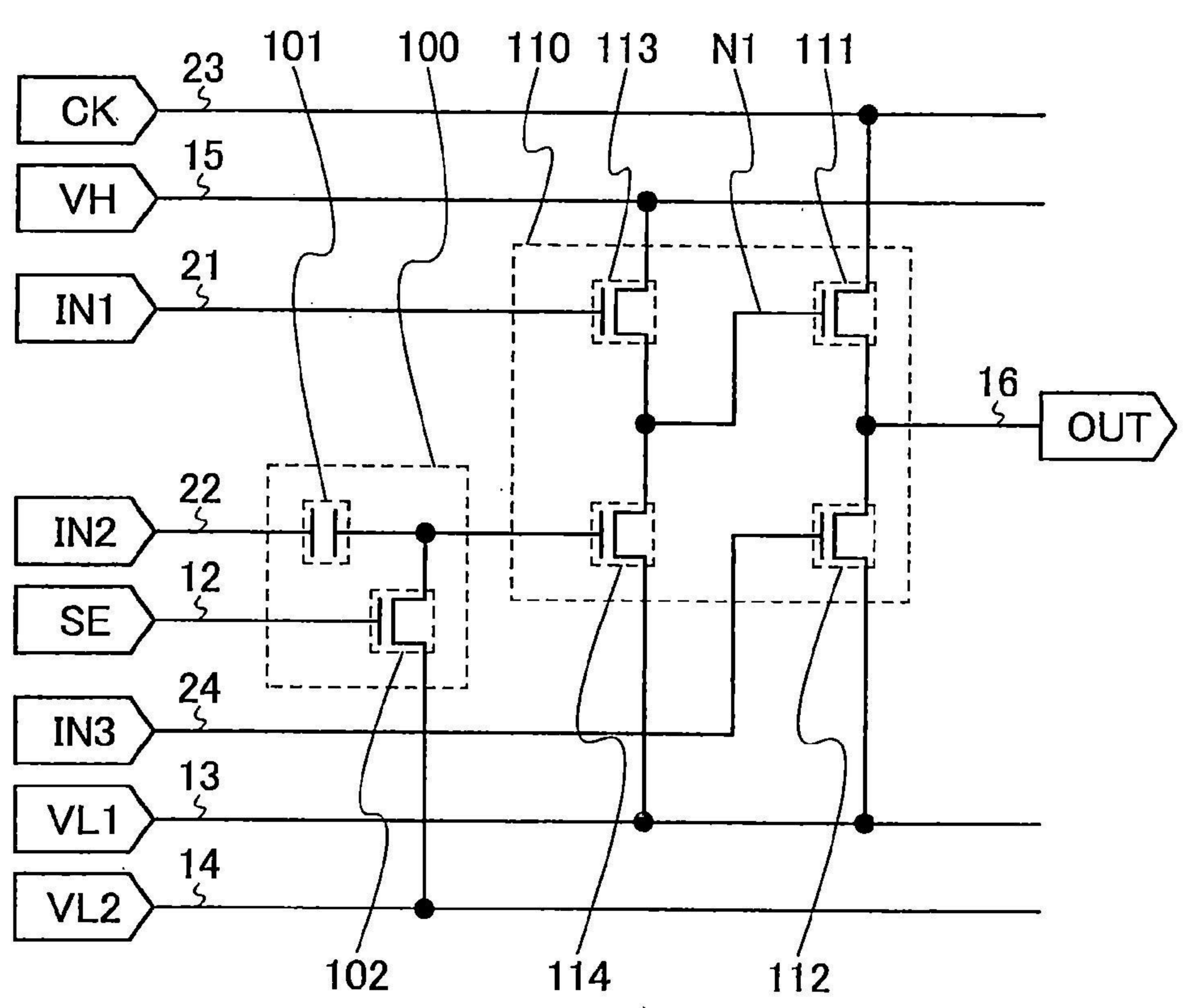


圖 9B

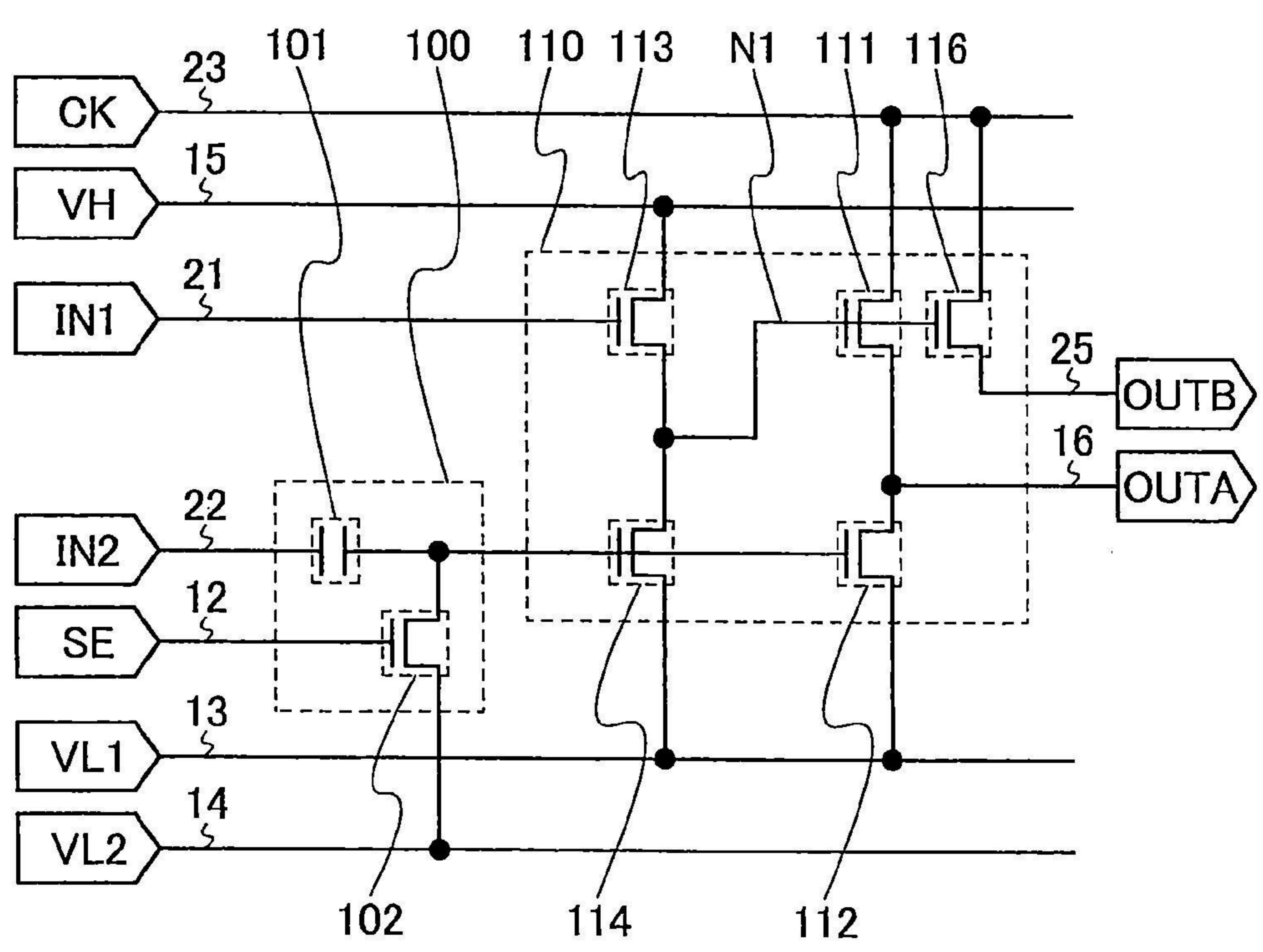


圖 10A

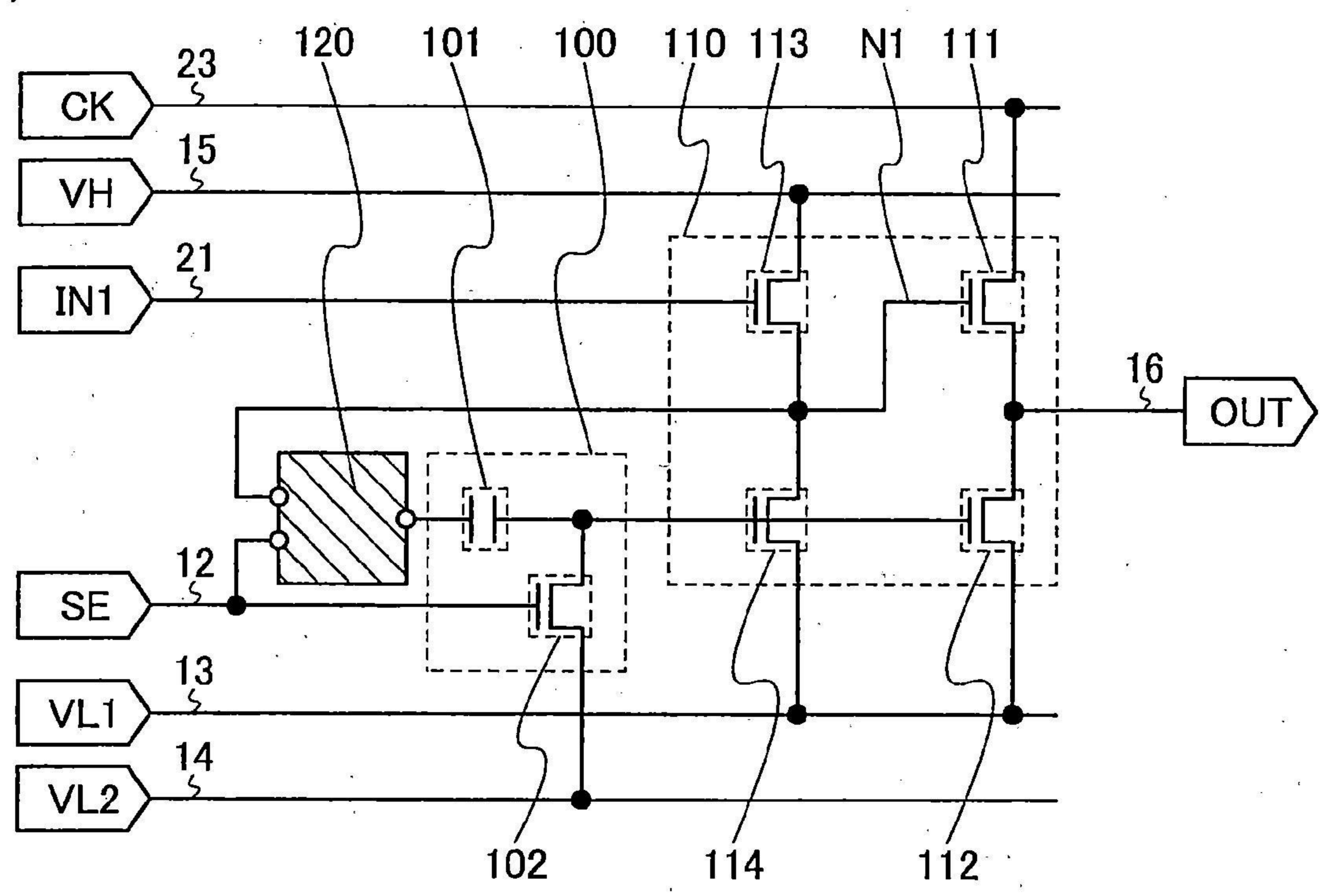


圖 10B

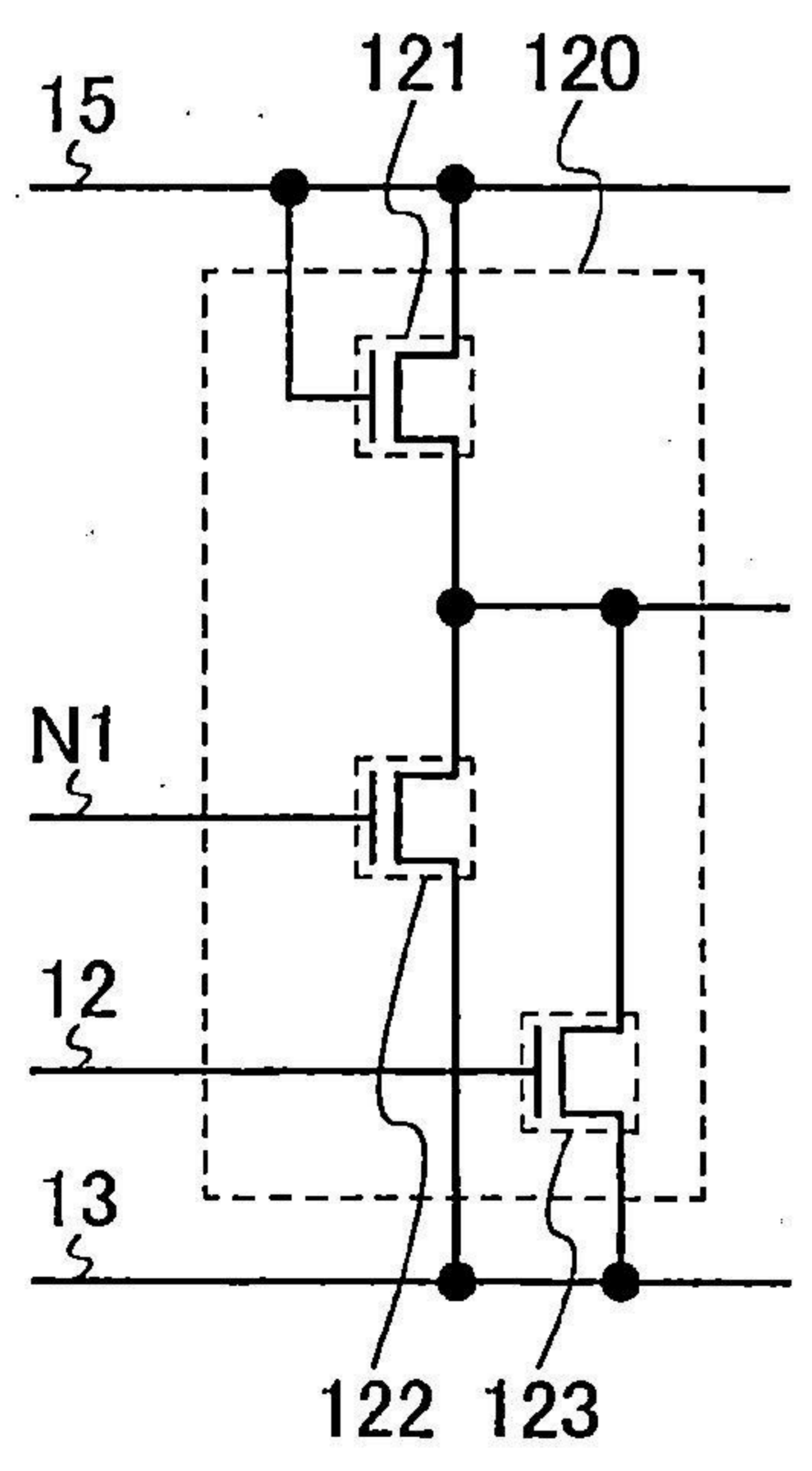


圖 10C

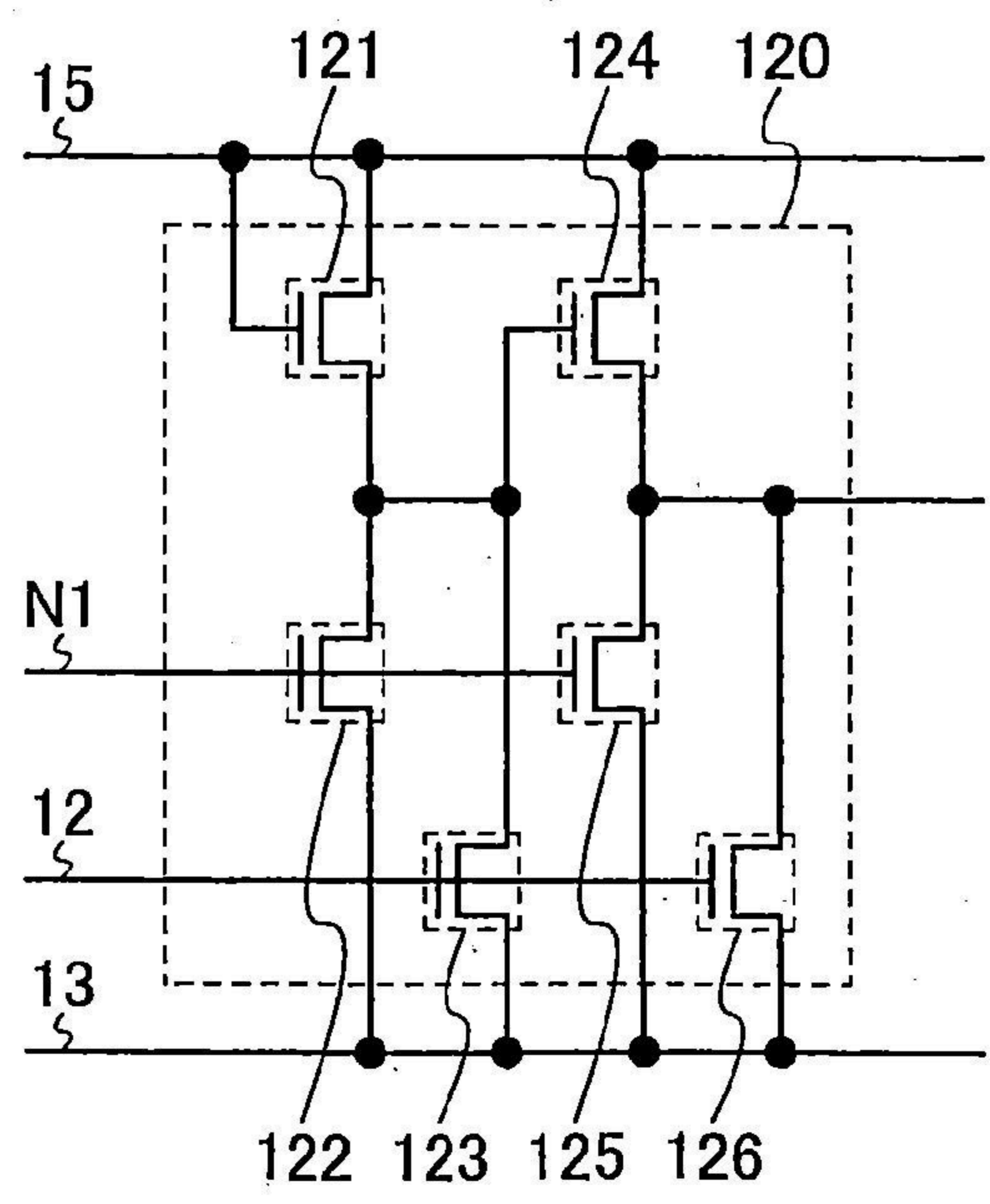


圖 11

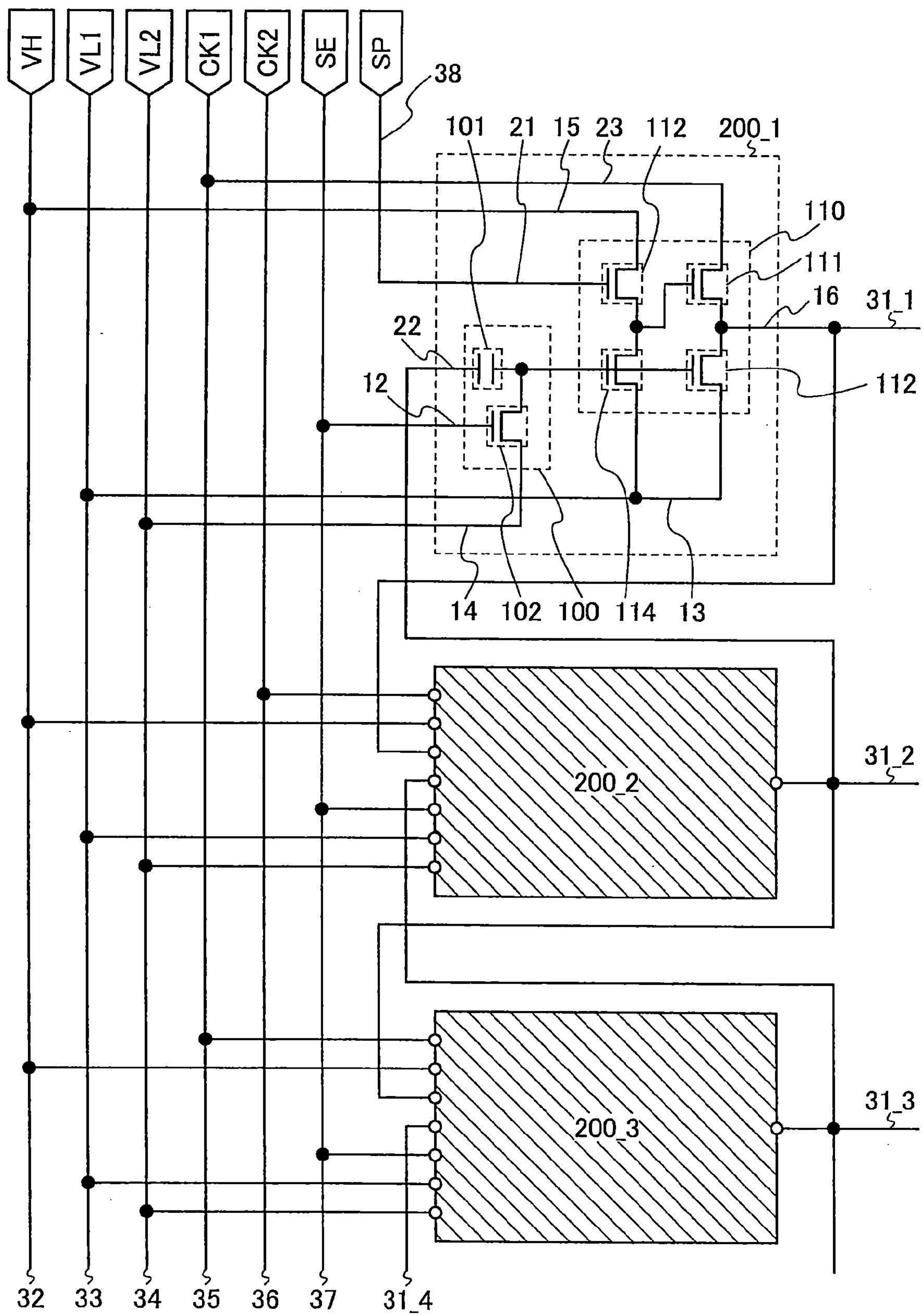


圖12

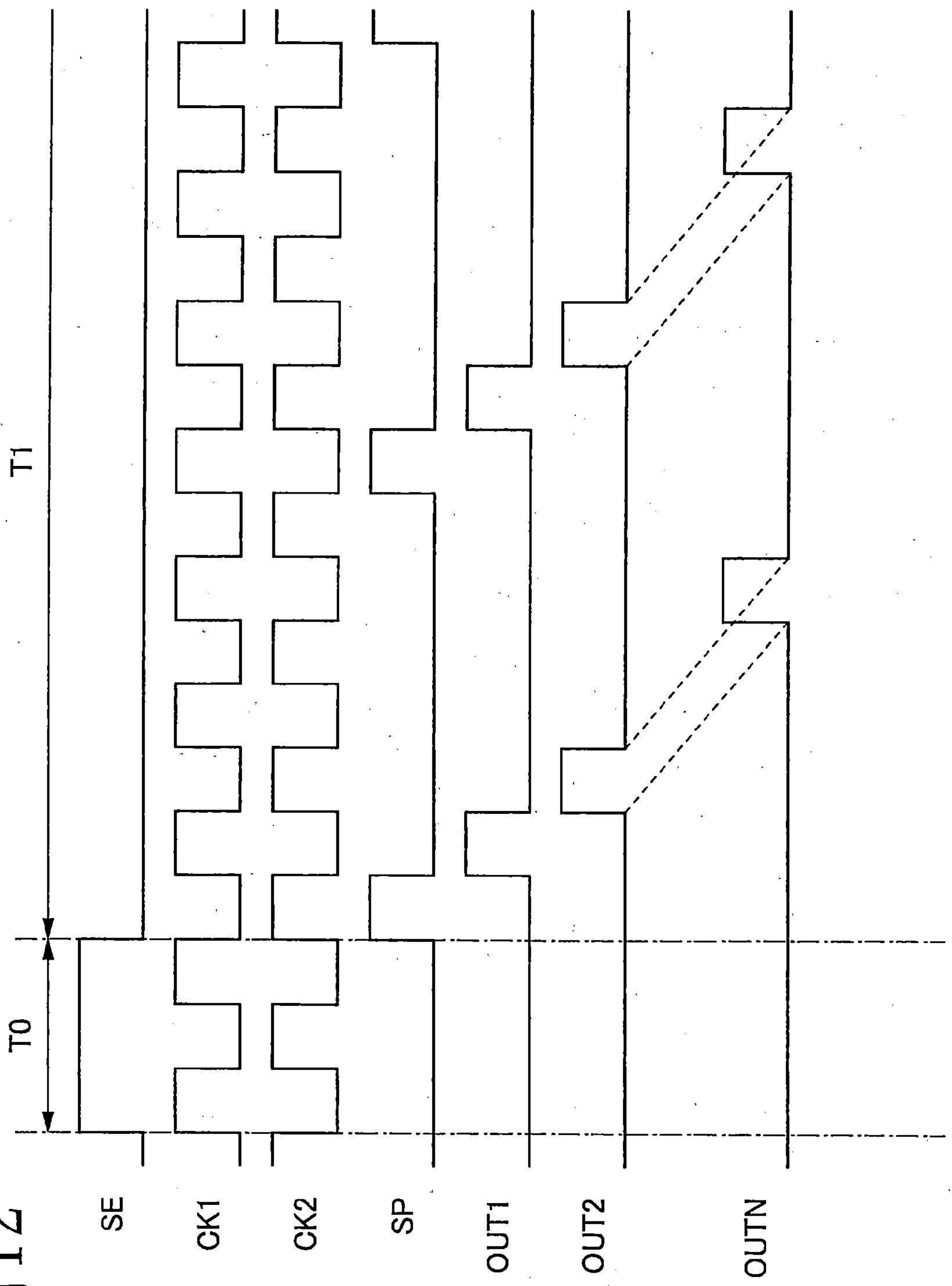


圖 13A

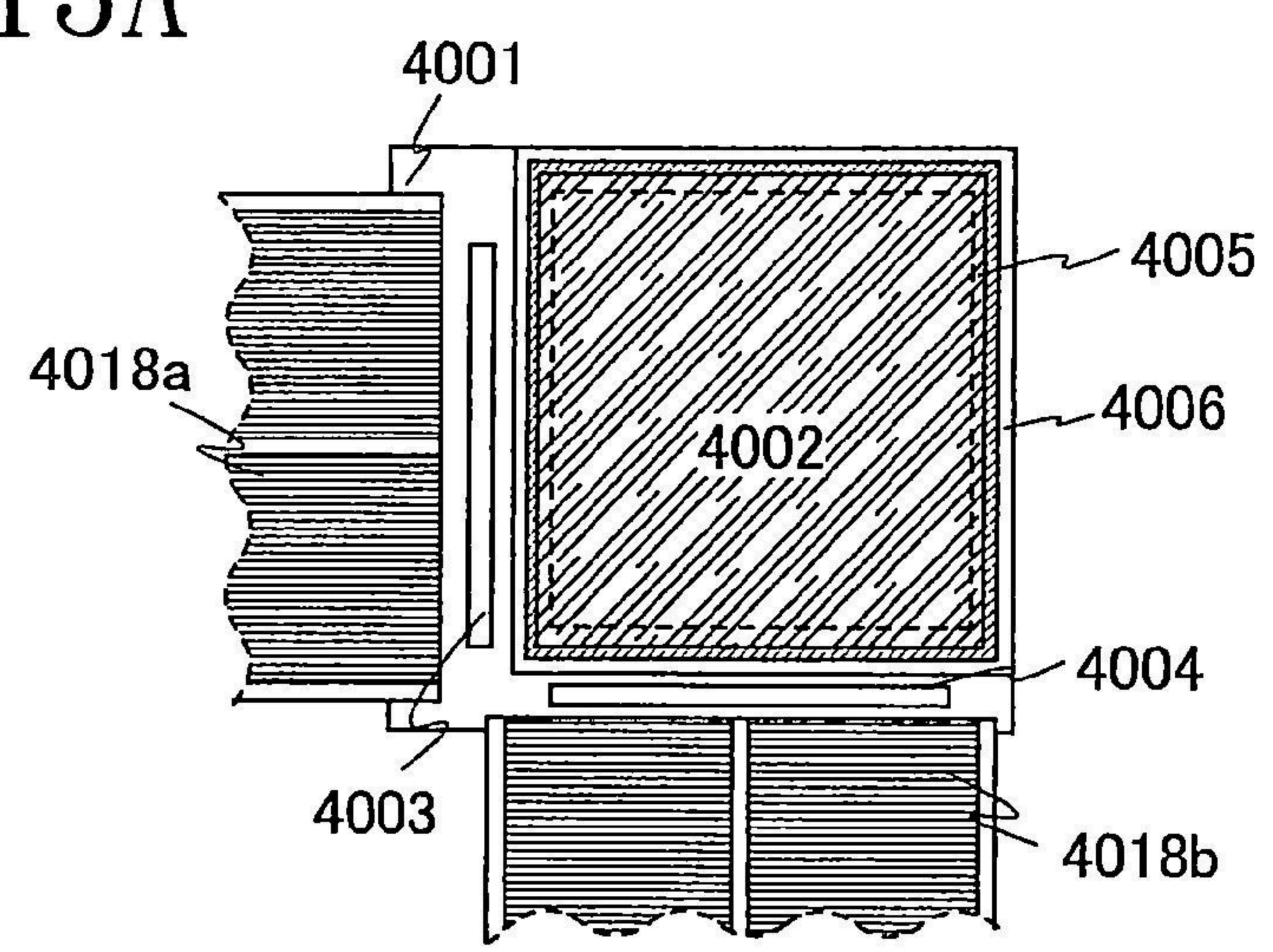


圖 13B

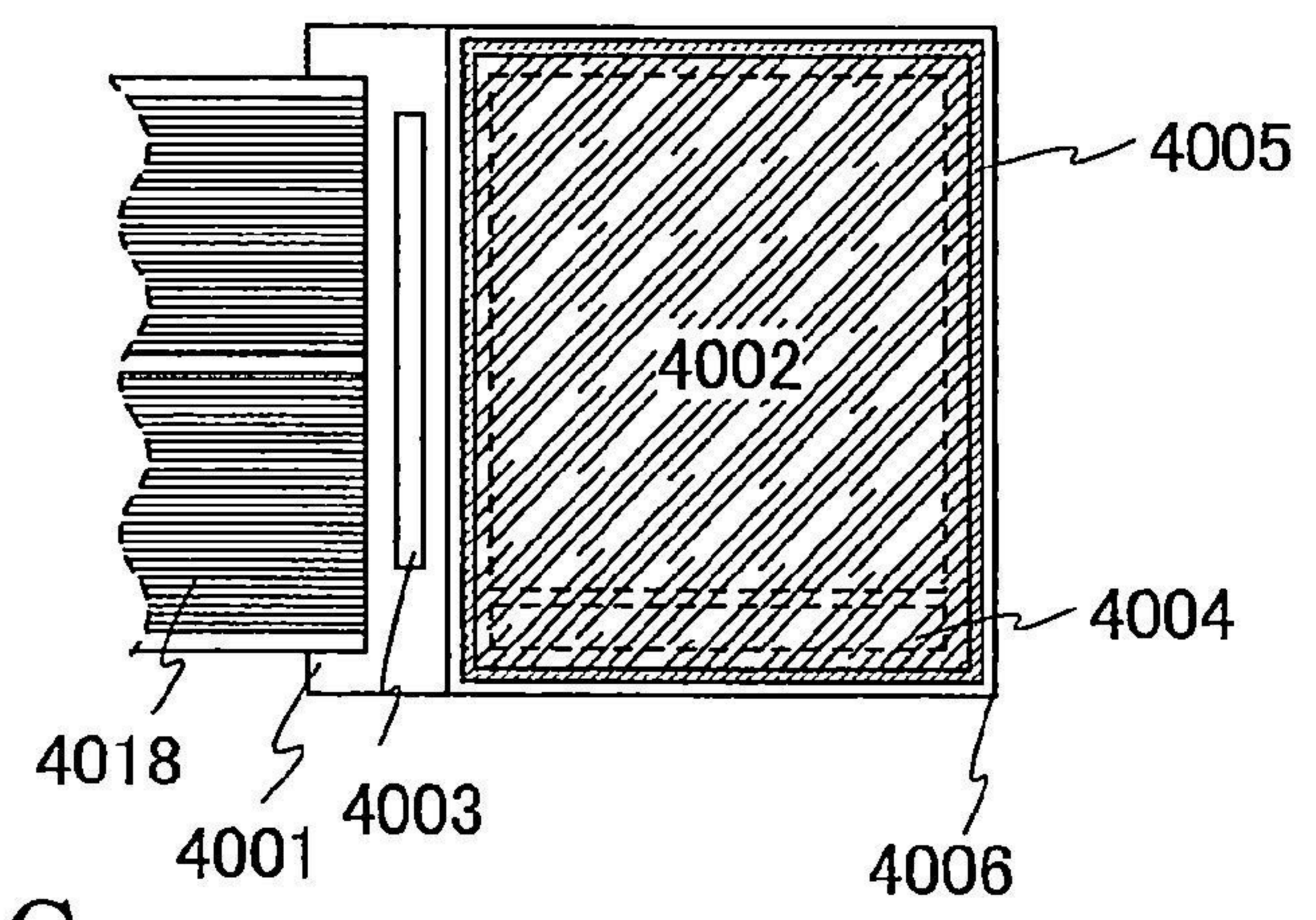


圖 13C

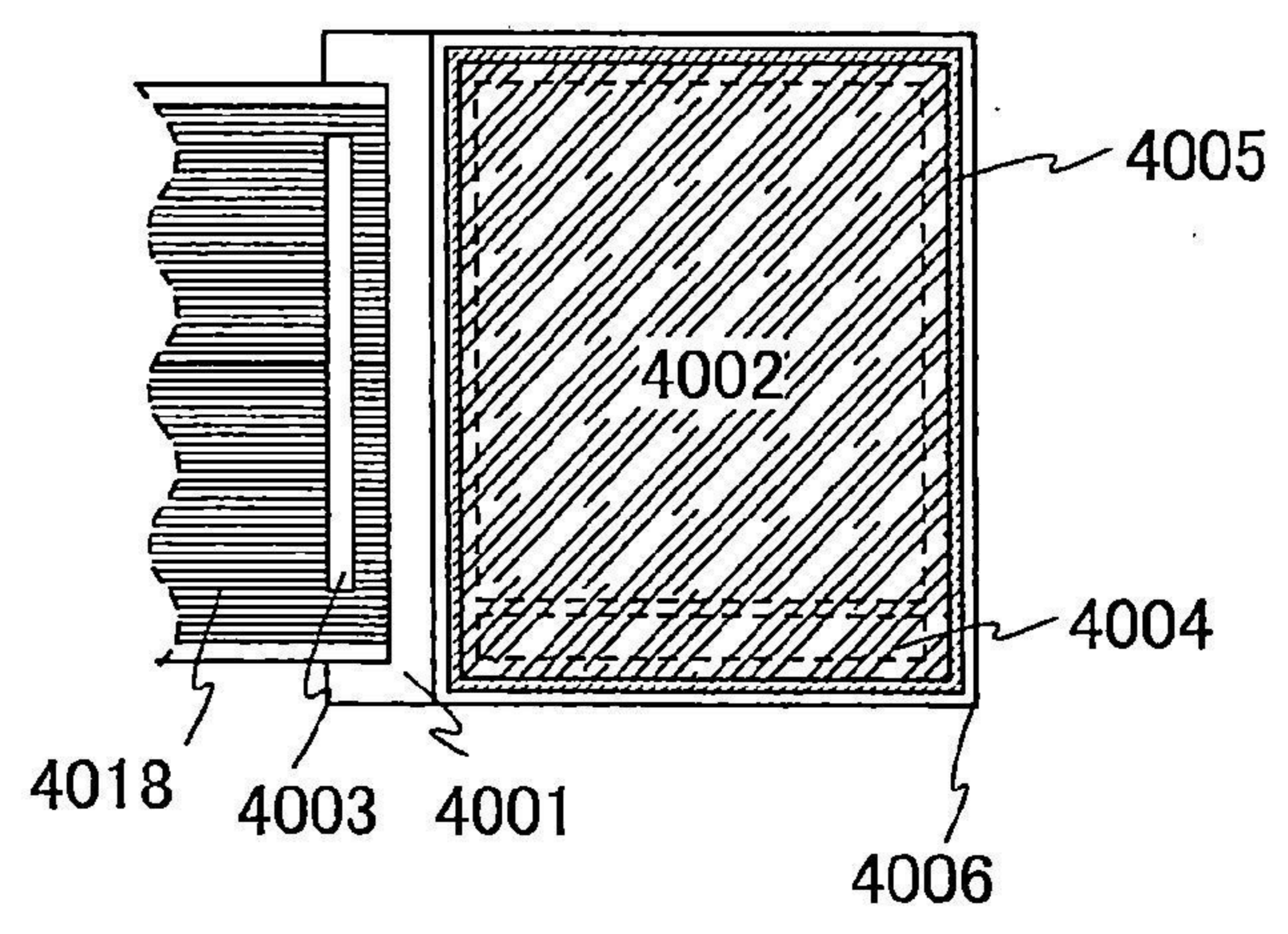


圖 14A

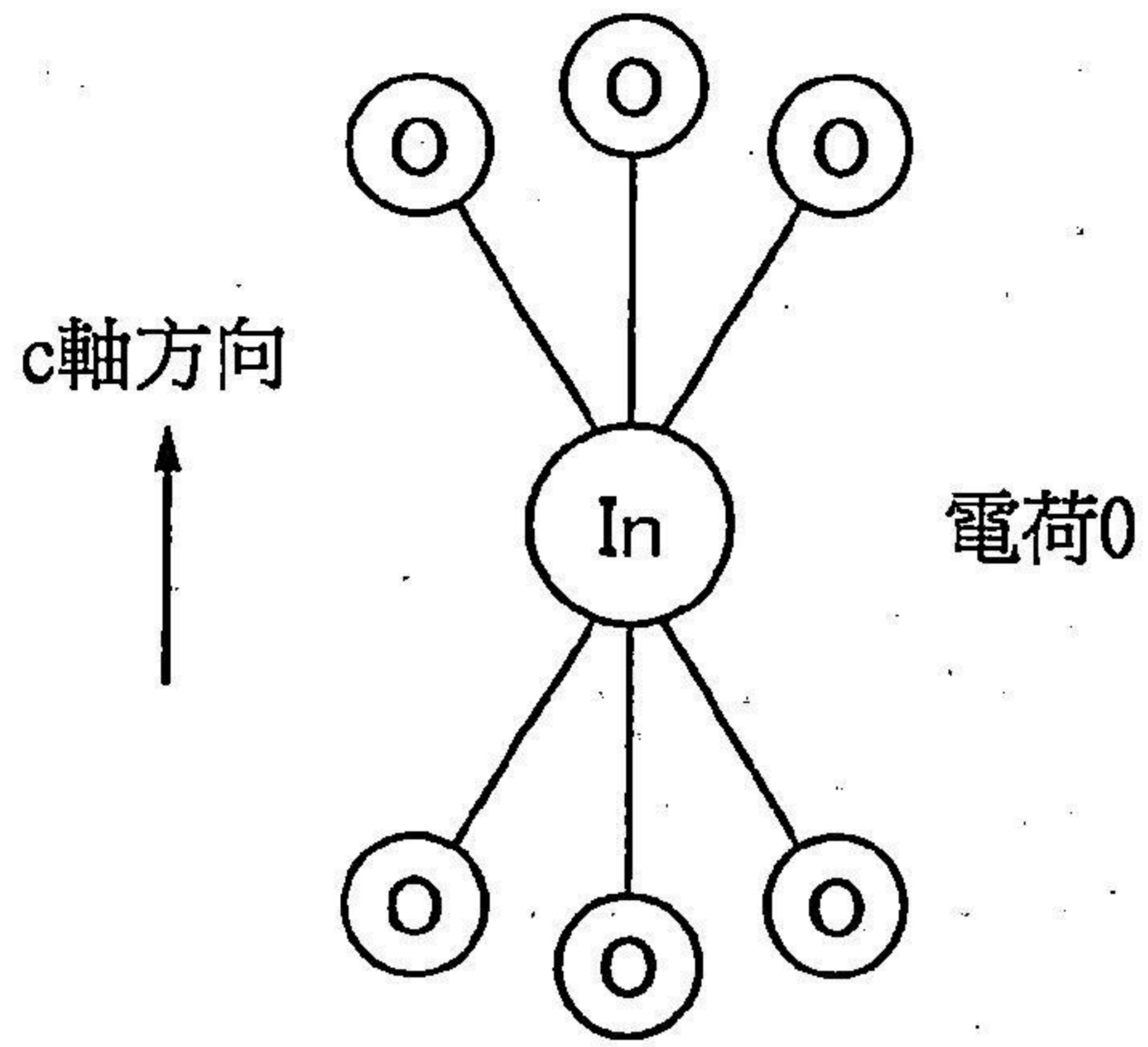


圖 14D

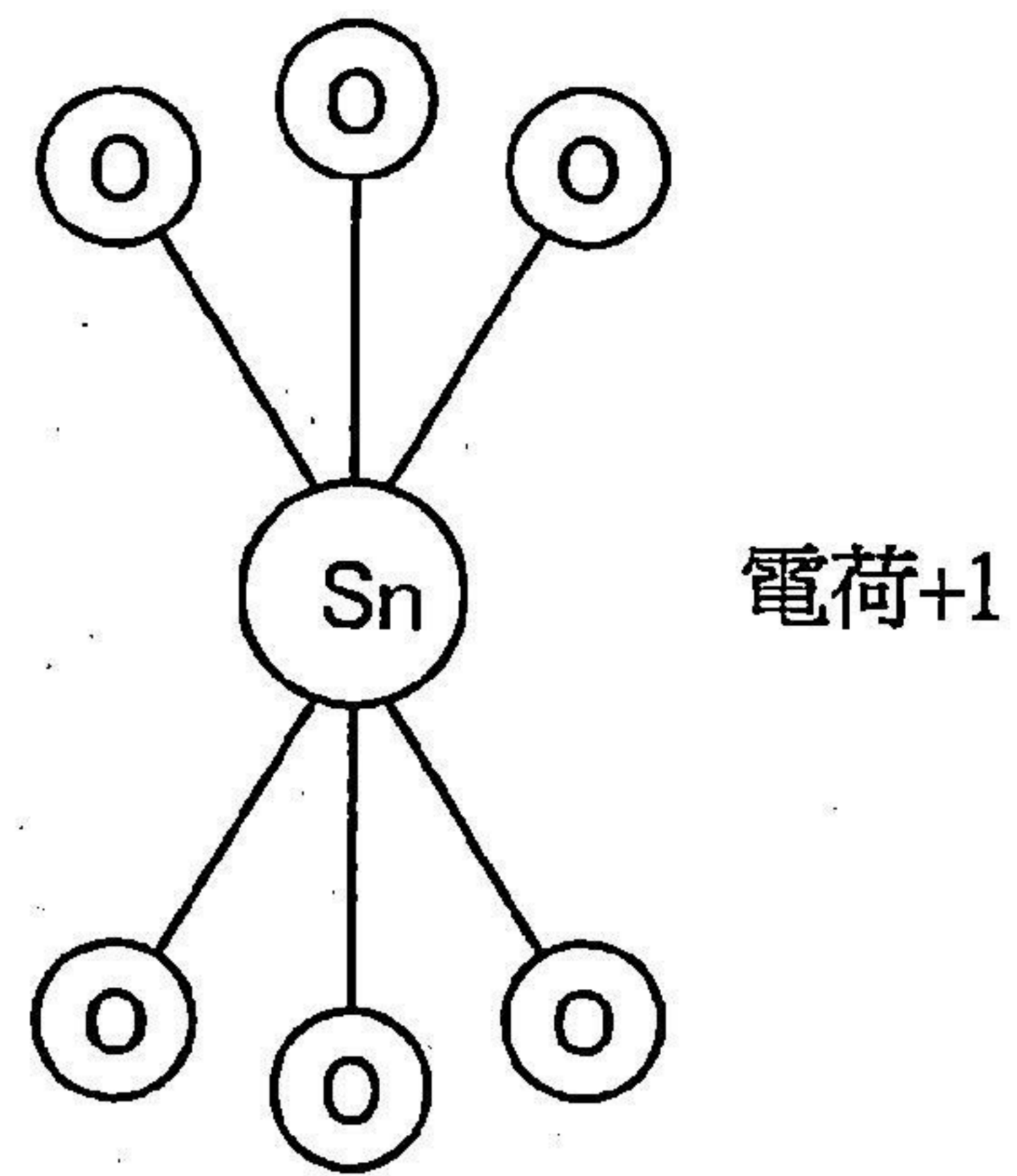


圖 14B

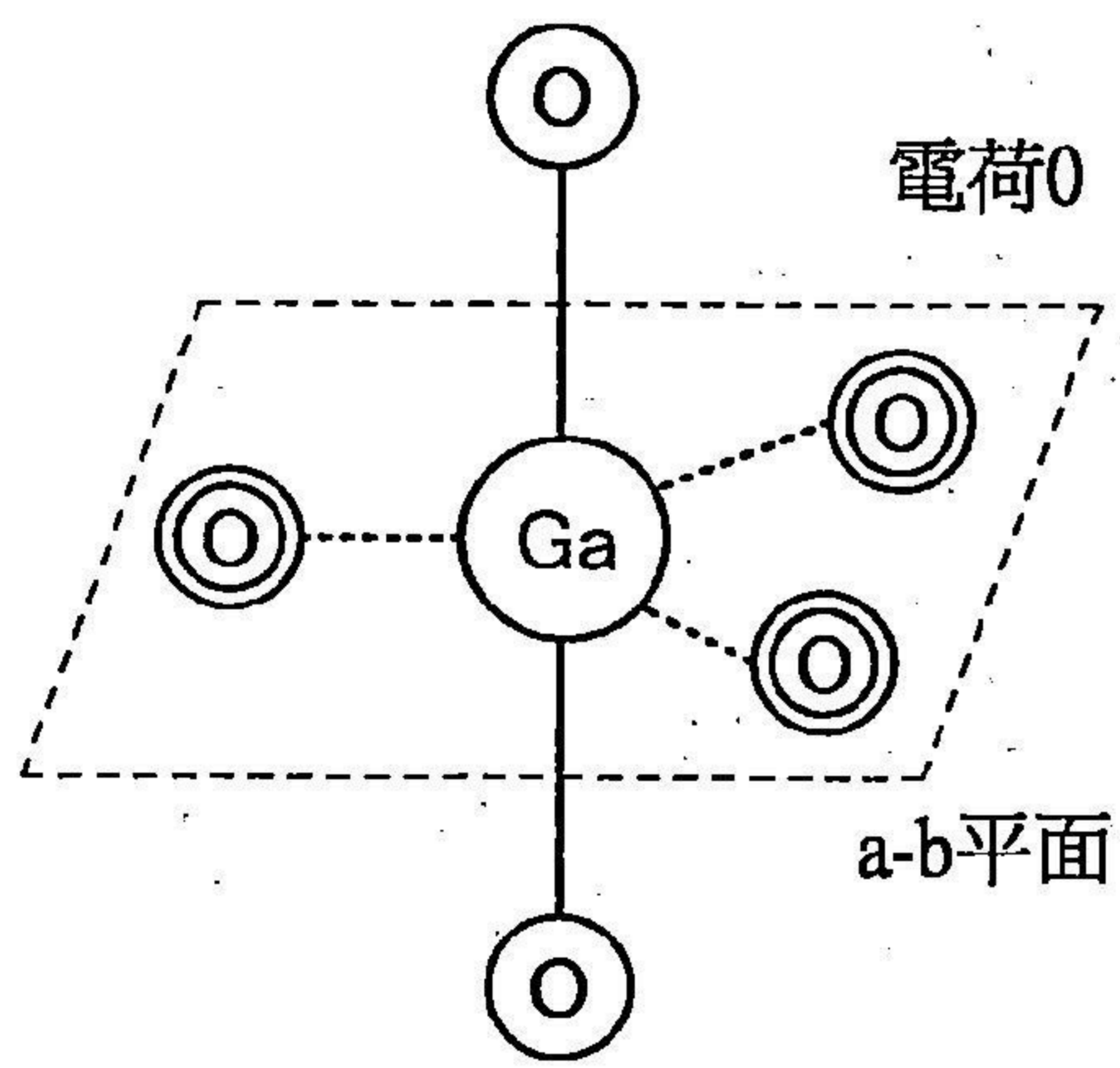


圖 14E

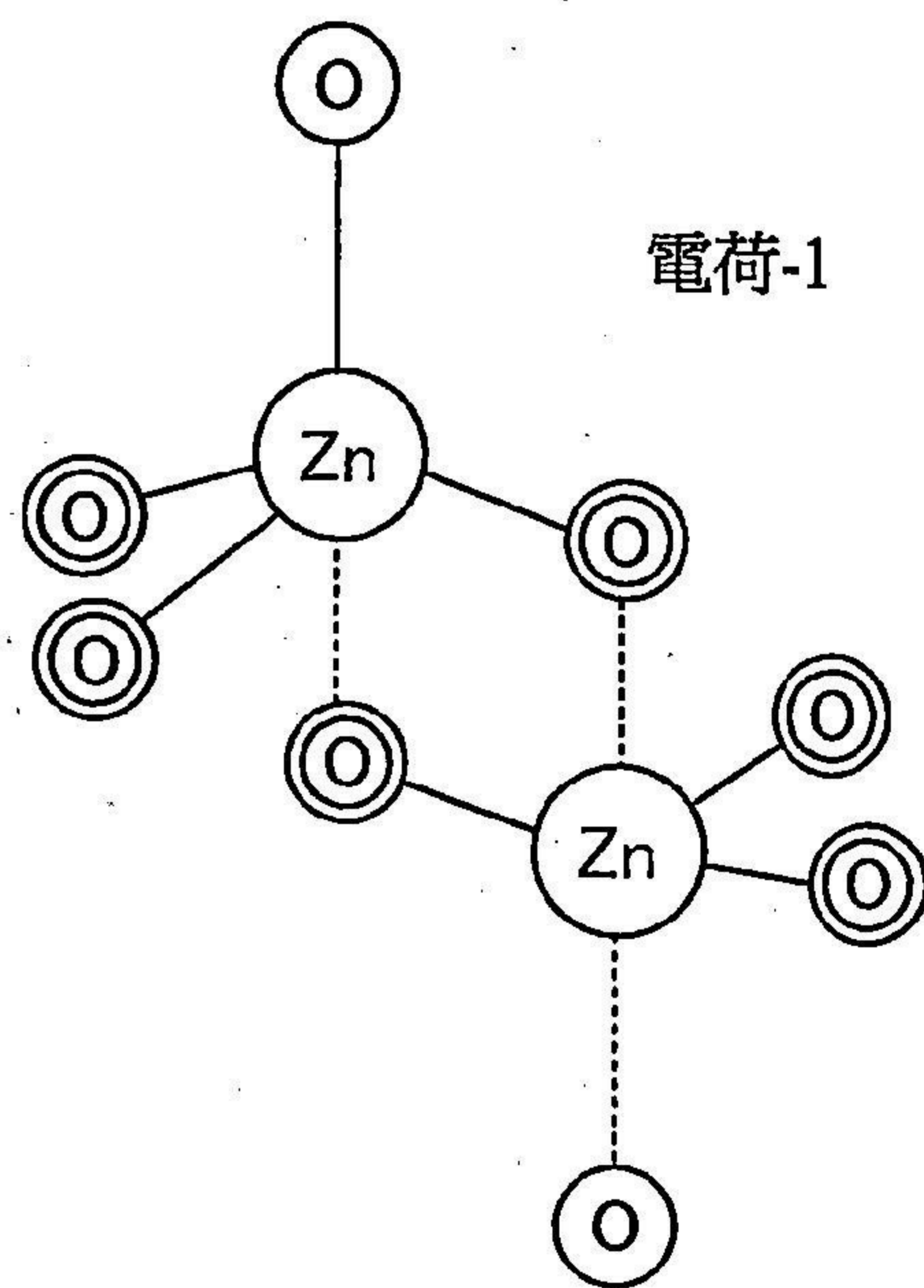


圖 14C

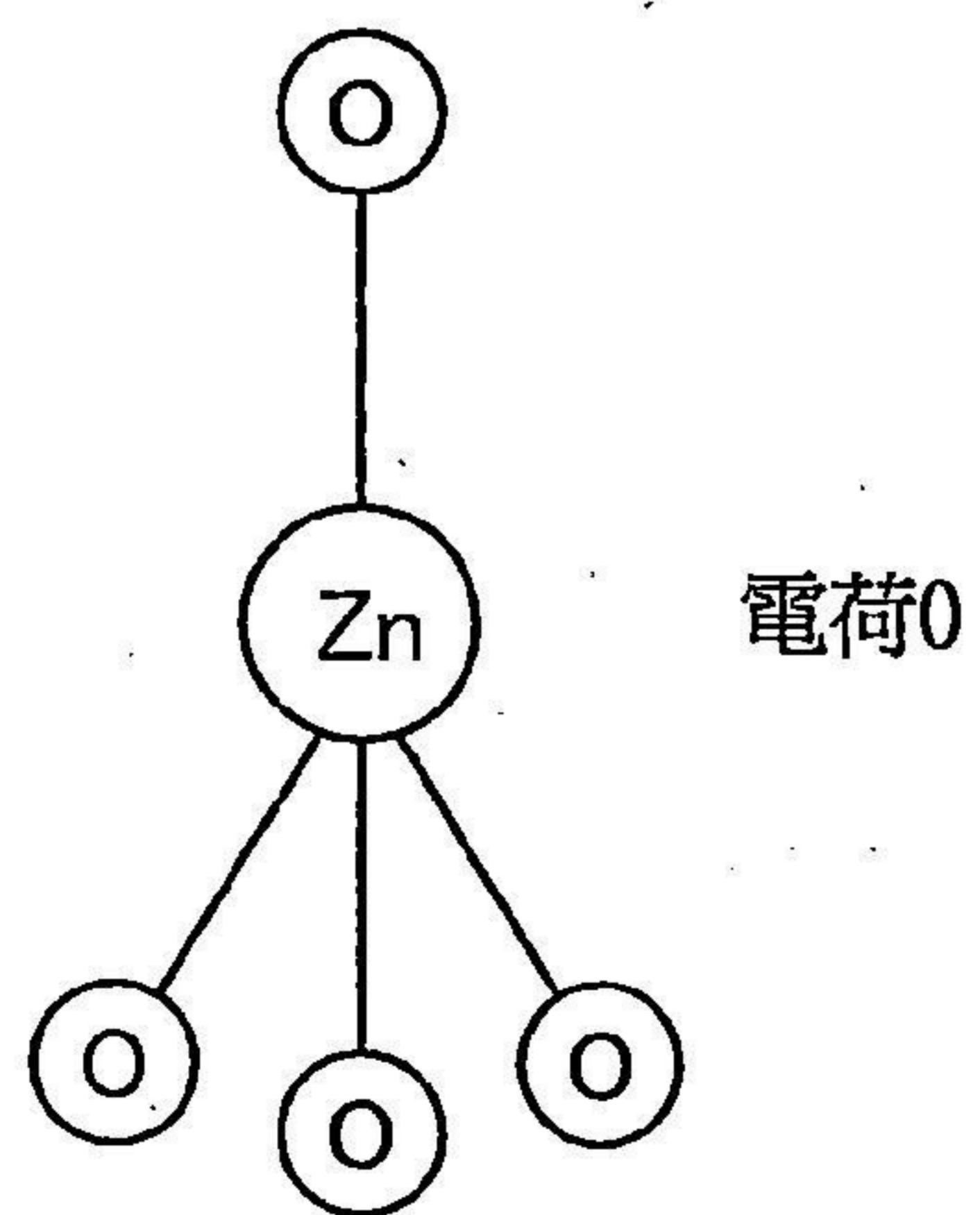


圖 15A

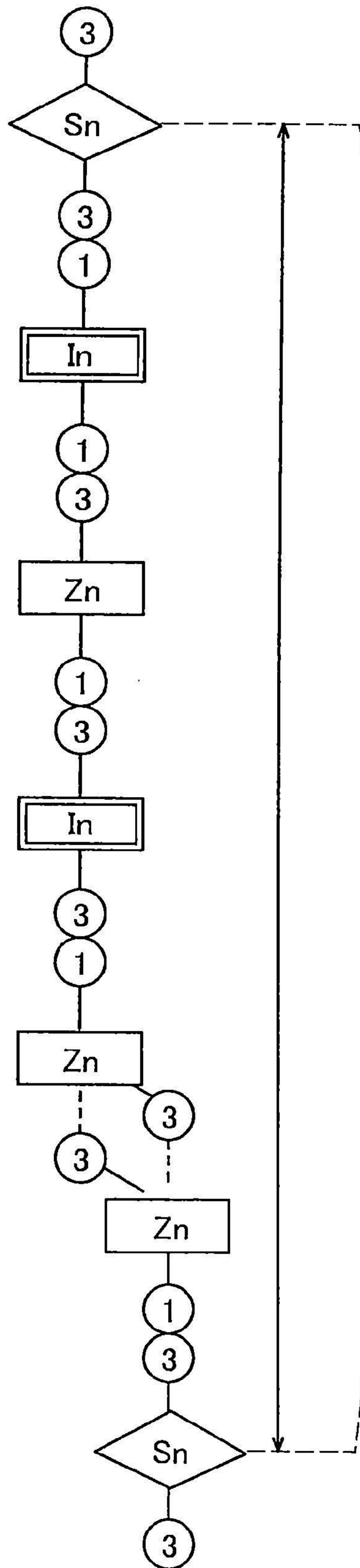
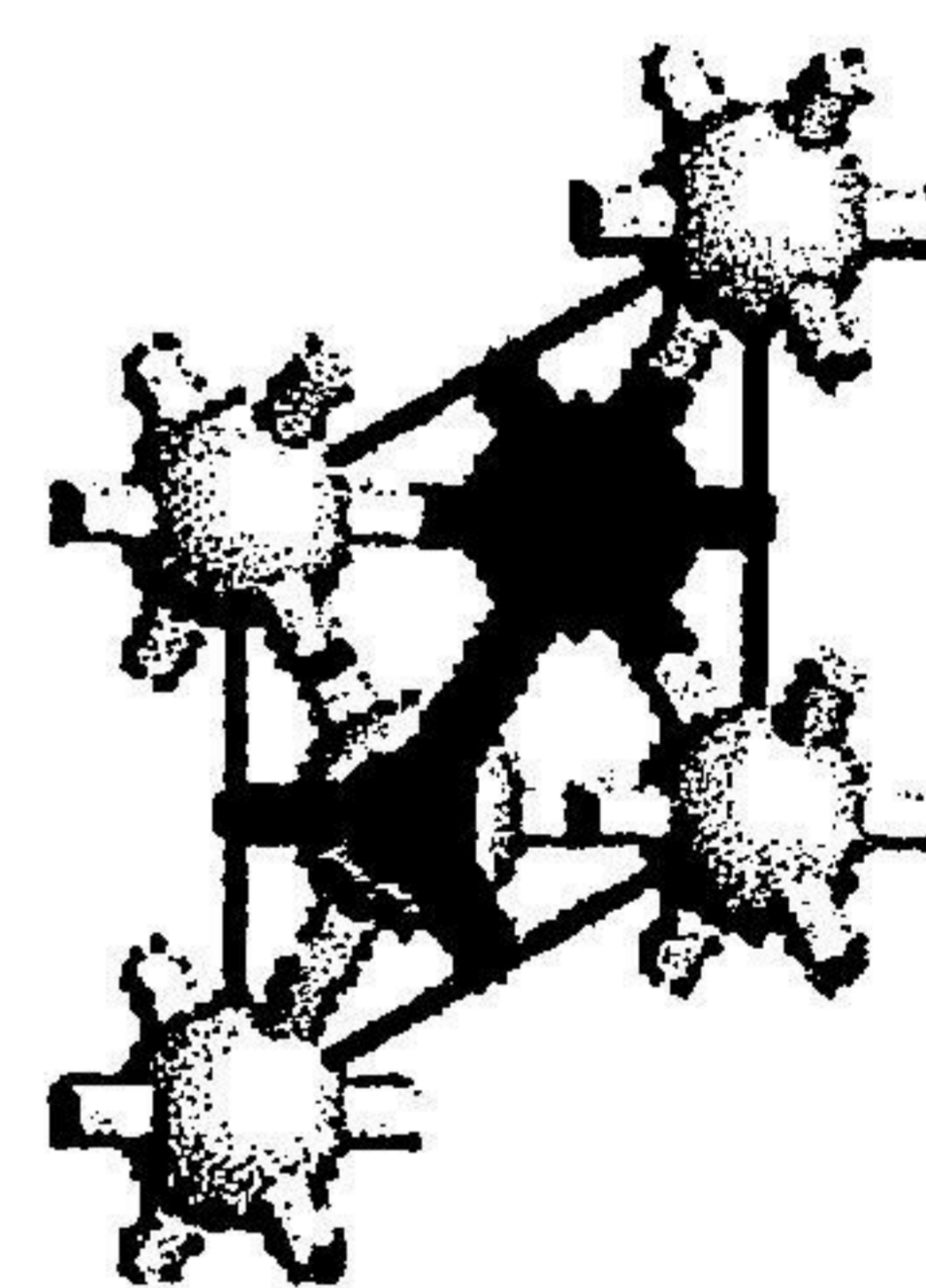


圖 15B



圖 15C



- In
- Sn
- ◐ Zn
- O

圖 16A

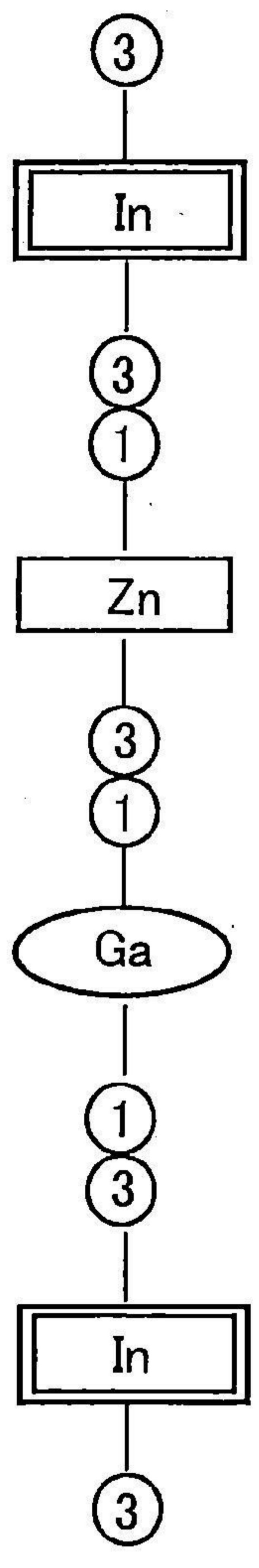


圖 16B

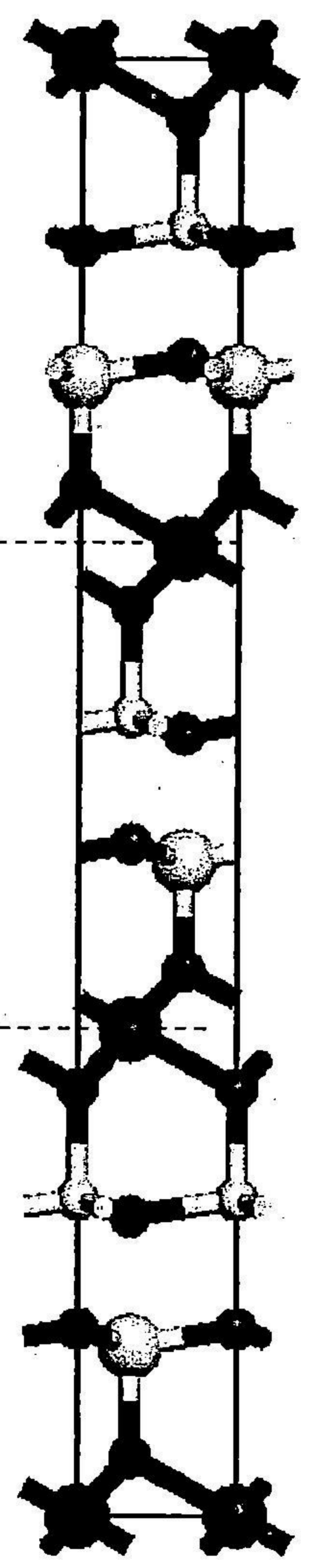
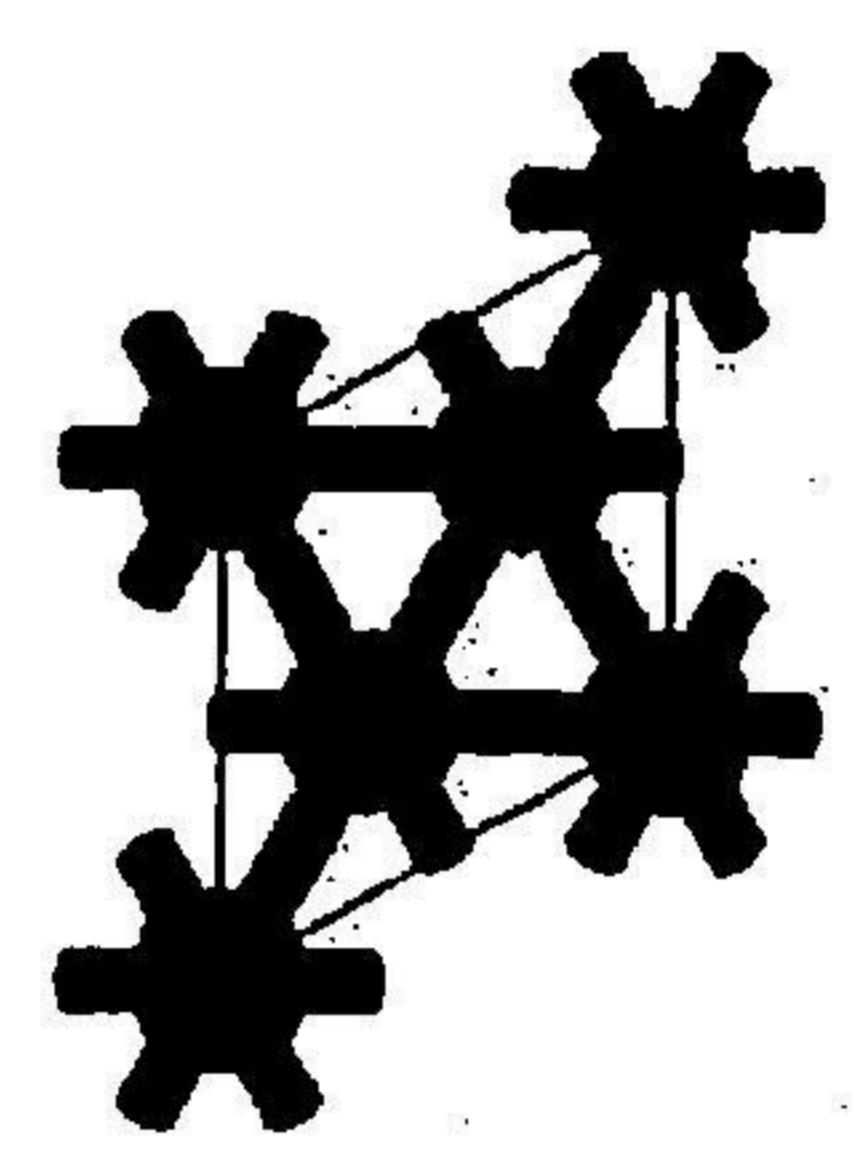


圖 16C







-  In
-  Ga
-  Zn
-  O

圖 17A

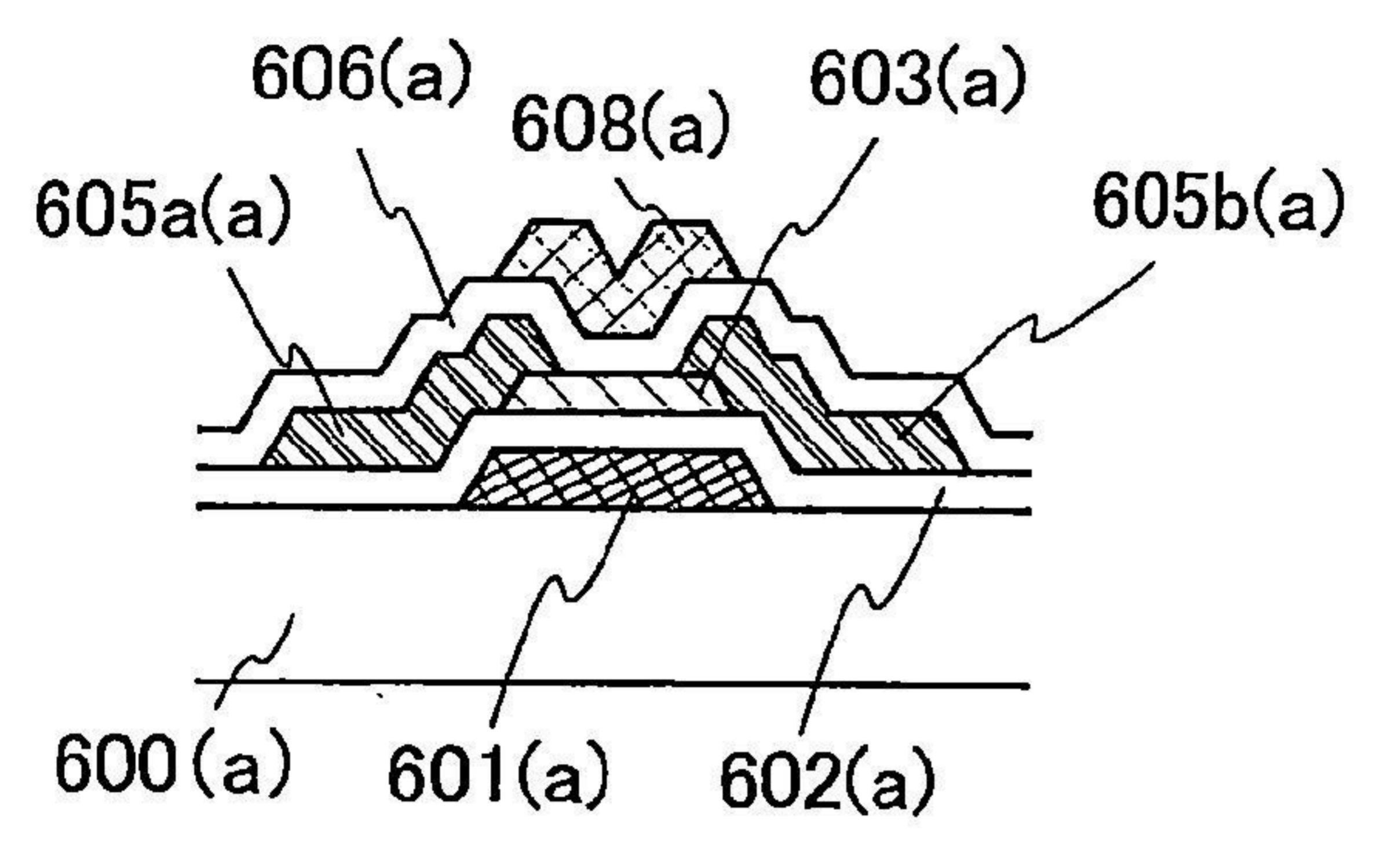


圖 17C

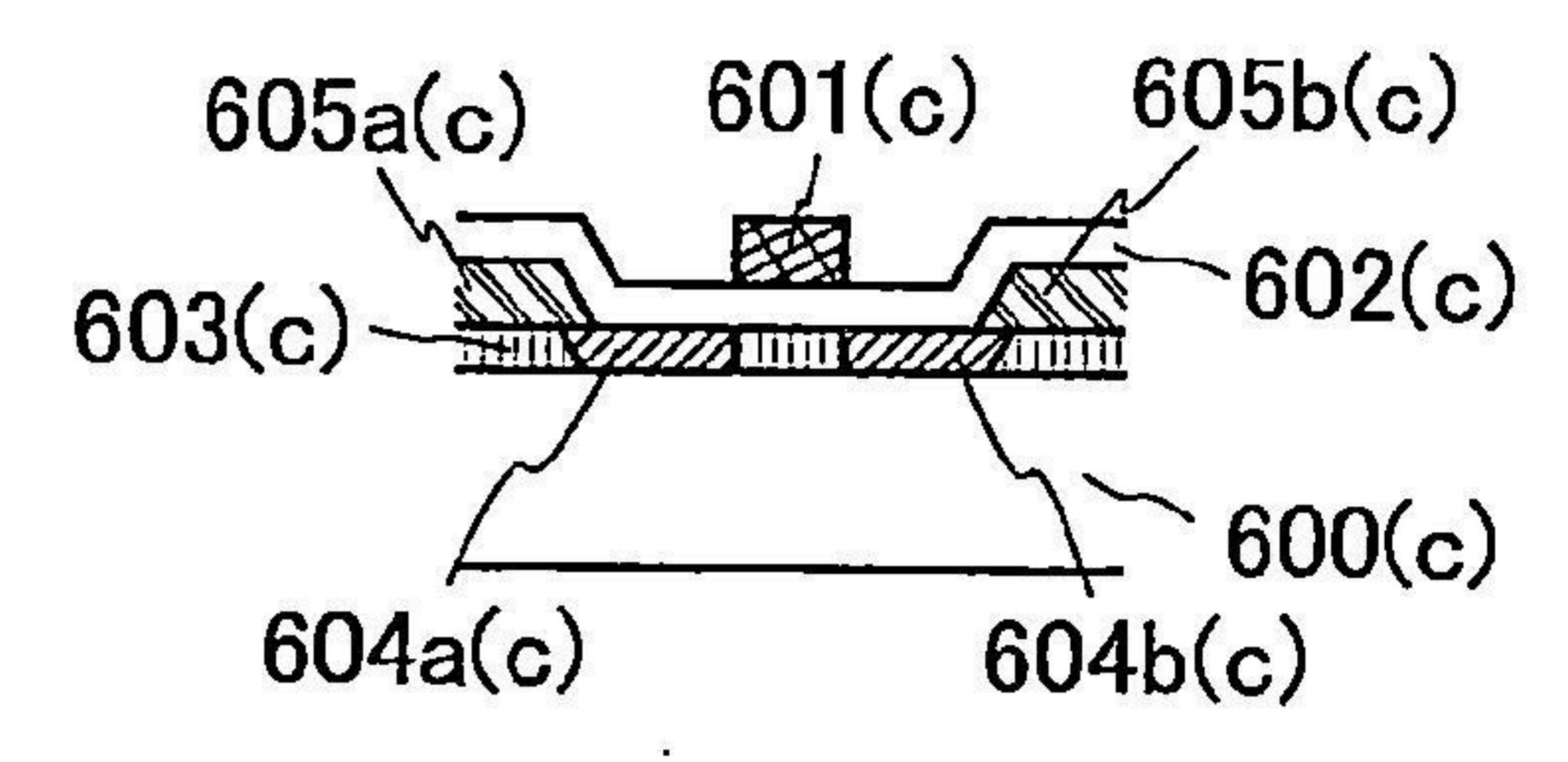


圖 17B

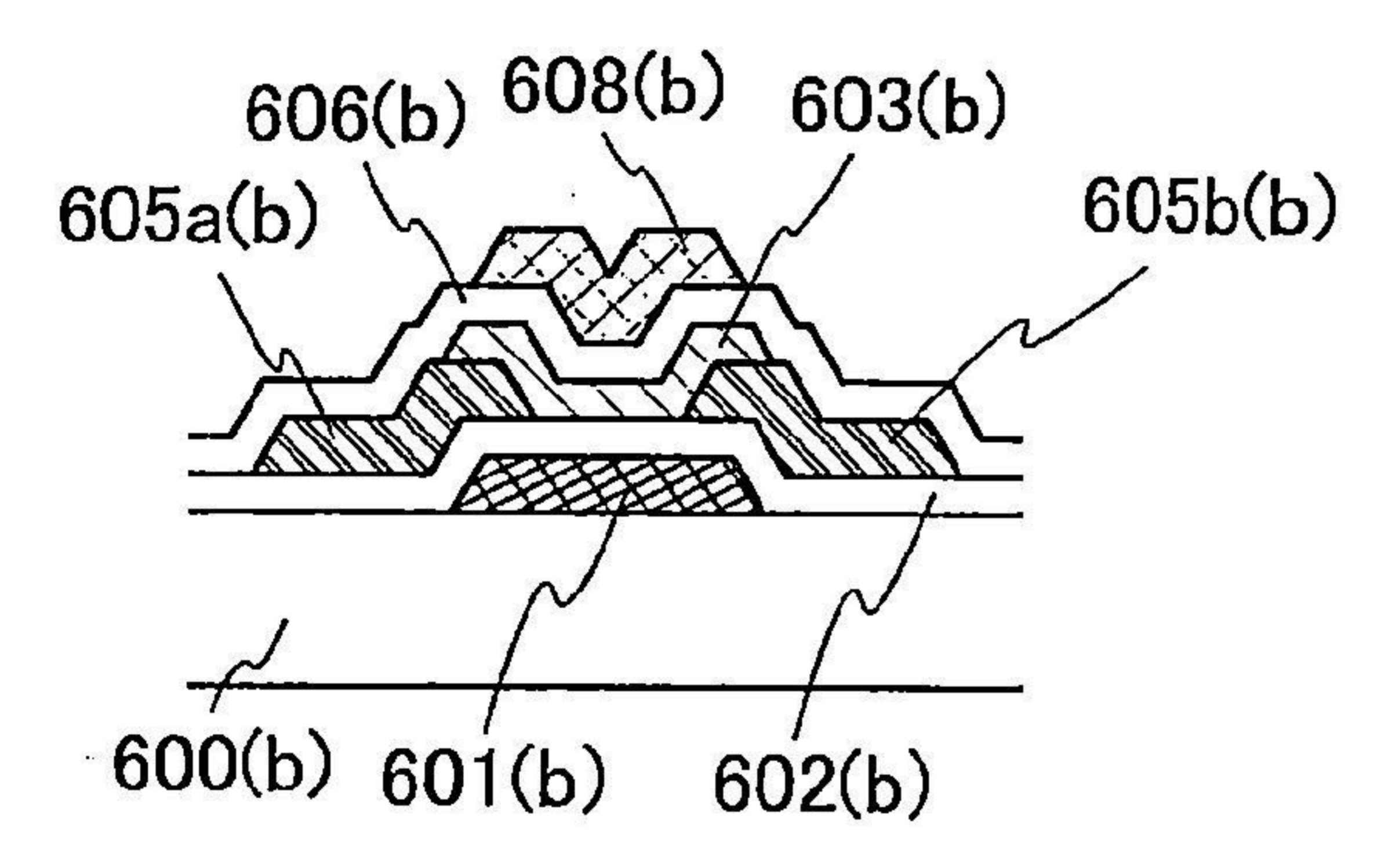


圖 17D

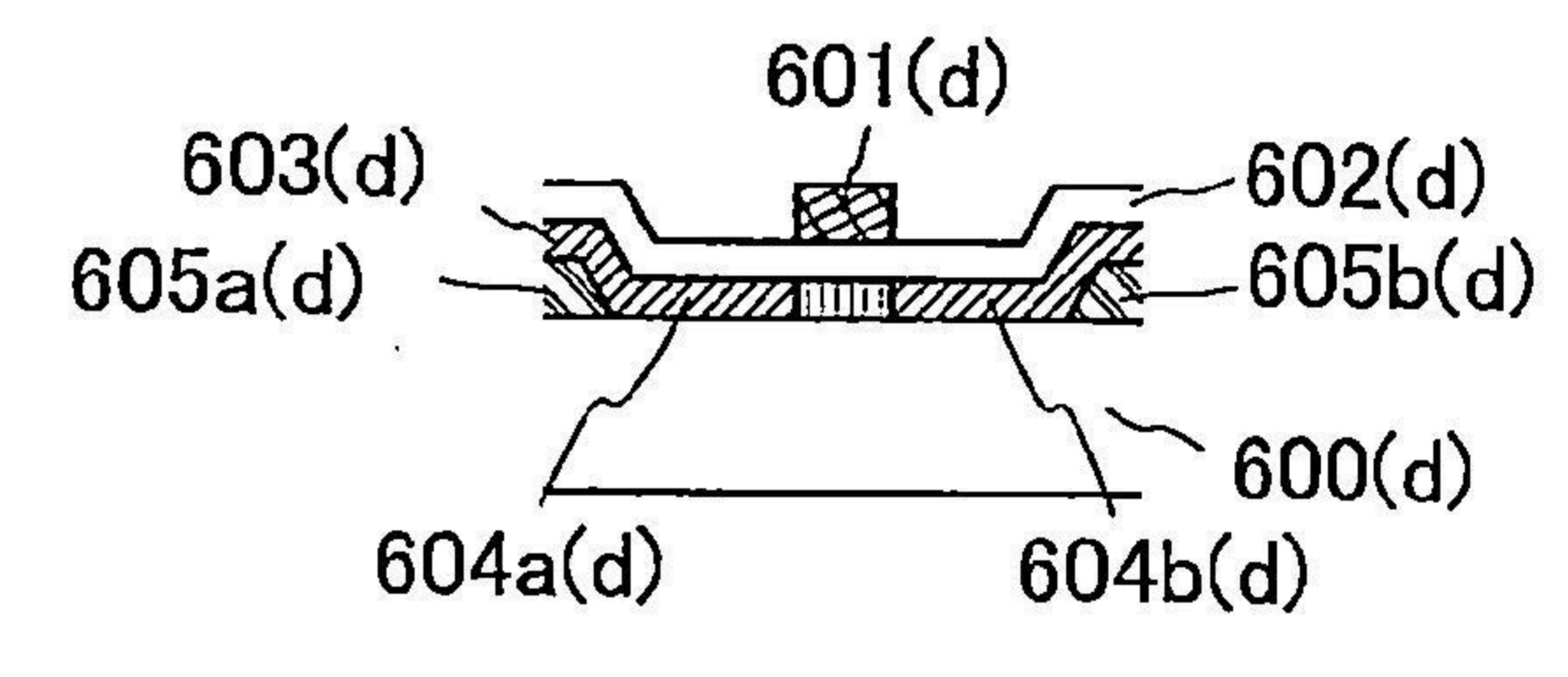


圖 18A

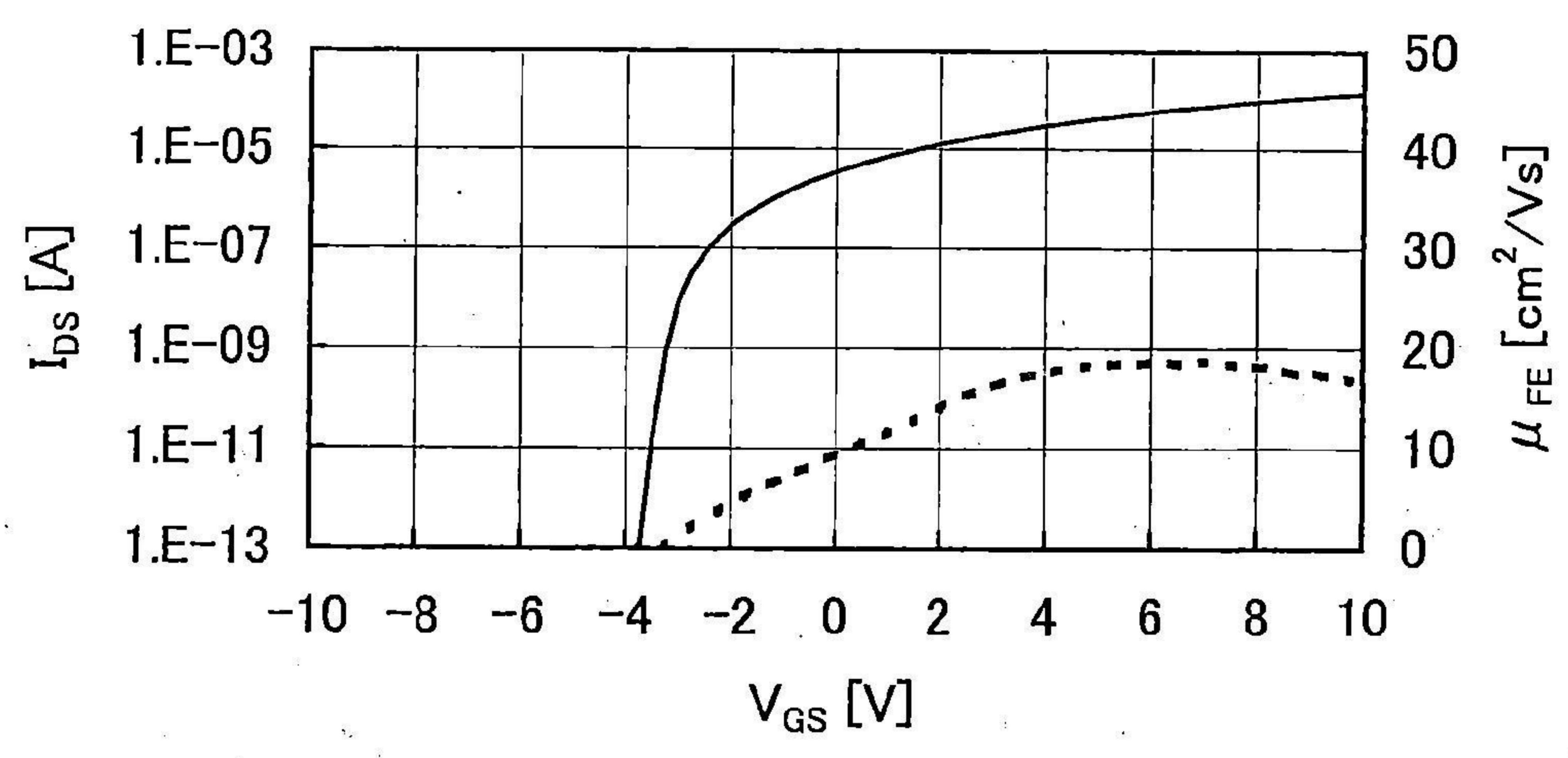


圖 18B

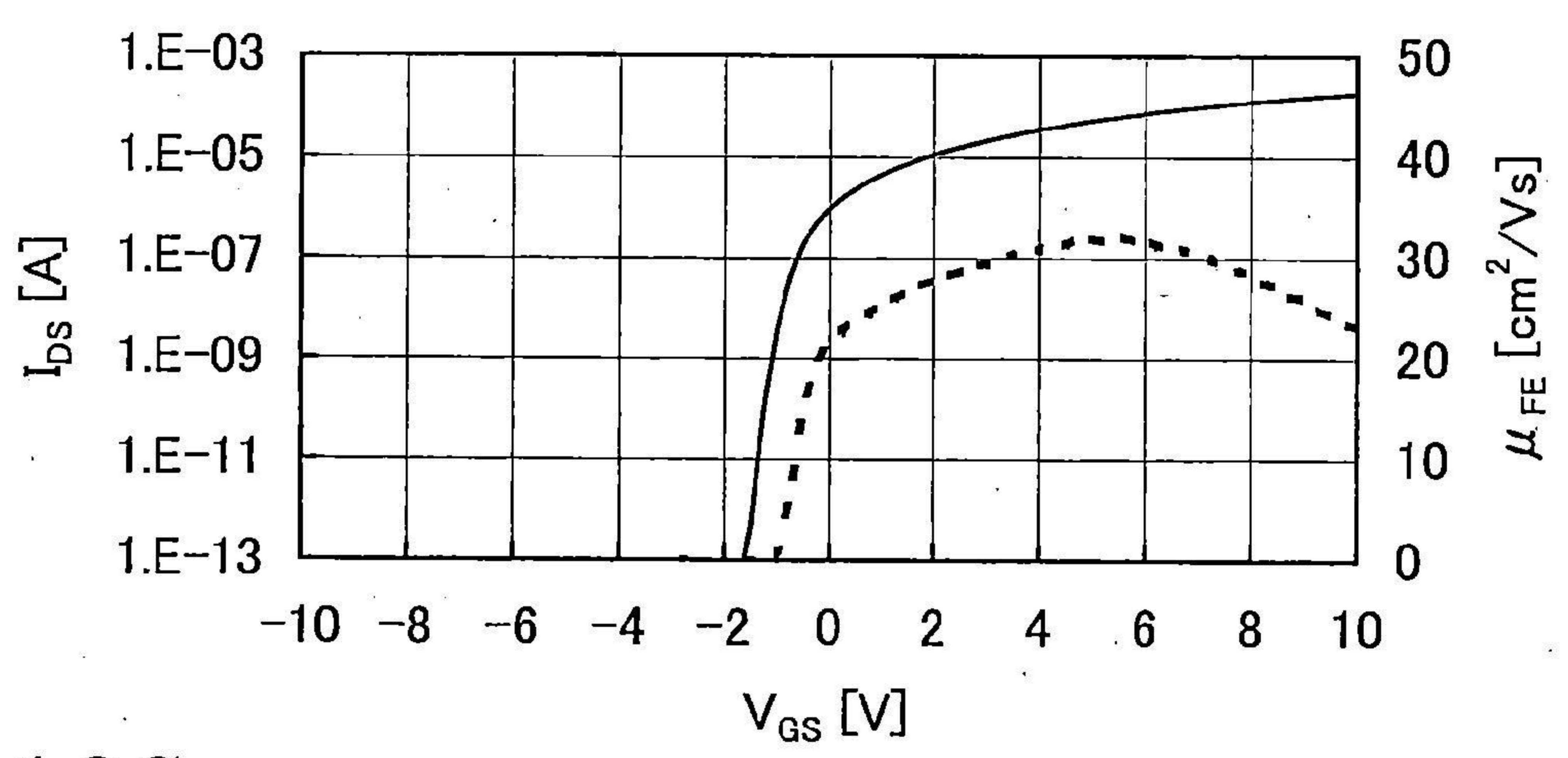


圖 18C

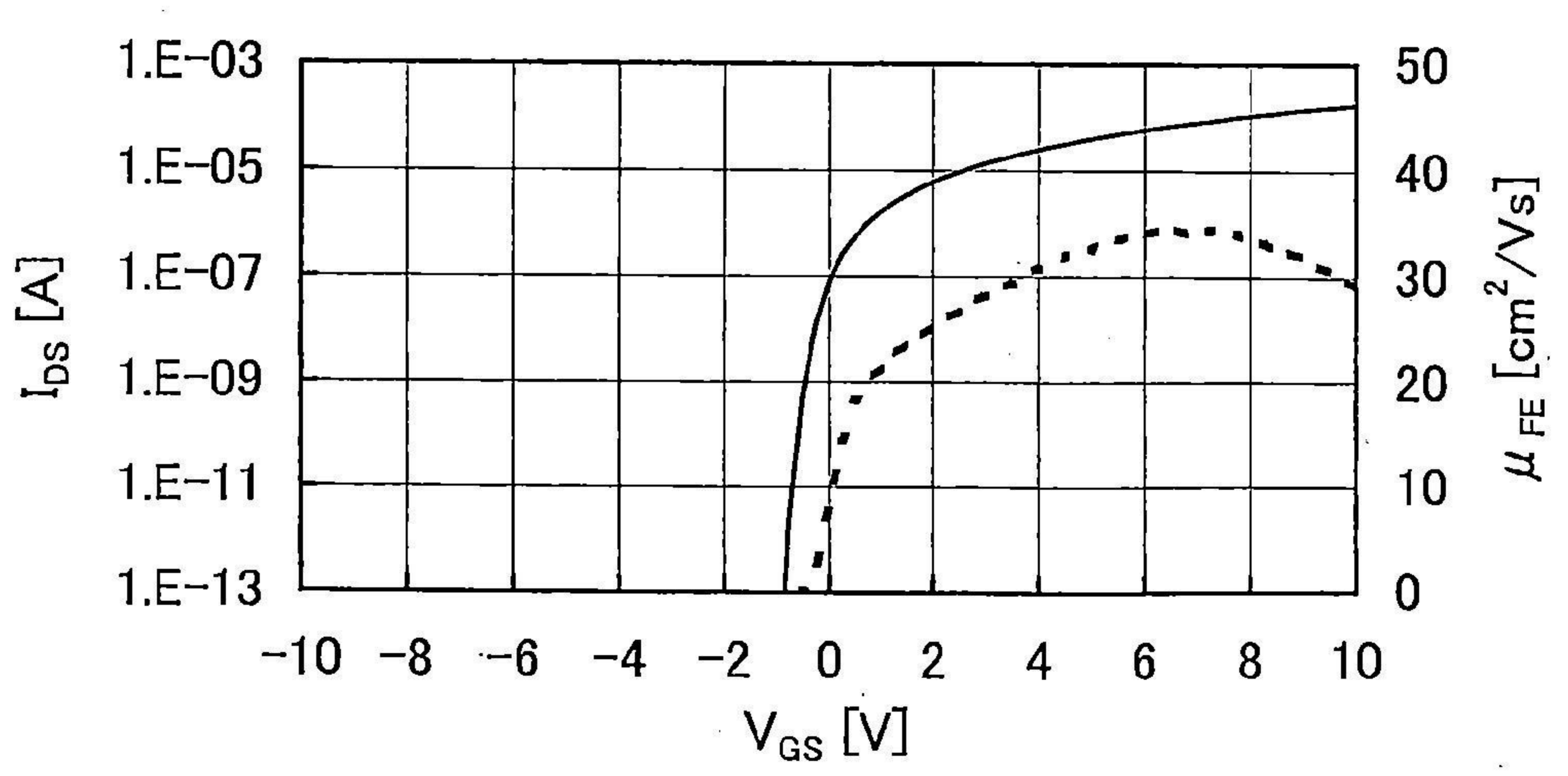


圖 19

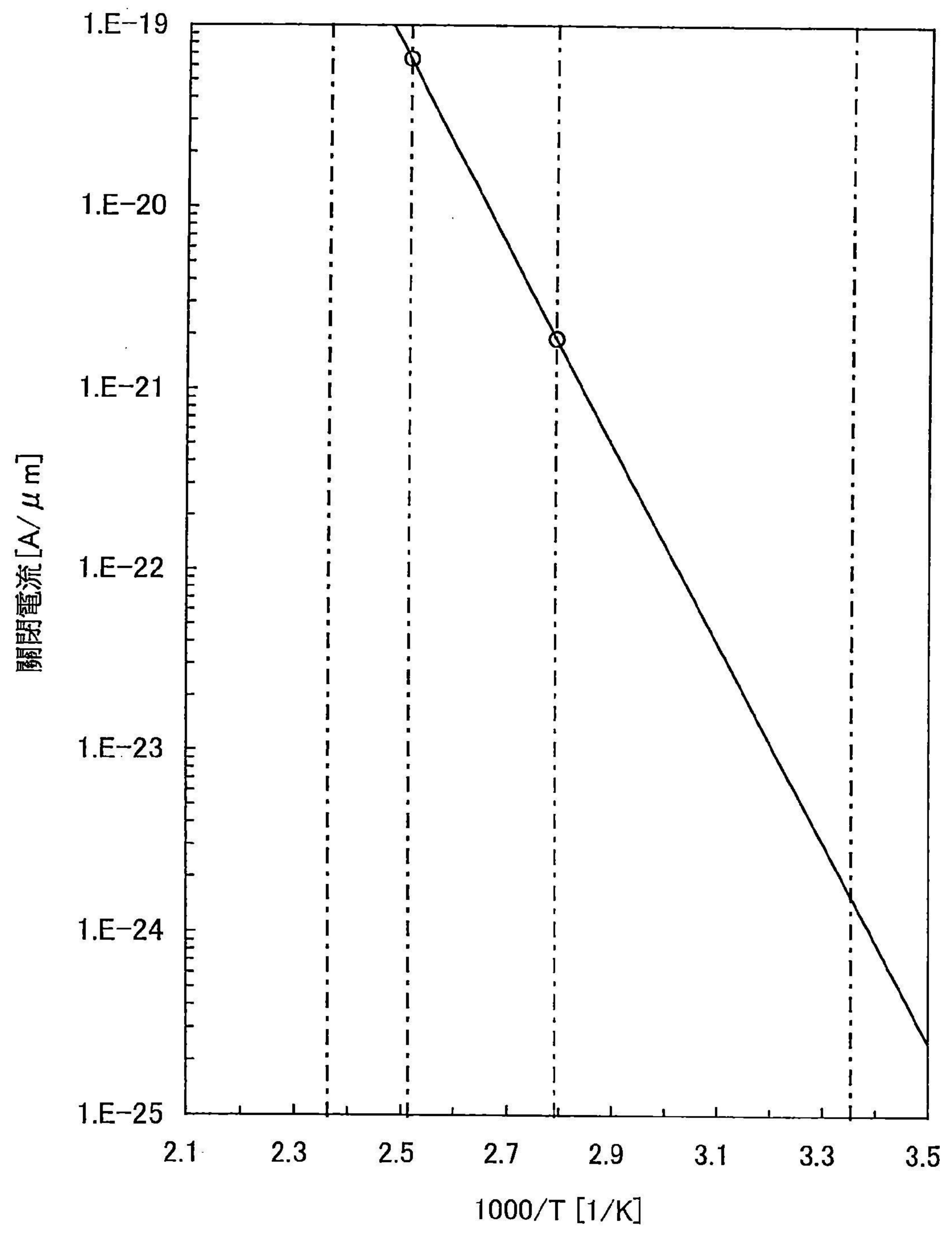


圖 20A

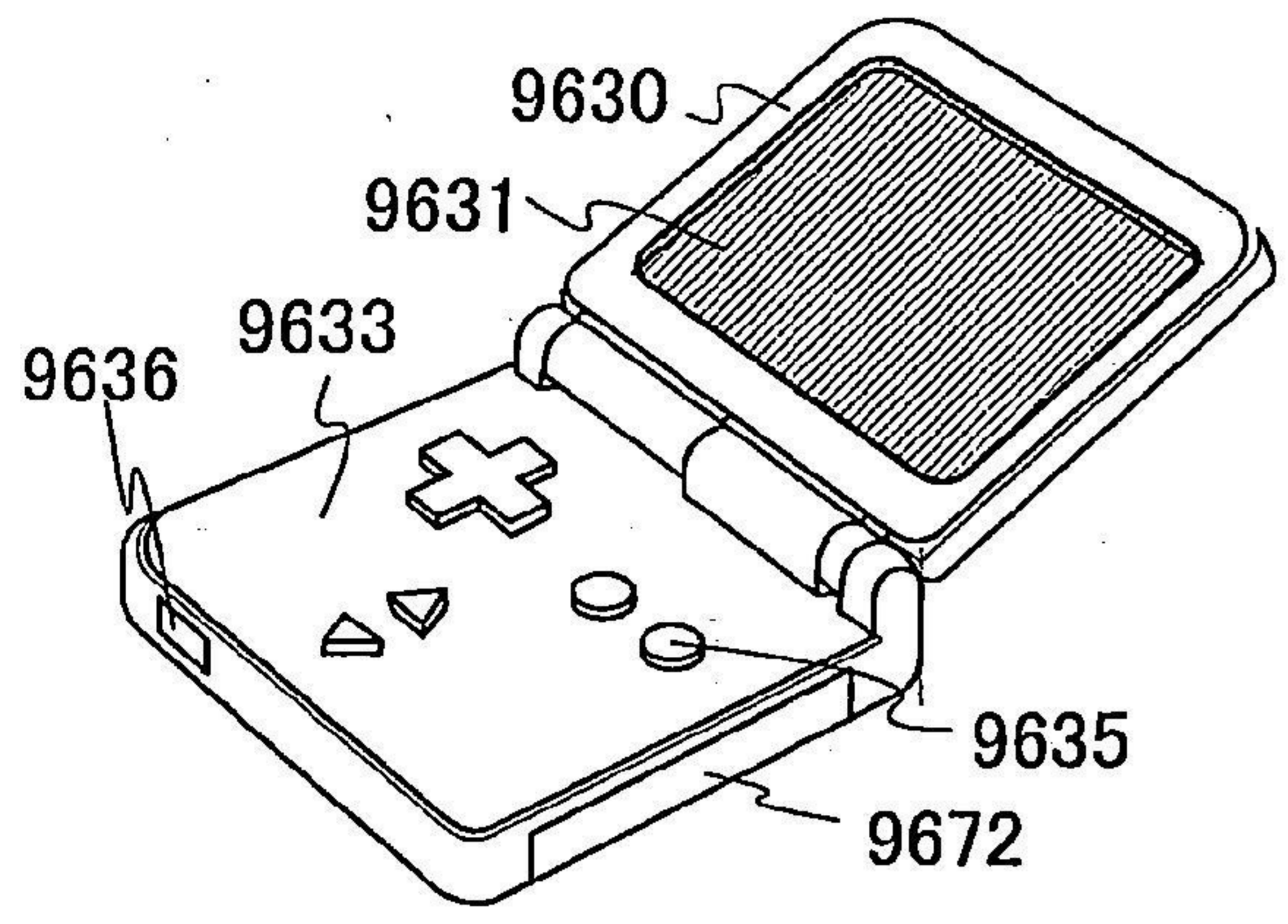


圖 20B

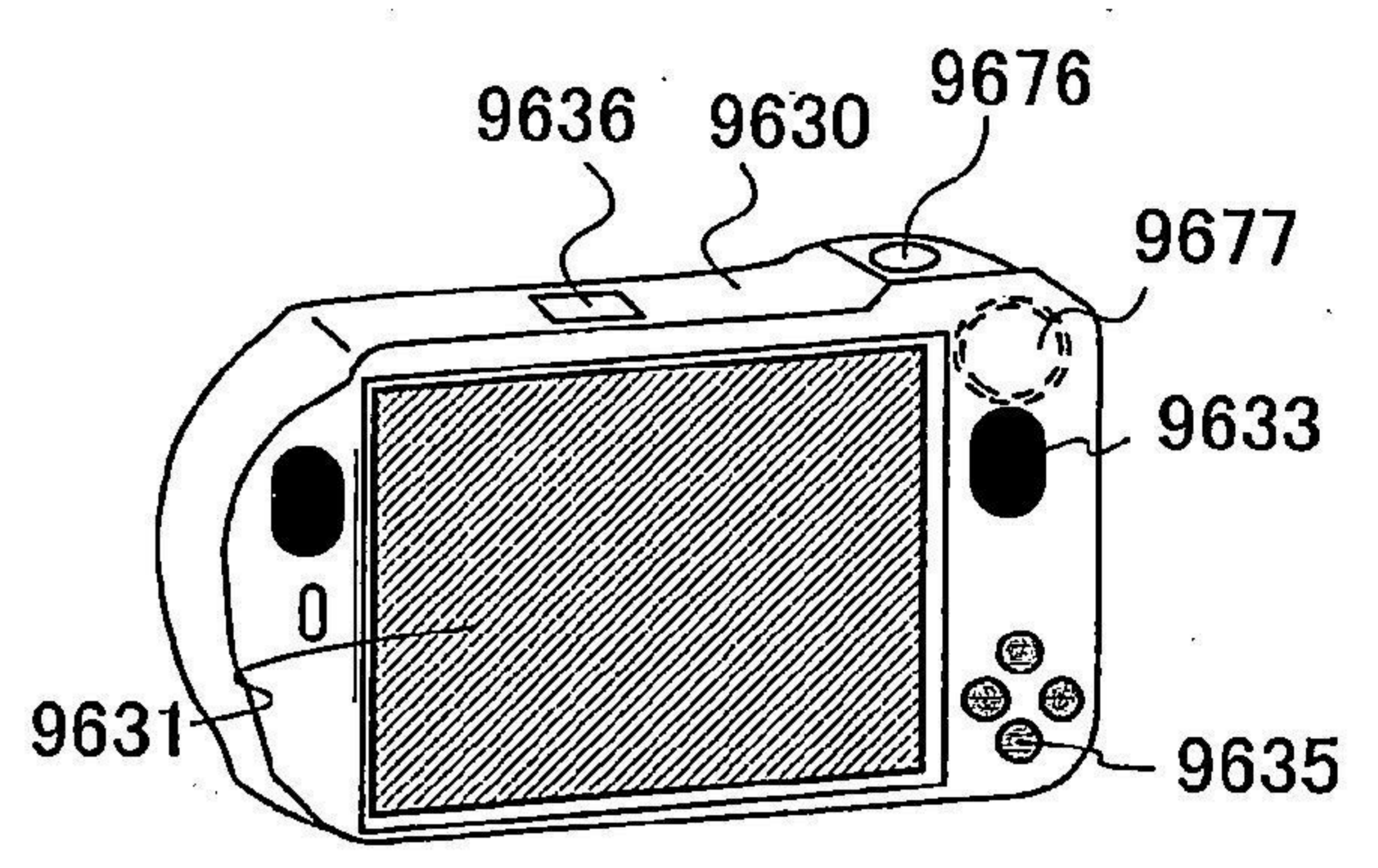


圖 20C

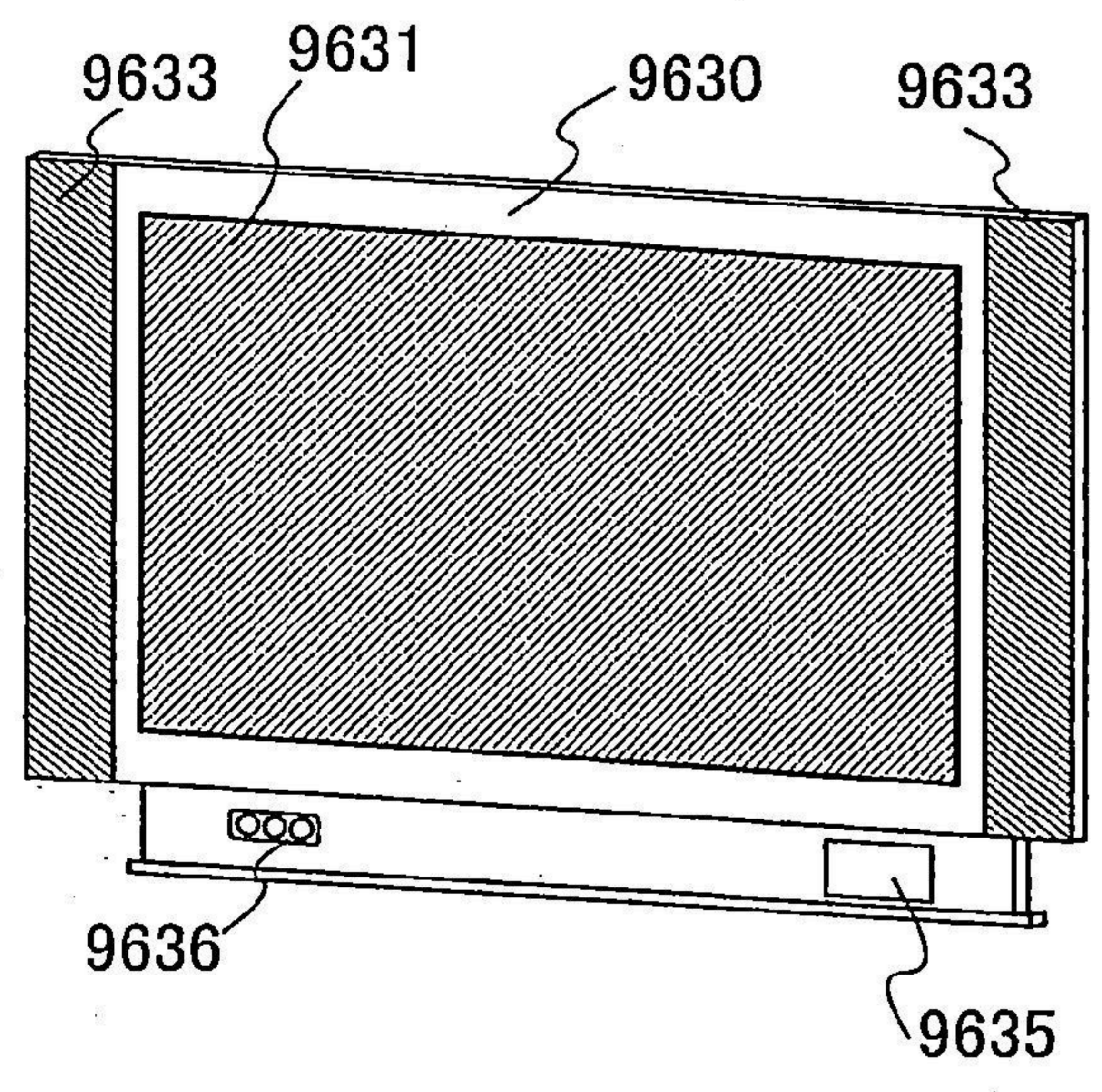


圖 20D

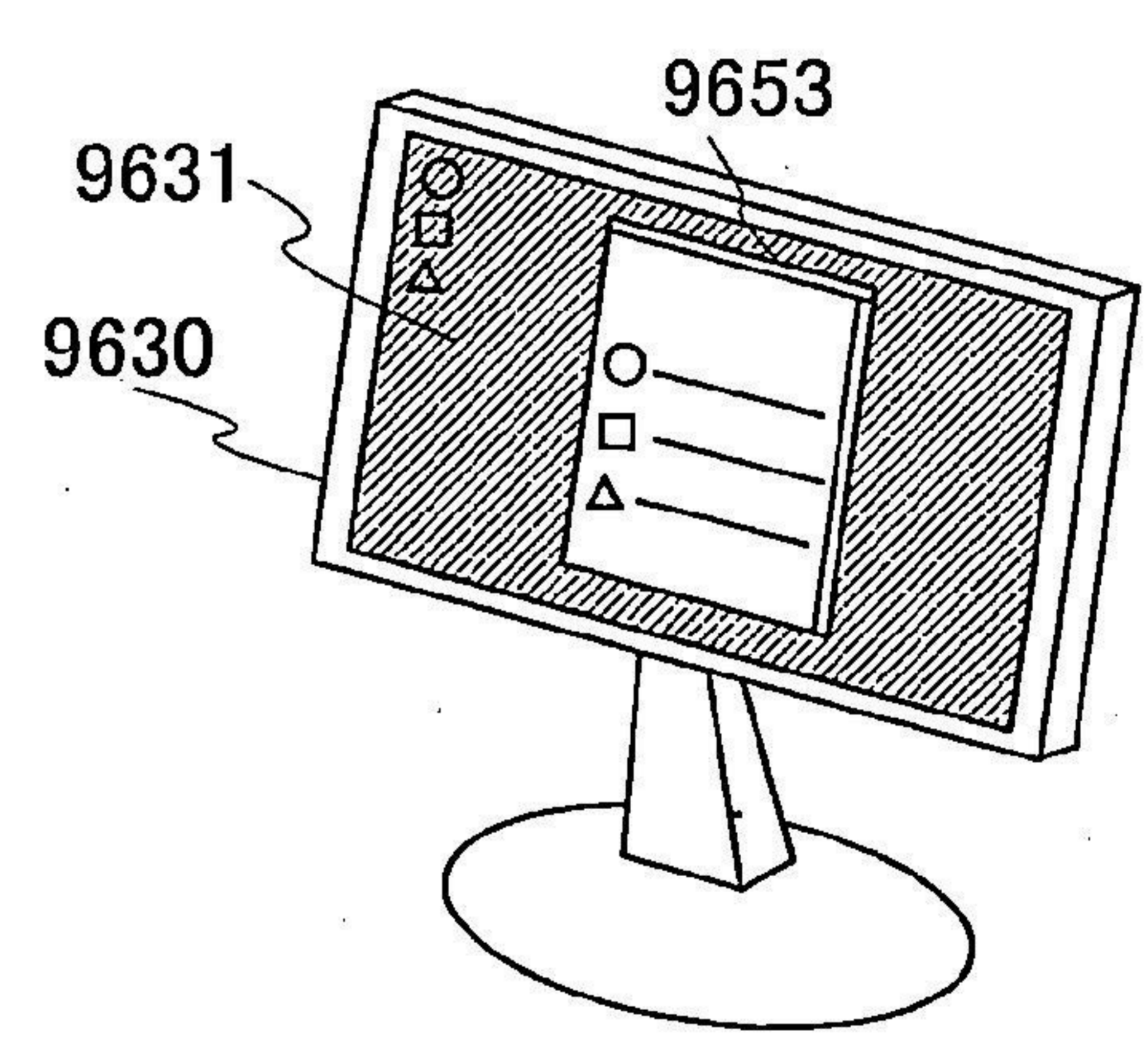


圖 21A

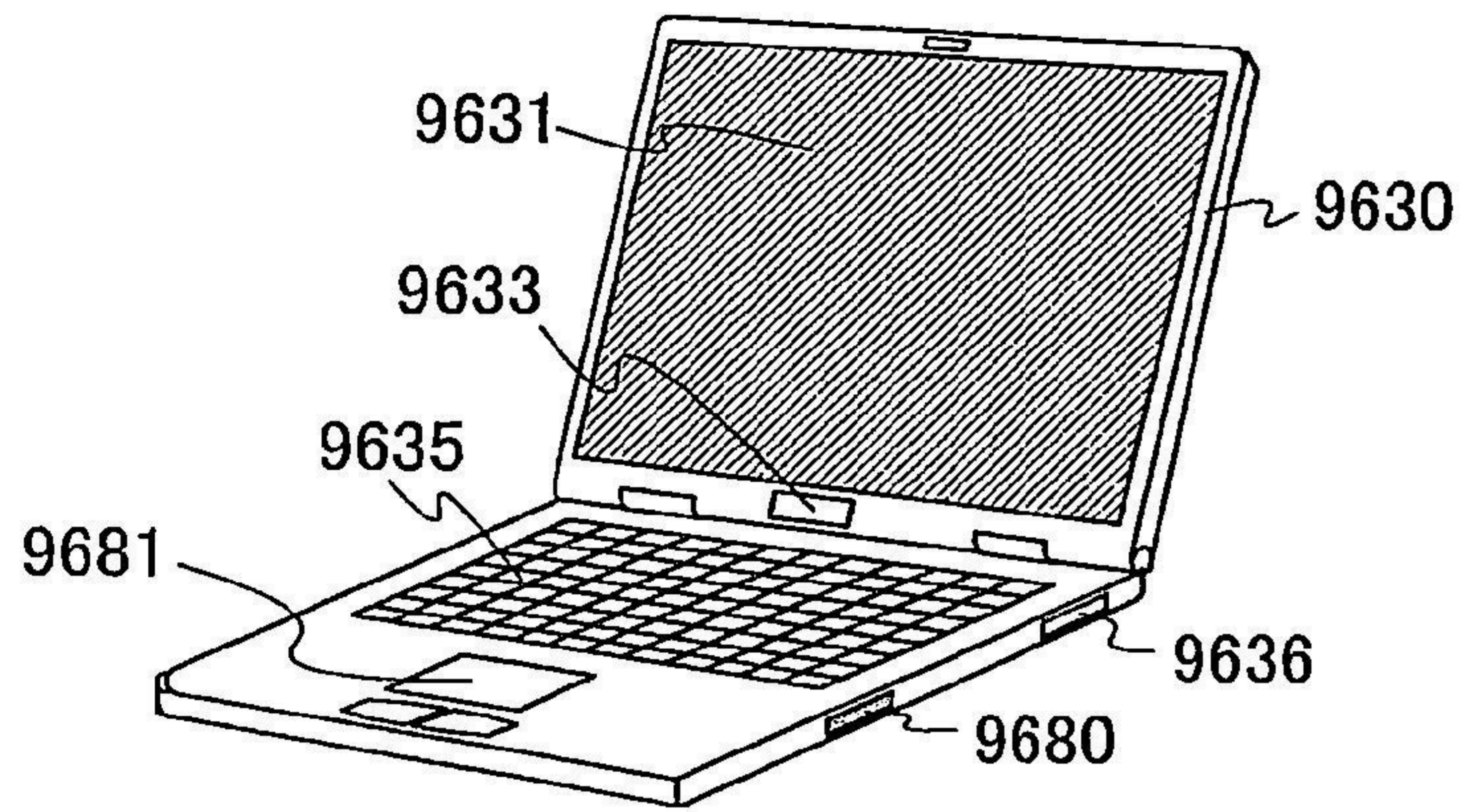


圖 21B

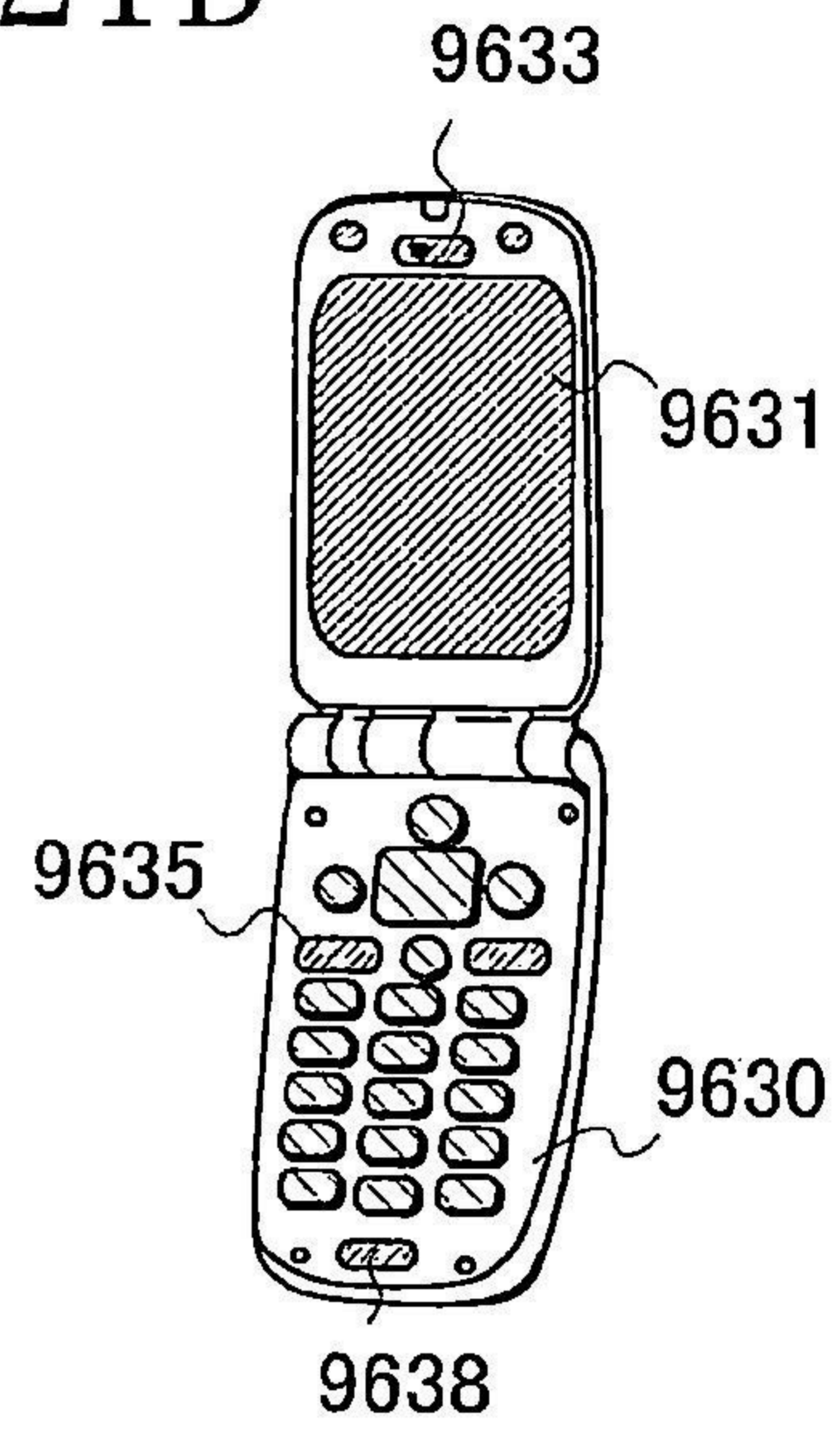


圖 21C

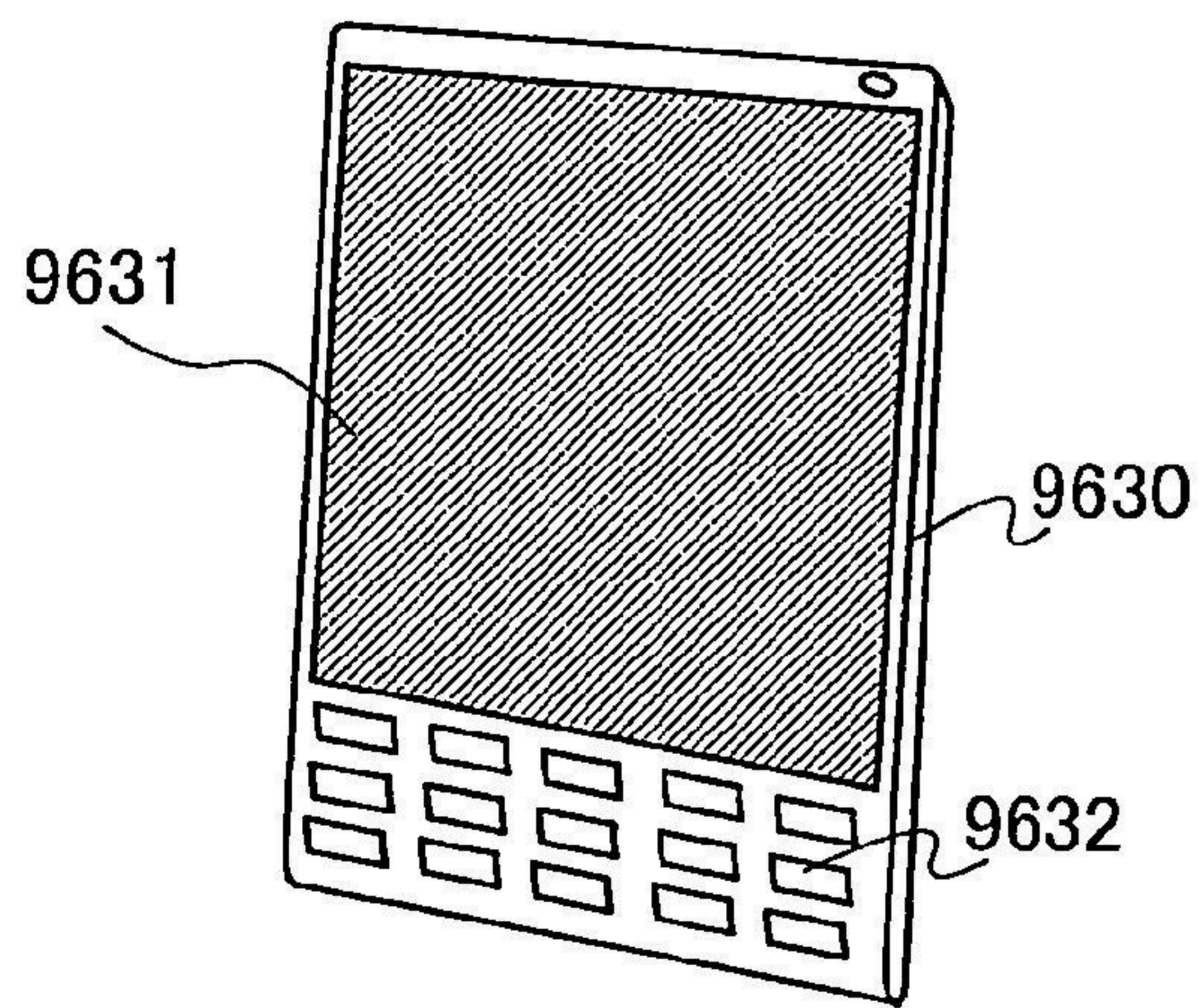


圖 21D

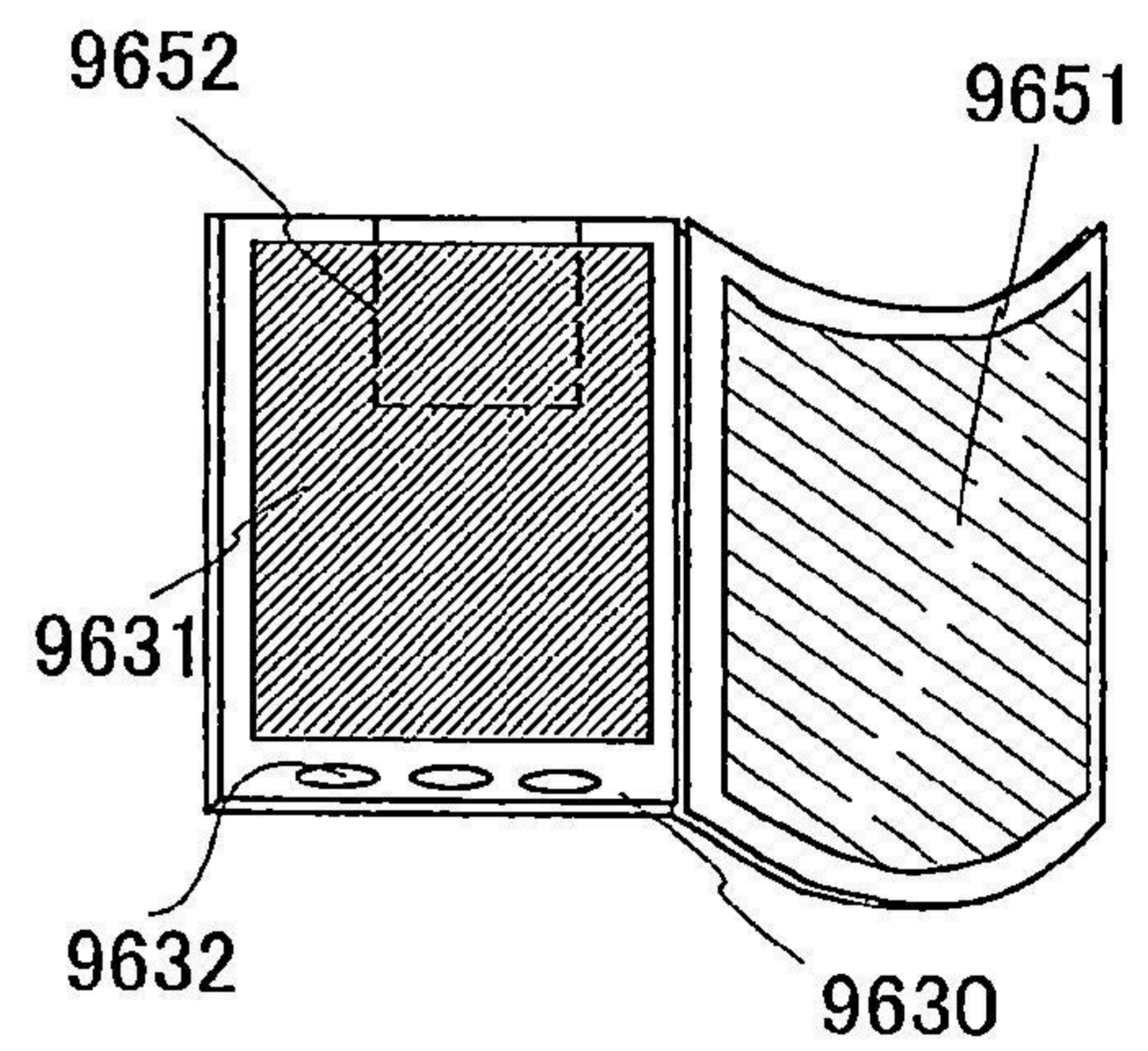


圖 22A

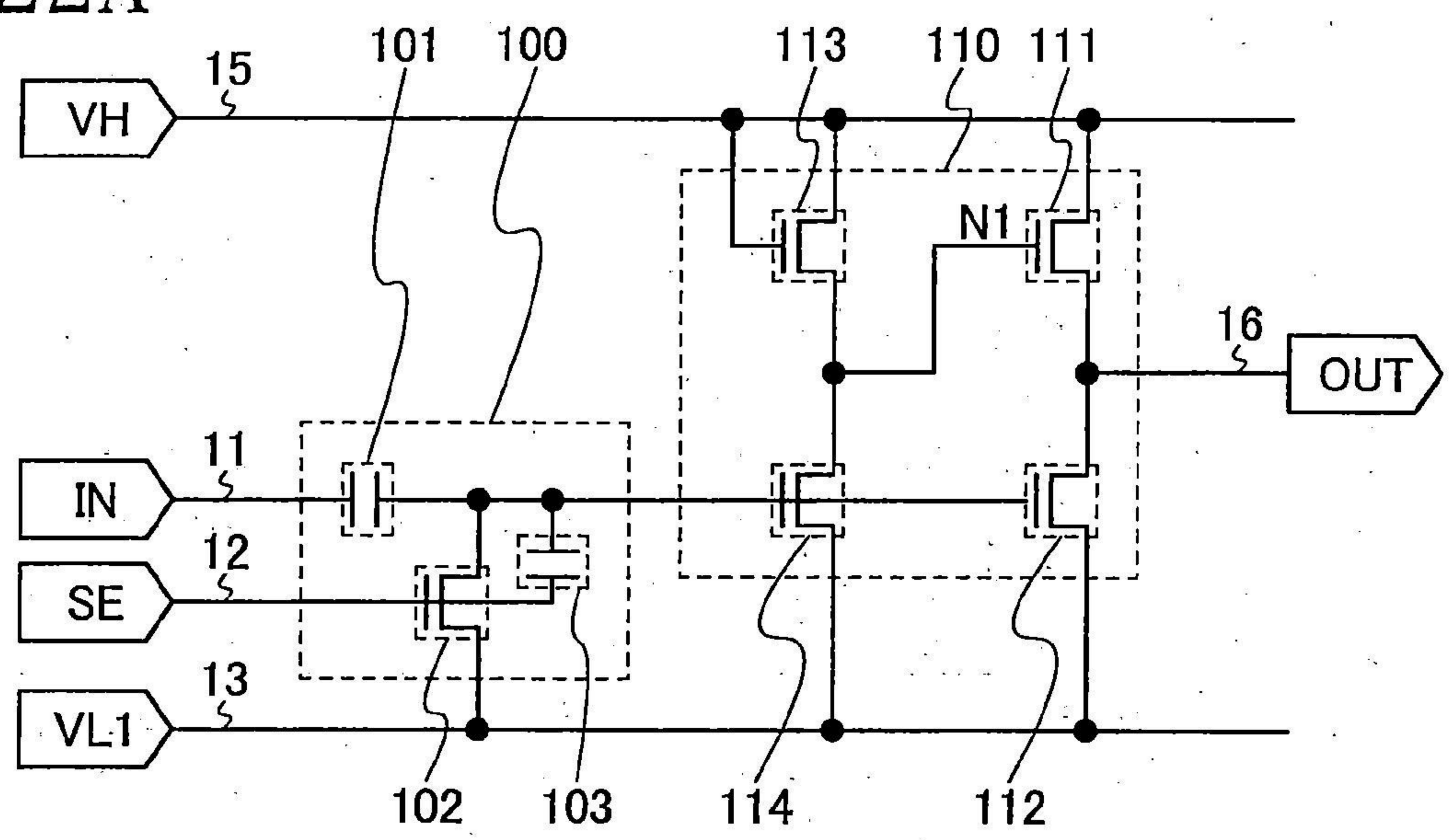


圖 22B

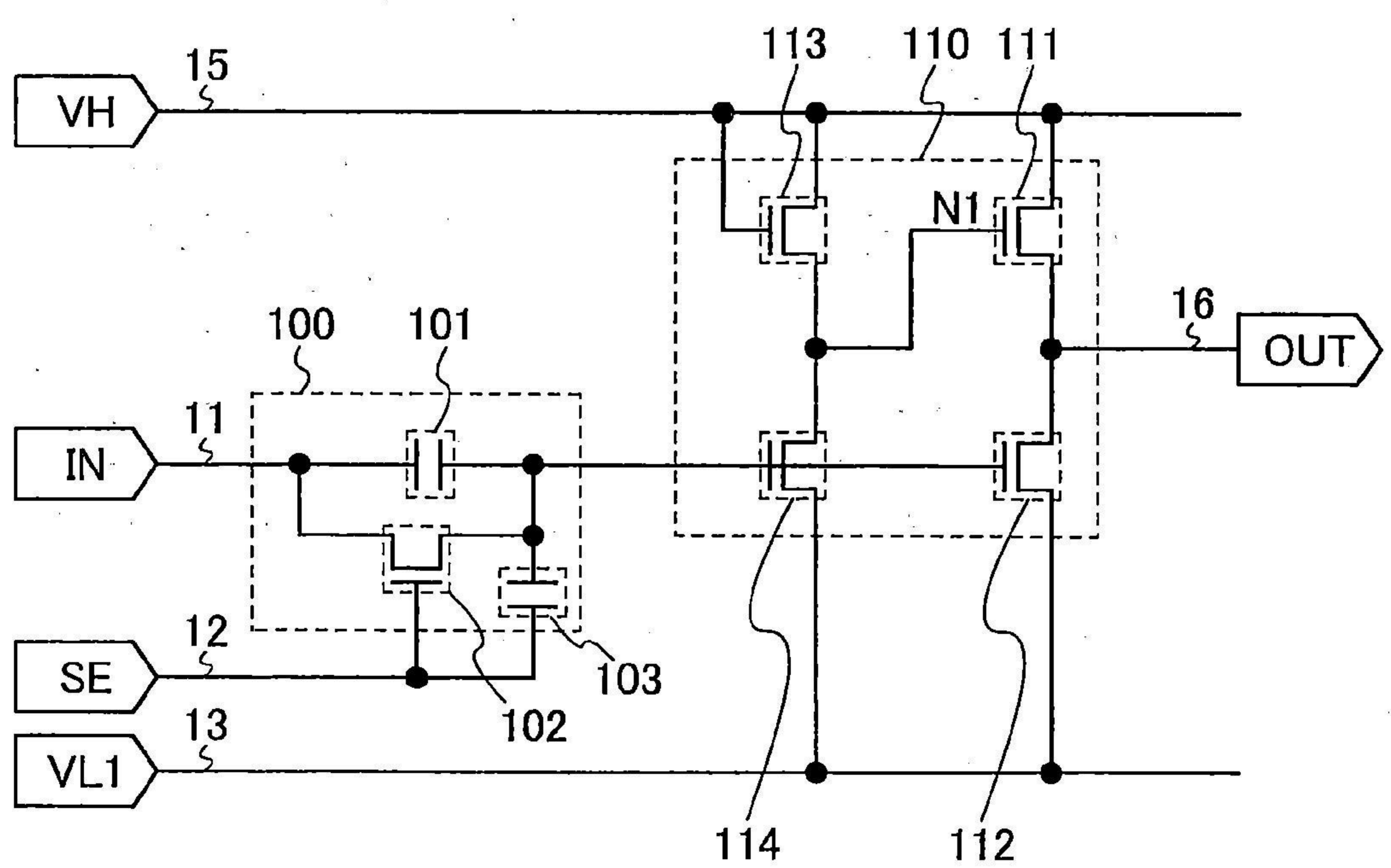


圖 23

