(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0088675
(43) 공개일자 2022년06월28일

(51) 국제특허분류(Int. Cl.)
H01L 27/15 (2006.01) *H01L 27/12* (2006.01)
H01L 33/08 (2010.01) *H01L 33/20* (2010.01)
H01L 33/38 (2010.01) *H01L 33/44* (2010.01)
H01L 33/48 (2010.01) *H01L 33/54* (2010.01)
H01L 33/56 (2010.01) *H01L 33/60* (2010.01)
H01L 33/62 (2010.01)
(52) CPC특허분류
H01L 27/156 (2013.01)
H01L 27/1214 (2013.01)
(21) 출원번호 10-2022-7004589
(22) 출원일자(국제) 2020년10월21일
심사청구일자 없음
(85) 번역문제출일자 2022년02월10일
(86) 국제출원번호 PCT/KR2020/014397
(87) 국제공개번호 WO 2021/080311
국제공개일자 2021년04월29일
(30) 우선권주장
17/075,636 2020년10월20일 미국(US)
62/924,737 2019년10월23일 미국(US)

(71) 출원인
서울바이오시스 주식회사
경기도 안산시 단원구 산단로163번길 65-16, 1블럭 36호 (원시동)
(72) 발명자
장종민
경기도 안산시 단원구 산단로 163번길 65-16
김창연
경기도 안산시 단원구 산단로 163번길 65-16
(74) 대리인
특허법인에이아이피

전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **LED 디스플레이 장치**

(57) 요 약

일 실시예에 따른 디스플레이 장치는, 디스플레이 기판; 상기 디스플레이 기판 상에 배치된 복수의 발광 소자; 및 상기 발광 소자들의 측면을 덮고 상면을 노출시키는 몰딩층을 포함하되, 상기 발광 소자는, 제1 LED 서브 유닛; 상기 제1 LED 서브 유닛 상에 배치된 제2 LED 서브 유닛; 및 상기 제2 LED 서브 유닛 상에 배치된 제3 LED 서브 유닛을 포함하고, 상기 제3 LED 서브 유닛이 상기 제1 LED 서브 유닛보다 상기 발광 소자의 상면에 더 가깝게 배치된다.

(52) CPC특허분류
H01L 33/08 (2013.01)
H01L 33/20 (2013.01)
H01L 33/382 (2013.01)
H01L 33/385 (2013.01)
H01L 33/44 (2013.01)
H01L 33/486 (2013.01)
H01L 33/56 (2013.01)
H01L 33/60 (2013.01)
H01L 33/62 (2013.01)

명 세 서

청구범위

청구항 1

디스플레이 기판;

상기 디스플레이 기판 상에 배치된 복수의 발광 소자; 및

상기 발광 소자들의 측면을 덮고 상면을 노출시키는 몰딩층을 포함하되,

상기 발광 소자는,

제1 LED 서브 유닛;

상기 제1 LED 서브 유닛 상에 배치된 제2 LED 서브 유닛; 및

상기 제2 LED 서브 유닛 상에 배치된 제3 LED 서브 유닛을 포함하고,

상기 제3 LED 서브 유닛이 상기 제1 LED 서브 유닛보다 상기 발광 소자의 상면에 더 가깝게 배치된 디스플레이 장치.

청구항 2

청구항 1에 있어서,

상기 몰딩층은 발광 소자에서 방출된 광을 반사 또는 흡수하여 광을 차단하는 디스플레이 장치.

청구항 3

청구항 1에 있어서,

상기 제1, 제2 및 제3 LED 서브 유닛들은 각각 적색광, 청색광 및 녹색광을 발하는 디스플레이 장치.

청구항 4

청구항 1에 있어서,

상기 제1 LED 서브 유닛은 제1 발광 스택을 포함하고,

상기 제2 LED 서브 유닛은 제2 발광 스택을 포함하며,

상기 제3 LED 서브 유닛은 제3 발광 스택을 포함하며,

상기 제1 발광 스택, 제2 발광 스택, 및 제3 발광 스택 각각은 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하는 디스플레이 장치.

청구항 5

청구항 4에 있어서,

상기 몰딩층의 상면은 상기 제3 발광 스택의 제1 도전형 반도체층의 상면과 나란한 디스플레이 장치.

청구항 6

청구항 4에 있어서,

상기 발광 소자는 상기 제3 LED 서브 유닛 상에 배치된 기판을 더 포함하고,

상기 몰딩층의 상면은 상기 기판의 상면과 나란한 디스플레이 장치.

청구항 7

청구항 4에 있어서,

상기 발광 소자는,

상기 제1 LED 서브 유닛과 상기 제2 LED 서브 유닛 사이에 개재된 제1 본딩층; 및

상기 제2 LED 서브 유닛과 상기 제3 LED 서브 유닛 사이에 개재된 제2 본딩층을 더 포함하는 디스플레이 장치.

청구항 8

청구항 7에 있어서,

상기 발광 소자는,

상기 제1 LED 서브 유닛에 전기적으로 연결된 제1 연결 전극;

상기 제2 LED 서브 유닛에 전기적으로 연결된 제2 연결 전극;

상기 제3 LED 서브 유닛에 전기적으로 연결된 제3 연결 전극; 및

상기 제1, 제2, 및 제3 서브 유닛들에 공통으로 전기적으로 연결된 제4 연결 전극을 더 포함하는 디스플레이 장치.

청구항 9

청구항 8에 있어서,

상기 발광 소자는 상기 제1 내지 제4 연결 전극의 적어도 일부를 둘러싸는 보호층을 더 포함하는 디스플레이 장치.

청구항 10

청구항 9에 있어서,

상기 보호층은 에폭시 몰딩 컴파운드 또는 폴리이미드 필름을 포함하고,

상기 보호층의 하면은 상기 제1 내지 제4 연결 전극의 하면과 나란한 디스플레이 장치.

청구항 11

청구항 8에 있어서,

상기 디스플레이 기판과 상기 발광 소자 사이에 개재된 회로 기판을 더 포함하되,

상기 제1 내지 제4 연결 전극들은 상기 회로 기판에 본딩되고,

상기 몰딩층은 상기 회로 기판 상에 배치된 디스플레이 장치.

청구항 12

청구항 8에 있어서,

상기 제1, 제2, 제3 및 제4 연결 전극들의 하면은 각각의 상면보다 더 큰 디스플레이 장치.

청구항 13

청구항 8에 있어서,

상기 제1 연결 전극, 제2 연결 전극, 및 제3 연결 전극은 각각 상기 제1 발광 스택, 제2 발광 스택, 및 제3 발광 스택의 제2 도전형 반도체층에 전기적으로 연결되고,

상기 제4 연결 전극은 상기 제1 내지 제3 발광 스택의 제1 도전형 반도체층들에 공통으로 전기적으로 연결된 디스플레이 장치.

청구항 14

청구항 13에 있어서,

상기 제1 LED 서브 유닛은 제1 도전형 반도체층, 활성층, 제2 도전형 반도체층 및 상기 제1 도전형 반도체층과

오믹 콘택하는 상부 콘택 전극을 포함하되,

상기 제1 도전형 반도체층은 리세스된 부분을 포함하고,

상기 상부 콘택 전극은 상기 제1 도전형 반도체층의 리세스된 부분 내에 형성된 디스플레이 장치.

청구항 15

청구항 13에 있어서,

상기 발광 소자는

각각 상기 제1 내지 제3 발광 스택의 제2 도전형 반도체층들에 콘택하는 제1 내지 제3 하부 콘택 전극들; 및

상기 제1 내지 제3 하부 콘택 전극들을 부분적으로 노출시키는 제1 내지 제3 콘택홀들을 갖는 제1 절연층을 포함하되,

상기 제1 절연층은 상기 제1 내지 제3 발광 스택의 제1 도전형 반도체층들 상에 배치된 서브 콘택홀들을 갖고,

상기 서브 콘택홀들은 서로 이격된 디스플레이 장치.

청구항 16

청구항 15에 있어서,

상기 제1 내지 제3 콘택홀들과 중첩하는 제1 내지 제3 패드들 및 상기 서브 콘택홀들과 중첩하는 제4 패드를 포함하되, 상기 제1 내지 제4 연결 전극들은 각각 상기 제1 내지 제4 패드들에 전기적으로 연결된 디스플레이 장치.

청구항 17

디스플레이 기판;

상기 디스플레이 기판 상에 배치된 복수의 발광 소자; 및

상기 발광 소자들의 측면을 덮고 상면을 노출시키는 몰딩층을 포함하되,

상기 발광 소자는,

적색광을 방출하는 제1 발광 스택;

상기 제1 발광 스택 상에 배치되고, 청색광을 방출하는 제2 발광 스택; 및

상기 제2 발광 스택 상에 배치되고, 녹색광을 방출하는 제3 발광 스택을 포함하고,

상기 제3 발광 스택이 상기 발광 소자의 상면에 가깝에 배치되며,

상기 몰딩층은 상기 제1 내지 제3 발광 스택에서 방출된 광을 차단하는 디스플레이 장치.

청구항 18

청구항 17에 있어서,

상기 발광 소자는 상기 제3 발광 스택 상에 배치된 기판을 더 포함하고,

상기 몰딩층은 상기 기판의 측면을 덮고 상기 기판의 상면을 노출시키는 디스플레이 장치.

청구항 19

청구항 17에 있어서,

상기 발광 소자는,

상기 제1 내지 제3 발광 스택의 p형 반도체층들에 전기적으로 접속된 제1 내지 제3 연결 전극들; 및

상기 제1 내지 제3 발광 스택의 n형 반도체층들에 공통으로 전기적으로 접속된 제4 연결 전극을 더 포함하는 디스플레이 장치.

청구항 20

청구항 19에 있어서,

상기 발광 소자는 상기 연결 전극들의 측면을 적어도 부분적으로 덮는 보호층을 더 포함하는 디스플레이 장치.

발명의 설명

기 술 분 야

[0001] 본 개시는 디스플레이 장치에 관한 것으로, 특히, LED 디스플레이 장치에 관한 것이다.

배 경 기 술

[0002] 발광 다이오드는 무기 광원으로서, 디스플레이 장치, 차량용 램프, 일반 조명과 같은 여러 분야에 다양하게 이용되고 있다. 발광 다이오드는 수명이 길고, 소비 전력이 낮으며, 응답속도가 빠른 장점이 있어 기존 광원을 빠르게 대체하고 있다.

[0003] 한편, 종래의 발광 다이오드는 디스플레이 장치에서 백라이트 광원으로 주로 사용되어 왔다. 그러나 최근 발광 다이오드를 이용하여 직접 이미지를 구현하는 LED 디스플레이가 개발되고 있다.

[0004] 디스플레이 장치는 일반적으로 청색, 녹색 및 적색의 혼합 색을 이용하여 다양한 색상을 구현한다. 디스플레이 장치는 다양한 이미지를 구현하기 위해 복수의 픽셀을 포함하고, 각 픽셀은 청색, 녹색 및 적색의 서브 픽셀을 구비하며, 이들 서브 픽셀들의 색상을 통해 특정 픽셀의 색상이 정해지고, 이들 픽셀들의 조합에 의해 이미지가 구현된다.

[0005] LED는 그 재료에 따라 다양한 색상의 광을 방출할 수 있어, 청색, 녹색 및 적색을 방출하는 개별 LED 칩들을 2차원 평면상에 배열하여 디스플레이 장치를 제공할 수 있다. 그러나 각 서브 픽셀에 하나의 LED 칩을 배열할 경우, LED 칩의 개수가 많아져 실장 공정에 시간이 많이 소요된다.

[0006] 서브 픽셀들을 2차원 평면상에 배열하기 때문에, 청색, 녹색 및 적색 서브 픽셀들을 포함하는 하나의 픽셀이 점유하는 면적이 상대적으로 넓어진다. 따라서, 제한된 면적 내에 서브 픽셀들을 배열하기 위해서는 각 LED 칩의 면적을 줄여야 한다. 그러나 LED 칩의 크기 감소는 LED 칩의 실장을 어렵게 만들 수 있으며, 나아가, 발광 면적의 감소를 초래한다.

[0007] 한편, 다양한 색상을 구현하는 디스플레이 장치는 고품질 백색광을 일관되게 제공할 필요가 있다. 종래 TV는 D65의 표준 백색광을 구현하기 위해 3:6:1의 RGB 혼합비를 사용하였다. 즉, 청색의 광도에 비해 적색의 광도가 상대적으로 더 높고, 녹색과의 광도가 상대적으로 가장 높다. 그런데, 현재 사용되는 LED 칩은 일반적으로 청색 LED의 광도가 다른 LED들에 비해 상대적으로 매우 높기 때문에, LED 칩들을 이용한 디스플레이 장치에서 RGB 혼합비를 맞추기 어려운 문제가 있다.

[0008] 또한, 하나의 픽셀 내에서 방출되는 청색, 녹색 및 적색광의 지향각이 넓으면 인접한 픽셀과 간섭을 일으킬 수 있으며 나아가 선명한 화질을 구현하기 어렵다. 더욱이, 하나의 픽셀 내에서 방출되는 청색, 녹색 및 적색광의 지향각이 서로 다를 경우, 보는 각도에 따라 RGB 혼합비가 다른 이미지가 구현된다.

발명의 내용

해결하려는 과제

[0009] 본 개시가 해결하고자 하는 과제는, 제한된 픽셀 면적 내에서 각 서브 픽셀의 면적을 증가시킬 수 있는 디스플레이 장치를 제공하는 것이다.

[0010] 본 개시가 해결하고자 하는 또 다른 과제는, 발광 소자의 실장 공정 시간을 단축할 수 있는 디스플레이 장치를 제공하는 것이다.

[0011] 본 개시가 해결하고자 하는 또 다른 과제는, RGB 혼합비를 용이하게 제어할 수 있는 디스플레이 장치를 제공하는 것이다.

[0012] 본 개시가 해결하고자 하는 또 다른 과제는, 하나의 픽셀 내에서 방출되는 다양한 색상의 광의 지향각을 좁힐

수 있는 디스플레이 장치를 제공하는 것이다.

[0013] 본 개시가 해결하고자 하는 또 다른 과제는, 하나의 픽셀 내에서 방출되는 다양한 색상의 광의 지향각을 서로 동일하게 할 수 있는 디스플레이 장치를 제공하는 것이다.

과제의 해결 수단

[0014] 본 개시의 일 실시예에 따른 디스플레이 장치는, 디스플레이 기판; 상기 디스플레이 기판 상에 배치된 복수의 발광 소자; 및 상기 발광 소자들의 측면을 덮고 상면을 노출시키는 몰딩층을 포함하되, 상기 발광 소자는, 제1 LED 서브 유닛; 상기 제1 LED 서브 유닛 상에 배치된 제2 LED 서브 유닛; 및 상기 제2 LED 서브 유닛 상에 배치된 제3 LED 서브 유닛을 포함하고, 상기 제3 LED 서브 유닛이 상기 제1 LED 서브 유닛보다 상기 발광 소자의 상면에 더 가깝게 배치된다.

[0015] 본 개시의 또 다른 실시예에 따른 디스플레이 장치는, 디스플레이 기판; 상기 디스플레이 기판 상에 배치된 복수의 발광 소자; 및 상기 발광 소자들의 측면을 덮고 상면을 노출시키는 몰딩층을 포함하되, 상기 발광 소자는, 적색광을 방출하는 제1 발광 스택; 상기 제1 발광 스택 상에 배치되고, 청색광을 방출하는 제2 발광 스택; 및 상기 제2 발광 스택 상에 배치되고, 녹색광을 방출하는 제3 발광 스택을 포함하고, 상기 제3 발광 스택이 상기 발광 소자의 상면에 가깝에 배치되며, 상기 몰딩층은 상기 제1 내지 제3 발광 스택에서 방출된 광을 차단한다.

도면의 간단한 설명

[0016] 도 1A는 본 개시의 일 실시예에 따른 발광 소자를 설명하기 위한 개략적인 사시도이다.

도 1B는 도 1A의 발광 소자의 개략적인 평면도이다.

도 1C 및 도 1D는 각각 도 1B의 절취선 A-A' 및 B-B'를 따라 취해진 개략적인 단면도들이다.

도 2는 본 개시의 일 실시예에 따른 발광 스택 구조체의 개략적인 단면도이다.

도 3A, 도 4A, 도 5A, 도 6A, 도 7A 및 도 8A는 예시적인 실시예에 따른 도 1A의 발광 소자를 제조하는 과정을 나타내는 평면도들이다.

도 3B, 도 4B, 도 5B, 도 6B, 도 7B 및 도 8B는 예시적인 실시예에 따른 도 3A, 4A, 5A, 6A, 7A 및 8A에 도시된 대응 평면도의 A-A'선에 따른 단면도들이다.

도 3C, 도 4C, 도 5C, 도 6C, 도 7C 및 도 8C는 예시적인 실시예에 따른 도 3A, 4A, 5A, 6A, 7A 및 8A에 도시된 대응 평면도의 B-B'선에 따른 단면도들이다.

도 9, 도 10, 도 11, 도 12 및 도 13은 예시적인 실시예에 따른 도 1A의 발광 소자의 제조 공정을 개략적으로 도시한 단면도들이다.

도 14, 도 15 및 도 16은 본 개시의 일 실시예에 따른 발광 패키지 제조 공정을 개략적으로 도시한 단면도이다.

도 17은 본 개시의 일 실시예에 따른 디스플레이 장치를 설명하기 위한 개략적인 단면도이다.

도 18은 본 개시의 또 다른 실시예에 따른 발광 패키지를 설명하기 위한 개략적인 단면도이다.

도 19A는 종래 기술에 따라 몰딩층을 사용하지 않은 경우에 있어서 발광 소자의 지향각을 나타내는 그래프이다.

도 19B는 본 개시의 일 실시예에 따라 투명 몰딩층을 사용한 경우에 있어서 발광 소자의 지향각을 나타내는 그래프이다.

도 19C는 본 개시의 일 실시예에 따른 블랙 몰딩층을 사용한 경우에 있어서 발광 소자의 지향각을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 첨부한 도면들을 참조하여 본 개시의 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 본 개시가 속하는 기술분야의 통상의 기술자에게 본 개시의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 개시는 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 또한, 하나의 구성요소가 다른 구성요소의 "상부에" 또는 "상에" 있다고 기재된 경우 각 부분이 다른 부분의 "바로 상부" 또

는 "바로 상에" 있는 경우뿐만 아니라 각 구성요소와 다른 구성요소 사이에 또 다른 구성요소가 개재된 경우도 포함한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0018] 본 개시의 일 실시예에 따른 디스플레이 장치는, 디스플레이 기판; 상기 디스플레이 기판 상에 배치된 복수의 발광 소자; 및 상기 발광 소자들의 측면을 덮고 상면을 노출시키는 몰딩층을 포함하되, 상기 발광 소자는, 제1 LED 서브 유닛; 상기 제1 LED 서브 유닛 상에 배치된 제2 LED 서브 유닛; 및 상기 제2 LED 서브 유닛 상에 배치된 제3 LED 서브 유닛을 포함하고, 상기 제3 LED 서브 유닛이 상기 제1 LED 서브 유닛보다 상기 발광 소자의 상면에 더 가깝게 배치된다.

[0019] 제1 내지 제3 LED 서브 유닛이 서로 중첩하기 때문에, 픽셀 면적을 증가시키지 않고 제한된 픽셀 면적 내에서 각 서브 픽셀의 면적을 증가시킬 수 있다. 나아가, 발광 소자가 제1 내지 제3 LED 서브 유닛을 포함하기 때문에, 종래의 발광 소자에 비해 발광 소자의 개수를 줄일 수 있으며, 따라서, 발광 소자 실장 공정 시간을 단축할 수 있다.

[0020] 또한, 몰딩층이 발광 소자의 측면을 덮고 상면을 노출시키므로, 제1 내지 제3 LED 서브 유닛에서 방출되는 광의 지향각을 좁힐 수 있으며, 더욱이, 제1 내지 제3 LED 서브 유닛에서 방출되는 광의 지향각을 대체로 동일하게 할 수 있다.

[0021] 일 실시예에서, 상기 몰딩층은 발광 소자에서 방출된 광을 반사 또는 흡수하여 광을 차단할 수 있다.

[0022] 한편, 상기 제1, 제2 및 제3 LED 서브 유닛들은 각각 적색광, 청색광 및 녹색광을 발할 수 있다. 제2 서브 유닛이 청색광을 방출하고 제3 서브 유닛이 녹색광을 방출함으로써 녹색광의 광도를 증가시킬 수 있으며, 이에 따라, 디스플레이 장치에 적합한 RGB 혼합비율을 쉽게 제공할 수 있다.

[0023] 상기 제1 LED 서브 유닛은 제1 발광 스택을 포함할 수 있으며, 상기 제2 LED 서브 유닛은 제2 발광 스택을 포함할 수 있고, 상기 제3 LED 서브 유닛은 제3 발광 스택을 포함할 수 있으며, 상기 제1 발광 스택, 제2 발광 스택, 및 제3 발광 스택 각각은 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함할 수 있다.

[0024] 일 실시예에서, 상기 몰딩층의 상면은 상기 제3 발광 스택의 제1 도전형 반도체층의 상면과 나란할 수 있다.

[0025] 다른 실시예에서, 상기 발광 소자는 상기 제3 LED 서브 유닛 상에 배치된 기판을 더 포함할 수 있으며, 상기 몰딩층의 상면은 상기 기판의 상면과 나란할 수 있다.

[0026] 상기 발광 소자는, 상기 제1 LED 서브 유닛과 상기 제2 LED 서브 유닛 사이에 개재된 제1 본딩층; 및 상기 제2 LED 서브 유닛과 상기 제3 LED 서브 유닛 사이에 개재된 제2 본딩층을 더 포함할 수 있다.

[0027] 또한, 상기 발광 소자는, 상기 제1 LED 서브 유닛에 전기적으로 연결된 제1 연결 전극; 상기 제2 LED 서브 유닛에 전기적으로 연결된 제2 연결 전극; 상기 제3 LED 서브 유닛에 전기적으로 연결된 제3 연결 전극; 및 상기 제1, 제2, 및 제3 서브 유닛들에 공통으로 전기적으로 연결된 제4 연결 전극을 더 포함할 수 있다.

[0028] 나아가, 상기 발광 소자는 상기 제1 내지 제4 연결 전극의 적어도 일부를 둘러싸는 보호층을 더 포함할 수 있다.

[0029] 상기 보호층은 에폭시 몰딩 컴파운드 또는 폴리이미드 필름을 포함할 수 있으며, 상기 보호층의 하면은 상기 제1 내지 제4 연결 전극의 하면과 나란할 수 있다.

[0030] 상기 디스플레이 장치는 상기 디스플레이 기판과 상기 발광 소자 사이에 개재된 회로 기판을 더 포함할 수 있으며, 상기 제1 내지 제4 연결 전극들은 상기 회로 기판에 본딩될 수 있고, 상기 몰딩층은 상기 회로 기판 상에 배치될 수 있다.

[0031] 상기 제1, 제2, 제3 및 제4 연결 전극들의 하면은 각각의 상면보다 더 클 수 있다.

[0032] 나아가, 상기 제1 연결 전극, 제2 연결 전극, 및 제3 연결 전극은 각각 상기 제1 발광 스택, 제2 발광 스택, 및 제3 발광 스택의 제2 도전형 반도체층에 전기적으로 연결될 수 있으며, 상기 제4 연결 전극은 상기 제1 내지 제3 발광 스택의 제1 도전형 반도체층들에 공통으로 전기적으로 연결될 수 있다.

[0033] 한편, 상기 제1 LED 서브 유닛은 제1 도전형 반도체층, 활성층, 제2 도전형 반도체층 및 상기 제1 도전형 반도체층과 오믹 콘택하는 상부 콘택 전극을 포함할 수 있으며, 상기 제1 도전형 반도체층은 리세스된 부분을 포함하고, 상기 상부 콘택 전극은 상기 제1 도전형 반도체층의 리세스된 부분 내에 형성될 수 있다.

[0034] 또한, 상기 발광 소자는, 각각 상기 제1 내지 제3 발광 스택의 제2 도전형 반도체층들에 콘택하는 제1 내지 제3

하부 콘택 전극들; 및 상기 제1 내지 제3 하부 콘택 전극들을 부분적으로 노출시키는 제1 내지 제3 콘택홀들을 갖는 제1 절연층을 포함할 수 있으며, 상기 제1 절연층은 상기 제1 내지 제3 발광 스택의 제1 도전형 반도체층들 상에 배치된 서브 콘택홀들을 가질 수 있고, 상기 서브 콘택홀들은 서로 이격될 수 있다.

[0035] 나아가, 상기 제1 내지 제3 콘택홀들과 중첩하는 제1 내지 제3 패드들 및 상기 서브 콘택홀들과 중첩하는 제4 패드를 포함할 수 있으며, 상기 제1 내지 제4 연결 전극들은 각각 상기 제1 내지 제4 패드들에 전기적으로 연결될 수 있다.

[0036] 본 개시의 또 다른 실시예에 따른 디스플레이 장치는, 디스플레이 기판; 상기 디스플레이 기판 상에 배치된 복수의 발광 소자; 및 상기 발광 소자들의 측면을 덮고 상면을 노출시키는 몰딩층을 포함하되, 상기 발광 소자는, 적색광을 방출하는 제1 발광 스택; 상기 제1 발광 스택 상에 배치되고, 청색광을 방출하는 제2 발광 스택; 및 상기 제2 발광 스택 상에 배치되고, 녹색광을 방출하는 제3 발광 스택을 포함하고, 상기 제3 발광 스택이 상기 발광 소자의 상면에 가깝에 배치되며, 상기 몰딩층은 상기 제1 내지 제3 발광 스택에서 방출된 광을 차단한다.

[0037] 나아가, 상기 발광 소자는 상기 제3 발광 스택 상에 배치된 기판을 더 포함할 수 있으며, 상기 몰딩층은 상기 기판의 측면을 덮고 상기 기판의 상면을 노출시킬 수 있다.

[0038] 일 실시예에서, 상기 발광 소자는, 상기 제1 내지 제3 발광 스택의 p형 반도체층들에 전기적으로 접속된 제1 내지 제3 연결 전극들; 및 상기 제1 내지 제3 발광 스택의 n형 반도체층들에 공통으로 전기적으로 접속된 제4 연결 전극을 더 포함할 수 있다.

[0039] 나아가, 상기 발광 소자는 상기 연결 전극들의 측면을 적어도 부분적으로 덮는 보호층을 더 포함할 수 있다.

[0040] 이하 도면을 참조하여 본 개시의 실시예들에 대해 구체적으로 설명한다. 이하에서, 발광 스택 구조체, 발광 소자, 또는 발광 패키지는 마이크로-LED를 포함할 수 있으며, 이는 당 기술 분야에 알려져 있듯이, 발광 면적이 10000 um^2 이하이다. 다른 실시예들에 있어서, 마이크로-LED는 4000 um^2 이하, 나아가 2500 um^2 이하의 발광 면적을 가질 수 있다.

[0041] 도 1A는 본 개시의 일 실시예에 따른 발광 소자를 설명하기 위한 개략적인 사시도이고, 도 1B는 도 1A의 발광 소자의 개략적인 평면도이고, 도 1C 및 도 1D는 각각 도 1B의 절취선 A-A' 및 B-B'를 따라 취해진 개략적인 단면도들이다.

[0042] 도 1A 및 도 1B를 참조하면, 발광 소자(100)는 발광 스택 구조체, 상기 발광 스택 구조체 상에 형성된 제1 연결 전극(20ce), 제2 연결 전극(30ce), 제3 연결 전극(40ce), 및 제4 연결 전극(50ce), 및 상기 연결 전극들(20ce, 30ce, 40ce, 50ce)을 둘러싸는 보호층(90)을 포함한다. 기판(11) 상에 발광 소자들(100)의 어레이가 형성될 수 있으며, 도 1A에 예시적으로 도시된 발광 소자(100)는 상기 어레이로부터 단일화된 것을 도시하며, 따라서, 발광 소자로 명명될 수 있다. 발광 소자들(100)의 형성 및 단일화에 대해서는 뒤에서 상세하게 설명될 것이다. 몇몇 실시예들에 있어서, 발광 스택 구조체를 포함하는 발광 소자(100)는 발광 패키지로 형성되도록 추가로 처리될 수 있으며, 이에 대해서도 뒤에서 상세하게 설명될 것이다.

[0043] 도 1A 내지 도 1D를 참조하면, 예시된 실시예에 따른 발광 소자(100)는 발광 스택 구조체를 포함하며, 기판 상에 배치된 제1 LED 서브 유닛, 제2 LED 서브 유닛 및 제3 LED 서브 유닛을 포함할 수 있다. 제1 LED 서브 유닛은 제1 발광 스택(20)을 포함할 수 있으며, 제2 LED 서브 유닛은 제2 발광 스택(30)을 포함할 수 있고, 제3 LED 서브 유닛은 제3 발광 스택(40)을 포함할 수 있다. 상기 발광 스택 구조체는 세 개의 발광 스택들(20, 30, 40)을 도시하지만, 본 개시가 특정 개수의 발광 스택들에 제한되는 것은 아니다. 예를 들어, 몇몇 실시예들에 있어서, 발광 스택 구조체는 두 개 또는 더 많은 수의 발광 스택들을 포함할 수 있다. 여기서는 발광 소자(100)가 일 실시예에 따라 세 개의 발광 스택들(20, 30, 40)을 포함하는 발광 스택 구조체에 대해 설명할 것이다.

[0044] 기판(11)은 광을 투과하기 위해 광 투과 절연성 물질을 포함할 수 있다. 그러나 몇몇 실시예들에 있어서, 기판(11)은 특정 파장의 광만을 투과하거나 특정 파장의 광의 일부만을 투과하도록 반투명 또는 부분적으로 투명하게 형성될 수도 있다. 기판(11)은 제3 발광 스택(40)을 에피택셜 성장할 수 있는 성장 기판, 예를 들어 사파이어 기판일 수 있다. 다만, 기판(11)은 사파이어 기판에 한정되는 것은 아니며, 다른 다양한 투명 절연 물질을 포함할 수 있다. 예를 들어, 기판(11)은 글래스, 쿼츠, 실리콘, 유기 폴리머, 또는 유기-무기 복합 재료를 포함할 수 있으며, 예를 들어, 탄화실리콘(SiC), 질화갈륨(GaN), 질화인디움갈륨(InGaN), 질화알루미늄갈륨(AlGaN), 질화알루미늄(AlN), 산화갈륨(Ga2O3), 또는 실리콘 기판일 수 있다. 또한, 기판(11)은 상면에 요철을 포함할 수 있으며, 예를 들어, 패터닝된 사파이어 기판일 수 있다. 상면에 요철을 포함함으로써 기판(11)에 접한 제3 발광

스택(40)에서 생성된 광의 추출 효율을 증가시킬 수 있다. 기판(11)의 요철은 제1 발광 스택(20) 및 제2 발광 스택(30)에 비해 제3 발광 스택(40)의 광도를 선택적으로 증가시키기 위해 채택될 수 있다. 한편, 다른 실시예에 있어서, 기판(11)은 제거될 수도 있다. 기판(11)을 제거함으로써 뒤에서 설명하듯이 제1 내지 제3 발광 스택(20, 30, 40)에서 방출되는 광의 지향각을 좁힐 수 있다.

[0045] 제1, 제2 및 제3 발광 스택들(20, 30, 40)은 기판(11)을 향해 광을 방출하도록 구성된다. 따라서, 제1 발광 스택(20)에서 방출된 광은 제2 및 제3 발광 스택들(30, 40)을 통과할 수 있다. 일 실시예에 따르면, 제1, 제2, 및 제3 발광 스택들(20, 30, 40)은 서로 다른 피크 파장의 광을 방출할 수 있다. 일 실시예에서, 기판(11)으로부터 멀리 떨어진 발광 스택이 기판(11)에 가까운 발광 스택에 비해 더 장 파장의 광을 방출함으로써 광 손실을 줄일 수 있다. 다른 실시예에서, 제1, 제2 및 제3 발광 스택(20, 30, 40)의 색 혼합 비율을 조절하기 위해, 제2 발광 스택(30)이 제3 발광 스택(40)보다 단파장의 광을 방출할 수 있다. 이에 따라, 제2 발광 스택(30)의 광도를 줄이고, 제3 발광 스택(40)의 광도를 증가시킬 수 있으며, 따라서, 제1, 제2 및 제3 발광 스택에서 방출되는 광의 광도 비율을 극적으로 변경할 수 있다. 예를 들어, 제1 발광 스택(20)은 적색광을 방출하고, 제2 발광 스택(30)은 청색광을 방출하고, 제3 발광 스택(40)은 녹색광을 방출하도록 구성될 수 있다. 이에 따라, 청색광의 광도를 상대적으로 줄이고, 녹색광의 광도를 상대적으로 증가시킬 수 있으며, 따라서, 적색, 녹색 및 청색의 광도 비율을 3:6:1에 가까워지도록 쉽게 조절할 수 있다. 더욱이, 제1, 제2 및 제3 발광 스택(20, 30, 40)의 발광 면적은 약 10000 um^2 이하일 수 있으며, 나아가, 4000 um^2, 더 나아가, 2500 um^2 이하일 수 있다. 또한, 기판(11)에 가까울수록 발광 면적이 더 클 수 있으며, 녹색광을 방출하는 제3 발광 스택(40)을 기판(11)에 가장 가깝게 배치함으로써 녹색광의 광도를 더욱 증가시킬 수 있다.

[0046] 제1 발광 스택(20)은 제1 도전형 반도체층(21), 활성층(23) 및 제2 도전형 반도체층(25)을 포함한다. 일 실시예에 따르면, 제1 발광 스택(20)은 예를 들어, AlGaAs, GaAsP, AlGaInP, 및 GaP와 같은 적색광을 방출하는 반도체 물질을 포함할 수 있으나, 이에 한정되는 것은 아니다.

[0047] 제1 상부 콘택 전극(21n)은 제1 도전형 반도체층(21) 상에 배치되고 제1 도전형 반도체층(21)과 오믹 콘택을 형성할 수 있다. 제1 하부 콘택 전극(25p)은 제2 도전형 반도체층(25) 아래에 배치될 수 있다. 일 실시예에 따르면, 제1 도전형 반도체층(21)의 일부는 패터닝되어 리세스될 수 있으며, 제1 상부 콘택 적극(21n)은 오믹 콘택 수준을 증가시키기 위해 제1 도전형 반도체층(21)의 리세스된 영역에 배치될 수 있다. 제1 상부 콘택 전극(21n)은 단일층 구조 또는 다중층 구조를 가질 수 있으며, Al, Ti, Cr, Ni, Au, Ag, Sn, W, Cu, 또는 이들의 합금, 예를 들어, Au-Te 합금 또는 Au-Ge 합금을 포함할 수 있으나, 이에 한정되는 것은 아니다. 일 실시예에 있어서, 제1 상부 콘택 전극(21n)은 약 100nm의 두께를 가질 수 있으며, 기판(11)을 향해 아래 방향으로 광 방출 효율을 증가시키기 위해 고 반사율을 가지는 금속을 포함할 수 있다.

[0048] 제2 발광 스택(30)은 제1 도전형 반도체층(31), 활성층(33), 및 제2 도전형 반도체층(35)을 포함한다. 일 실시예에 따르면, 제2 발광 스택(30)은 GaN, InGaN, ZnSe 등과 같은 청색광을 방출하는 반도체 물질을 포함할 수 있으나, 이에 제한되지 않는다. 제2 하부 콘택 전극(35p)은 제2 발광 스택(30)의 제2형 반도체층(35) 아래에 배치된다.

[0049] 제3 발광 스택(40)은 제1 도전형 반도체층(41), 활성층(43) 및 제2 도전형 반도체층(45)을 포함한다. 일 실시예에 따르면, 제3 발광 스택(40)은 GaN, InGaN, GaP, AlGaInP, AlGaP 등과 같은 녹색광을 방출하는 반도체 물질을 포함할 수 있다. 제3 하부 콘택 전극(45p)은 제3 발광 스택(40)의 제2 도전형 반도체층(45) 상에 배치된다.

[0050] 일 실시예에 따르면, 제1, 제2 및 제3 발광 스택들(20, 30, 40)의 제1 도전형 반도체층들(21, 31, 41) 및 제2 도전형 반도체층들(25, 35, 45) 각각은 단일층 구조 또는 다중층 구조를 가질 수 있으며, 몇몇 실시예들에 있어서, 초격자층을 포함할 수 있다. 더욱이, 제1, 제2 및 제3 발광 스택들(20, 30, 40)의 활성층들(23, 33, 43)은 단일 양자우물 구조 또는 다중 양자우물 구조를 가질 수 있다.

[0051] 제1, 제2 및 제3 하부 콘택 전극들(25p, 35p, 45p) 각각은 광을 투과시키는 투명 도전 물질을 포함할 수 있다. 예를 들어, 하부 콘택 전극들(25p, 35p, 45p)은 투명 도전성 산화물(TCO), 예컨대, SnO, InO_2, ZnO, ITO, ITZO 등을 포함할 수 있으며, 이에 한정되는 것은 아니다.

[0052] 제1 접착층(61)은 제1 발광 스택(20) 및 제2 발광 스택(30) 사이에 배치되며, 제2 접착층(63)은 제2 발광 스택(30)과 제3 발광 스택(40) 사이에 배치된다. 제1 및 제2 접착층들(61, 63)은 광을 투과시키는 비도전성 물질을 포함할 수 있다. 예를 들어, 제1 및 제2 접착층들(61, 63)은 광학적으로 투명한 접착제(OCA)를 포함할 수 있는데, 이는 에폭시, 폴리이미드, SU8, 스핀-온-글래스(SOG), 벤조시클로부텐(BCB)을 포함할 수 있으며, 이에 제한

되지 않는다.

[0053] 예시된 실시예에 따르면, 제1 절연층(81) 및 제2 절연층(83)은 제1, 제2 및 제3 발광 스택들(20, 30, 40)의 측면들의 적어도 일부 상에 배치된다. 제1 및 제2 절연층(81, 83) 중 적어도 하나는 다양한 유기 또는 무기 절연 물질, 예컨대 폴리이미드, SiO_2, SiNx, Al_2O_3 등을 포함할 수 있다. 예를 들어, 제1 및 제2 절연층들(81, 83)의 적어도 하나는 분포 브래그 반사기(DBR)를 포함할 수 있다. 다른 예로서, 제1 및 제2 절연층들(81, 83) 중 적어도 하나는 흑색 유기 폴리머를 포함할 수 있다. 몇몇 실시예들에 있어서, 전기적으로 플로팅된 금속 반사층이 제1 및 제2 절연층들(81, 83) 상에 배치되어 발광 스택들(20, 30, 40)에서 방출된 광을 기판(11) 쪽으로 반사시킬 수 있다. 몇몇 실시예들에 있어서, 제1 및 제2 절연층들(81, 83) 중 적어도 하나는 단일층 구조 또는 서로 다른 굴절률을 갖는 둘 이상의 절연층으로 형성된 다중층 구조를 가질 수 있다.

[0054] 일 실시예에 따르면, 제1, 제2 및 제3 발광 스택(20, 30 및 40) 각각은 독립적으로 구동될 수 있다. 보다 구체적으로, 각각의 발광 스택의 제1 및 제2 도전형 반도체층 중 하나에 공통 전압이 인가 될 수 있고, 각각의 발광 스택의 제1 및 제2 도전형 반도체층 중 다른 하나에 개별 발광 신호가 인가될 수 있다. 예를 들어, 본 개시의 일 실시예에 따르면, 각 발광 스택의 제1 도전형 반도체층(21, 31, 41)은 n형일 수 있고, 제2 도전형 반도체층(25, 35, 45)은 p형일 수 있다. 이 경우, 제3 발광 스택(40)은 제1 발광 스택(20) 및 제2 발광 스택(30)과 비교하여 반대로 적층된 시퀀스를 가질 수 있으며, 이에 따라 p형 반도체층(45)이 활성층(43)의 상부에 배치되어 제조 공정이 단순화될 수 있다. 이하, 도시된 실시예에 따라, 제1 도전형 및 제2 도전형 반도체층을 각각 n형 및 p형으로 바꾸어 표현할 수 있다. 나아가, n형과 p형은 서로 뒤바뀔 수도 있다.

[0055] 발광 스택들의 p형 반도체층(25, 35, 45)에 각각 연결된 제1, 제2 및 제3 하부 콘택 전극(25p, 35p, 45p)은 각각 제1 내지 제3 연결 전극들(20ce, 30ce, 40ce)에 전기적으로 연결되어 각각 대응하는 발광 신호를 수신할 수 있다. 한편, 발광 스택들의 n형 반도체층(21, 31, 41)은 제4 연결 전극(50ce)에 공통으로 전기적으로 연결될 수 있다. 이에 따라, 발광 소자(100)는 제1, 제2 및 제3 발광 스택(20, 30, 40)의 n형 반도체층들(21, 31, 41)이 공통으로 연결된 공통 n형 발광 스택 구조체를 가질 수 있으며, 서로 독립적으로 구동될 수 있다. 공통 n형 발광 소택 구조체를 가지므로, 제1, 제2 및 제3 발광 스택(20, 30, 40)에 인가되는 전압의 소스를 서로 다르게 할 수 있다.

[0056] 도시된 실시예에 따른 발광 소자(100)는 공통 n형 구조를 갖지만, 본 개시가 이에 한정되는 것은 아니다. 예를 들어, 일부 예시적인 실시예들에서, 각각의 발광 스택의 제1 도전형 반도체층들(21, 31, 41)은 p-형 일 수 있고, 각각의 발광 스택의 제2 도전형 반도체층들(25, 35, 45)은 n형 일 수 있으며, 따라서, 공통 p형 발광 스택 구조를 형성할 수 있다. 또한, 일부 실시예들에서, 각 발광 스택의 적층 시퀀스는 도면에 도시된 것에 제한되지 않고 다양하게 변형될 수 있다. 이하, 본 개시의 일 실시예에 따른 발광 소자(100)에 대해 공통 n형 발광 스택 구조를 참조하여 설명한다.

[0057] 도시된 실시예에 따르면, 발광 소자(100)는 제1 패드(20pd), 제2 패드(30pd), 제3 패드(40pd) 및 제4 패드(50pd)를 포함한다. 제1 패드(20pd)는 제1 절연층(81)을 통해 정의된 제1 콘택홀(20CH)을 통해 제1 하부 콘택 전극(25p)에 전기적으로 연결된다. 제1 연결 전극(20ce)은 제2 절연층(83)을 통해 정의된 제1 관통홀(20ct)을 통해 제1 패드(20pd)에 전기적으로 연결된다. 제2 패드(30pd)는 제1 절연층(81)을 통해 정의된 제2 콘택홀(30CH)을 통해 제2 하부 콘택 전극(35p)에 전기적으로 연결된다. 제2 연결 전극(30ce)은 제2 절연층(83)을 통해 정의된 제2 관통홀(30ct)을 통해 제2 패드(30pd)에 전기적으로 연결된다.

[0058] 제3 패드(40pd)는 제1 절연층(81)을 통해 정의된 제3 콘택홀(40CH)을 통해 제3 하부 콘택 전극(45p)에 전기적으로 연결된다. 제3 연결 전극(40ce)은 제2 절연층(83)을 통해 정의된 제3 관통홀(40ct)을 통해 제3 패드(40pd)에 전기적으로 연결된다. 제4 패드(50pd)는 제1, 제2 및 제3 발광 스택(20, 30, 40)의 제1 도전형 반도체층들(21, 31, 41) 상에 정의된 제1 서브 콘택홀(50CHa), 제2 서브 콘택홀(50CHb) 및 제3 서브 콘택홀(50CHc)을 통해 제1, 제2 및 제3 발광 스택(20, 30, 40)의 제1 도전형 반도체층(21, 31, 41)에 연결된다. 특히, 제1 서브 콘택홀(50CHa)은 제1 상부 콘택 전극(21n)을 노출시킬 수 있으며, 제4 패드(50pd)는 제1 서브 콘택홀(50CHa)을 통해 제1 상부 콘택 전극(21n)에 연결될 수 있다. 이러한 방식으로, 제4 패드(50pd)는 서브 콘택홀들(50CHa, 50CHb, 50CHc)을 통해 제1 도전형 반도체층들(21, 31, 41)에 전기적으로 연결될 수 있으므로, 발광 소자(100)의 제조 공정이 단순화될 수 있다. 제4 연결 전극(50ce)는 제2 절연층(83)을 통해 정의된 제4 관통홀(50ct)을 통해 제4 패드(50pd)에 전기적으로 연결된다.

[0059] 본 실시예에서, 연결 전극들(20ce, 30ce, 40ce, 50ce)이 각각 패드들(20pd, 30pd, 40pd, 50pd)에 직접 접촉하는 것으로 도시 및 설명하지만, 연결 전극들(20ce, 30ce, 40ce, 50ce)이 패드들(20pd, 30pd, 40pd, 50pd)에 직

접 연결되지 않고, 다른 커넥터가 이들 사이에 개재될 수도 있다.

[0060] 제1, 제2, 제3 및 제4 패드(20pd, 30pd, 40pd, 50pd)는 서로 이격되어 있으며 절연되어 있다. 일 실시예에 따르면, 제1, 제2, 제3 및 제4 패드(20pd, 30pd, 40pd, 50pd) 각각은 제1, 제2 및 제3 발광 스택(20, 30, 40)의 측면의 적어도 일부를 덮을 수 있다. 이를 통해 제1, 제2 및 제3 발광 스택(20, 30 및 40)으로부터 발생된 열의 발산을 용이하게 할 수 있다.

[0061] 도시된 실시예에 따르면, 각 연결 전극(20ce, 30ce, 40ce 및 50ce)은 기판(11)으로부터 상향으로 돌출된 실질적으로 긴 형상을 가질 수 있다. 연결 전극(20ce, 30ce, 40ce 및 50ce)은 Cu, Ni, Ti, Sb, Zn, Mo, Co, Sn, Ag 또는 이들의 합금과 같은 금속을 포함할 수 있으나, 이에 제한되지는 않는다. 예를 들어, 연결 전극들(20ce, 30ce, 40ce, 50ce) 각각은 연결 전극들(20ce, 30ce, 40ce, 및 50ce)의 기다란 형상으로부터 응력을 감소시키기 위해 둘 이상의 금속 또는 복수의 상이한 금속층들을 포함할 수 있다. 다른 실시예에서, 연결 전극(20ce, 30ce, 40ce 및 50ce)이 Cu를 포함하는 경우, Cu의 산화를 억제하기 위해 추가적인 금속이 증착되거나 도금될 수 있다. 일부 실시예에서, 연결 전극(20ce, 30ce, 40ce 및 50ce)이 Cu/Ni/Sn을 포함하는 경우, Cu는 Sn이 발광 스택 구조로 침투하는 것을 방지할 수있다. 일부 실시예에서, 연결 전극(20ce, 30ce, 40ce, 50ce)은 도금 과정에서 금속층을 형성하기 위한 시드층을 포함할 수 있으며, 이에 대해서는 후술한다.

[0062] 도면에 도시 된 바와 같이, 각각의 연결 전극(20ce, 30ce, 40ce 및 50ce)은 실질적으로 평탄한 상부 표면을 가질 수 있어서, 후술할 외부 라인 또는 전극과 발광 스택 구조물 사이의 전기적 연결을 용이하게 할 수 있다. 본 개시의 일 실시예에 따르면, 발광 소자(100)가 당업계에 알려진 바와 같이 표면적이 약 10,000 μm^2 미만, 또는 다른 실시예에서 약 4,000 μm^2 또는 2,500 μm^2 미만인 마이크로 LED를 포함하는 경우, 연결 전극(20ce, 30ce, 40ce, 50ce)은 도면에 도시 된 바와 같이 제1, 제2 및 제3 발광 스택(20, 30, 40) 중 적어도 하나의 일부와 중첩될 수 있다. 보다 구체적으로, 연결 전극들(20ce, 30ce, 40ce 및 50ce)은 발광 스택 구조물의 측면에 형성된 적어도 하나의 계단과 중첩 될 수 있다. 이와 같이, 연결 전극의 하면의 면적이 상면보다 크기 때문에, 연결 전극(20ce, 30ce, 40ce, 50ce)과 발광 스택 구조 사이에 더 큰 접촉 면적이 형성될 수 있다. 이에 따라, 발광 스택 구조체 상에 연결 전극(20ce, 30ce, 40ce, 50ce)이 보다 안정적으로 형성될 수 있다. 예를 들어, 연결 전극(20ce, 30ce, 40ce, 50ce)의 외부를 향하는 일 측면의 길이(L1, L2, L3 및 L4)는 발광 소자(100)의 중심을 향하는 일 측면의 길이(L1', L2', L3', L4')와 상이할 수 있다. 보다 구체적으로, 외부를 향하는 연결 전극의 일 측면의 길이는 발광 소자(100)의 중심을 향하는 다른 측면의 길이보다 클 수 있다. 예를 들어, 두 대향 표면의 길이(L과 L') 차이는 발광 스택(20, 30 및 40) 중 하나의 두께(또는 높이)보다 클 수 있다. 이러한 방식으로, 발광 소자(100)의 구조는 연결 전극(20ce, 30ce, 40ce 및 50ce)과 발광 스택 구조체 사이에 더 큰 접촉 면적으로 강화될 수 있다. 또한, 연결 전극(20ce, 30ce, 40ce, 50ce)은 발광 스택 구조체의 측면에 형성된 적어도 하나의 스텝과 중첩될 수 있으므로, 발광 스택 구조체에서 발생된 열이 외부로 더 효율적으로 발산될 수 있다.

[0063] 예시적인 실시예에 따르면, 외부를 향하는 연결 전극의 일 측면의 길이(L1, L2, L3 또는 L4)와 발광 소자(100)의 중심을 향하는 다른 측면의 길이(L1', L2', L3'및 L4')의 차이는 약 3㎛일 수 있다. 이 경우, 발광 스택 구조체는 얇게 형성될 수 있으며, 특히 제1 발광 스택(20)은 약 1㎛의 두께를 가질 수 있고, 제2 발광 스택(30)은 약 0.7㎛의 두께를 가질 수 있으며, 제3 발광 스택(40)은 약 0.7 ㎛의 두께를 가질 수 있고, 제1 및 제2 접착제층은 각각 약 0.2 내지 약 0.3 ㎛의 두께를 가질 수 있지만, 이에 제한되지는 않는다. 다른 실시예에 따르면, 연결 전극의 외부를 향하는 일 측면의 길이(L1, L2, L3 또는 L4)와 발광 소자(100)의 중심을 향하는 다른 측면의 길이(L1', L2', L3', L4') 차이는 약 10 내지 16 ㎛ 일 수 있다. 이 경우, 발광 스택 구조는 상대적으로 두껍고 보다 안정적인 구조를 갖도록 형성될 수 있으며, 특히 제1 발광 스택(20)은 약 4㎛ 내지 약 5㎛의 두께를 가질 수 있으며, 제2 발광 스택(30)은 약 3㎛의 두께를 가질 수 있고, 제3 발광 스택(40)은 약 3㎛의 두께를 가질 수 있으며, 제1 및 제2 접착층의 두께는 각각 약 3㎛ 일 수 있으나, 이에 한정되는 것은 아니다. 또 다른 예시적인 실시예에 따르면, 연결 전극의 외부를 향하는 일 측면의 길이(L1, L2, L3 또는 L4)와 발광 소자(100)의 중심을 향하는 다른 측면의 길이(L1', L2', L3'및 L4') 차이는 최장 측면 길이의 약 25%일 수 있다. 그러나, 본 개시의 개념은 연결 전극의 대향 표면 사이의 길이의 특정 차이로 제한되지 않으며, 연결 전극의 대향 표면 사이의 길이 차이는 변경될 수 있다.

[0064] 일부 예시적인 실시예들에서, 연결 전극들(20ce, 30ce, 40ce 및 50ce) 중 적어도 하나는 발광 스택들(20, 30 및 40) 각각의 측면과 중첩할 수 있고, 따라서 발광 스택(20, 30, 40)은 내부에서 발생된 열을 외부로 효율적으로 발산시킨다. 또한, 연결 전극(20ce, 30ce, 40ce, 50ce)이 금속과 같은 반사성 물질을 포함하는 경우, 연결 전극(20ce, 30ce, 40ce, 50ce)은 적어도 하나의 발광 스택들(20, 30, 40)으로부터 방출 된 광을 반사 할 수

있으며, 따라서 광 효율을 개선할 수 있다.

[0065] 일반적으로, 제조 동안, 복수의 발광 소자의 어레이가 기판 상에 형성된다. 기판은 스크라이빙 라인을 따라 절단되어 각각의 발광 소자를 개별화(분리)하고, 발광 소자는 패키징과 같은 발광 소자의 추가 처리를 위해 다양한 이송 기술을 사용하여 다른 기판 또는 테이프로 이송 될 수 있다. 이 경우, 발광 소자가 발광 구조로부터 바깥쪽으로 돌출된 금속 범프 또는 기둥과 같은 연결 전극을 포함하는 경우, 상기 연결 전극들을 외부로 노출시키는 발광 소자의 구조에 기인하여, 후속 공정 동안, 예를 들어 전사 단계에서, 다양한 문제가 발생할 수 있다. 또한, 발광 소자가 적용 분야에 따라 약 10,000 μm^2 미만, 또는 약 4,000 μm^2 미만 또는 약 2,500 μm^2 미만의 표면적을 갖는 마이크로-LED를 포함하는 경우, 발광 소자의 취급은 작은 폼 팩터로 인해 더 어려워 질 수 있다.

[0066] 예를 들어, 연결 전극이 막대와 같은 실질적으로 길쭉한 형상을 갖는 경우, 종래의 진공 방법을 사용하여 발광 소자를 전사하는 것은 발광 소자가 연결 전극의 돌출 구조로 인해 충분한 흡입 면적을 갖지 못할 수 있기 때문에 어려워진다. 또한, 노출된 연결 전극은 연결 전극이 제조 장치와 접촉할 때와 같은 후속 공정 동안 다양한 응력으로 직접 영향을 받을 수 있으며, 이는 발광 소자의 구조를 손상시킬 수 있다. 다른 예로서, 발광 소자의 상부 표면(예를 들어, 기판과 대향하는 표면) 상에 접착 테이프를 부착함으로써 발광 소자가 전사 될 때, 발광 소자와 접착 테이프 사이의 접촉 면적이 연결 전극의 상단 표면에 제한 될 수 있다. 이 경우, 접착 테이프가 발광 소자(예를 들어, 기판)의 하부 표면에 부착될 때와 반대로, 발광 소자의 접착 테이프에 대한 접착력이 약해질 수 있고, 전사하는 동안 발광 소자가 접착 테이프에서 바람직하지 않게 분리될 수 있다. 다른 예로서, 종래의 픽 앤 플레이스(pick-and-place) 방법을 이용하여 발광 소자를 전사할 때, 연결 핀 사이에 배치된 발광 소자의 일부에 토출 핀(ejector pin)이 직접 접촉하여 발광 구조물의 상부 구조가 손상 될 수 있다. 특히, 토출 핀은 발광 소자의 중심에 부딪칠 수 있고, 발광 소자의 상부 발광 스택에 물리적 손상을 야기할 수 있다.

[0067] 본 개시의 일 실시예에 따르면, 상기 보호층(90)은 상기 발광 스택 구조체 상에 형성될 수 있다. 보다 구체적으로, 도 1A에 도시된 바와 같이, 보호층(90)은 연결 전극(20ce, 30ce, 40ce, 50ce) 사이에 형성되어 발광 스택 구조체의 적어도 측면을 덮을 수 있다. 도시된 실시예에 따르면, 보호층(90)은 기판(11), 제1 및 제2 절연층(81, 83) 및 제3 발광 스택(40)의 측면을 노출시킬 수 있다. 보호층(90)은 연결 전극(20ce, 30ce, 40ce 및 50ce)의 상면과 실질적으로 나란하게 형성될 수 있으며, 에폭시 몰딩 컴파운드(EMC)를 포함할 수 있으며, 이는 흑색, 백색 또는 투명과 같이 다양한 색상으로 형성될 수 있다. 그러나 본 개시가 이에 한정되는 것은 아니다. 예를 들어, 일부 실시예에서, 보호층(90)은 폴리이미드(PID)를 포함할 수 있으며, 이 경우 PID는 발광 스택 구조체에 적용될 때 평탄도를 증가시키기 위해 액체형이 아닌 드라이 필름으로 제공될 수 있다. 일부 실시예에서, 보호층(90)은 감광성을 갖는 물질을 포함할 수 있다. 이러한 방식으로, 보호층(90)은 후속 프로세스 동안 인가될 수 있는 외부 충격으로부터 발광 구조체를 보호할 뿐만 아니라 후속 전사 단계 동안의 취급을 용이하게 하도록 발광 소자(100)에 충분한 접촉 면적을 제공할 수 있다. 또한, 보호층(90)은 발광 소자(100)의 측면으로의 빛샘을 방지하여 인접한 발광 소자(100)에서 방출되는 빛의 간섭을 방지하거나 적어도 억제할 수 있다.

[0068] 도 2는 본 개시의 일 실시예에 따른 발광 스택 구조체의 개략적인 단면도이다. 도시된 실시예에 따른 발광 스택 구조체는 전술한 발광 소자(100)에 포함된 것과 실질적으로 동일하므로 중복을 피하기 위해 실질적으로 동일한 발광 스택 구조체를 형성하는 구성에 대한 설명은 생략한다.

[0069] 도 2를 참조하면, 본 개시의 일 실시예에 따른 제1, 제2 및 제3 하부 콘택 전극(25p, 35p, 45p)은 각각 발광 신호선(S_R, S_G, S_B)에 연결될 수 있다. 제1, 제2 및 제3 발광 스택(20, 30, 40)의 제1 도전형 반도체층(21, 31, 41)은 공통 라인(Sc)에 연결될 수 있다. 공통 라인(Sc)은 제1 상부 콘택 전극(21n)을 통해 제1 발광 스택(20)의 제1 도전형 반도체층(21)에 연결될 수 있다.

[0070] 본 개시의 일 실시예는 n 공통 구조를 채택함으로써 제1 내지 제3 발광 스택(20, 30, 40)에 서로 다른 전압을 인가할 수 있다. 예를 들어, 적색광을 방출하는 제1 발광 스택(20)은 청색광 및 녹색광을 방출하는 제2 및 제3 발광 스택들(30, 40)에 비해 상대적으로 낮은 전압을 인가할 수 있다. 따라서, 각 발광 스택에 적합한 전압원을 개별적으로 사용할 수 있어 전력 손실을 줄일 수 있다. 도시된 예시적인 실시예에서, 발광 신호선(S_R, S_G, S_B)과 공통 라인(Sc)을 이용하여 제1, 제2 및 제3 발광 스택(20, 30 및 40)은 선택적으로 광을 방출하도록 개별적으로 제어될 수 있다.

[0071] 도 2는 n 공통 구조를 갖는 발광 스택 구조체를 도시하지만, 본 개시가 이에 한정되는 것은 아니다. 예를 들어, 일부 예시적인 실시예에서, 공통 라인(Sc)은 제1, 제2 및 제3 발광 스택(20, 30, 40)의 하부 콘택 전극들(25p, 35p, 45p)에 전기적으로 연결되고, 발광 신호선(S_R, S_G, S_B)은 각각 제1 내지 제3 발광 스택(20, 30, 40)의 제1

도전형 반도체층(21, 31, 41)에 연결될 수 있다.

[0072] 본 개시의 일 실시예에 따른 발광 스택 구조체는 각 발광 스택(20, 30, 40)의 동작 상태에 따라 다양한 색상의 광을 표시 할 수 있는 반면, 종래의 발광 소자는 단일 색상의 광을 방출하는 다수의 발광 셀의 조합으로 다양한 색상을 표시 할 수 있다. 보다 구체적으로, 종래의 발광 소자는 일반적으로 풀 컬러 디스플레이를 구현하기 위해 2 차원 평면을 따라 서로 이격된 상이한 색의 광, 예를 들어 적색, 녹색 및 청색을 각각 방출하는 발광 셀을 포함한다. 이와 같이, 종래의 발광 셀에 의해 비교적 큰 면적이 점유될 수 있다. 그러나, 본 개시의 일 실시예에 따른 발광 스택 구조체는 복수의 발광 스택(20, 30, 40)을 적층하여 서로 다른 색상의 광을 방출 할 수 있어, 종래의 발광 장치보다 작은 면적을 통해 높은 수준의 집적을 제공하고 풀 컬러를 구현할 수 있다.

[0073] 또한, 발광 소자들(100)이 표시 장치를 제조하기 위해 다른 기판에 실장되는 경우, 예를 들어 실장될 소자들의 개수가 종래의 발광 소자에 비해 크게 감소될 수 있다. 이와 같이, 특히 하나의 디스플레이 장치에 수십만 또는 수백만 개의 픽셀이 형성될 때, 발광 소자(100)를 사용하는 디스플레이 장치의 제조가 실질적으로 단순화될 수 있다.

[0074] 예시적인 실시예에 따르면, 발광 스택 구조체는 그로부터 방출되는 광의 순도 및 효율을 개선시키기 위해 다양한 추가의 구성 요소를 더 포함 할 수 있다. 예를 들어, 일부 예시적인 실시예들에서, 발광 스택들 사이에 파장 통과 필터가 배치될 수 있다. 일부 실시예에서, 발광 스택들 사이의 광의 밝기의 균형을 맞추기 위해 적어도 하나의 발광 스택의 발광 표면 상에 요철 부가 형성될 수 있다. 예를 들어, RGB의 광도 혼합비를 3:6:1에 가깝게 만들기 위해 녹색광의 광도를 증가시킬 필요가 있으며, 이를 위해, 기판(11) 표면에 요철을 형성할 수 있다.

[0075] 이하, 본 개시의 일 실시예에 따른 발광 소자(100)의 형성 방법을 도면을 참조하여 설명한다.

[0076] 도 3A, 도 4A, 도 5A, 도 6A, 도 7A 및 도 8A는 예시적인 실시예에 따른 도 1A의 발광 소자를 제조하는 과정을 나타내는 평면도들이다. 도 3B, 도 4B, 도 5B, 도 6B, 도 7B 및 도 8B는 예시적인 실시예에 따른 도 3A, 4A, 5A, 6A, 7A 및 8A에 도시된 대응 평면도의 A-A'선에 따른 단면도들이다. 도 3C, 도 4C, 도 5C, 도 6C, 도 7C 및 도 8C는 예시적인 실시예에 따른 도 3A, 4A, 5A, 6A, 7A 및 8A에 도시된 대응 평면도의 B-B'선에 따른 단면도들이다. 도 9, 도 10, 도 11, 도 12 및 도 13은 예시적인 실시예에 따른 도 1A의 발광 소자의 제조 공정을 개략적으로 도시한 단면도이다.

[0077] 다시 도 2를 참조하면, 제3 발광 스택(40)의 제1 도전형 반도체층(41), 제3 활성층(43) 및 제2 도전형 반도체층(45)은 예를 들어, 금속 유기 화학 기상 증착(MOCVD) 방법 또는 분자 빔 에피택시(MBE) 방법에 의해 기판(11) 상에 순차적으로 성장될 수 있다. 제3 하부 콘택 전극(45p)은 예를 들어 물리 기상 증착 법 또는 화학 기상 증착법에 의해 제3 p형 반도체층(45) 상에 형성될 수 있으며, SnO, InO_2, ZnO, ITO, ITZO 등의 투명 전도성 산화물(TCO)을 포함할 수 있다. 본 개시의 일 실시예에 따른 제3 발광 스택(40)이 녹색을 발광하는 경우, 기판(11)은 Al_2O_3(예 : 사파이어 기판)을 포함하고, 제3 하부 콘택 전극(45p)은 산화 주석과 같은 투명 전도성 산화물(TCO)을 포함할 수 있다. 제1 및 제2 발광 스택(20, 30)은 임시 기판 상에 각각 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 순차적으로 성장시킴으로써 유사하게 형성될 수 있다. 투명 도전성 산화물(TCO)을 포함하는 하부 콘택 전극은, 예를 들어 물리 기상 증착법 또는 화학 기상 증착법 등에 의해 제2 도전형 반도체층 상에 각각 형성될 수 있다. 그리고, 제1 및 제2 발광 스택(20, 30)은 제1 접착층(61)을 사이에 두고 서로 결합되며, 제1 및 제2 발광 스택(20, 30)의 임시 기판들 중 적어도 하나를 레이저 리프트 오프 공정, 화학 공정, 기계적 공정 등에 의해 제거할 수 있다. 그리고, 제1 및 제2 발광 스택(20, 30)은 제2 접착층(63)을 사이에 두고 제3 발광 스택(40)과 결합할 수 있으며, 제1 및 제2 발광 스택(20, 30)의 나머지 임시 기판이 레이저 리프트 오프 공정, 화학 공정, 기계적 공정 등에 의해 제거될 수 있다.

[0078] 도 3A, 도 3B 및 도 3C를 참조하면, 제1, 제2 및 제3 발광 스택(20, 30, 40) 각각의 다양한 부분은 에칭 공정 등을 통해 패터닝되어 제1 도전형 반도체층(21), 제1 하부 콘택 전극(25p), 제1 도전형 반도체층(31), 제2 하부 콘택 전극(35p), 제3 하부 콘택 전극(45p), 및 제1 도전형 반도체층(41)의 부분들을 노출시킬 수 있다. 도시된 실시예에 따르면, 제1 발광 스택(20)은 발광 스택들(20, 30, 40) 중 가장 작은 면적을 갖는다. 한편, 제3 발광 스택(40)은 발광 스택들(20, 30, 40) 중 가장 큰 면적을 가질 수 있으며, 따라서, 제3 발광 스택(40)의 광도를 상대적으로 증가시킬 수 있다. 그러나, 본 개시의 개념이 발광 스택(20, 30 및 40)의 상대적 크기에 특별히 제한되는 것은 아니다.

[0079] 도 4A, 도 4B 및 도 4C를 참조하면, 제1 발광 스택(20)의 제1 도전형 반도체층(21)의 상면의 일부는 제1 상부 콘택 전극(21n)을 형성하기 위해 습식 에칭을 통해 패터닝될 수 있다. 상술한 바와 같이, 제1 상부 콘택 전극

(21n)은 제1 도전형 반도체층(21)의 리세스된 영역에 약 100 nm의 두께로 형성되어, 예를 들어 그들 사이의 오믹 접촉을 향상시킬 수 있다.

[0080] 도 5A, 도 5B 및 도 5C를 참조하면, 제1 절연층(81)은 발광 스택(20, 30, 40)을 덮도록 형성될 수 있고, 제1 절연층(81)의 일부는 제1, 제2, 제3 및 제4 콘택홀(20CH, 30CH, 40CH 및 50CH)을 형성하기 위해 제거될 수 있다. 제1 콘택홀(20CH)은 제1 하부 콘택 전극(25p) 상에 정의되어 제1 하부 콘택 전극(25p)의 일부를 노출시킨다. 제2 콘택홀(30CH)은 제2 하부 콘택 전극(35p) 상에 정의되어 제2 하부 콘택 전극(35p)의 일부를 노출시킬 수 있다. 제3 콘택홀(40CH)은 제3 하부 콘택 전극(45p) 상에 정의되어 제3 하부 콘택 전극(45p)의 일부를 노출시킬 수 있다.

[0081] 제4 콘택홀(50CH)은 제1 내지 제3 발광 스택(20, 30, 40)의 제1 도전형 반도체층들(21, 31, 41)에 전기적 접속을 허용하기 위한 통로를 제공한다. 제4 콘택홀(50CH)은 제1 서브 콘택홀(50CHa), 제2 서브 콘택홀(50CHb) 및 제3 서브 콘택홀(50CHc)을 포함할 수 있다. 제1 서브 콘택홀(50CHa)은 제1 도전형 반도체층(21) 상에 정의되어 제1 상부 콘택 전극(21n)의 일부를 노출시킬 수 있으며, 제2 서브 콘택홀(50CHb)은 제1 도전형 반도체층(31) 상에 정의되어 제1 도전형 반도체층(31)의 일부를 노출시킬 수 있고, 제3 서브 콘택홀(50CHc)은 제1 도전형 반도체층(41) 상에 정의되어 제1 도전형 반도체층(41)의 일부를 노출시킬 수 있다.

[0082] 도 6A, 도 6B 및 도 6C를 참조하면, 제1, 제2, 제3 및 제4 패드(20pd, 30pd, 40pd 및 50pd)는 제1, 제2, 제3 및 제4 콘택홀(20CH, 30CH, 40CH, 50CH)을 갖도록 형성된 제1 절연층(81) 상에 형성된다. 제1, 제2, 제3 및 제4 패드(20pd, 30pd, 40pd 및 50pd)는, 예를 들어, 실질적으로 기판(11)의 전면 상에 도전층을 형성하고, 포토리소그래피 공정을 사용하여 도전층을 패터닝함으로써 형성될 수 있다.

[0083] 제1 패드(20pd)는 제1 콘택홀(20CH)이 형성된 영역과 중첩되도록 형성되어, 제1 콘택홀(20CH)을 통해 제1 하부 콘택 전극(25p)에 연결될 수 있다. 제2 패드(30pd)는 제2 콘택홀(30CH)이 형성된 영역과 중첩되도록 형성되어, 제2 콘택홀(30CH)을 통해 제2 하부 콘택 전극(35p)에 연결될 수 있다. 제3 패드(40pd)는 제3 콘택홀(40CH)이 형성된 영역과 중첩되도록 형성되어, 제3 콘택홀(40CH)을 통해 제3 하부 콘택 전극(45p)에 연결될 수 있다. 제4 패드(50pd)는 제4 콘택홀(50CH)이 형성된 영역, 특히 제1, 제2 및 제3 서브 콘택홀(50CHa, 50CHb, 50CHc)이 형성된 영역과 중첩되도록 형성되어 제1 내지 제3 발광 스택(20, 30, 40)의 제1 도전형 반도체층(21, 31, 41)에 전기적으로 연결될 수 있다.

[0084] 도 7A, 도 7B 및 도 7C를 참조하면, 제2 절연층(83)은 제1 절연층(81) 상에 형성될 수 있다. 제2 절연층(83)은 실리콘 산화물 및/또는 실리콘 질화물을 포함할 수 있다. 그러나 본 개시가 이에 한정되는 것은 아니며, 일부 실시예에서 제1 및 제2 절연층(81, 83)은 무기 물질을 포함할 수 있다. 이어서, 제2 절연층(83)은 패터닝되어 제1 내지 제4 패드들(20pd, 30pd, 40pd, 50pd)을 노출시키는 제1, 제2, 제3 및 제4 관통홀(20ct, 30ct, 40ct 및 50ct)이 형성될 수 있다.

[0085] 제1 패드(20pd) 상에 형성된 제1 관통홀(20ct)은 제1 패드(20pd)의 일부를 노출시킨다. 제2 패드(30pd) 상에 형성된 제2 관통홀(30ct)은 제2 패드(30pd)의 일부를 노출시킨다. 제3 패드(40pd) 상에 형성된 제3 관통홀(40ct)은 제3 패드(40pd)의 일부를 노출시킨다. 제4 패드(50pd) 상에 형성된 제4 관통홀(50ct)은 제4 패드(50pd)의 일부를 노출시킨다. 도시된 예시적인 실시예에서, 제1, 제2, 제3 및 제4 관통홀(20ct, 30ct, 40ct 및 50ct)은 제1, 제2, 제3 및 제4 패드(20pd, 30pd, 40pd 및 50pd)가 형성된 영역 내에서 각각 정의될 수 있다.

[0086] 도 8A, 도 8B 및 도 8C를 참조하면, 제1, 제2, 제3 및 제4 관통홀(20ct, 30ct, 40ct, 50ct)이 형성된 제2 절연층(83) 상에 제1, 제2, 제3 및 제4 연결 전극(20ce, 30ce, 40ce, 50ce)이 형성된다. 제1 연결 전극(20ce)은 제1 관통홀(20ct)이 형성된 영역과 중첩되도록 형성되어, 제1 관통홀(20ct)을 통해 제1 패드(20pd)에 연결될 수 있다. 제2 연결 전극(30ce)은 제2 관통홀(30ct)이 형성된 영역과 중첩되도록 형성되어, 제2 관통홀(30ct)을 통해 제2 패드(30pd)에 연결될 수 있다. 제3 연결 전극(40ce)은 제3 관통홀(40ct)이 형성된 영역과 중첩되도록 형성되어, 제3 관통홀(40ct)을 통해 제3 패드(40pd)에 연결될 수 있다. 제4 연결 전극(50ce)은 제4 관통홀(50ct)이 형성된 영역과 중첩되도록 형성되어, 제4 관통홀(50ct)을 통해 제4 패드(50pd)에 연결될 수 있다.

[0087] 제1, 제2, 제3 및 제4 연결 전극(20ce, 30ce, 40ce, 50ce)은 서로 이격되며 발광 스택 구조체 상에 형성될 수 있다. 제1, 제2, 제3 및 제4 연결 전극(20ce, 30ce, 40ce, 50ce)은 제1, 제2, 제3 및 제4 패드(20pd, 30pd, 40pd, 50pd)에 각각 전기적으로 연결되어 외부 신호를 각 발광 스택(20, 30, 40)에 전송할 수 있다.

[0088] 제1, 제2, 제3 및 제4 연결 전극(20ce, 30ce, 40ce 및 50ce)을 형성하는 방법은 특별히 제한되지 않는다. 예를 들어, 본 개시의 일 실시예에 따르면, 발광 스택 구조체 상에 시드층이 전도성 표면으로 증착되고, 연결 전극이

형성될 위치에 시드층이 노출되도록 포토레지스트 패턴이 형성될 수 있다. 일 실시예에 따르면, 상기 시드층은 약 1000Å 정도의 두께로 증착될 수 있으나, 이에 한정되는 것은 아니다. 이어서, 시드층은 Cu, Ni, Ti, Sb, Zn, Mo, Co, Sn, Ag와 같은 금속 또는 이들의 합금으로 도금 될 수 있고, 연결전극들 사이에 잔류하는 포토레지스트 패턴 및 시드층은 제거 될 수 있다. 일부 예시적인 실시예들에서, 도금 금속의 산화를 방지하거나 적어도 억제하기 위해, 추가 금속이 도금 금속(예를 들어, 연결 전극들) 상에 무전해 니켈 침지 골드(electroless nickel immersion gold; ENIG) 등에 의해 증착되거나 도금 될 수 있다. 일부 실시예에서, 시드층은 각각의 연결 전극에 남아있을 수 있다.

[0089] 도시된 예시적인 실시예에 따르면, 각각의 연결 전극(20ce, 30ce, 40ce 및 50ce)은 기판(11)으로부터 멀어지도록 실질적으로 길쭉한 형상을 가질 수 있다. 다른 예시적인 실시예에서, 연결 전극(20ce, 30ce, 40ce)은 연결 전극(20ce, 30ce, 40ce, 50ce)의 기다란 형상으로부터 응력을 감소시키기 위해 2 개 이상의 금속 또는 복수의 상이한 금속층을 포함할 수 있다. 그러나 본 개시는 연결 전극(20ce, 30ce, 40ce, 50ce)의 특정 형상에 한정되지 않으며, 일부 실시예에서 연결 전극은 다양한 형상을 가질 수 있다.

[0090] 도면에 도시된 바와 같이, 각각의 연결 전극(20ce, 30ce, 40ce 및 50ce)은 발광 스택 구조체와 외부 라인 또는 전극 사이의 전기적 연결을 용이하게 하기 위해 실질적으로 평탄한 상부 표면을 가질 수 있다. 연결 전극들(20ce, 30ce, 40ce, 50ce)은 발광 스택 구조체의 측면에 형성된 적어도 하나의 스텝과 중첩 될 수 있다. 이러한 방식으로, 연결 전극의 하부 표면은 상부 표면보다 더 큰 폭을 가질 수 있고, 연결 전극(20ce, 30ce, 40ce 및 50ce)과 발광 스택 구조체 사이에 더 큰 접촉 면적을 제공하여 발광 소자(100)가 보호층(90)과 함께 다양한 후속 공정을 견딜 수 있는 보다 안정된 구조를 갖는다. 이 경우, 외부를 향하는 연결 전극(20ce, 30ce, 40ce 및 50ce)의 일 측면의 길이(L1 내지 L4) 및 발광 소자(100)의 중심을 향하는 다른 표면의 길이(L1' 내지 L4')는 서로 다를 수 있다. 예를 들어, 연결 전극의 두 대향면 사이의 길이 차이는 3 내지 16㎛ 일 수 있으나, 이에 한정되는 것은 아니다.

[0091] 그리고, 연결 전극(20ce, 30ce, 40ce, 50ce) 사이에 보호층(90)이 배치된다. 보호층(90)은 연마 공정 등에 의해 연결 전극(20ce, 30ce, 40ce, 50ce)의 상면과 실질적으로 나란하게 형성 될 수 있다. 일 실시예에 따르면, 보호층(90)은 블랙 에폭시 몰딩 컴파운드(EMC)를 포함할 수 있으나, 이에 한정되는 것은 아니다. 예를 들어, 일부 실시예에서, 보호층(90)은 감광성을 갖는 폴리이미드 드라이 필름(PID)을 포함할 수 있다. 이러한 방식으로, 보호층(90)은 후속 프로세스 동안 적용될 수 있는 외부 충격으로부터 발광 구조체를 보호할 뿐만 아니라 후속 전사 단계 동안의 취급을 용이하게 하도록 발광 소자(100)에 충분한 접촉 면적을 제공할 수 있다. 또한, 보호층(90)은 발광 소자(100)의 측면으로의 빛샘을 방지하여 인접한 발광 소자(100)에서 방출되는 빛의 간섭을 방지하거나 적어도 억제할 수 있다.

[0092] 도 9는 기판(11) 상에 배치된 복수의 발광 소자(100)를 예시 적으로 도시한 것으로, 각 발광 소자(100)를 분리하기 위해 단일화 공정을 거친다. 도 10을 참조하면, 본 개시의 일 실시예에 따르면, 상기 발광 스택 구조체들 사이에 레이저 빔들(Laser beams)이 조사되어 발광 스택 구조체들을 부분적으로 분리하는 분리 경로를 형성할 수 있다. 도 11을 참조하면, 스텔스 레이저를 이용하여 기판(11) 내에 분리 경로가 추가될 수 있다. 스텔스 레이저는 도 10의 레이저 조사 면과 반대 방향에서 조사될 수 있다.

[0093] 도 12를 참조하면, 기판(11)이 제1 본딩층(95)에 부착된 상태에서 각각의 발광 소자(100)를 단일화하기 위해 업계에 공지된 다양한 방법을 사용하여 커팅 또는 브레이킹될 수 있다. 예를 들어, 기판(11)은 그 위에 형성된 스크라이빙 라인을 통해 기판(11)을 다이싱하여 커팅하거나, 또는 예를 들어 레이저 방사선 프로세스 동안 형성된 분리 경로를 따라 기계적 힘을 가함으로써 기판(11)이 브레이킹되도록 할 수 있다. 제1 본딩층(95)은 테이프일 수 있으나, 후속 공정에서 제1 본딩층(95)이 발광 소자(100)를 안정적으로 부착하면서 발광 소자(100)를 분리할 수 있는 한 본 개시는 이에 한정되지 않는다. 비록 제1 본딩층(95)이 레이저 방사선 단계 후에 기판(11) 상에 부착되는 것으로 위에서 설명되었지만, 일부 예시적인 실시예에서, 제1 본딩층(95)은 레이저 방사선 단계 전에 기판(11) 상에 부착 될 수 있다.

[0094] 도 13을 참조하면, 기판(11)이 개별 발광 소자(100)로 분리된 후, 제1 본딩층(95)은 확장될 수 있으며, 이에 따라, 발광 소자들(100)이 서로 공간적으로 이격될 수 있다.

[0095] 도 14, 15 및 16은 본 개시의 일 실시예에 따른 발광 패키지 제조 공정을 개략적으로 도시한 단면도들이다. 본 개시의 일 실시예에 따른 발광 소자(100)는 당업계에 알려진 다양한 방법으로 전사 및 패키징될 수 있다. 이하에서는, 캐리어 기판(11c)을 이용하여 기판(11) 상에 제2 접착층(13)을 부착하여 발광 소자(100)를 전사하는 것을 예시적으로 설명하지만, 본 개시가 특정한 전사 방법에 한정되는 것은 아니다.

[0096] 도 14를 참조하면, 본 개시의 일 실시예에 따르면, 상기 단일화된 발광 소자(100)는 제2 접착층(13)을 사이에 두고 캐리어 기판(11c) 상에 전사되어 배치 될 수 있다. 이 경우, 발광 소자가 발광 스택 구조체로부터 바깥으로 돌출하는 연결 전극을 포함하는 경우, 상술한 바와 같이 불균일한 구조로 인해 후속 공정, 특히 전사 공정에서 다양한 문제가 발생할 수 있다. 또한, 발광 소자가 적용 분야에 따라 약 10,000 μm^2 미만, 또는 약 4,000 μm^2 미만 또는 약 2,500 μm^2 미만의 표면적을 갖는 마이크로-LED를 포함하는 경우, 작은 폼 팩터로 인해 발광 소자의 취급이 더 어려워 질 수 있다. 그러나, 연결 전극들(20ce, 30ce, 40ce, 50ce) 사이에 보호층(90)이 배치된 예시적인 실시예들에 따른 발광 소자(100)의 제공은 전사 및 패키징과 같은 후속 프로세스 동안 발광 소자(100)의 취급을 용이하게 할 뿐만아니라, 외부 충격으로부터 발광 구조체를 보호하고 인접한 발광 소자들(100) 사이의 광의 간섭을 방지할 수 있다.

[0097] 캐리어 기판(11c)이 발광 소자(100)를 제2 접착층(13)으로 안정적으로 장착하는 한, 캐리어 기판(11c)은 특별히 제한되지는 않는다. 제2 접착층(13)은 테이프일 수 있지만, 본 개시는 제2 접착제층(13)이 발광 소자(100)를 캐리어 기판(11c)에 안정적으로 부착하고, 후속 공정 동안, 발광 소자(100)를 분리할 수 있는 한, 이에 제한되는 것은 아니다. 일부 실시예에서, 도 13의 발광 소자(100)는 별도의 캐리어 기판(11c)으로 전사되지 않고 회로 기판(11p)으로 직접 전사될 수 있다.

[0098] 발광 소자(100)는 회로 기판(11p) 상에 실장될 수 있다. 일 실시예에 따르면, 회로 기판(11p)은 서로 전기적으로 연결된 상부 회로 전극(11pa), 하부 회로 전극(11pc) 및 중간 회로 전극(11pb)을 포함할 수 있다. 상부 회로 전극들(11pa)은 각각 제1, 제2, 제3 및 제4 연결 전극들(20ce, 30ce, 40ce 및 50ce) 각각에 대응할 수 있다. 예시적인 실시예들에 있어서, 상부 회로 전극들(11pa)은 ENIG에 의해 표면 처리되어, 고온에서 부분적으로 용융됨으로써 발광 소자(100)의 연결 전극들에 대한 전기적 연결을 용이하게 할 수 있다.

[0099] 예시된 실시예에 따르면, 발광 소자(100)는 바람직하게는 디스플레이 장치와 같은 최종 목표 장치에 실장될 회로 보드(11p)의 상부 회로 전극의 피치(P, 도 16B 참조)를 고려하여 원하는 피치로 캐리어 기판(11c)상에서 서로 이격될 수 있다.

[0100] 본 개시의 일 실시예에 따르면, 발광 소자(100)의 제1, 제2, 제3 및 제4 연결 전극(20ce, 30ce, 40ce, 50ce)은 회로 기판(11p)의 상부 회로 전극(11pa)에 각각 예를 들어, 이방성 도전 필름(ACF) 접합에 의해 본딩될 수 있다. 다른 본딩 방법보다 낮은 온도에서 수행될 수 있는 ACF 본딩을 통해 발광 소자(100)가 회로 기판에 본딩될 때, 발광 소자(100)가 본딩 동안 고온에 노출되는 것을 방지할 수 있다. 그러나, 본 개시는 특정 결합 방법으로 제한되지 않는다. 예를 들어, 일부 예시적인 실시예들에서, 발광 소자들(100)은 이방성 전도성 페이스트(ACP), 땜납, 볼 그리드 어레이(BGA), 또는 Cu 및 Sn 중 적어도 하나를 포함하는 마이크로 범프를 사용하여 회로 기판(11p)에 본딩될 수 있다. 이 경우, 연결 전극(20ce, 30ce, 40ce, 50ce)의 상부 표면과 보호층(90)은 연마 공정 등에 의해 서로 실질적으로 나란하므로, 발광 소자(100)의 이방성 도전 필름에 대한 접착성이 증가하여 회로 기판(11p)에 본딩될 때 더욱 안정적인 구조를 형성할 수 있다.

[0101] 도 15를 참조하면, 몰딩층(91)이 발광 소자들(100) 사이에 형성된다. 일 실시예에 따르면, 몰딩층(91)은 발광 소자(100)에서 방출된 광을 반사하거나 흡수하여 광을 차단할 수 있다. 몰딩층(91)은 특히 발광 소자(100)의 상면, 즉 광 방출면과 나란할 수 있으며, 이에 따라, 제1 내지 제3 발광 스택(20, 30, 40)에서 방출되는 광의 지향각을 좁힐 수 있다. 예를 들어, 몰딩층(91)은 기판(11)의 측면을 덮고 기판(11)의 상면과 나란할 수 있다. 따라서, 몰딩층(91)은 광이 기판(11)의 측면으로 방출되는 것을 방지하여 지향각을 좁힐 수 있다. 더욱이, 광 방출면이 기판(11)의 상면으로 제한되므로, 제1 내지 제3 발광 스택(20, 30, 40)의 광의 지향각이 대체로 동일하게 된다. 또한, 몰딩층(91)은, 발광 소자(100) 상에 형성된 보호층(90)과 함께, 그 구조를 강화함으로써 발광 패키지에 추가적인 보호를 제공한다. 인접한 발광 소자들(100) 사이에 몰딩층(91)이 배치됨에 따라, 인접한 연결 전극들 사이에는 몰딩층(91)과 함께 몰딩층(91)을 사이에 두고 그 양쪽에 보호층(90)이 배치된다.

[0102] 예시적인 실시예에서, 몰딩층(91)은 유기 또는 무기 폴리머를 포함할 수 있다. 일부 실시예에서, 몰딩층(91)은 실리카 또는 알루미나와 같은 충전제를 추가로 포함할 수 있다. 예시적인 실시예들에 있어서, 몰딩층(91)은 보호층(90)과 동일한 물질을 포함할 수 있다. 몰딩층(91)은 라미네이션, 도금 및/또는 인쇄 방법과 같은 당업계에 알려진 다양한 방법을 통해 형성될 수 있다. 예를 들어, 몰딩층(91)은 유기 고분자 시트가 발광 소자(100) 상에 배치되고 진공에서 고온 및 고압이 가해지는 진공 라미네이트 공정에 의해 형성되어, 발광 패키지의 실질적으로 평평한 상면을 제공함으로써 광 균일성을 향상시킬 수 있다. 몰딩층(91)은 그라인딩 공정 또는 전면 식각 공정을 통해 발광 소자(100)의 상면이 노출되도록 부분적으로 제거될 수 있다.

[0103] 일부 실시예에서, 몰딩층(91)이 형성되기 전에 발광 소자(100)로부터 기판(11)이 제거 될 수 있다. 이 경우, 몰딩층(91)은 제1 도전형 반도체층(41)의 측면을 덮고 제1 도전형 반도체층(41)의 상면을 노출시킬 수 있다.

[0104] 도 16A 및 도 16B를 참조하면, 회로 기판(11p) 상에 배치된 발광 소자(100)는 원하는 구성으로 절단되어 발광 패키지(110)로 형성될 수 있다. 도 16B는 회로 기판(11p) 상에 배치된 4 개의 발광 소자(100)(2x2)를 포함한다. 그러나, 본 개시는 발광 패키지(110)에 형성된 특정 개수의 발광 소자로 제한되지 않는다. 예를 들어, 일부 실시예에서, 발광 패키지(110)는 회로 기판(11p) 상에 형성된 하나 이상의 발광 소자(100)를 포함할 수 있다. 또한, 본 개시는 발광 패키지(110) 내의 하나 이상의 발광 소자(100)의 특정 배열에 한정되지 않으며, 예를 들어, 발광 패키지(110) 내의 하나 이상의 발광 소자(100)는 nxm 배열로 배열될 수 있다. 여기서 n과 m은 자연수이다. 일 실시예에 따르면, 회로 기판(11p)은 발광 패키지(110)에 포함된 각각의 발광 소자(100)를 독립적으로 구동하기 위한 스캔 라인 및 데이터 라인을 포함할 수 있다.

[0105] 도 17은 본 발명의 일 실시예에 따른 디스플레이 장치를 설명하기 위한 개략적인 단면도이다.

[0106] 도 17을 참조하면, 디스플레이 장치는 디스플레이 기판(11b) 및 발광 패키지(110)를 포함할 수 있다. 발광 패키지(110)는 디스플레이 장치와 같은 최종 장치의 디스플레이 기판(11b) 상에 실장될 수 있다. 디스플레이 기판(11b)은 발광 패키지(110)의 하부 회로 전극(11pc)에 각각 대응하는 타겟 전극(11s)을 포함할 수 있다. 본 개시의 일 실시예에 따른 디스플레이 장치는 복수의 화소를 포함할 수 있으며, 각 발광 소자(100)는 각 화소에 대응하여 배치될 수 있다. 보다 구체적으로, 본 개시의 일 실시예에 따른 발광 소자(100)의 각 발광 스택은 하나의 픽셀의 각 서브 픽셀에 대응할 수 있다. 발광 소자(100)는 수직으로 적층된 발광 스택(20, 30 및 40)을 포함하므로, 각 서브 픽셀에 대해 전사될 소자의 수는 종래의 발광 소자의 수보다 실질적으로 감소될 수 있다. 또한, 연결 전극의 대향면들은 서로 길이가 다르기 때문에 발광 스택 구조체에 연결 전극을 안정적으로 형성하여 내부 구조를 강화할 수 있다. 또한, 일부 실시예에 따른 발광 소자(100)는 연결 전극들 사이에 보호층(90)을 포함하므로, 외부 충격으로부터 발광 소자(100)를 보호할 수 있다.

[0107] 본 실시예에서, 발광 패키지(110)가 디스플레이 기판(11b)에 실장되는 것으로 설명하지만, 발광 패키지(110)를 제조하는 공정을 생략하고, 디스플레이 기판(11b) 상에 직접 발광 소자(100)를 실장하고 몰딩층(91)을 형성할 수도 있다.

[0108] 도 18은 본 개시의 또 다른 실시예에 따른 발광 패키지를 설명하기 위한 개략적인 단면도이다.

[0109] 도 18을 참조하면, 본 실시예에 따른 발광 패키지는 앞서 도 15, 도 16A 및 도 16B를 참조하여 설명한 발광 패키지와 대체로 유사하나, 발광 소자(200)가 기판(11)을 포함하지 않는 것에 차이가 있다. 발광 소자(100)에서 기판(11)이 제거되며 따라서 제1 도전형 반도체층(41)이 노출된다. 발광 소자(200)는 제1 도전형 반도체층(41)의 상면을 통해 광을 방출하며, 따라서, 제1 도전형 반도체층(41)의 상면이 광 방출면이 된다. 몰딩층(91)은 제1 도전형 반도체층(41)의 측면을 덮고, 그 상면을 노출시킨다.

[0110] 도 19A는 종래 기술에 따라 몰딩층을 사용하지 않은 경우에 있어서 발광 소자(100)의 지향각을 나타내는 그래프이고, 도 19B는 본 개시의 일 실시예에 따라 투명 몰딩층을 사용한 경우에 있어서 발광 소자(100)의 지향각을 나타내는 그래프이며, 도 19C는 본 개시의 일 실시예에 따른 블랙 몰딩층을 사용한 경우에 있어서 발광 소자(100)의 지향각을 나타내는 그래프이다.

[0111] 도 19A를 참조하면, 몰딩층(91)을 사용하지 않은 경우, 발광 소자(100)에서 방출되는 적색광(R), 녹색광(G), 및 청색광(B)의 지향각들은 서로 많은 차이를 보인다. 특히, 광 방출면에 가까운 제3 발광 스택(40)에서 방출된 녹색광(G)의 지향각이 가장 큰 것을 알 수 있다. 구체적으로, 적색광의 지향각은 약 125.7이고, 청색광(B)의 지향각은 약 128.8이며, 녹색광(G)의 지향각은 약 155.6이었다. 녹색광(G)의 지향각은 적색광(R)이나 청색광(B)의 지향각에 비해 약 30도 큰 값을 나타내었다.

[0112] 도 19B를 참조하면, 투명 몰딩층(91)을 채택한 경우에도 도 19A의 지향각에 비해 적색광(R), 녹색광(G), 및 청색광(R)의 모든 광의 지향각이 감소하는 것을 확인할 수 있다. 더욱이, 녹색광(G)의 지향각이 더 크게 감소함으로써 적색광(R), 녹색광(G), 및 청색광(B)의 지향각의 차이가 줄어든 것을 확인할 수 있다. 구체적으로, 적색광의 지향각은 약 128.3이고, 청색광(B)의 지향각은 약 126.4이며, 녹색광(G)의 지향각은 약 135.2이었다. 녹색광(G)의 지향각은 적색광(R)이나 청색광(B)의 지향각에 비해 약 10도를 초과하지 않았다.

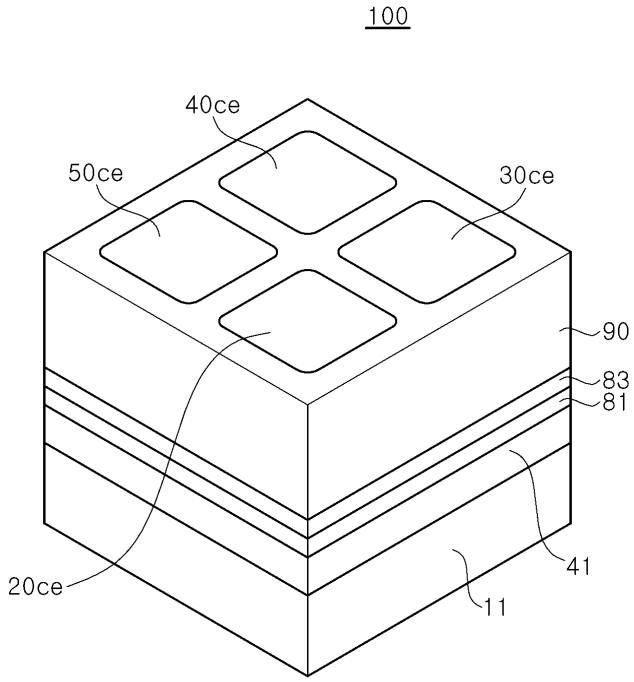
[0113] 도 19C를 참조하면, 블랙 몰딩층(91)을 채택한 경우, 적색광(R), 녹색광(G), 및 청색광(R)의 모든 광의 지향각이 도 19B에 대비하여 더 감소하는 것을 확인할 수 있다. 더욱이, 적색광(R), 녹색광(G), 및 청색광(R) 광의 지

향각의 차이도 더 줄어든 것을 확인할 수 있다. 구체적으로, 적색광의 지향각은 약 124.2이고, 청색광(B)의 지향각은 약 119.0이며, 녹색광(G)의 지향각은 약 126.5이었다. 녹색광(G)의 지향각은 적색광(R)이나 청색광(B)의 지향각에 비해 약 10도를 초과하지 않았다.

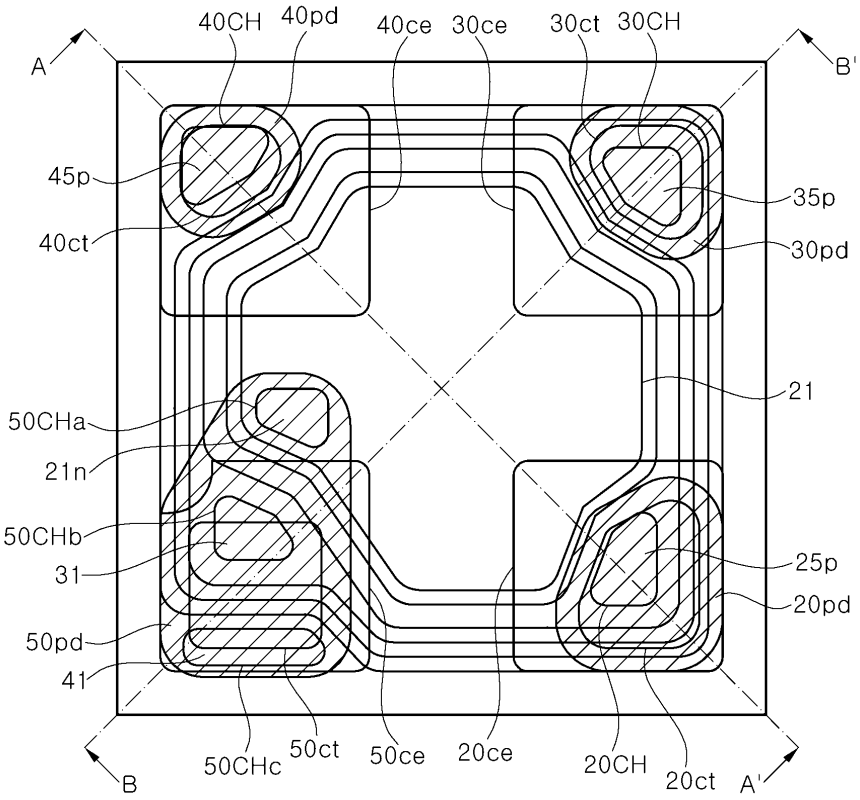
[0114] 특정 예시적인 실시예들 및 구현들이 본 명세서에서 설명되었지만, 다른 실시예들 및 수정들이 이 설명으로부터 명백할 것이다. 따라서, 본 개시는 이러한 실시예로 제한되지 않으며, 첨부된 청구 범위의 더 넓은 범위 및 당업자에게 명백한 다양한 명백한 수정 및 등가의 구성을 포함한다.

도면

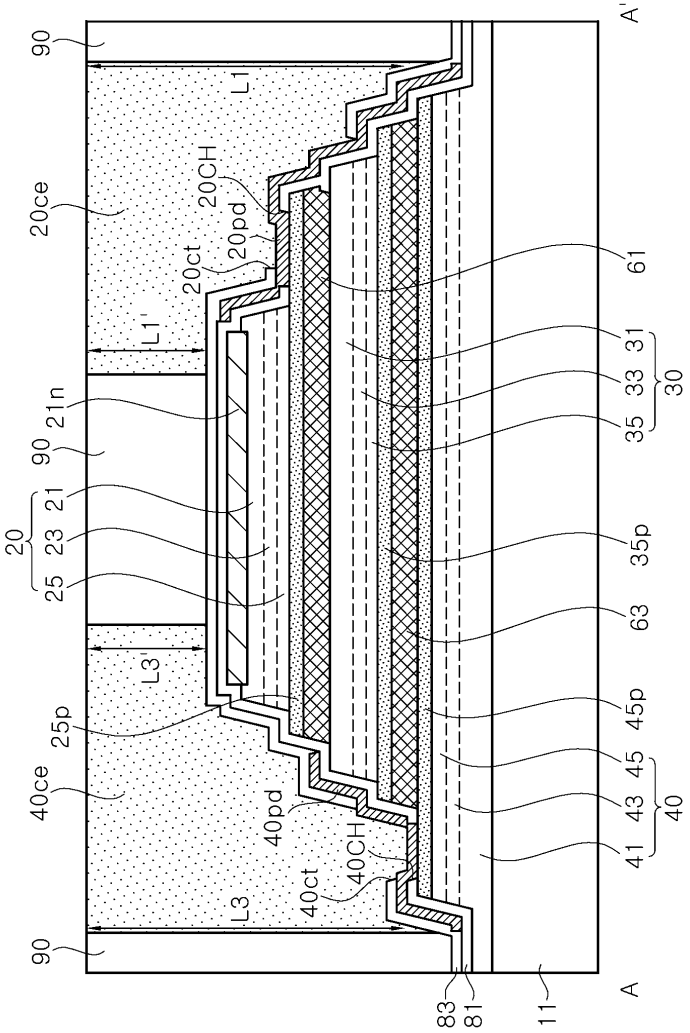
도면1a



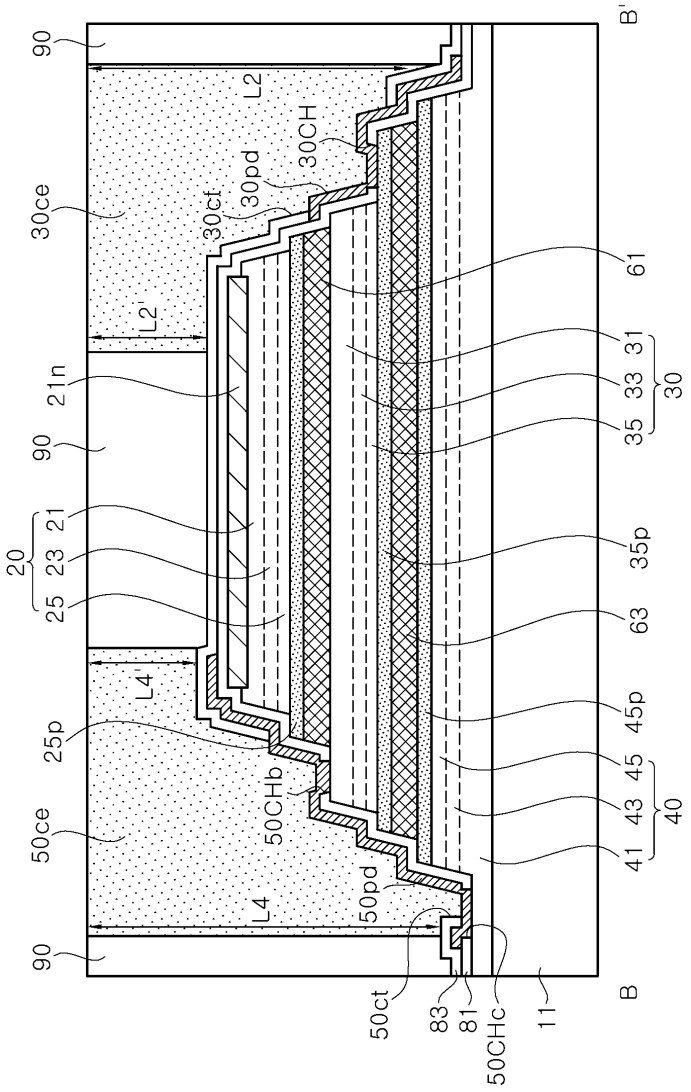
도면1b


40CH
40pd
40ce
30ce
30ct
30CH
A
B'
45p
40ct
35p
30pd
21
50CHa
21n
50CHb
31
25p
20pd
50pd
41
B
50CHc
50ct
50ce
20ce
20CH
20ct
A'

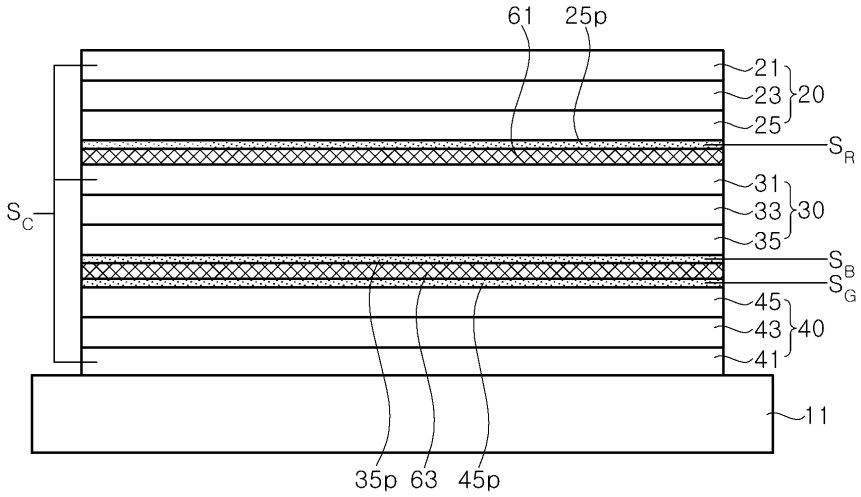
도면1c


A'
A
90
L1
20ce
20CH
20pd
20ct
L1'
61
31
33
35
30
21n
90
21
20
23
25
35p
63
L3'
25p
45p
45
43
40ce
40pd
40CH
41
40
L3
40ct
90
83
81
11

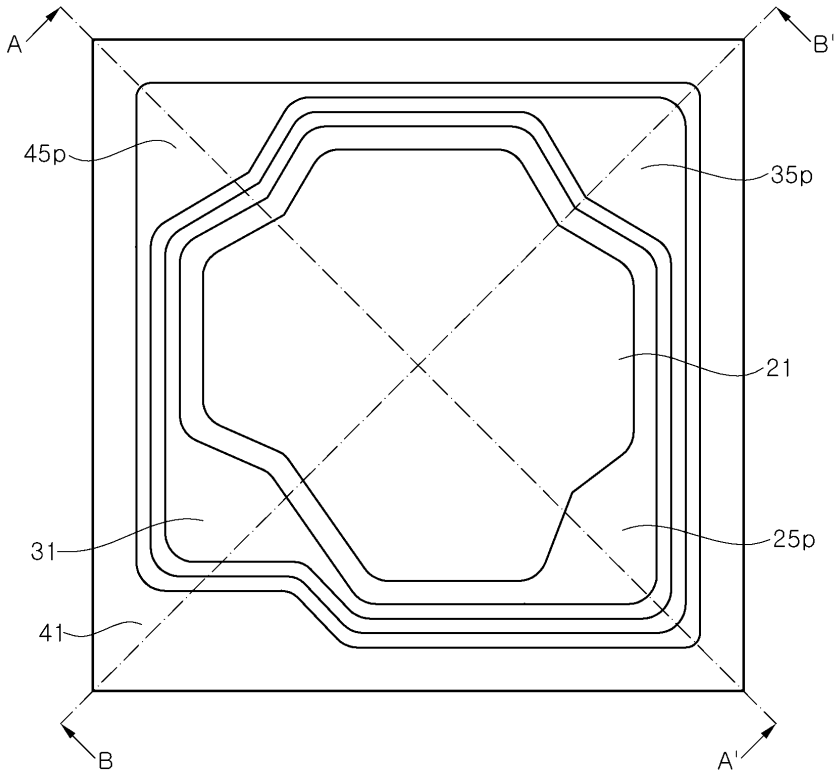
도면1d


B'
90
L2
30CH
30pd
30ct
30ce
61
L2'
31
33
35
30
21n
90
21
23
25
20
35p
63
L4'
45p
25p
45
43
40
41
50CHb
50ce
50pd
L4
90
B
50ct
83
81
50CHc
11

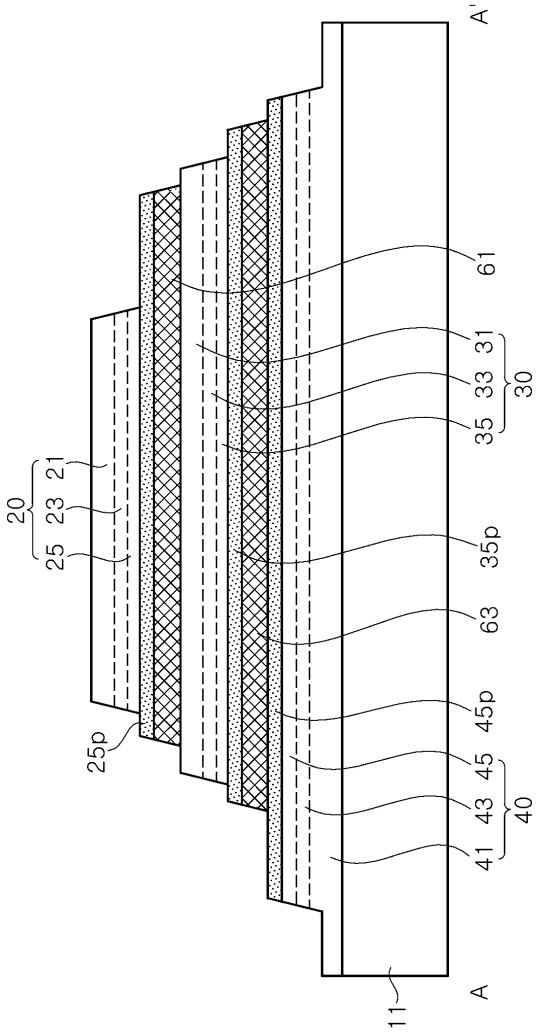
도면2


61
25p
21
23
25
20
S_R
S_C
31
33
35
30
S_B
S_G
45
43
40
41
11
35p
63
45p

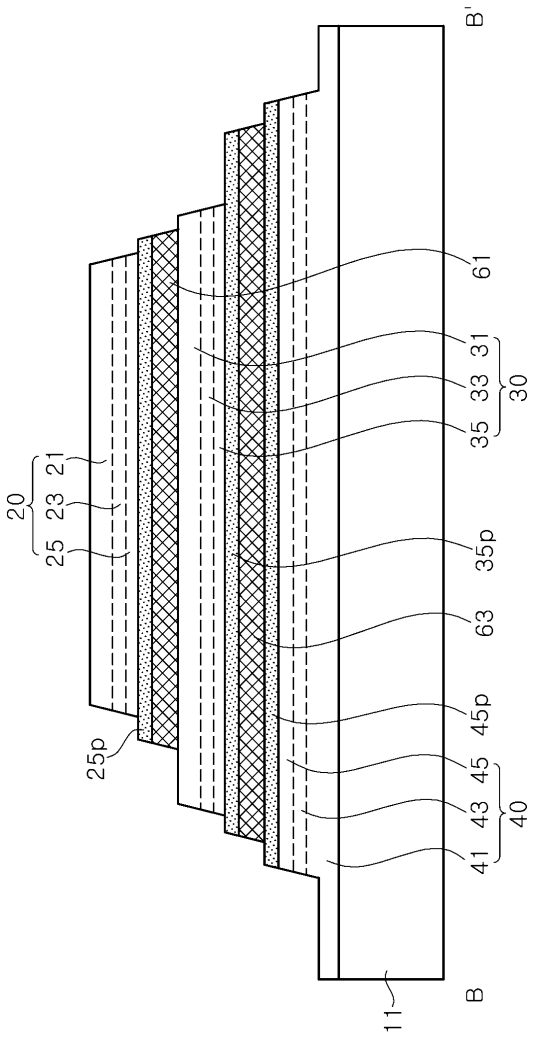
도면3a



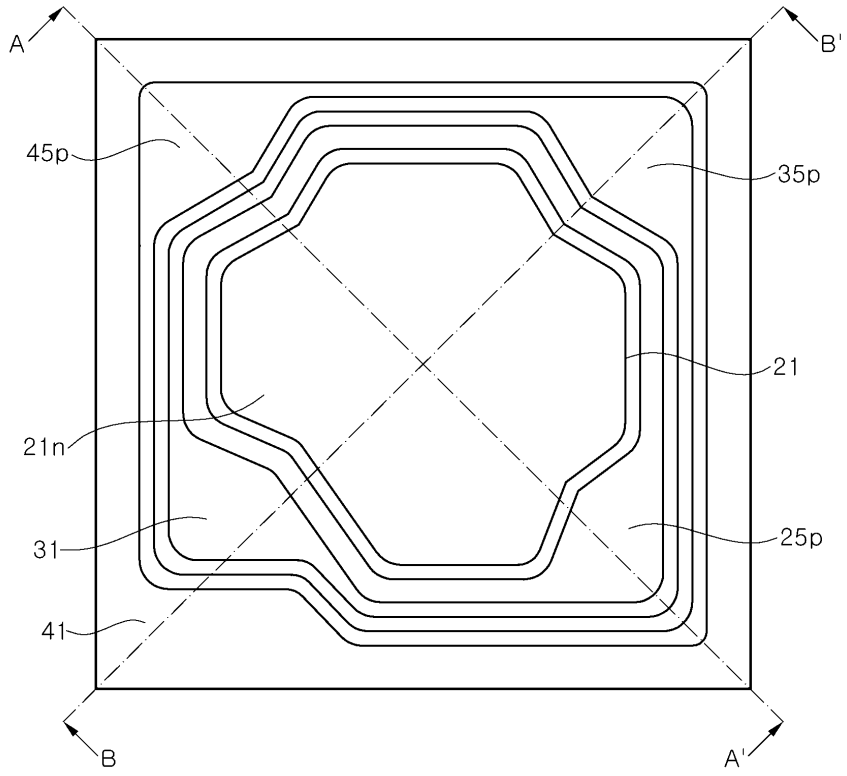
도면3b



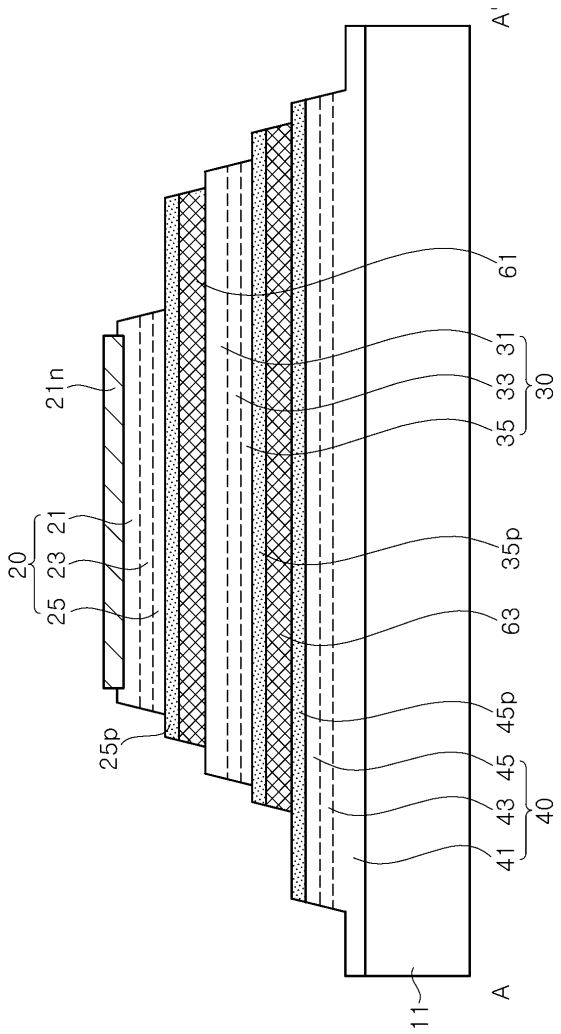
도면3c



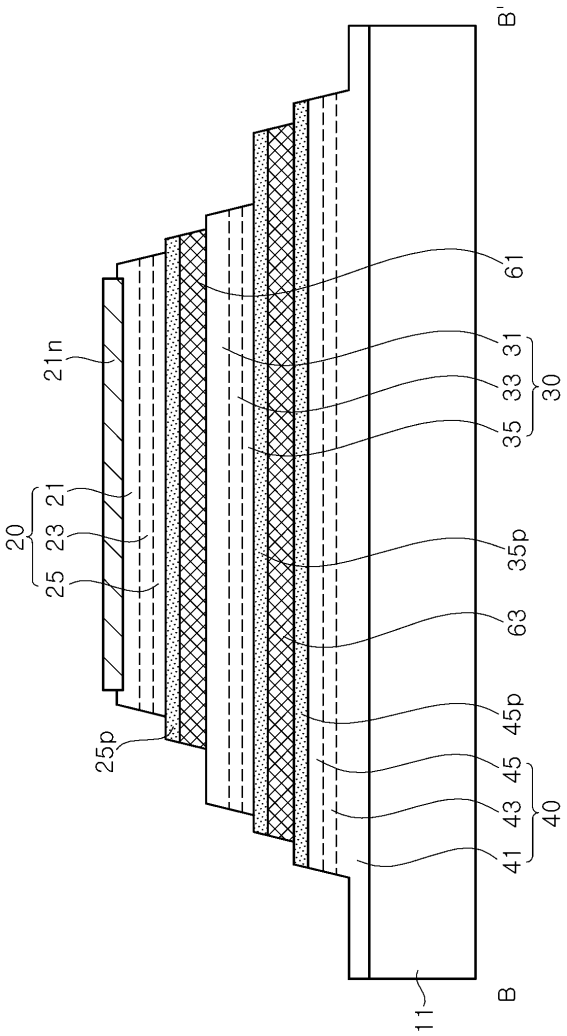
도면4a



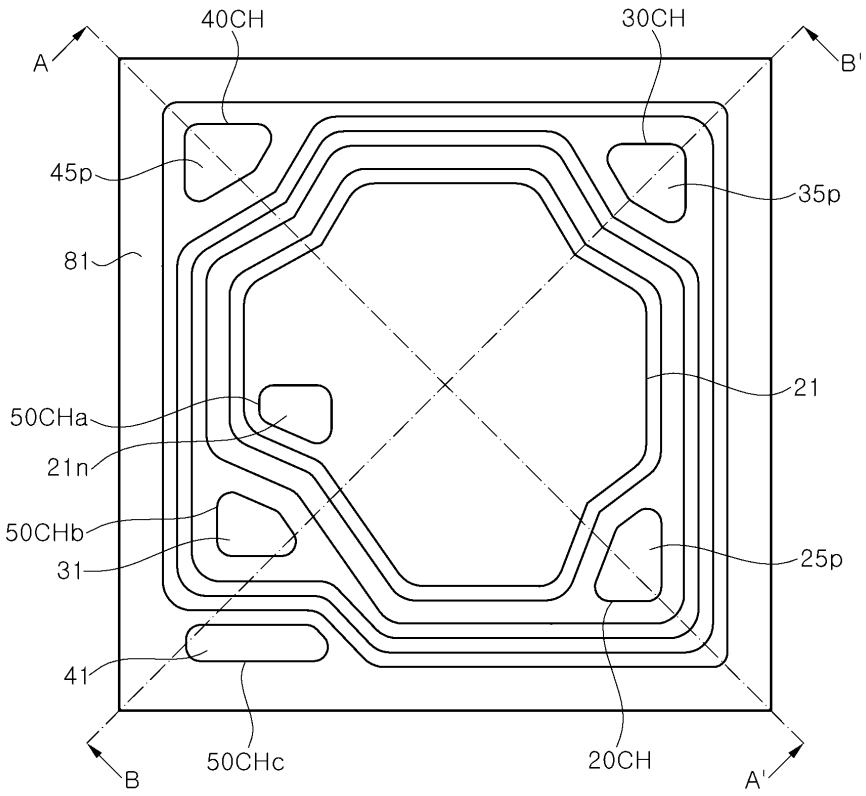
도면4b



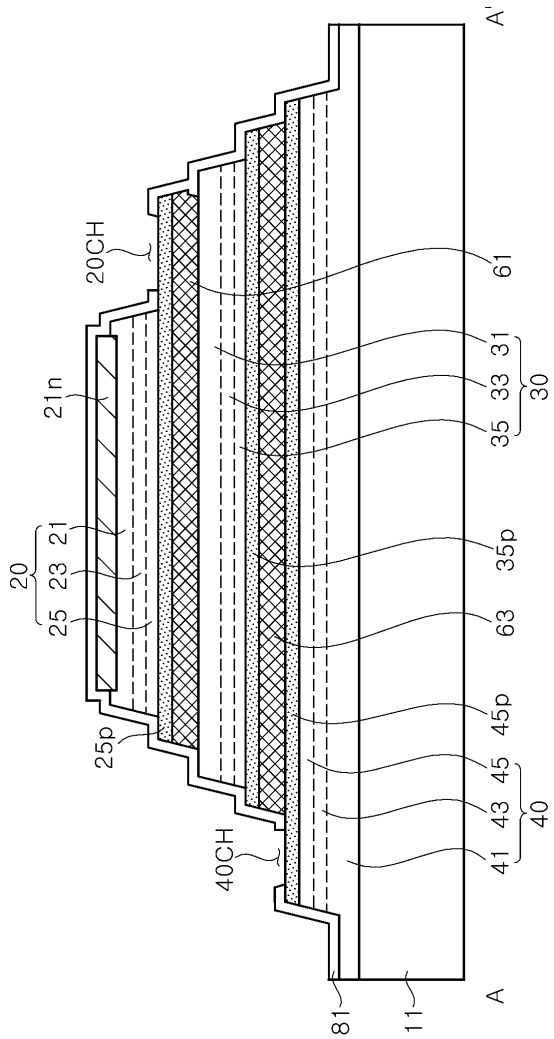
도면4c



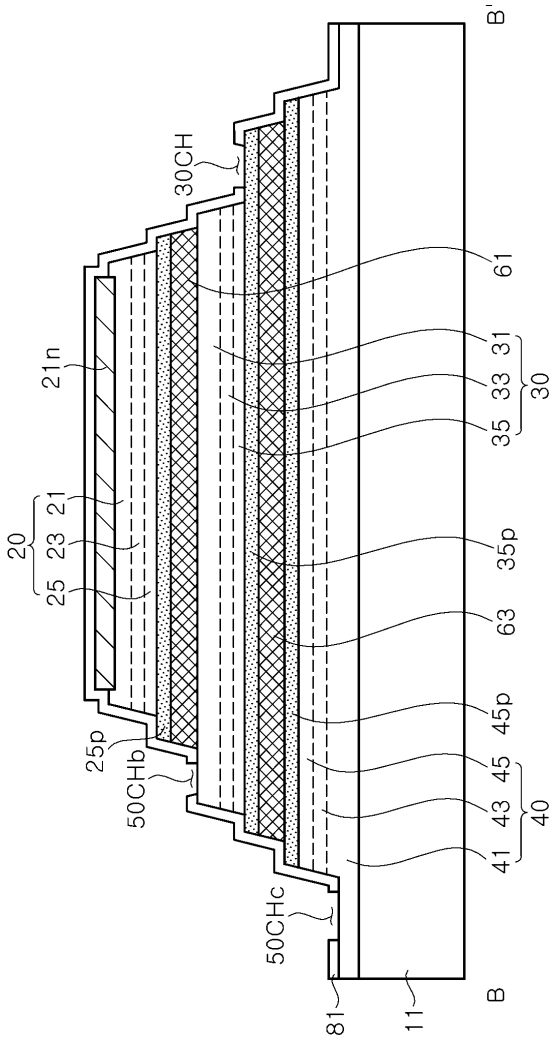
도면5a


40CH
30CH
A
B'
45p
35p
81
21
50CHa
21n
50CHb
25p
31
41
50CHc
20CH
B
A'

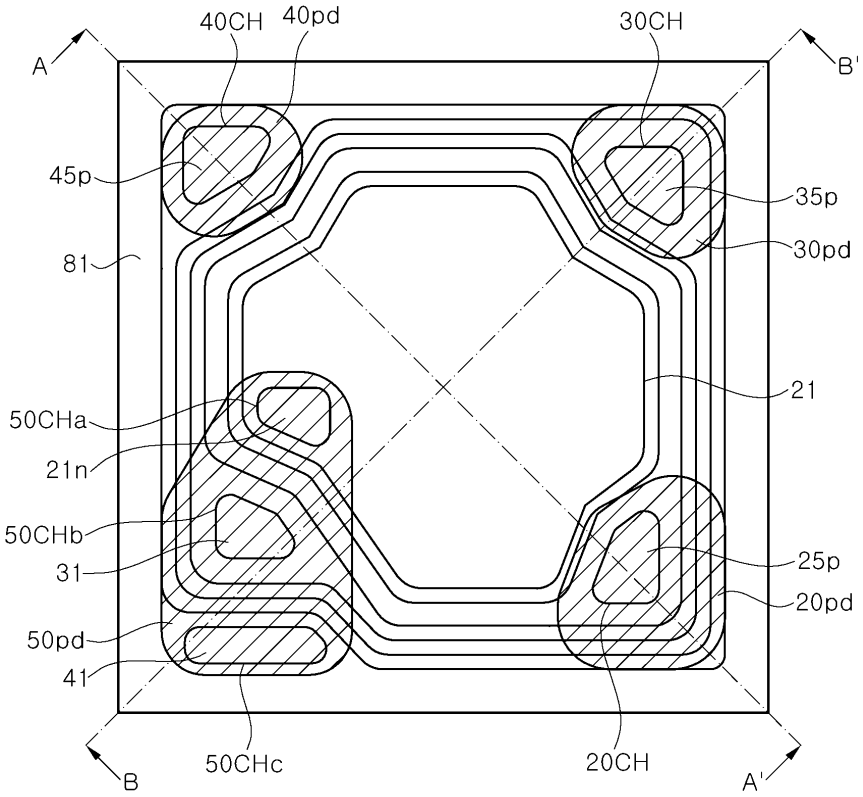
도면5b


A'
20CH
61
31
33
30
35
21n
35p
20
21
23
63
25
45p
25p
45
43
40
41
40CH
A
81
11

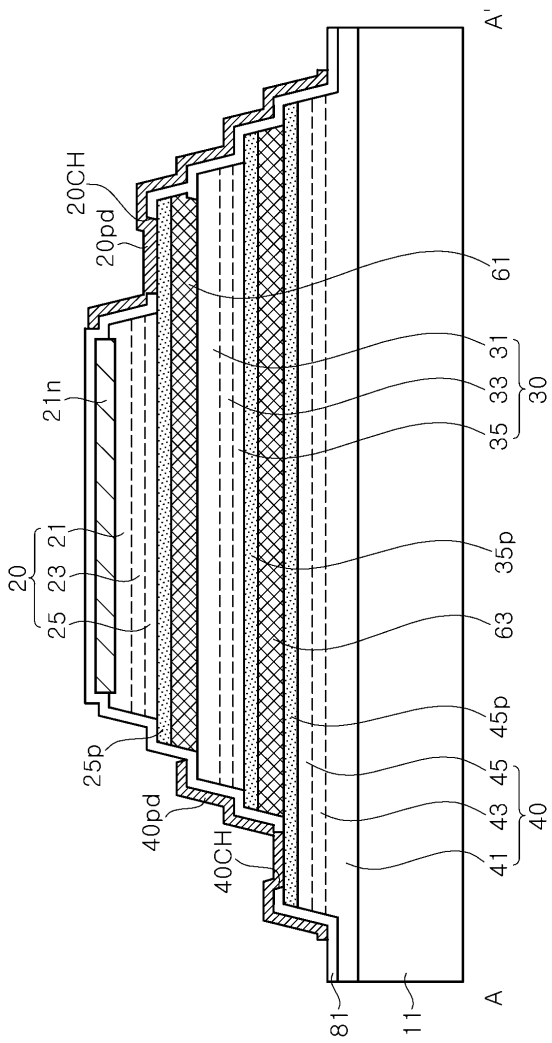
도면5c


B'
30CH
61
31
33
35
30
21n
20
21
23
25
35p
63
25p
50CHb
45p
45
43
41
40
50CHc
81
11
B

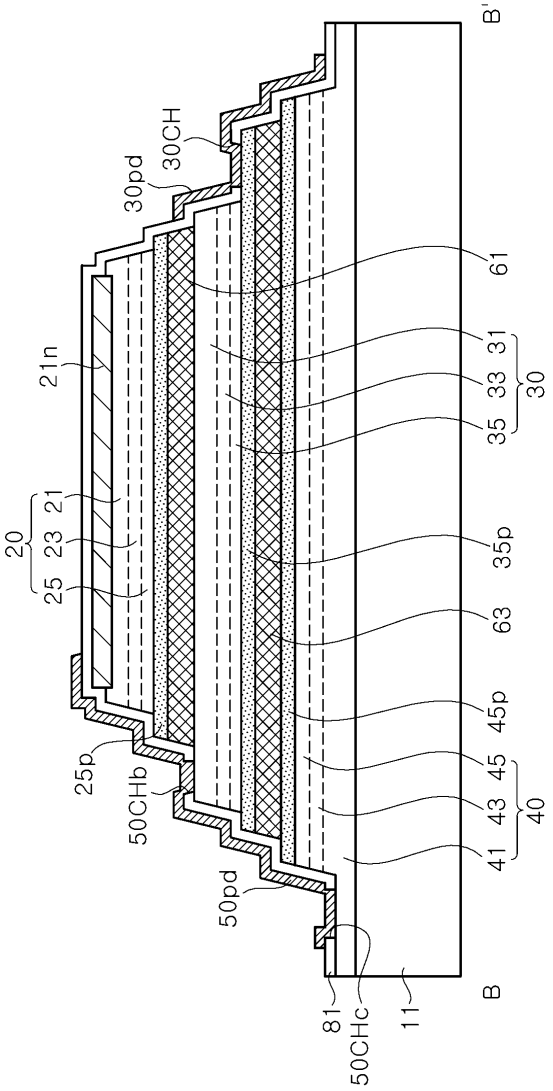
도면6a


40CH
40pd
30CH
A
B'
45p
35p
81
30pd
21
50CHa
21n
50CHb
31
25p
20pd
50pd
41
B
50CHc
20CH
A'

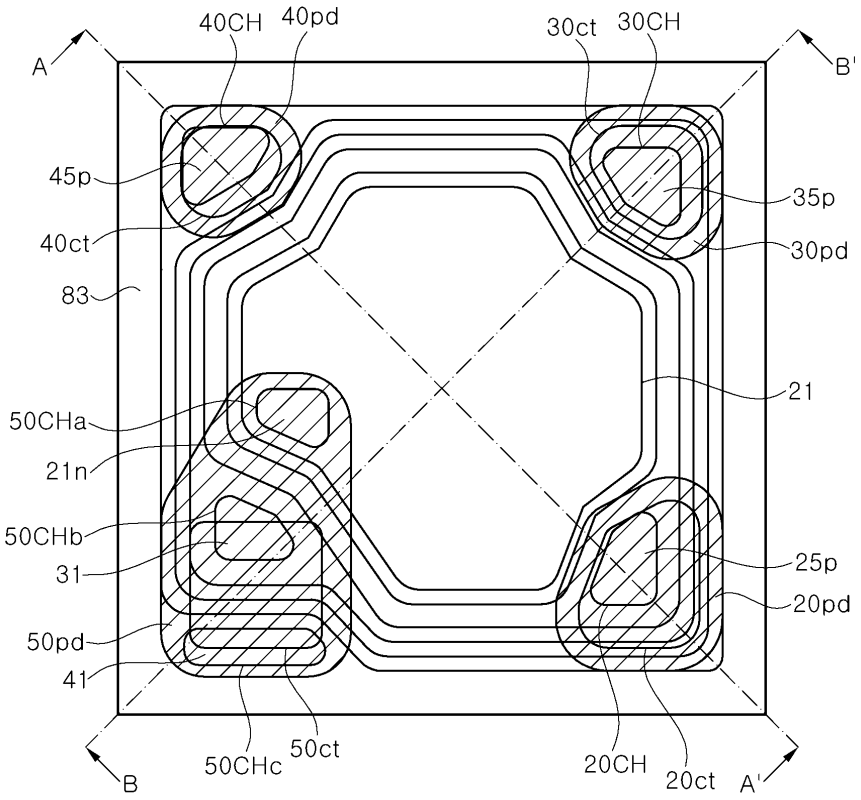
도면6b


A'
20CH
20pd
61
31
33
35
30
21n
21
20
23
25
35p
63
45p
25p
45
43
40pd
40
40CH
41
A
81
11

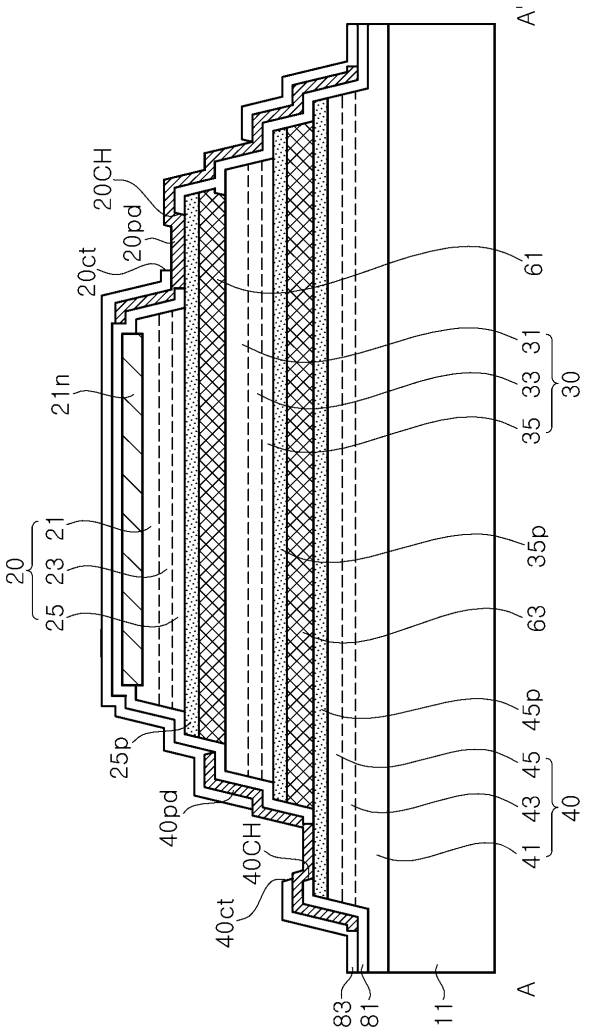
도면6c


B'
30CH
30pd
61
21n
31
33
35
30
20
21
23
25
35p
63
45p
25p
50CHb
45
43
41
40
50pd
B
81
50CHc
11

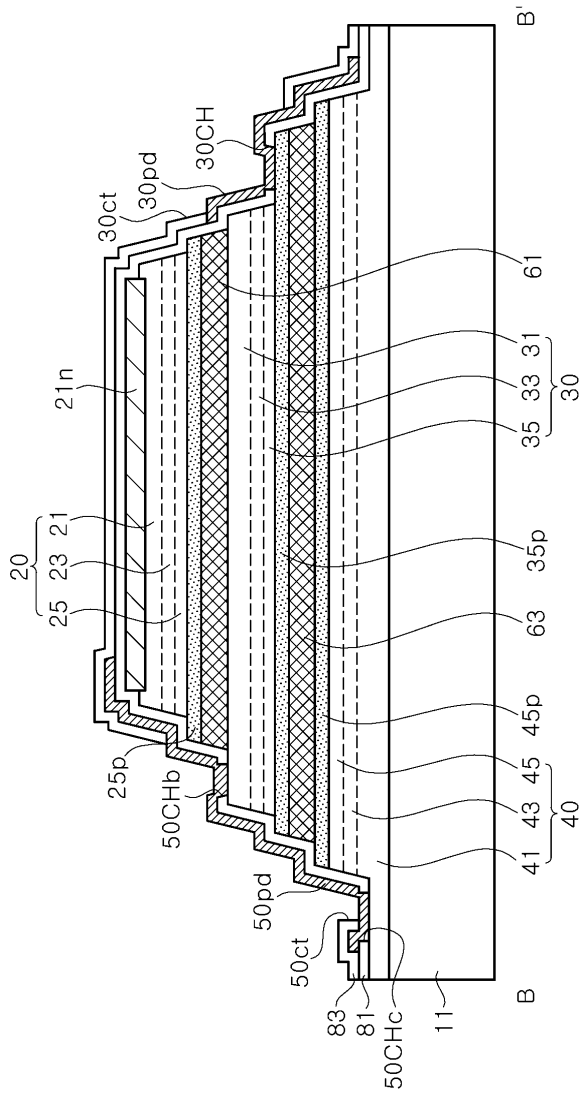
도면7a


A
40CH
40pd
30ct
30CH
B'
45p
35p
40ct
30pd
83
21
50CHa
21n
50CHb
31
25p
20pd
50pd
41
B
50CHc
50ct
20CH
20ct
A'

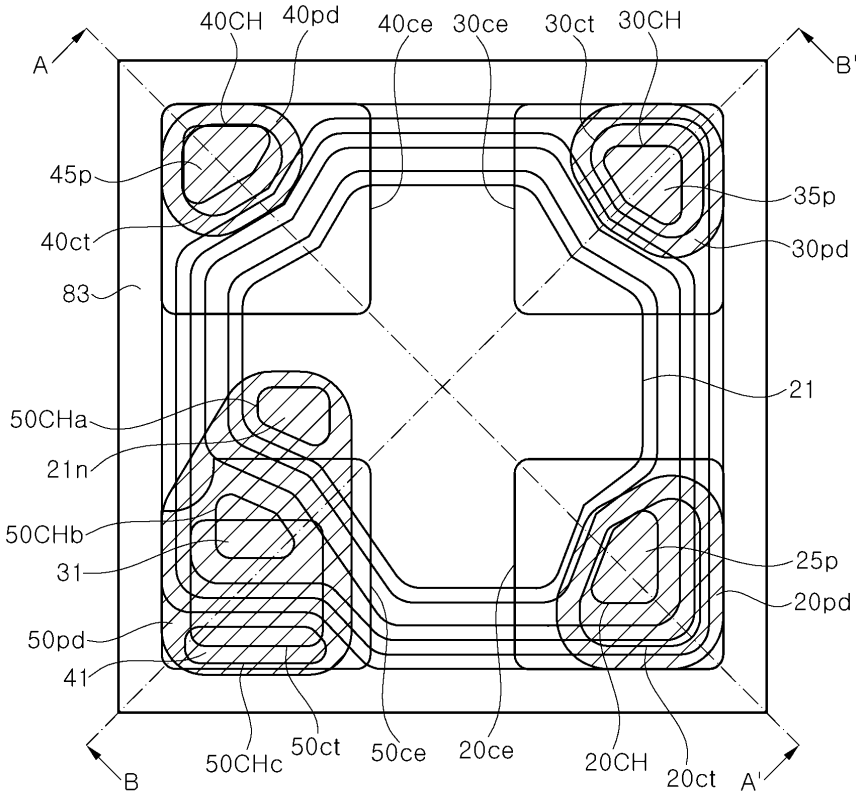
도면7b


A'
20CH
20pd
20ct
21n
20
21
23
25
25p
40pd
40CH
40ct
83
81
11
A
61
31
33
35
30
35p
63
45p
45
43
41
40

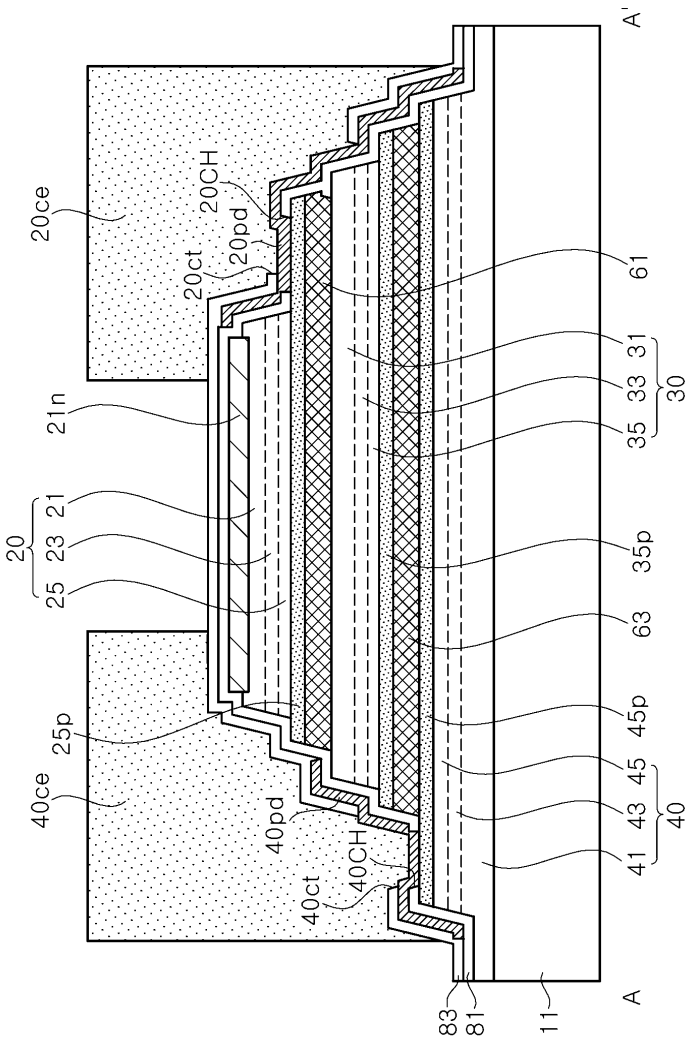
도면7c


B'
30CH
30pd
30ct
21n
61
31
33
35
30
20
21
23
25
35p
63
45p
45
43
41
40
25p
50CHb
50pd
50ct
83
81
50CHc
11
B

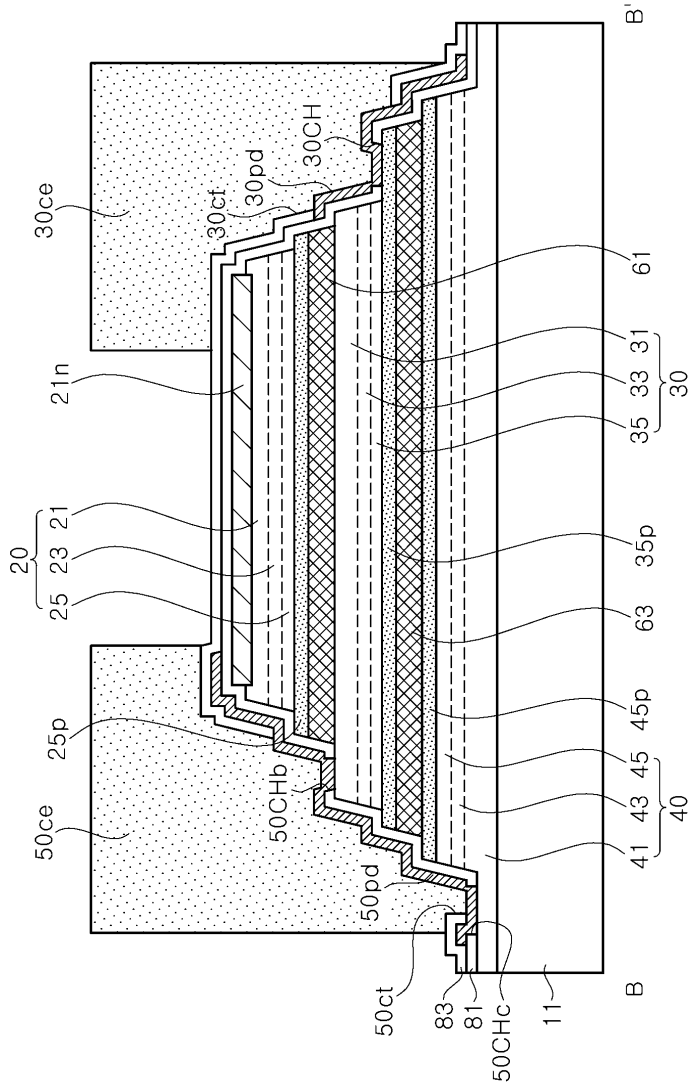
도면8a


40CH
40pd
40ce
30ce
30ct
30CH
A
B'
45p
40ct
83
35p
30pd
21
50CHa
21n
50CHb
31
25p
20pd
50pd
41
B
50CHc
50ct
50ce
20ce
20CH
20ct
A'

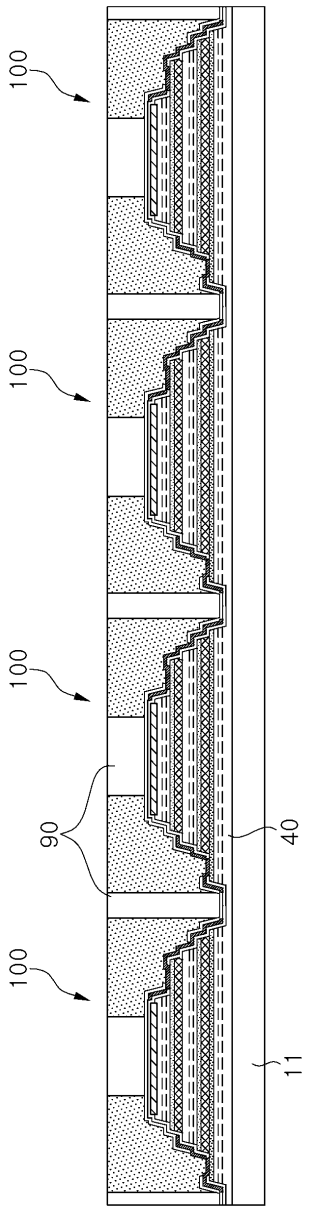
도면8b


A'
20ce
20CH
20pd
20ct
61
31
33
35
30
21n
20
21
23
25
35p
63
25p
45p
40ce
45
43
40
40pd
40CH
41
40ct
A
83
81
11

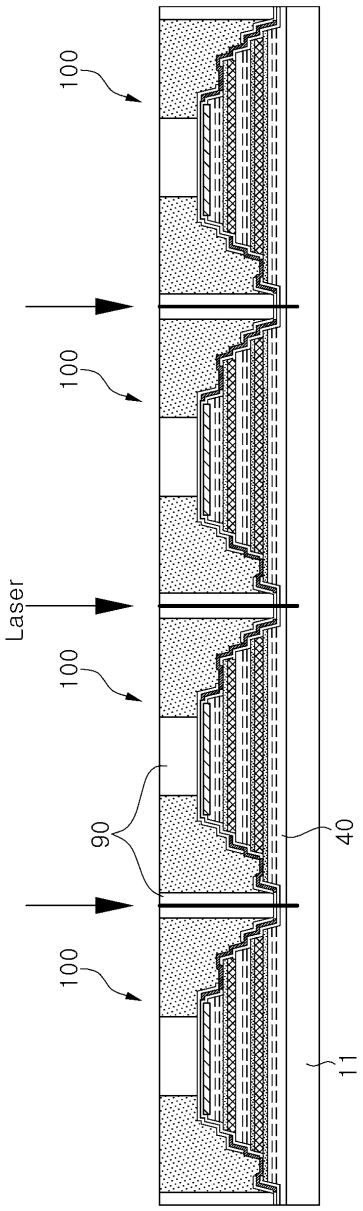
도면8c


B'
30ce
30ct
30pd
30CH
61
21n
31
33
35
30
20
21
23
25
35p
63
25p
45p
50CHb
45
43
41
40
50ce
50pd
50ct
83
81
50CHc
11
B

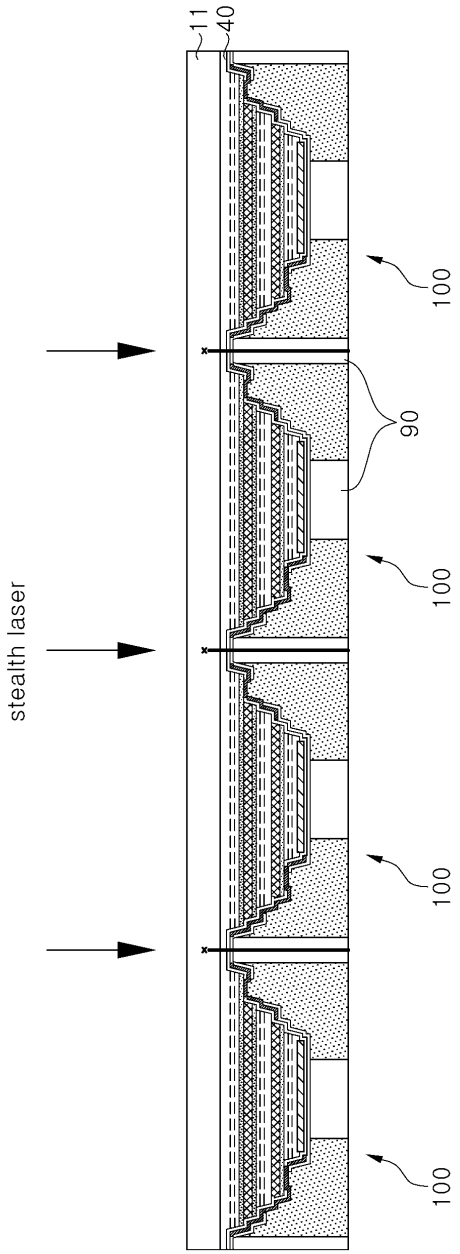
도면9



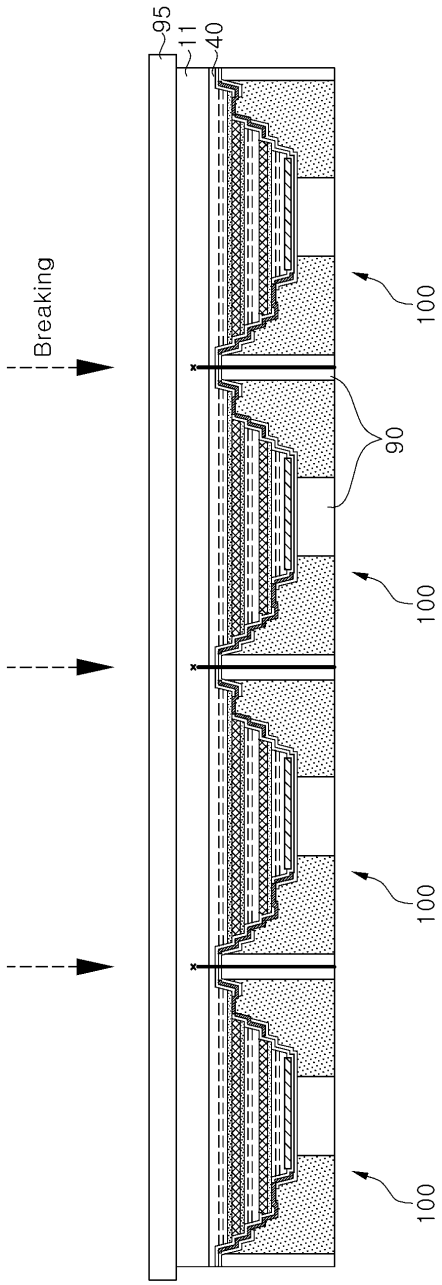
도면10



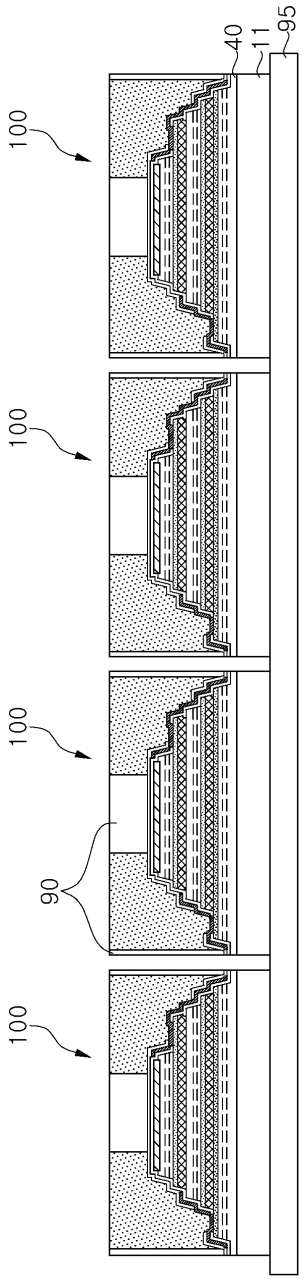
도면11



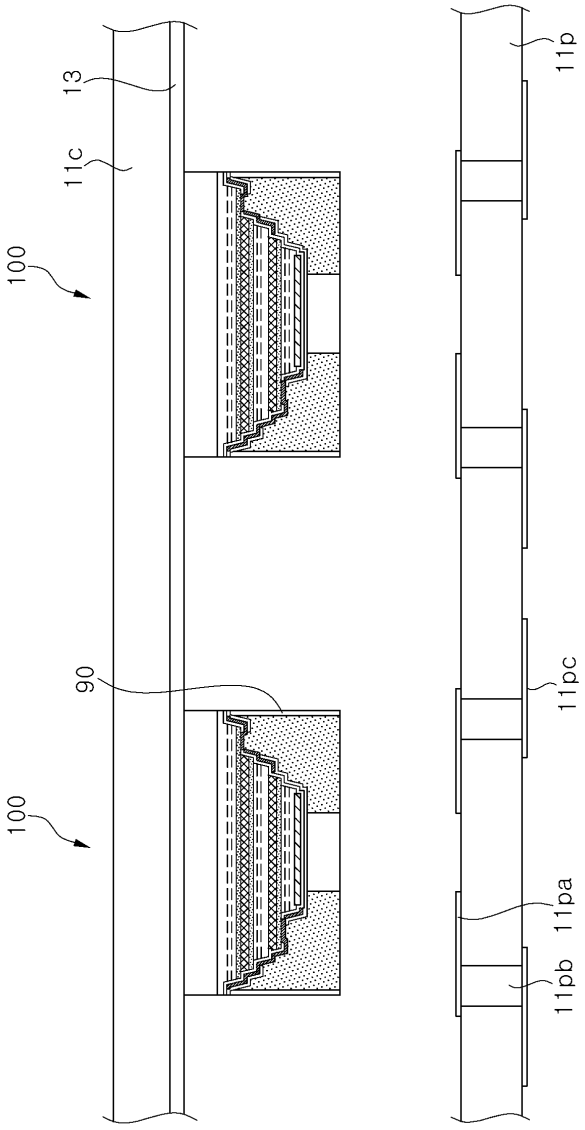
도면12



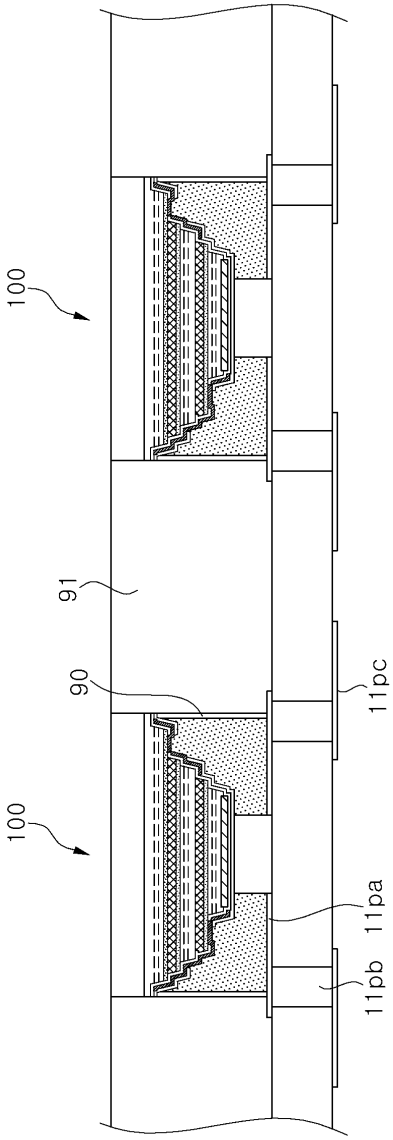
도면13



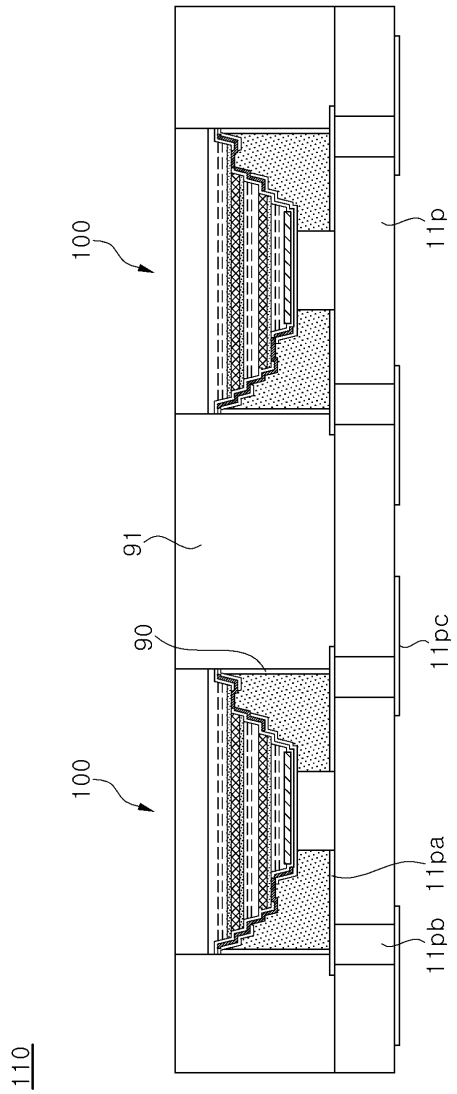
도면14



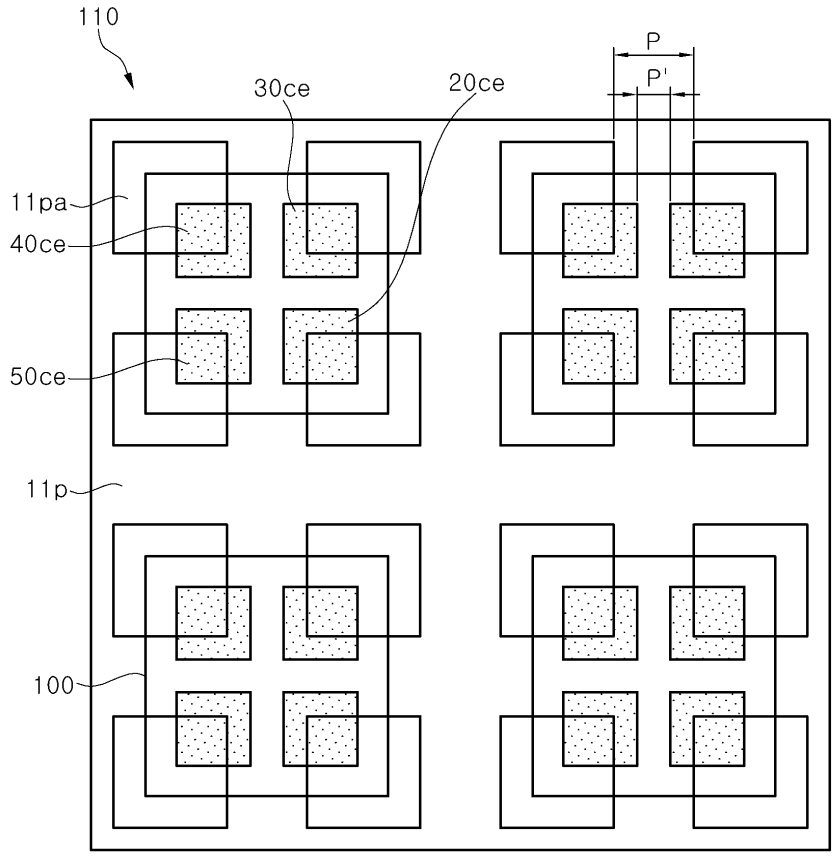
도면15



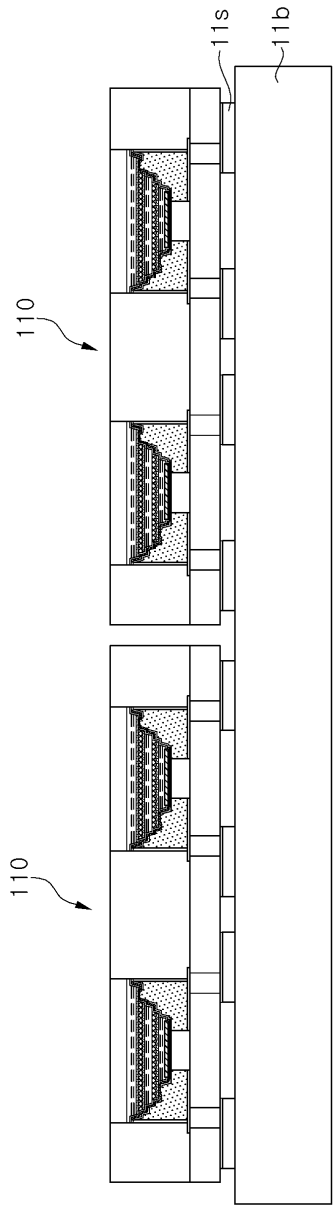
도면16a



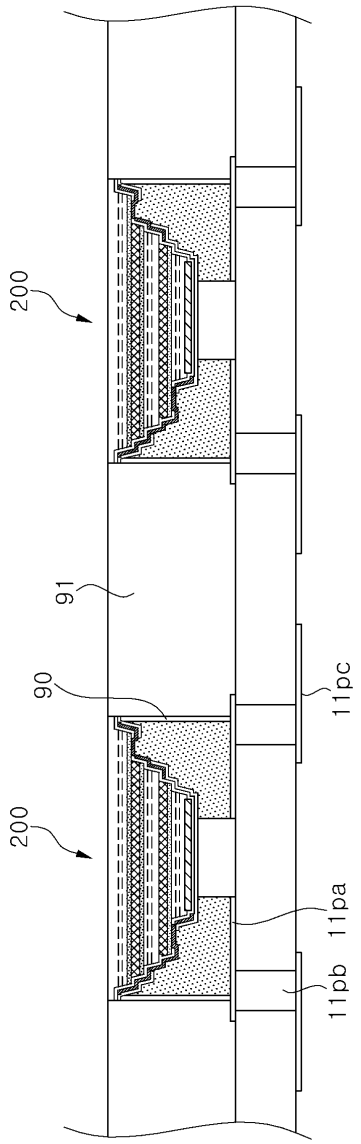
도면16b



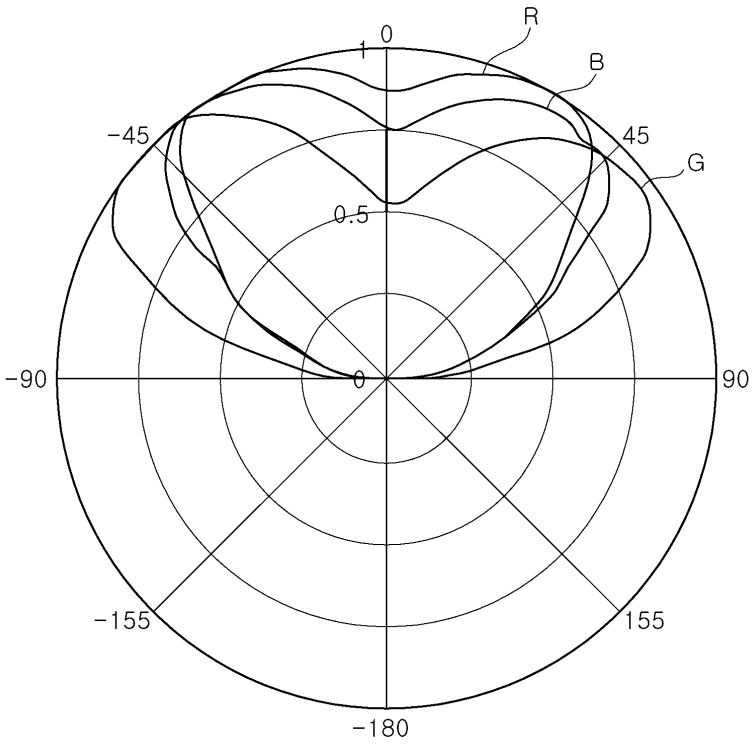
도면17



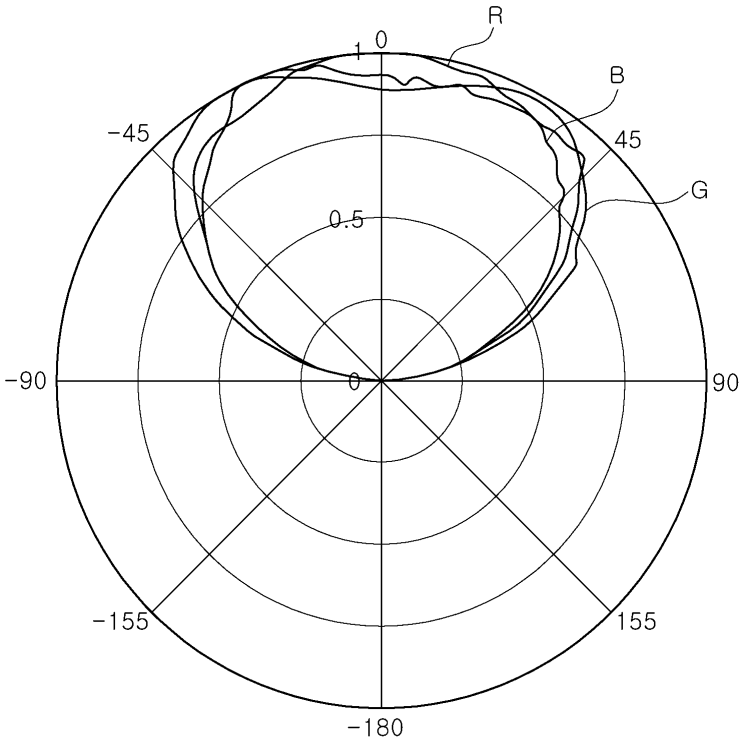
도면18



도면19a


R
B
G
0
1
-45
45
0.5
-90
90
0
-155
155
-180

도면19b


R
B
G
0
1
-45
45
0.5
-90
90
0
-155
155
-180

도면19c

