

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成17年3月10日(2005.3.10)

【公開番号】特開2002-140029(P2002-140029A)

【公開日】平成14年5月17日(2002.5.17)

【出願番号】特願2000-336837(P2000-336837)

【国際特許分類第7版】

G 09 G 3/20

G 02 F 1/133

G 02 F 1/1368

G 09 G 3/36

H 04 N 5/66

【F I】

G 09 G 3/20 6 2 1 M

G 09 G 3/20 6 2 3 F

G 09 G 3/20 6 2 3 J

G 09 G 3/20 6 2 3 L

G 09 G 3/20 6 2 3 X

G 09 G 3/20 6 8 0 C

G 09 G 3/20 6 8 0 G

G 09 G 3/20 6 8 0 T

G 09 G 3/20 6 8 0 V

G 02 F 1/133 5 5 0

G 09 G 3/36

H 04 N 5/66 1 0 2 B

G 02 F 1/136 5 0 0

【手続補正書】

【提出日】平成16年4月2日(2004.4.2)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動回路において、前記ソース信号線駆動回路は、

nビットデジタル画像信号が入力され、nビットデジタル階調に対応したアナログ画像信号に変換し、出力するD/A(デジタル/アナログ)変換回路と、

前記アナログ画像信号を順次サンプリングするサンプリング回路とを有することを特徴とする表示装置の駆動回路。

【請求項2】

複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動回路において、前記ソース信号線駆動回路は、

直列のnビットデジタル画像信号が入力され、前記nビットデジタル画像信号の長さをm倍に伸張し、m個並列のnビットデジタル画像信号に分割し、出力するS/P(シリアル

/ パラレル) 変換回路と、

前記 S / P (シリアル / パラレル) 変換回路からの出力信号を、n ビットデジタル階調に対応したアナログ画像信号に変換する D / A (デジタル / アナログ) 変換回路と、前記アナログ画像信号を順次サンプリングするサンプリング回路とを有することを特徴とする表示装置の駆動回路。

【請求項 3】

複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動回路において、前記ソース信号線駆動回路は、

基準クロック信号が入力され、前記基準クロック信号のクロック周波数を伸張することにより、異なる周波数を有する複数のクロック信号を生成するクロック生成回路と、直列の n ビットデジタル画像信号が入力され、前記 n ビットデジタル画像信号の長さを m 倍に伸張し、m 個並列の n ビットデジタル画像信号に分割し、出力する S / P (シリアル / パラレル) 変換回路と、

前記 S / P (シリアル / パラレル) 変換回路からの出力信号を、n ビットデジタル階調に対応したアナログ画像信号に変換する D / A (デジタル / アナログ) 変換回路と、

前記アナログ画像信号を順次サンプリングするサンプリング回路とを有し、

前記 S / P (シリアル / パラレル) 変換回路と、前記サンプリング回路とはそれぞれ、前記クロック生成回路によって、同一の前記基準クロック信号より生成されたクロック信号によって駆動されることを特徴とする表示装置の駆動回路。

【請求項 4】

複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動回路において、前記ソース信号線駆動回路は、

直列の n ビットデジタル画像信号が入力され、前記 n ビットデジタル画像信号の長さを m 倍に伸張し、m 個並列の n ビットデジタル画像信号に分割し、出力する S / P (シリアル / パラレル) 変換回路と、

前記 S / P (シリアル / パラレル) 変換回路からの出力信号を、n ビットデジタル階調に対応したアナログ画像信号に変換する D / A (デジタル / アナログ) 変換回路と、

前記アナログ画像信号を順次サンプリングするサンプリング回路とを有し、

前記直列の n ビットデジタル画像信号は、k 個並列に、第 1 ~ 第 k の前記 S / P (シリアル / パラレル) 変換回路に入力され、第 1 ~ 第 k の前記 S / P (シリアル / パラレル) 変換回路からの出力信号はそれぞれ第 1 ~ 第 k の D / A (デジタル / アナログ) 変換回路に入力され、

k 個のサンプリング信号が同時に出力されることにより、k 本のソース信号線への信号の書き込みが同時に行われることを特徴とする表示装置の駆動回路。

【請求項 5】

複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動回路において、前記ソース信号線駆動回路は、

基準クロック信号が入力され、前記基準クロック信号のクロック周波数を伸張することにより、異なる周波数を有する複数のクロック信号を生成するクロック生成回路と、

直列の n ビットデジタル画像信号が入力され、前記 n ビットデジタル画像信号の長さを m 倍に伸張し、m 個並列の n ビットデジタル画像信号に分割し、出力する S / P (シリアル / パラレル) 変換回路と、

前記 S / P (シリアル / パラレル) 変換回路からの出力信号を、n ビットデジタル階調に対応したアナログ画像信号に変換する D / A (デジタル / アナログ) 変換回路と、

前記アナログ画像信号を順次サンプリングするサンプリング回路とを有し、

前記 S / P (シリアル / パラレル) 変換回路と、前記サンプリング回路とはそれぞれ、前記クロック生成回路によって、同一の前記基準クロック信号より生成されたクロック信号

によって駆動され、

前記直列の  $n$  ビットデジタル画像信号は、 $k$  個並列に、第 1 ~ 第  $k$  の前記 S / P (シリアル / パラレル) 変換回路に入力され、第 1 ~ 第  $k$  の前記 S / P (シリアル / パラレル) 変換回路からの出力信号はそれぞれ第 1 ~ 第  $k$  の D / A (デジタル / アナログ) 変換回路に入力され、

$k$  個のサンプリング信号が同時に出力されることにより、 $k$  本のソース信号線への信号の書き込みが同時に行われることを特徴とする表示装置の駆動回路。

【請求項 6】

複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動方法において、 $m$  個の並列  $n$  ビットデジタル画像信号をそれぞれ D / A (デジタル / アナログ) 変換回路に入力し、前記  $n$  ビットデジタル階調に対応したアナログ画像信号に変換するステップと、

前記 D / A (デジタル / アナログ) 変換回路から出力された前記  $n$  ビットデジタル階調に対応したアナログ信号をサンプリングするステップと、

を有することを特徴とする表示装置の駆動方法。

【請求項 7】

複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動方法において、 $n$  ビットデジタル画像信号を S / P (シリアル / パラレル) 変換回路に入力し、前記  $n$  ビットデジタル画像信号の長さを  $m$  倍に伸張し、 $m$  個の並列  $n$  ビットデジタル画像信号に分割し、出力するステップと、

前記 S / P (シリアル / パラレル) 変換回路からの出力信号をそれぞれ D / A (デジタル / アナログ) 変換回路に入力し、 $n$  ビットデジタル階調に対応したアナログ画像信号に変換するステップと、

前記 D / A (デジタル / アナログ) 変換回路から出力された前記  $n$  ビットデジタル階調に対応したアナログ画像信号をサンプリングするステップと、  
を有することを特徴とする表示装置の駆動方法。

【請求項 8】

複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動方法において、基準クロック信号をクロック生成回路に入力し、前記基準クロック信号の周波数を伸張することにより、異なる周波数を有する複数のクロック信号を出力するステップと、 $n$  ビットデジタル画像信号を S / P (シリアル / パラレル) 変換回路に入力し、前記  $n$  ビットデジタル画像信号の長さを  $m$  倍に伸張し、 $m$  個の並列  $n$  ビットデジタル画像信号に分割し、出力するステップと、

前記 S / P (シリアル / パラレル) 変換回路からの出力信号をそれぞれ D / A (デジタル / アナログ) 変換回路に入力し、 $n$  ビットデジタル階調に対応したアナログ画像信号に変換するステップと、

前記 D / A (デジタル / アナログ) 変換回路から出力された前記  $n$  ビットデジタル階調に対応したアナログ画像信号をサンプリングするステップと、  
を有することを特徴とする表示装置の駆動方法。

【請求項 9】

複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動方法において、基準クロック信号をクロック生成回路に入力し、前記基準クロック信号の周波数を伸張することにより、異なる周波数を有する複数のクロック信号を出力するステップと、直列  $n$  ビットデジタル画像信号を S / P (シリアル / パラレル) 変換回路に入力し、前記  $n$  ビットデジタル画像信号の長さを  $m$  倍に伸張し、 $m$  個の並列  $n$  ビットデジタル画像信号に分割し、出力するステップと、

前記 S / P (シリアル / パラレル) 変換回路からの出力信号をそれぞれ D / A (デジタル / アナログ) 変換回路に入力し、n ビットデジタル階調に対応したアナログ画像信号に変換するステップと、

前記 D / A (デジタル / アナログ) 変換回路から出力された前記 n ビットデジタル階調に対応したアナログ画像信号をサンプリングするステップとを有し、

前記直列の n ビットデジタル画像信号は、k 個並列に、第 1 ~ 第 k の前記 S / P (シリアル / パラレル) 変換回路に入力され、第 1 ~ 第 k の前記 S / P (シリアル / パラレル) 変換回路からの出力信号はそれぞれ第 1 ~ 第 k の D / A (デジタル / アナログ) 変換回路に入力され、

1 つのサンプリング信号の出力により、k 本のソース信号線への信号の書き込みが同時に行われることを特徴とする表示装置の駆動方法。

【請求項 1 0】

請求項 1 乃至請求項 5 のいずれか 1 項に記載の表示装置の駆動回路を用いることを特徴とする表示装置。

【請求項 1 1】

請求項 1 乃至請求項 5 のいずれか 1 項に記載の表示装置の駆動回路を用いることを特徴とするテレビ。

【請求項 1 2】

請求項 1 乃至請求項 5 のいずれか 1 項に記載の表示装置の駆動回路を用いることを特徴とするパーソナルコンピュータ。

【請求項 1 3】

請求項 1 乃至請求項 5 のいずれか 1 項に記載の表示装置の駆動回路を用いることを特徴とする携帯端末。

【請求項 1 4】

請求項 1 乃至請求項 5 のいずれか 1 項に記載の表示装置の駆動回路を用いることを特徴とするビデオカメラ。

【請求項 1 5】

請求項 1 乃至請求項 5 のいずれか 1 項に記載の表示装置の駆動回路を用いることを特徴とするプロジェクタ。