

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

|                                                        |                                          |           |                 |
|--------------------------------------------------------|------------------------------------------|-----------|-----------------|
| (51) 。 Int. Cl. <sup>8</sup><br>H01L 21/3213 (2006.01) |                                          | (45) 공고일자 | 2006년01월24일     |
|                                                        |                                          | (11) 등록번호 | 10-0546112      |
|                                                        |                                          | (24) 등록일자 | 2006년01월18일     |
| (21) 출원번호                                              | 10-1999-0063571                          | (65) 공개번호 | 10-2001-0061087 |
| (22) 출원일자                                              | 1999년12월28일                              | (43) 공개일자 | 2001년07월07일     |
| (73) 특허권자                                              | 주식회사 하이닉스반도체<br>경기 이천시 부발읍 아미리 산136-1    |           |                 |
| (72) 발명자                                               | 김대영<br>경기도이천시대월면사동리441-1 현대사원아파트106동503호 |           |                 |
| (74) 대리인                                               | 이후동<br>이정훈                               |           |                 |

심사관 : 김희주

(54) 반도체소자의 제조방법

요약

본 발명은 반도체소자의 제조방법에 관한 것으로서, 질화막을 하드마스크로하여 비트라인들을 형성하고, 그 측벽에 스페이서를 형성한 후에 전하저장전극 콘택 플러그를 비트라인 사이에 형성하고, 전면에 산화막-질화막-전하저장전극 산화막-다결정실리콘층을 도포하고 전하저장전극 마스크로 상기 적층막들을 패터닝하여 전하저장전극 콘택 플러그를 노출시키는 홈을 형성하고, 다시 다결정실리콘층을 도포하고 여분의 다결정실리콘층을 CMP 방법으로 식각하여 전하저장전극을 정의하였으므로, 전하저장전극 형성 공정이 간단하고 공정여유도가 증가되어 공정수율 및 소자동작의 신뢰성을 향상시킬 수 있다.

대표도

도 1f

명세서

도면의 간단한 설명

도 1a 내지 도 1g는 본 발명에 따른 반도체소자의 제조공정도.

<도면의 주요 부분에 대한 부호의 설명>

10 : 층간절연막 12 : 비트라인

13 : 마스크 절연막 패턴 14 : 스페이서

15 : 전하저장전극 콘택 플러그 20 : 산화막

21 : 질화막 22 : 전하저장전극 산화막

23,25 : 다결정실리콘층 24 : 감광막 패턴

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조방법에 관한 것으로서, 특히 비트라인 형성후에 콘택 플러그를 형성하고, 산화막-질화막-전하저장전극 산화막-다결정실리콘층의 적층 상태에서 전하저장전극 콘택을 형성하여 자기정렬 방법으로 용이하게 전하저장전극을 형성할 수 있어 공정이 간단하고 공정수율 및 소자동작의 신뢰성을 향상시킬 수 있는 반도체소자의 제조방법에 관한 것이다.

최근 반도체 소자의 고집적화 추세에 따라 셀 크기가 감소되어 충분한 정전용량을 갖는 캐패시터를 형성하기가 어려워지고 있으며, 특히, 하나의 MOS 트랜지스터와 캐패시터로 구성되는 디램 소자는 칩에서 많은 면적을 차지하는 캐패시터의 정전용량을 크게 하면서, 면적을 줄이는 것이 디램 소자의 고집적화에 중요한 요인이 된다.

이때 상기 캐패시터는 주로 다결정 실리콘을 도전체로 하여 산화막, 질화막 또는 그 적층막인 오.엔.오(oxide-nitride-oxide)막을 유전체로 사용하고 있다.

따라서 캐패시터의 정전용량(C)은  $C=(\epsilon_0 \times \epsilon_r \times A)/T$  (여기서  $\epsilon_0$  은 진공 유전율(permittivity of vacuum),  $\epsilon_r$  은 유전막의 유전상수(dielectric constant), A는 캐패시터의 표면적, T는 유전막의 두께)로 표시되는 캐패시터의 정전용량(C)을 증가시키기 위하여 유전상수가 높은 물질을 유전체로 사용하거나, 유전막을 얇게 형성하거나 또는 캐패시터의 표면적을 증가시키는 등의 방법이 있다.

그러나 이러한 방법들은 모두 각각의 문제점을 가지고 있다.

즉, 높은 유전상수를 갖는 유전물질, 예를 들어  $Ta_2O_5$ ,  $TiO_2$  또는  $SrTiO_3$  등이 연구되고 있으나, 이러한 물질들의 접합 파괴전압등과 같은 신뢰도 및 박막특성등이 확실하게 확인되어 있지 않아 실제 소자에 적용하기가 어렵고, 식각이나 공정재현성등이 떨어지며, 제조단가가 높은 단점이 있고, 유전막 두께를 감소시키는 것은 소자 동작시 유전막이 파괴되어 캐패시터의 신뢰도에 심각한 영향을 준다.

더욱이 캐패시터의 전하저장전극의 표면적을 증가시키기 위하여 다결정 실리콘층을 다층으로 형성한 후, 이들을 관통하여 서로 연결시키는 핀(Fin) 구조로 형성하거나, 콘택의 상부에 실린더 형상의 전하저장전극을 형성하는 등의 방법을 사용하기도 한다.

그러나 상기와 같은 종래 기술에 따른 반도체 소자의 캐패시터 제조방법에서 핀형이나 실린더형 캐패시터는 캐패시터간의 미세브릿지 불량으로 인하여 공정수율을 저하시키고, 복잡한 공정에 비하여 정전용량의 증가가 작으며, 실린더형 캐패시터의 는 주안정 다결정실리콘층(meta-stable poly silicon)을 성장시켜 면적을 증가시키고 있으나 미세 브릿지 현상이 더욱 증가되고 미세화가 어려운 문제점이 있다.

또한 상기의 미세 브릿지를 해결하기 위하여 적층형 캐패시터가 다시 주목받고 있으나, 적층막들의 높이가 증가됨에 따라 두꺼운 막을 식각하는 공정이 용이하지 않고, 토폴로지에 의한 문제가 발생하는 등의 문제점이 있다.

또한 셀 효율을 증가시키기 위하여 비트라인당 셀수를 기존에 비해 2배 이상으로 설계를 가져가고 있어 셀 캐패시터의 정전용량은 더욱 증가되어야 하는데, 캐패시터의 사용 가능한 표면적은 감소되고 있어, 현재 사용되는 핀형이나 실린더형 캐패시터에서는 캐패시터의 높이를 증가시키고, 전하저장전극 사이의 간격을 감소시키며, 반구형실리콘(hemi spherical silicon grain; 이하 HSG라 칭함)을 사용하는 등의 방법으로 유효표면적을 증가시키고 있다.

상기와 같은 종래 기술에 따른 반도체 소자의 캐패시터는 전하저장전극 사이의 간격 감소로 인하여 이 부분에서의 디자인 룰이 여유가 없어져 인접한 전하저장전극 사이의 브릿지 불량 발생이 증가되고 있으며, 이러한 현상은 HSG를 사용하는 경우 더욱 증가되는 것으로 보고되고 있어 수율이 더욱 떨어진다.

또한 종래 기술의 다른 실시 예로서, 전하저장전극 산화막을 전하저장전극 마스크로 패터닝하여 콘택 플러그가 노출되는 홈을 형성하고, 전면에 다결정실리콘층을 도포하여 전하저장전극으로 사용하는 방법이 있다.

종래 기술에 따른 반도체소자의 제조방법을 살펴보면 다음과 같다.

먼저, 반도체기판상에 소정의 하부 구조물, 예를들어 소자분리 산화막과 모스 전계효과 트랜지스터(Metal Oxide Semiconductor Field Effect Transistor; 이하 MOS FET라 칭함)를 형성한 후, 상기 구조의 전표면에 제1층간절연막을 형성한다.

그다음 상기 반도체기판에서 비트라인 콘택과 전하저장전극 콘택으로 예정되어있는 부분상의 제1층간절연막을 제거하여 콘택홀들을 형성하고, 상기 콘택홀을 통하여 반도체기판과 접촉되는 콘택 플러그들을 형성한 후 비트라인을 형성한다.

그후 상기 구조의 전표면에 제2층간절연막과 전하저장전극 산화막을 형성하고, 전하저장전극 마스크를 사용하여 상기 산화막과 제2층간절연막을 식각하여 콘택 플러그를 노출시킨 후, 전하저장전극을 형성한다.

상기와 같은 종래 기술에 따른 반도체소자의 제조방법은 공정이 복잡하고 자기정렬에 의한 공정이면서도 공정 난이도가 높아 공정수율 및 소자동작의 신뢰성이 떨어지는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 비트라인 형성후 산화막-질화막-전하저장전극 산화막-다결정실리콘층을 적층하고 이를 전하저장전극 마스크로 패터닝하여 홈을 형성한 후에 전하저장전극을 형성하여 공정이 용이하며 간단해져 공정수율 및 소자동작의 신뢰성을 향상시킬 수 있는 반도체소자의 제조방법을 제공함에 있다.

#### 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 반도체소자 제조방법의 특징은,

반도체기판 상에 형성된 층간절연막상에 마스크 절연막 패턴을 하드 마스크로 하여 비트라인을 형성하는 공정과,

상기 비트라인과 마스크 절연막 패턴의 측벽에 절연 스페이서를 형성하는 공정과,

상기 비트라인들의 사이에 전하저장전극 콘택 플러그를 형성하는 공정과,

상기 구조의 전표면에 산화막-질화막-전하저장전극 산화막-다결정실리콘층을 순차적으로 도포하는 공정과,

상기 다결정실리콘층상에 전하저장전극 마스크인 감광막 패턴을 형성하는 공정과,

상기 감광막 패턴에 의해 노출되어있는 다결정실리콘층에서 산화막까지 제거하여 상기 전하저장전극 콘택 플러그를 노출시킨 후, 상기 감광막 패턴을 제거하는 공정과,

상기 구조의 전표면에 다결정실리콘층을 도포하는 공정과,

상기 전하저장전극 산화막 상부의 다결정실리콘층을 제거하여 다결정실리콘층 패턴으로된 전하저장전극을 형성하는 공정을 구비함에 있다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체소자의 제조방법에 대하여 상세히 설명을 하기로 한다.

도 1a 내지 도 1g는 본 발명에 따른 반도체소자의 제조 공정도이다.

먼저, 도시되어있지는 않으나, 반도체기판 상에 소자분리산화막을 형성하여 활성영역을 정의하고, MOSFET를 형성한 후, 비트라인 콘택 플러그와 하부 전하저장전극 콘택 플러그를 구비하는 층간절연막(10)을 형성한다.

그다음 상기 층간절연막(10)상에 질화막 재질의 하드 마스크인 마스크 절연막 패턴(13)과 중첩되어있는 비트라인(12)을 W 등의 재질로 형성하고, 상기 패턴들의 측벽에 질화막 스페이서(14)를 형성한 후, 상기 비트라인(12)들의 사이에 상부전하저장전극 콘택 플러그(15)를 다결정실리콘재질로 구비하도록 형성한다.

상기 콘택 플러그(15) 형성 공정은 질화막 스페이서(14) 형성 후에 전면에 다결정실리콘층을 도포하고, 마스크 절연막 패턴(13)을 식각 정지층으로하여 화학-기계적 연마(CMP) 방법으로 다결정실리콘층의 상부를 제거하여 분리시키고, 사진식각 방법으로 전하저장전극과 접촉되는 부분만 남도록 한다.

다른 방법으로는 질화막 스페이서(14) 형성 후에 전면에 산화막을 형성하고, 전하저장전극 콘택 플러그를 형성할 부분을 패터닝하여 제거한 후에, 전면에 다결정실리콘층을 도포하고, CMP 방법으로 연마하여 비트라인을 경계로 고립시켜 산화막에 둘러싸인 전하저장전극 콘택 플러그를 형성할 수도 있다. (도 1a 참조).

그후, 상기 구조의 전표면에 산화막(20)과 질화막(21)을 순차적으로 형성한 후, (도 1b 참조), 다시 상대적으로 두꺼운 희생산화막인 전하저장전극 산화막(22)과 다결정실리콘층(23)을 순차적으로 형성하고, 상기 다결정실리콘층(23)상에 전하저장전극 마스크용 감광막 패턴(24)을 형성한다. 여기서 상기 전하저장전극 산화막(22)은 PSG 나 PE-TEOS막으로 형성한다. (도 1c 참조).

그다음 상기 감광막 패턴(24)에 의해 노출되어있는 다결정실리콘층(24)에서 질화막(21)까지 식각하여 산화막(20)을 노출시킨 후, 상기 감광막 패턴(24)의 남아 있는 부분을 제거한다. 그러나 상기 남아 있는 감광막 패턴(24)은 후에 산화막(20) 제거 후에 제거할 수도 있다. (도 1d 참조).

그후, 상기 다결정실리콘층(24)을 마스크로 노출된 산화막(20)을 제거하여 전하저장전극 콘택 플러그(15)를 노출시키고, (도 1e 참조), 상기 구조의 전표면에 다결정실리콘층(25)을 형성한다. (도 1f 참조).

그다음 상기 전하저장전극 산화막(22) 상의 다결정실리콘층(25),(24)을 CMP 방법으로 제거하여 다결정실리콘층(25) 패턴으로된 전하저장전극을 형성한다. (도 1g 참조).

## 발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 제조방법은 질화막을 하드마스크로하여 비트라인들을 형성하고, 그 측벽에 스페이서를 형성한 후에 전하저장전극 콘택 플러그를 비트라인 사이에 형성하고, 전면에 산화막-질화막-전하저장전극 산화막-다결정실리콘층을 도포하고 전하저장전극 마스크로 상기 적층막들을 패터닝하여 전하저장전극 콘택 플러그를 노출시키는 홈을 형성하고, 다시 다결정실리콘층을 도포하고 여분의 다결정실리콘층을 CMP 방법으로 식각하여 전하저장전극을 정의하였으므로, 전하저장전극 형성 공정이 간단하고 공정여유도가 증가되어 공정수율 및 소자동작의 신뢰성을 향상시킬 수 있는 이점이 있다.

## (57) 청구의 범위

### 청구항 1.

반도체기판상에 형성된 층간절연막상에 마스크 절연막 패턴을 하드 마스크로하여 비트라인을 형성하는 공정과,

상기 비트라인과 마스크 절연막 패턴의 측벽에 절연 스페이서를 형성하는 공정과,

상기 비트라인들의 사이에 전하저장전극 콘택 플러그를 형성하는 공정과,

상기 구조의 전표면에 산화막-질화막-전하저장전극 산화막-다결정실리콘층을 순차적으로 도포하는 공정과,

상기 다결정실리콘층상에 전하저장전극 마스크인 감광막 패턴을 형성하는 공정과,

상기 감광막 패턴에 의해 노출되어있는 다결정실리콘층에서 산화막까지 제거하여 상기 전하저장전극 콘택 플러그를 노출시킨 후, 상기 감광막 패턴을 제거하는 공정과,

상기 구조의 전표면에 다결정실리콘층을 도포하는 공정과,

상기 전하저장전극 산화막 상부의 다결정실리콘층을 제거하여 다결정실리콘층 패턴으로된 전하저장전극을 형성하는 공정을 구비하는 반도체소자의 제조방법.

## 청구항 2.

제 1 항에 있어서, 상기 마스크 절연막을 질화막으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

## 청구항 3.

제 1 항에 있어서, 상기 비트라인을 W 재질로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

## 청구항 4.

제 1 항에 있어서, 상기 스페이서를 질화막으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

## 청구항 5.

제 1 항에 있어서, 상기 전하저장전극 콘택 플러그를 다결정실리콘재질로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

## 청구항 6.

제 1 항에 있어서, 상기 전하저장전극 콘택 플러그를 스페이서 형성 후에 전면에 다결정실리콘층을 도포하고, 마스크 절연막 패턴을 식각 정지층으로하여 CMP 방법으로 다결정실리콘층의 상부를 제거하여 분리시키고, 사진식각 방법으로 전하저장전극과 접촉되는 부분만 남도록 하여 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

## 청구항 7.

제 1 항에 있어서, 상기 전하저장전극 콘택 플러그를 스페이서 형성 후에 전면에 산화막을 형성하고, 전하저장전극 콘택 플러그를 형성할 부분을 패터닝하여 제거한 후에, 전면에 다결정실리콘층을 도포하고, CMP 방법으로 연마하여 비트라인을 경계로 고립시켜 산화막에 둘러싸인 전하저장전극 콘택 플러그를 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

## 청구항 8.

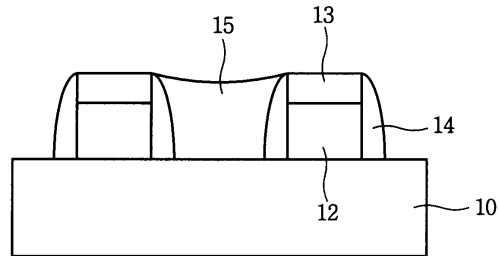
제 1 항에 있어서, 상기 전하저장전극 산화막은 희생 산화막으로서 PSG 나 PE-TEOS막으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

## 청구항 9.

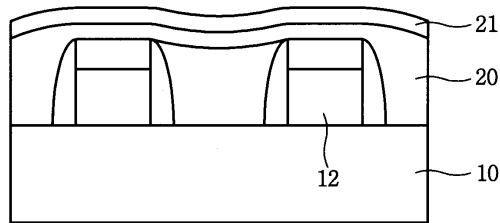
제 1 항에 있어서, 상기 전하저장전극 산화막 상의 다결정실리콘층을 CMP 방법으로 제거하는 것을 특징으로 하는 반도체 소자의 제조방법.

### 도면

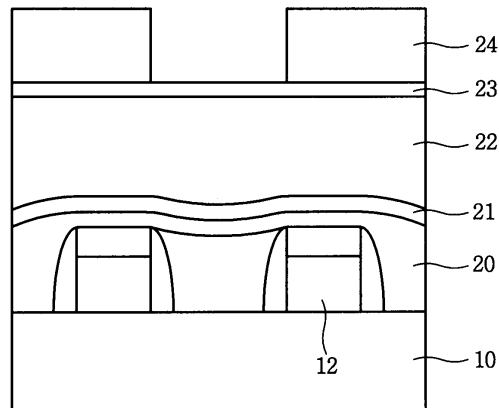
도면1a



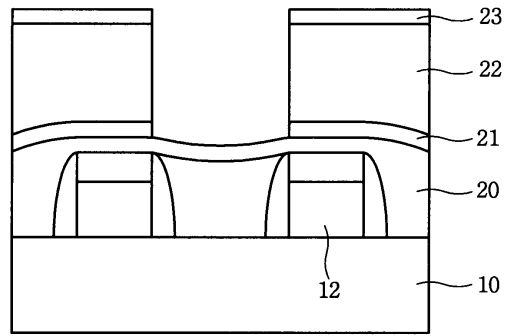
도면1b



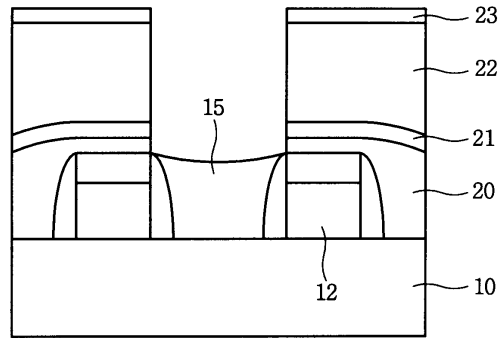
도면1c



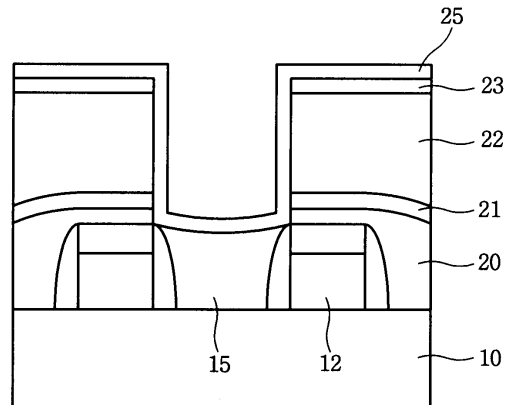
도면1d



도면1e



도면1f



도면1g

