



(12) 发明专利

(10) 授权公告号 CN 101874272 B

(45) 授权公告日 2013. 08. 14

(21) 申请号 200880117538. 3

G11C 5/14 (2006. 01)

(22) 申请日 2008. 01. 30

(56) 对比文件

(85) PCT申请进入国家阶段日
2010. 05. 24

CN 1414563 A, 2003. 04. 30,
US 2004090854 A1, 2004. 05. 13,
US 2003076729 A1, 2003. 04. 24,

(86) PCT申请的申请数据
PCT/US2008/052454 2008. 01. 30

审查员 吴鑫

(87) PCT申请的公布数据
W02009/096957 EN 2009. 08. 06

(73) 专利权人 艾格瑞系统有限公司
地址 美国宾夕法尼亚

(72) 发明人 R·B·戴尔 R·A·柯勒
R·J·麦克帕特兰德 范海光
W·E·沃纳

(74) 专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038
代理人 王朝辉

(51) Int. Cl.

G11C 16/30 (2006. 01)

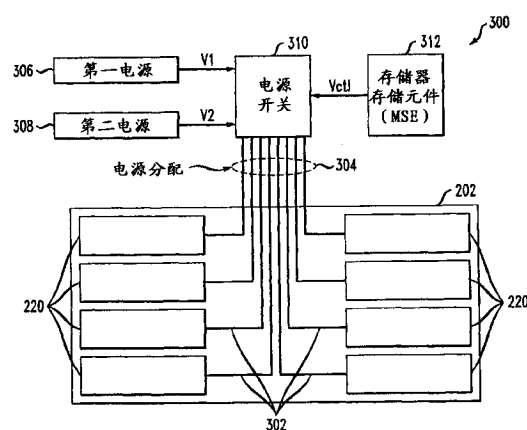
权利要求书2页 说明书8页 附图5页

(54) 发明名称

用于提高电子电路中成品率的方法和设备

(57) 摘要

一种电子电路包括多个被设置成多个不同分区的电路元件,每个分区具有独立的电源电压连接,用于向该分区传送电力。该电子电路还包括具有多个输出端的控制器,输出端中的每一个连接到相应的一个电源电压连接上。当一个给定的分区不包括弱电路元件时,控制器经由相应的电源电压连接向该给定的分区提供第一电压电平。当给定的分区包括至少一个弱电路元件时,控制器操作用来经由相应的电源电压连接向该给定的分区提供至少第二电压电平,该第二电压电平大于第一电压电平。



1. 一种电子电路,包括:

被设置成多个不同分区的多个电路元件,所述分区中的每一个具有独立的电源电压连接,用于向相应的分区传送电力;以及

控制器,包括多个输出端,所述输出端中的每一个连接到相应的一个电源电压连接上,所述控制器操作用来:(i) 当一个给定的分区不包括至少一个弱电路元件时,经由相应的电源电压连接向该给定分区施加第一电压电平;且(ii) 当给定的分区包括至少一个弱电路元件时,经由相应的电源电压连接向所述给定分区施加至少第二电压电平,所述第二电压电平大于所述第一电压电平,其中如果一个给定的电路元件具有比未识别成弱电路元件的电路元件更高的最小工作电压,则将该给定的电路元件识别为弱电路元件。

2. 如权利要求1所述的电子电路,其中,所述控制器还用于检测所述给定的分区是否包括至少一个弱电路元件。

3. 如权利要求1所述的电子电路,还包括连接到控制器的存储器,所述存储器用于存储与第一和至少第二电压电平中的哪一个电压电平被供给到分区中的每一个分区相关的信息。

4. 如权利要求1所述的电子电路,其中,所述控制器包括多个开关元件,所述开关元件中的每一个包括用于接收第一电压电平的第一端子、用于接收至少第二电压电平的第二端子,以及根据施加到开关元件的控制信号连接到电源电压连接中的相应的一个电源电压连接的输出端。

5. 如权利要求4所述的电子电路,其中,开关元件中的至少一个包括多路复用器。

6. 如权利要求1所述的电子电路,其中,第一电压电平基本等于电子电路的规定最小工作电压。

7. 如权利要求1所述的电子电路,其中,第二电压电平基本等于所述至少一个弱电路元件的规定最小工作电压。

8. 如权利要求1所述的电子电路,还包括用于产生第一电压电平的第一电压电源,以及用于产生至少第二电压电平的至少第二电压电源。

9. 如权利要求1所述的电子电路,其中,所述电子电路包括具有多个存储单元的存储器电路,所述多个电路元件中的至少一个子集中的每一个子集包括给定的一个存储单元,所述控制器操作用来:(i) 当给定的分区不包括至少一个弱存储单元时,经由相应的电源电压连接向所述给定的分区提供第一电压电平;且(ii) 当所述给定的分区包括至少一个弱存储单元时,经由所述相应的电源电压连接向所述给定的分区提供至少第二电压电平。

10. 如权利要求9所述的电子电路,其中,该控制器还用于检测所述给定的分区是否包括至少一个弱存储单元。

11. 如权利要求9所述的电子电路,其中,所述存储器电路包括嵌入式存储器阵列。

12. 一种提高电子电路的成品率的方法,所述电子电路包括多个被设置成多个分区的电路元件,所述分区中的每一个具有与其相应的独立的电源电压连接,所述方法包括如下步骤:

对不包括任何弱电路元件的至少第一分区施加第一电压电平;以及

对被识别为包括至少一个弱电路元件的至少第二分区施加至少第二电压电平,所述第二电压电平大于所述第一电压电平,

其中如果一个给定的电路元件具有比未识别成弱电路元件的电路元件更高的最小工作电压,则将该给定的电路元件识别为弱电路元件。

13. 如权利要求 12 所述的方法,还包括识别包括至少一个弱电路元件的所述至少第二分区。

14. 如权利要求 12 所述的方法,还包括存储将电子电路内每个分区与第一和至少第二电压电平中的一个电压电平相关联的信息。

15. 如权利要求 14 所述的方法,其中,对至少第二分区施加至少第二电压电平的步骤包括读取存储的信息,并且根据所述存储的信息对所述至少第二分区施加所述至少第二电压电平。

16. 如权利要求 12 所述的方法,其中,第一电压电平基本等于电子电路的规定最小工作电压。

17. 如权利要求 12 所述的方法,其中,第二电压电平基本等于所述至少一个弱电路元件的规定最小工作电压。

18. 如权利要求 12 所述的方法,其中,所述电子电路包括具有多个存储单元的存储器电路,所述多个电路元件中的至少一个子集中的每一个子集包括给定的一个存储单元。

19. 一种包括至少一个电子电路的集成电路,所述电子电路包括:

被设置成多个不同分区的多个电路元件,所述分区中的每一个具有独立的电源电压连接,用于向相应分区传送电力;以及

控制器,包括多个输出端,所述输出端中的每一个连接到相应的一个电源电压连接上,所述控制器操作用来:(i) 当一个给定的分区不包括至少一个弱电路元件时,经由相应的电源电压连接向所述给定的分区提供第一电压电平;且(ii) 当所述给定的分区包括至少一个弱电路元件时,经由相应的电源电压连接向所述给定的分区提供至少第二电压电平,所述第二电压电平大于所述第一电压电平,其中如果一个给定的电路元件具有比未识别成弱电路元件的电路元件更高的最小工作电压,则将该给定的电路元件识别为弱电路元件。

20. 如权利要求 19 所述的集成电路,其中,所述至少一个电子电路包括具有多个存储单元的存储器电路,所述存储单元被设置成多个分区。

21. 一种电子系统,包括:

至少一个包括至少一个电子电路的集成电路,所述至少一个电子电路包括:

被设置成多个不同分区的多个电路元件,所述分区中的每一个具有独立的电源电压连接,用于向相应分区传送电力;以及

控制器,包括多个输出端,所述输出端中的每一个连接到相应的一个电源电压连接上,所述控制器操作用来:(i) 当一个给定的分区不包括至少一个弱电路元件时,经由相应的电源电压连接向所述给定的分区提供第一电压电平;且(ii) 当所述给定的分区包括至少一个弱电路元件时,经由相应的电源电压连接向所述给定的分区提供至少第二电压电平,所述第二电压电平大于所述第一电压电平,其中如果一个给定的电路元件具有比未识别成弱电路元件的电路元件更高的最小工作电压,则将该给定的电路元件识别为弱电路元件。

用于提高电子电路中成品率的方法和设备

技术领域

[0001] 本发明一般涉及电气、电子以及计算机技术,并且更具体地涉及半导体器件。

背景技术

[0002] 许多应用领域,例如移动通信和移动计算,通常需要具有低功耗的集成电路(IC),以尽力对于在这些应用领域中使用的设备提供增强的电池寿命。这类设备可以包括,但不限于手机、便携式存储设备、媒体播放设备、便携式计算设备等。在其它应用领域中,例如数据处理和网络通信,也期望采用具有低功耗的IC,以降低封装、冷却和/或集成板成本。

[0003] 为了便于阐释,电容C的与电压摆动相关的功率是总功耗的主要来源。与电容C相关的功率P将随着电容两端的电压V的平方(例如, $P \propto CV^2f$,其中,f是频率)增长。IC内功耗的其它组件包括例如亚阈值漏电晶体管和漏电绝缘栅。在目前使用的短沟道晶体管中,亚阈值漏电随着源极到漏极的电压而增加。晶体管栅极漏电也随着电压增加。因此为了降低IC内的功耗,期望能够降低IC内的工作电压。

[0004] 通常,为了降低存储器电路内故障的可能性,可以提高存储器电路的电源电压电平。以这种方式,能够提高成品率(yield),但代价是增加了存储器电路内的功耗,这不是所期望的,尤其对于移动应用领域。可选择地,已知的是修改存储单元和相关电路的设计,使得存储器电路能够在较低的电压下工作。但是该方法通常包括增加了存储单元的大小和/或复杂度以及组件数量,从而增加了存储设备的成本。

[0005] 因此,目前需要一种不遭受与传统存储器电路相关的一个或更多个上述问题的改进型存储器电路。

发明内容

[0006] 通过提供用于识别需要较高的最小工作电压的存储器电路内不符合要求的存储单元并为这些单元提供较高的电压同时仍为存储器电路内剩余单元提供较低电压的技术,本发明所示的实施例满足了上述需求。存储器电路内的单元可以被分组为多个分区,或者组。假定与分区总数相比,被识别为其中包括至少一个弱存储单元的分区数量较小,存储器电路保持低的总功耗,而不会明显影响成品率。

[0007] 根据本发明的一个方面,电子电路包括被设置为多个不同的分区的多个电路元件,每个分区具有用于将电力传送给该分区的独立的电源电压连接。该电子电路还包括具有多个输出端的控制器,输出端中的每一个连接到相应的一个电源电压连接上。当一个给定的分区不包括弱电路元件时,控制器经由相应的电源电压连接将第一电压电平提供给该给定的分区。当该给定的分区包括至少一个弱电路元件时,控制器经由相应的电源电压连接将至少第二电压电平提供给该给定的分区,第二电压电平大于第一电压电平。

[0008] 该电子电路包括存储器电路,该存储器电路包含多个被设置成多个分区的存储单元。该电子电路可以在一个集成电路内实施。根据本发明的另一个方面,电子系统包括至少一个集成电路,该集成电路包括一个或更多个上述的电子电路。

[0009] 根据本发明的又一个方面,一种用于提高电子电路的成品率的方法,该电子电路包括被多个设置成多个分区的电路元件,分区中的每一个具有与其相应的独立的电源电压连接,该方法包括如下步骤:对不包括任何弱电路元件的至少第一分区施加第一电压电平;对被识别为包括至少一个弱电路元件的至少第二分区施加至少第二电压电平,第二电压电平大于第一电压电平。

[0010] 本发明的这些和其它特征、目的和优点将通过下面其示意性实施例的详细描述变得更明显,通过结合附图具体描述这些示意性实施例。

附图说明

[0011] 图 1 示出了包括较多数量的存储单元的存储器电路与包括较少数量的存储单元的存储器电路的最小工作电压的示意性比较图。

[0012] 图 2 示出了根据本发明的实施例构成的示例性存储器电路的至少一部分的框图。

[0013] 图 3A 示出了根据本发明的实施例为图 2 所示存储器阵列供电的示例性电力分配装置的至少一部分的框图。

[0014] 图 3B 示出了根据本发明的实施例用于图 3A 所示的电力分配装置中的示例性电源开关的示意图。

[0015] 图 4 示出了根据本发明的实施例用于控制存储器电路中的电力分配的示例性方法的流程图。

[0016] 图 5 示出了根据本发明的另一个实施例用于对电路内各单个分区的电路元件进行电力分配的示例性方法的流程图。

[0017] 图 6 示出了根据本发明的实施例可以使用本发明的技术的示例性电子系统的至少一部分的框图。

具体实施方式

[0018] 下文将通过示例性方法和设备来描述本发明,该示例性方法和设备用于控制存储器电路内的电力分配,从而为以规定的最小工作电压电平限制存储器电路的工作运行的存储单元提供较高电压,同时为存储器电路的剩余各部分提供最小工作电压。但是应当理解的是,本发明的技术不局限于文中所示及所述的方法和装置。相反,本发明的实施例能够更广泛地针对有利于提高电路的成品率同时保持电路的低功耗的技术。

[0019] 本文中使用的术语“设备”可以包括,仅作为实例并不作为限制,诸如通常与专用集成电路 (ASIC)、单列存储器模块 (SIMM)、双列存储器模块 (DIMM)、内容可寻址存储器 (CAM)、中央处理单元 (CPU)、数字信号处理器 (DSP) 相关的元件,或任何其它类型的数据处理或存储设备,以及具有嵌入式存储器的这类元件的部分和 / 或组合。本文中使用的术语“存储器”意图广泛理解为包括能够用于至少暂时存储信息 (例如,数据) 的任何元件,一般以二进制格式存储,尽管这并不必须作为限制。尽管本发明的优选实施例一般用硅片制造,本发明的实施例也可以替换地用包含其它材料的晶片,例如包括但不局限于砷化镓 (GaAs),磷化铟 (InP) 等,来制造。

[0020] 现代的 IC 通常包括嵌入式存储器。嵌入式存储器中的存储单元数量能够达到大于 100 兆比特 (Mb)。通常,存储单元的最小工作电压被表示为正态分布,如图 1 所示。参考

图 1, 示出了两个示例性的最小工作电压分布。曲线 102 表示具有较多数量的存储单元的存储器阵列的最小工作电压分布。曲线 104 表示具有较少数量的存储单元的存储器阵列的最小工作电压分布。

[0021] 从图中可以明显看出, 具有较少数量的单元的存储器阵列与具有较多数量的存储单元的存储器阵列相比, 最小工作电压分布较窄。这意味着较大存储器比较小存储器需要更高的最小工作电压。即, 较大存储器 (例如大于大约一千万存储单元) 统计上一般需要高于规定电平的最小工作电压。在图 1 所示的实例中, 规定电平是 0.8 伏; 需要大于 0.8 伏的最小工作电压的存储单元由曲线 102 的部分 106 来表示。本实例中具有大于 0.8 伏的最小工作电压需求的任何存储器阵列会导致该存储器阵列被认定为故障器件。

[0022] 图 2 是示出了根据本发明的实施例形成的示例性存储器电路 200 的至少一部分的框图。存储器电路 200 包括存储器阵列 202, 该阵列包括多个存储单元 204 和连接到存储单元用于选择性地访问存储单元的多个位线 206 及字线 208。图示的存储器电路 200 被示出为包括 2^N 个列和 2^M 个行, 其中 N 和 M 是整数。应当理解的是, 本发明不局限于任何特定的行数和列数。每列优选包括一个位线和多个相应的与其连接的存储单元。类似地, 每行优选包括一个字线和多个相应的与其连接的存储单元。存储单元 204 中的每一个与唯一的位线 206 和字线 208 对相关。

[0023] 存储器电路 200 还包括耦联到字线的行解码器 210 用于根据行地址或可选择的控制信号激活所选择的一个字线; 以及耦联到位线的一个列解码器 212 用于根据列地址或可选择的控制信号激活所选择的一个位线。一个或更多个传感放大器 214 优选设置用于读取相应存储单元 204 的状态。传感放大器 214 可以被集成为列解码器 212 的一部分, 或者可以被包括为独立的功能块。存储器电路的输入数据被提供给输入数据缓冲器 216, 并传送到列解码器 212, 用于存储在一个或更多个所选择的存储单元中。类似地, 从存储单元读出的输出数据可以被提供给输出数据缓冲器 218, 该输出数据缓冲器操作来产生存储器电路 200 的输出数据信号。

[0024] 存储器阵列 202 的存储单元 204 优选被设置成多个分区 220。本文中使用的术语“分区”被定义为广泛地包括任何存储单元分组。例如, 在本发明的示意性实施例中, 分区 220 可以分别包括相同数量的存储单元。可替换地, 一个或更多个分区可以相对于存储器电路中的一个或更多个其它分区包括不同数量的存储单元。尽管仅示出了八个存储器分区, 本发明并不局限于任何特定数量的分区。

[0025] 如下面参考图 3 更详细地描述, 存储器分区 220 中的每一个包括与其相对应的独立的电源电压连接 (未明确示出), 用于向该分区输送电力。因此, 用于给定的存储器分区的电源电压分配与用于其它分区的电源电压分配是独立的且不同的。通常, 具有较多数量的存储器分区是有利的, 其中可能的权衡包括增加的连接分配复杂性和存储器阵列大小。

[0026] 尽管所示分区 220 包含多列和多行, 都小于未划分的存储器阵列 202 中, 但是也可以设想可选择的设置。例如, 存储器阵列 202 可以被划分成包含多个全长的行 (例如, 具有与未划分的阵列中的行相同数量的存储单元的行) 的较小阵列、包含多个全长的列 (例如, 具有与未划分的阵列中的列相同数量的存储单元的列)、全部沿着一行设置的较小存储单元组、和 / 或全部沿着一列设置的较小存储单元组。这些配置的各种细合也都是预期的。

[0027] 如前结合图 1 所述, 随着存储器阵列内的存储单元数量增加, 与存储单元相关的

最小工作电压分布变得更宽。如图 1 所示,该分布可以扩展,使得存储器阵列内单元 106 的一小部分将具有大于规定电平(例如 0.8 伏)的最小工作电压需求。为了测试目的,具有一个或更多个带有大于规定电平的最小工作电压的存储单元(例如,弱存储单元)的存储器电路被归类为一个错误,从而降低了成品率。本文中使用的术语“弱”存储单元可以被定义为具有大于规定电平的最小工作电压需求的存储单元。

[0028] 本发明的技术有利于使得在没有任何弱存储单元的情况下存储阵列的分区能够在较低电源电压下操作,同时使得包括一个或更多个弱存储单元的存储器阵列的至少一个分区能够在较高电压电压下操作。一般情况下,弱存储单元的数量,以及由此存储器分区的数量,相比存储器分区总数来说很小。因此,在较高电压电平下操作的存储器分区数量将相对较少,因此存储器电路的平均功耗将没有明显增加。

[0029] 图 3A 示出了根据本发明的实施例为图 2 所示的存储器阵列 202 供电的示例性电力分配装置 300 的至少一部分的框图。该电力分配装置 300 优选被包括在图 2 的存储器电路 200 内。如前所述,存储器阵列 202 包括被设置成多个分区 220 的多个存储单元。每个存储器分区 220 包括用于为该分区传送电力的、与其相对应的独立的电源电压连接 302。共同地,与存储器分区 220 相对应的各单个电源电压连接 302 构成了向存储器阵列 202 的电源分配 304。

[0030] 电力分配装置 300 包括至少第一和第二电源 306 和 308,以及电源开关 310,或可选择的控制器,其与第一和第二电源连接。与电源开关 310 连接的存储器 312(例如,存储器存储元件(MSE))可以有选择用于存储数据,例如与哪个电源 306、308 被分配到存储器分区 220 的每一个的相关的信息。第一电源 306 操作用来产生第一输出电压 V1,并且第二电源 308 操作用来产生第二输出电压 V2。由第一电源 306 产生的第一输出电压 V1 优选是预设的较低最小工作电压,该电压将被提供给没有任何弱存储单元的多数存储器分区。由第二电源 308 产生的第二输出电压 V2 优选是高于 V1 的电压,该电压将被提供给被识别为包括至少一个弱存储单元的少数存储器分区。当存储器阵列 202 内没有识别出弱存储单元的情况下,所有存储器分区由第一电源 306 供电,并且不会使用第二电源 308。优选地,电源 306、308 中的每一个包括一个禁用电路,由此当不使用给定的电源时,能将其关闭,从而降低存储器电路内的功耗,这对于在文中给出教导的本领域技术人员是显而易见的。

[0031] 尽管第一电源和第二电源 306、308 被分别表示为独立的功能块,但它们也可以作为包括多个电压输出端(例如,抽头)的单个电压电源实现。例如,本领域技术人员很容易理解,可以采用包括单个电压电源以及至少两个用于产生电压 V1 和 V2 的电压抽头的分压器(未明确示出)。此外,应当理解的是,尽管所述示意性电力分配装置 300 中仅使用了两个电源 306 和 308,但是本发明并不局限于任何特定数量的电源。本发明的替换实施例可以使用两个以上电源以实现更精细的粒度,从而比起使用两个电源所能达到的,降低了存储器电路内的功耗。

[0032] 弱存储单元,即,具有比由第一电源 306 产生的预设电压电平 V1 高的最小工作电压的那些单元,被识别出并根据它们所位于的存储器分区来定位。被识别为包括弱存储单元的那些存储器分区被分配从产生较高电压 V2 的第二电源 308 供电。优选地,电压 V2 被选择为基本等于弱存储单元的最高的最小工作电压要求。如果弱存储单元的数量,以及因此需要第二较高电源 308 的存储器分区的数量,与分区总数相比很小,存储器电路的平均

功率则主要与较低电源 306 结合来确定,并且仅通过使用第二电源和包含弱存储单元的相应分区来稍稍增加。存储器阵列包括的分区越多,平均功耗越接近于与较低电源相关的功耗。

[0033] 电源开关 310 操作用来分别接收第一和第二输出电压 V_1 和 V_2 作为输入,并且根据提供给电源开关的至少一个控制信号 V_{ctl} 分别将第一和第二电压中的一个分配到多个输出端 01 到 08 中的每一个。输出端 01 到 08 中的每一个优选通过其单独的电源电压连接 302 连接到存储器分区 220 中的相应的一个。控制信号 V_{ctl} 可以包括多个信号。

[0034] 图 3B 示出了根据本发明的一个实施例,可以在图 3A 所示的电力分配装置 300 中使用的示例性电源开关 310 的示意图。电源开关 310 优选包括多个开关元件 350、352 和 354。尽管可选择的实施方式是预期的,但开关元件也被描述为用作单刀双掷 (SPDT) 开关。例如,开关元件 350、352 和 354 中的至少一个可以包括多路复用器,这对于本领域技术人员来说是显而易见的。

[0035] 更具体地说,电源开关 310 包括第一输入,用于接收由第一电源 306 产生的第一输出电压 V_1 ;第二输入,用于接收由第二电源 308 产生的第二输出电压 V_2 ;以及八个输出端 01 到 08,每个输出端连接到存储器分区 220 中的相应的一个(见图 3A)。第一开关元件 350 操作用来接收电压 V_1 和 V_2 ,并根据施加到第一开关元件的选择信号 S_1 将 V_1 或 V_2 连接到相应的输出端 01。第二开关元件 352 用来接收电压 V_1 和 V_2 ,并根据施加到第二开关元件的选择信号 S_2 将 V_1 或 V_2 连接到相应的输出端 02。同样,第八开关 354 操作用来接收电压 V_1 和 V_2 ,并根据施加到第八开关元件的选择信号 S_8 将 V_1 或 V_2 连接到相应的输出端 08。总体的说,选择信号 S_1 到 S_8 可以表示为施加到电源开关 310 的控制信号 V_{ctl} 。在可选择的实施例中,电源开关 310 可以包括解码器电路,用于产生用于单独地控制开关元件 350、352 和 354 中的每一个的多个选择信号 S_1 到 S_8 。本发明适用的解码器电路是本领域技术人员已知的。尽管电源开关 310 被示出为仅接收两个电压,即 V_1 和 V_2 ,但本发明不局限于任何特定的电压数量。开关元件 350、352 和 354 中的每一个可根据需要修改为接收另外的电压。

[0036] 图 4 是示出了根据本发明的实施例用于将电力分配给存储器电路内各单个的存储器分区的示例性方法 400 的流程图。方法 400 由步骤 402 开始,其中标识了弱存储单元。尽管用于识别弱单元的可选择的方法是预期的,但是例如在测试存储器电路期间也可以识别出弱存储单元。如本领域已知的那样,可以使用外部自动测试设备 (ATE) 来执行存储器电路的测试。可替换地,如本领域已知的那样,可以使用内建自测 (BIST) 来完成测试。优选地,测试操作用来根据在由第一电源 306 产生的电压 V_1 下的预设参数识别不起作用的那些存储单元(见图 3A)。测试过程中失败的存储单元被认定为弱单元。

[0037] 在识别出存储器阵列中的弱存储单元之后,步骤 404 识别出弱存储单元所在的至少一个存储器分区。步骤 404 可以包括将存储器阵列内每个弱存储单元与其相应的存储器分区相关联。给定的存储器分区可以包含多于一个弱存储单元。作为输出,步骤 404 将优选产生包含弱存储单元的分区列表。可选择地,步骤 402 和 404 可以被组合成单个步骤 405,该单个步骤操作用来直接测试弱存储器分区,这些分区包含一个或更多个弱存储单元,不需要专门识别阵列内每个弱存储单元。

[0038] 在确定哪些存储器分区包含弱存储单元之后,步骤 406 可选地在存储器(例如,图

3A 中所示的存储器 312) 中存储将每个分区与适当的电源 (例如, 图 3A 中的第一电源 306 或第二电源 308) 相关联的信息。例如, 再次参考图 3A, 包含一个或更多个弱存储单元的弱分区优选与提供较高的第二输出电压 V2 的第二电源 308 相关联。那些不包含任何弱存储单元的剩余分区与提供较低的第一输出电压 V1 的第一电源 306 相关联。存储器 312 可以包括例如存储了关联信息的结构。适于在示意性存储器电路中使用的存储器可以包括, 但不局限于, 易失性存储器 (例如, 静态随机存取存储器 (SRAM))、动态随机存取存储器 (DRAM)、寄存器等) 或非易失性存储器 (例如, 闪存、只读存储器 (ROM)、一次性可编程 (OTP) 存储器、可多次编程 (FTP) 存储器、熔丝等)。

[0039] 继续参考图 4, 在步骤 408 中, 执行每个存储器分区与其分配的电源的连接。这可以使用电源开关 310 来实现, 该开关操作用来读取存储在存储器 312 中的关联信息, 以及根据关联信息将每个存储器分区连接到适当的电源 306、308 中的一个上 (见图 3A)。

[0040] 如上文结合图 1 所述, 具有相对较少数量的存储单元 (例如, 小于 1Mb) 的存储器电路与具有较多数量的存储单元 (例如, 大于大约 8Mb) 的存储器电路相比, 不太可能具有弱单元, 所述弱单元是具有被分配为远离平均最小工作电压的最小工作电压的单元。因此根据文中使用的教导, 大存储器电路将通常能够获得较大的成品率改进。

[0041] 存在一个与附加的电源电压连接和用于单独将电力分配给每个存储器分区的电路相关联的禁区。面积的增加可以是较少存储器电路或具有大量分区的较多存储器电路的百分比的明显增加。由于附加的电力分配连接和电路, 具有相对较少数量的分区的较大存储器将具有最小百分比的面积增加。仅通过实例而不丧失普遍性, 具有八个 0.5Mb 分区的 8Mb 存储器可以被认为是具有相对较少数量的分区的相对大的存储器。但是, 即使 1Mb 或更小的存储器也能从本文的教导受益, 而不会对面积产生较大影响。

[0042] 根据本发明的另一个实施例, 存储器电路 (未示出) 可以包括多个独立的存储器宏。存储器宏可以被定义用于安置嵌入式存储器的最小重复存储器单元。分配给每个存储器宏的电力是独立的且不同。使用与每个存储器宏相对应的最小工作电压相关联的信息, 存储器宏选择性地与多个电源中的一个连接。例如通过测试过程获得最小工作电压信息, 并将其存储在包括在存储器电路中的存储器存储元件内。

[0043] 尽管已经在示意性存储器电路的上下文中描述了本发明, 但是本发明的技术可以被广泛运用以增加成品率, 同时保持包括多个电路元件的任何电子电路内的低功率消耗。当电路包括相对较多数量的基本相似的电路元件时, 这尤其是有利的, 尽管电路元件也不是必须相同的。除了存储单元之外, 电路元件的实例是传感放大器。1Mb 的存储器可以包括数千个传感放大器, 每个放大器与一系列或更多列存储单元相关联。与存储单元类似, 传感放大器具有特性分布, 例如传感放大器偏移。一般来说, 根据传感放大器偏移电压, 存储器电路内的速度和 / 或最小工作电压被限制。为了保持速度, 较高电压 (例如, 大于最小工作电压) 可以被提供给包含弱或慢传感放大器的一个或更多个电路分区, 同时较低电压 (例如, 基本等于最小工作电压) 被提供到电路内不包括任何弱或慢传感放大器的剩余分区。与其它实施例相同, 弱电路元件可以在测试过程中被识别, 并且它们的分区标识与电路相关联地存储在存储器内, 如下文更详细地描述那样。

[0044] 仅通过实例, 本发明的技术可以仅被应用到包括多个相同的延迟块的电子电路。延迟块优选被设置成多个分区, 每个分区的延迟块具有其自身独立且不同的电源电压连

接。与上述的存储器电路相同,优选识别出弱延迟块(例如,需要比预定电压电平大的最小工作电压的那些延迟块)并将其分配给其相应的分区。增加提供给包含一个或更多个弱电路元件的每个分区的电压,同时剩余分区接收基本等于用于延迟块的最小工作电压的电源电压。以这种方式,无需增加到整个 IC 的电源的电压就提高了成品率,且由此没有明显增加 IC 内的功耗。

[0045] 图 5 是示出了根据本发明的另一方面用于将电力分配给电路内电路元件的各单个分区的示例性方法 500 的流程图。方法 500 由步骤 502 开始,其中识别了弱电路元件。尽管设想用于识别弱电路元件的可选择的方法,但是例如在电路测试期间也可以识别弱电路元件。可以使用外部 ATE 执行电路的测试。可选择地,也可使用 BIST 来完成测试。优选地,测试操作用来根据在第一电压 V1 下的规定参数识别不起作用的那些电路元件。测试过程中失败的电路元件被认定为弱电路元件。

[0046] 在识别出电路中的弱电路元件之后,步骤 504 识别出弱电路元件所在的至少一个分区。步骤 504 可以包括将电路内每个弱电路元件与其相对应的分区相关联。给定的分区可以包括多于一个弱电路元件。作为输出,步骤 504 可以产生包含弱电路元件的分区列表。可选择地,步骤 502 和 504 可以组合成单个步骤 505,该单个步骤操作用来直接测试弱存储器分区,这些分区包含一个或更多个弱存储单元,不需要专门识别电路内每个弱电路元件。

[0047] 在确定哪些分区包含弱电路元件之后,步骤 506 可选地在存储器中存储将每个分区与适当的电源的相关联的信息。例如,包含一个或更多个弱电路元件的弱分区优选与提供较高的第二输出电压 V2 的第二电源相关联。那些不包含任何弱电路元件的剩余分区与提供较低的第一输出电压 V1 的第一电源相关联。

[0048] 在步骤 508 中,执行每个分区与其分配的电源的连接。这可以使用与图 3A 中所示的电源开关 310 相同的电源开关来实现,所述开关操作用来读取存储在存储器中的关联信息,以及根据关联信息将每个分区连接到适当的电源中的一个上。

[0049] 根据文中的上述教导,可以提高成品率,同时将电源电压保持在最小工作电压附近。可选择地,在本发明的其它实施例中,可以优化附加参数,例如操作频率(例如,速度),同时保持低操作功率。

[0050] 根据本发明的实施例的方法可以尤其适用于在电子设备或替换系统中实施。例如,图 6 是描述了根据本发明的一方面形成的示例性电子系统 600 的框图。系统 600 可以代表例如 ATE(例如,IC 测试器、IC 晶片检测器、晶片分布控制器、重新分级设备等)。系统 600 可以包括处理器 602、(例如,通过总线 606 或可选择的连接装置)耦联到处理器的存储器 604、以及操作用来连接处理器的输入/输出(I/O)电路 608。处理器 602 可以配置成执行上述本发明的方法中的至少一部分。

[0051] 应当理解的是,本文中所用的术语“处理器”包括任何处理设备,例如包括中央处理单元(CPU)和/或其它处理电路(例如,网络处理器、DSP、微处理器等)的处理设备。另外,应当理解的是,术语“处理器”可以指的是多于一个处理设备,与处理设备相关联的各个元件可与其它处理设备共享。本文中所用的术语“存储器”是要包括存储器和与处理器或 CPU 相关联的其它计算机可读媒介,例如,随机存取存储器(RAM)、只读存储器(ROM)、固定存储媒介(例如,硬盘)、可移动存储媒介(例如,软盘)、闪存等。另外,本文中所用的术语“I/O 电路”是要包括,例如一个或更多个输入设备(例如,键盘、鼠标等)用于向处理器输

入数据,一个或更多个输出设备(例如,打印机、监视器等)用于显示与处理器相关的结果、和/或接口电路用于将输入或输出设备操作耦联到处理器。

[0052] 因此,包括上述执行本发明的方法的指令或代码的应用程序,或其软件组件可以被存储在一个或更多个相关的存储媒介(例如,ROM、固定或可移动存储器)中,并且当准备使用时,整体或部分装载(例如,装载到RAM内),并由处理器602执行。在任何情况下,应当理解的是,图1所示的组件的至少一部分可以以各种形式的硬件、软件或其组合,例如一个或更多个具有相关联的存储器的DSP、专用集成电路、功能电路、一个或更多个带有相关存储器的操作编程的通用数字计算机等,来实施。根据本文所述的本发明给出的教导,本领域技术人员将能够预期到本发明的组件的其它实施方式。

[0053] 本发明的方法的至少一部分可以用其它传统集成电路ATE来实施,用于执行设备验证和/或特征化。传统ATE的制造商包括,但不局限于, Teradyne Inc.、Testmetrix Inc.、MOSAID Technologies Inc.、ALLTEQ Industries Inc.、Schlumberger Ltd.、Advantest Corp.、和 inTEST Corp。

[0054] 本发明的方法和装置的至少一部分可以在一个或更多个集成电路中实施。在制造集成电路时,一般在半导体硅片表面上以重复图案制造模。模中的每一个均包括上述设备,也可能包括其它结构或电路。各单个模从硅片上切下或割下,然后封装为集成电路。本领域人员知道如何切割硅片,并将模封装以生产集成电路。由此制造的集成电路被认为是本发明的一部分。

[0055] 尽管已经参照附图描述了本发明的示意性实施例,但是应当理解的是,本发明不局限于这些确切的实施例,本领域技术人员在没有偏离所附权利要求范围的情况下可以作出各种其它改变和修改。

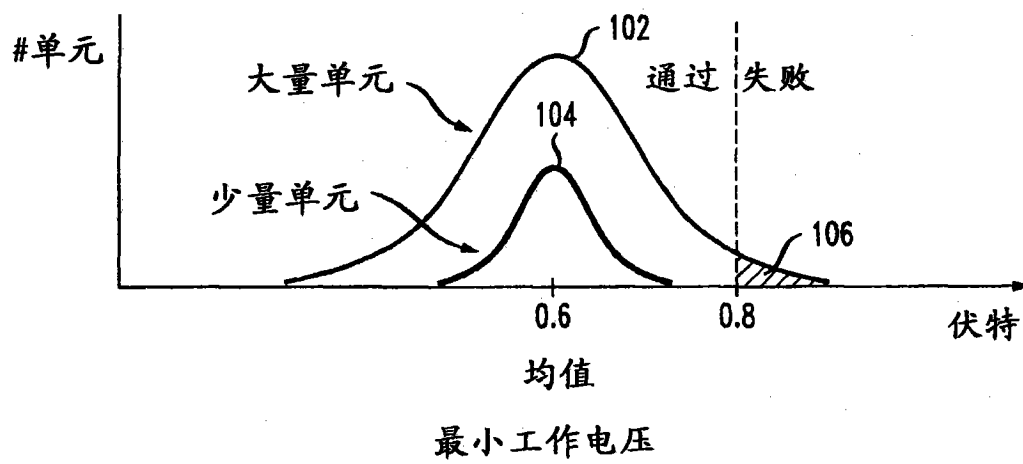


图 1

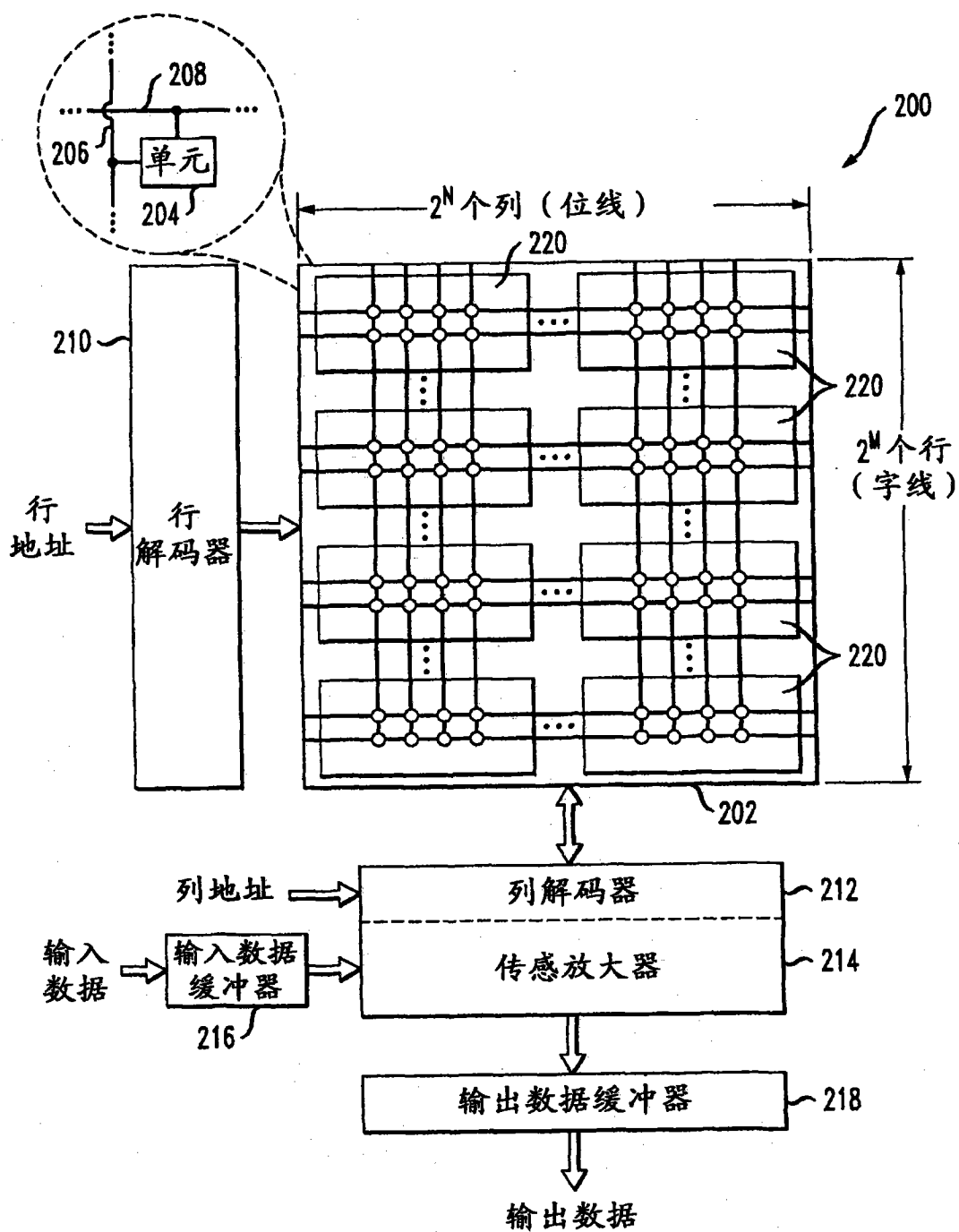


图 2

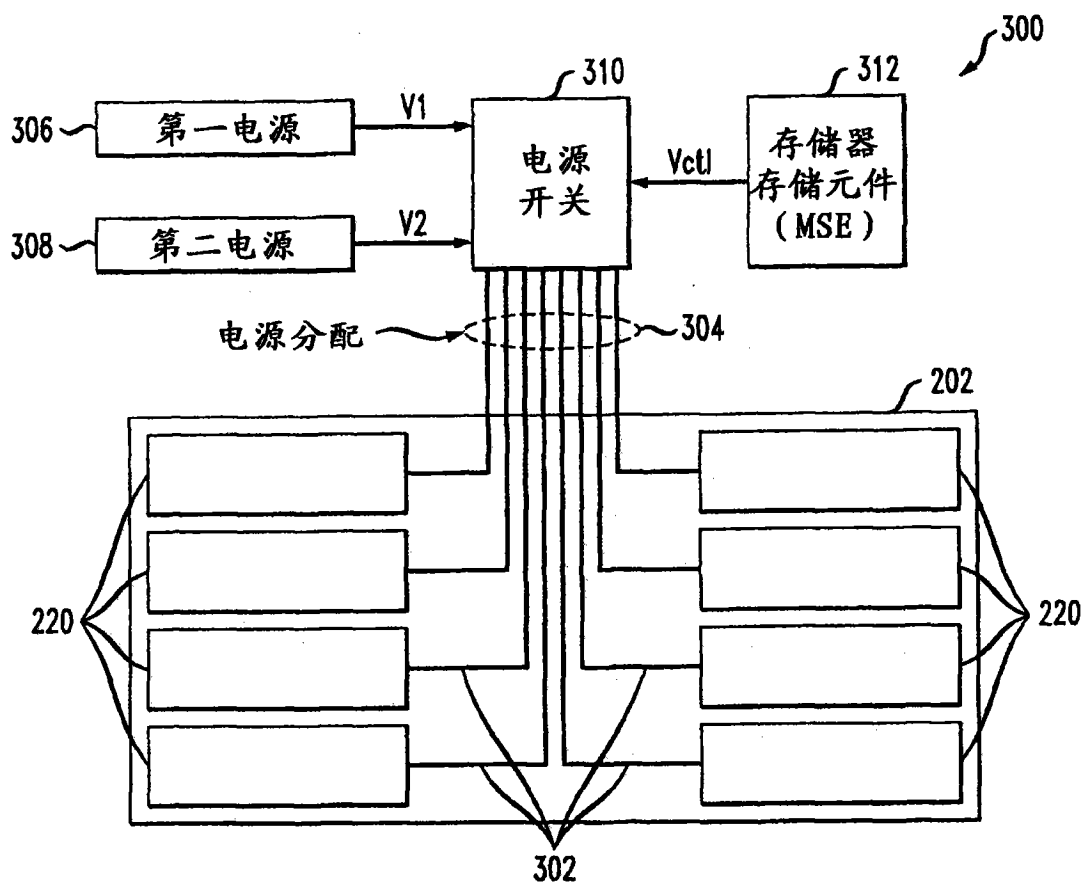


图 3A

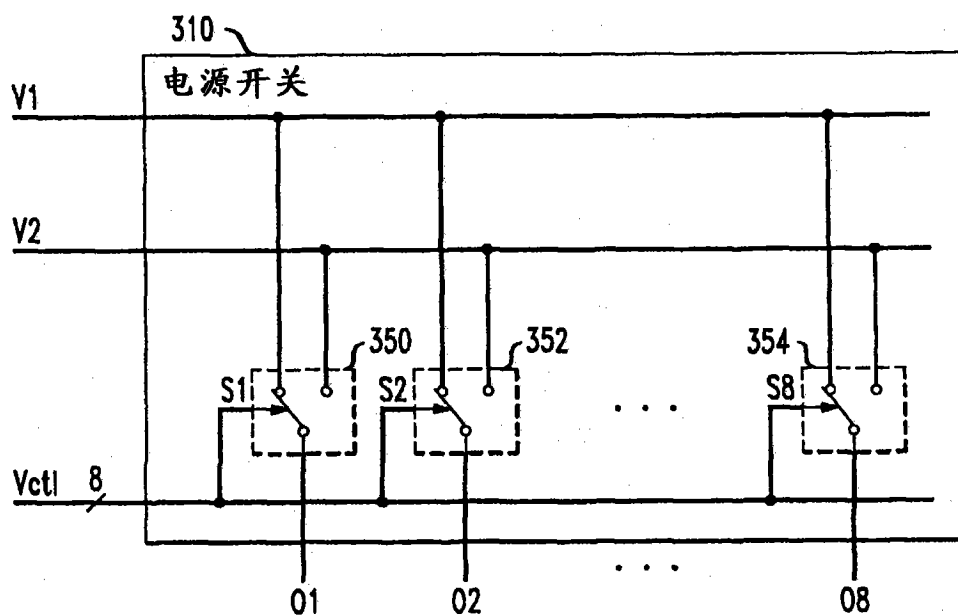


图 3B

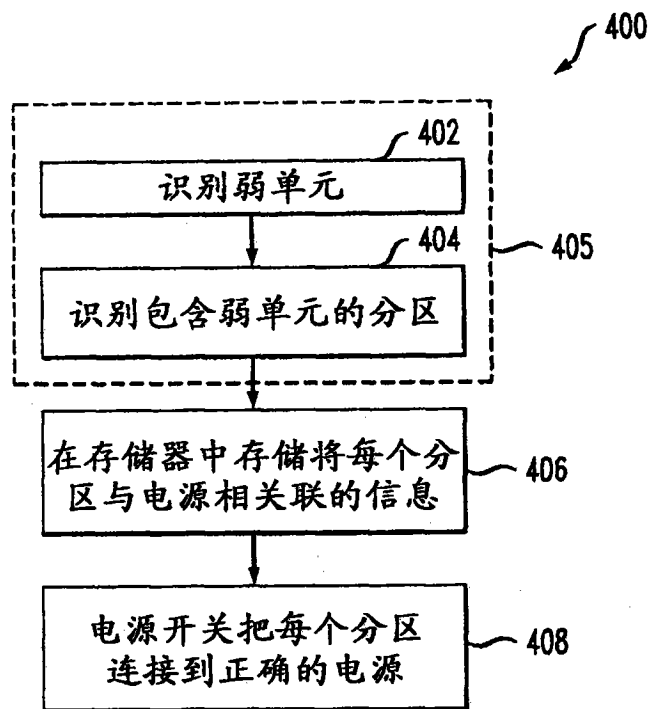


图 4

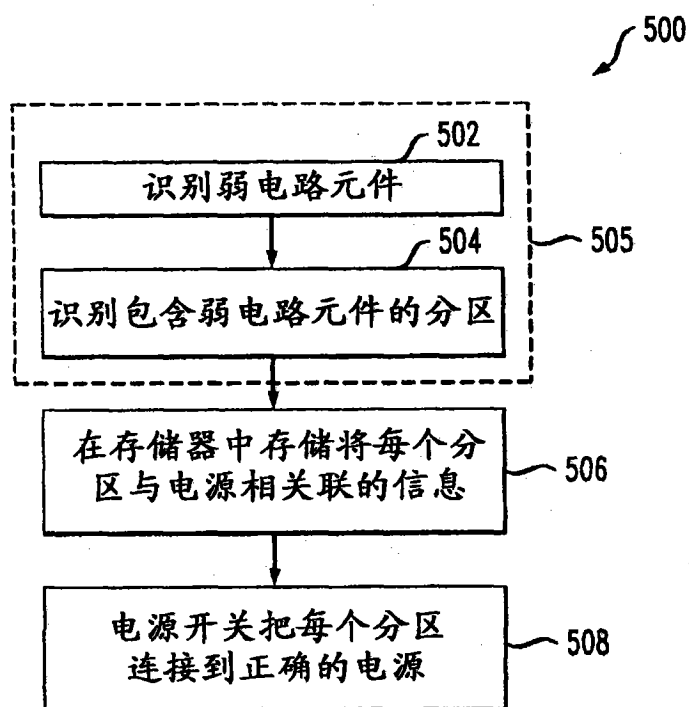


图 5

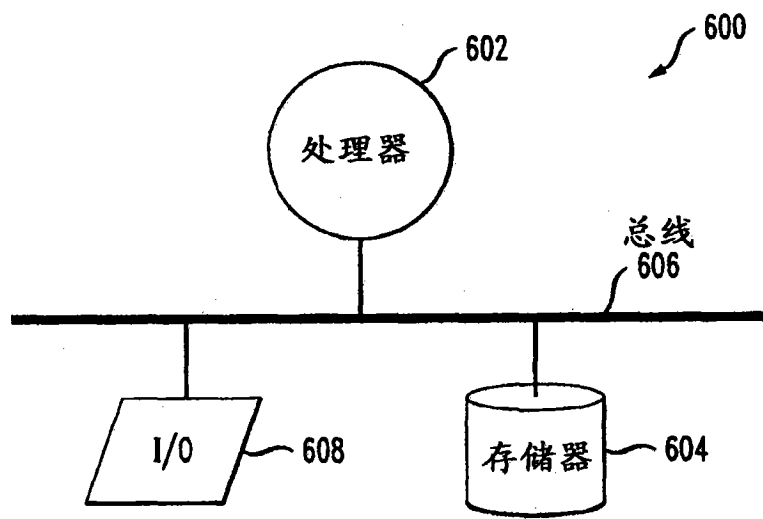


图 6