

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96138041

※ 申請日期： 96.10.11

※IPC 分類：

G11C 11/4091 (2006.01)

一、發明名稱：(中文/英文)

具有改良之寫入操作之雙埠靜態隨機存取記憶體

TWO-PORT SRAM HAVING IMPROVED WRITE OPERATION

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,

U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 葛蘭 C 艾柏倫
ABELN, GLENN C.
2. 詹姆士 D 柏奈特
BURNETT, JAMES D.
3. 羅倫斯 N 赫
HERR, LAWRENCE N.
4. 傑克 M 席格曼
HIGMAN, JACK M.

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.
3. 美國 U.S.A.
4. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年11月17日；11/561,206

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明通常係關於記憶體，更明確而言，係關於具有改良之寫入操作之靜態隨機存取(SRAM)記憶體。

【先前技術】

靜態隨機存取記憶體(SRAM)通常使用在需要高速的應用，例如在一資料處理系統中的記憶體。每一靜態隨機存取記憶體單元可儲存一資料位元，並可如同一對交叉耦合反相器加以實施。靜態隨機存取記憶體單元只在兩可能電壓位準之一中穩定。單元的邏輯狀態可藉由兩反相器輸出的任何一者係邏輯高電位而決定，並藉由將足夠振幅及持續時間的電壓施加給適當的單元輸入而改變狀態。一靜態隨機存取記憶體單元的穩定度係一重要的課題。靜態隨機存取記憶體單元必須是穩定，已避免可能造成單元不利地改變邏輯狀態的暫態、程序變化、軟錯誤、及電源供應波動。而且，靜態隨機存取記憶體單元在讀取操作期間應理想地提供良好的穩定度，而不致對寫入單元的速度或能力造成傷害。

一雙埠靜態隨機存取記憶體單元具有一寫入字線與一讀取字線。靜態隨機存取記憶體單元的一讀取埠可包括一對串聯MOS(金氧半導體)電晶體，且其係耦合在一電源供應端子與一讀取位元線之間。一電晶體的閘極係耦合至單元的一儲存節點，且另一電晶體的閘極係連接至讀取字線。以此方式使用一分開的讀取埠可提供在單元穩定度或寫入

邊際上具有極少或沒有不利的影響之優點。

低電壓操作在可攜式應用的靜態隨機存取記憶體會變得越平常。現階段，一主動記憶週期的電源供應電壓可在1伏特或更少的範圍。提供具適當寫入邊際與良好單元穩定度的一低電壓靜態隨機存取記憶體可能很困難且通常係較低的讀取與寫入性能。

因此，需要一靜態隨機存取記憶體可在低電源供應電壓上具有改良的寫入邊際，而不致減少單元穩定度。

【發明內容】

如本文中的使用，術語"匯流排"係指複數個信號或導體，其可用來傳輸一或多種不同類型的資訊，例如資料、位址、控制或狀態。在此討論的導體係描述或說明成單一導體、複數個導體、單向導體、或雙向導體。然而，不同具體實施例可改變導體的實施方式。例如，可使用分離的單向導體，而不使用雙向導體，且反之亦然。而且，複數個導體可使用單一導體予以取代，其可序列或以一時間多工方式傳輸多重信號。同樣地，運送多重信號的單一導體可分成運送這些信號之子集的各種不同導體。因此，存在許多選項可用於傳輸信號。

通常，本發明係以一形式提供具有較快速寫入操作而不致傷害單元穩定度的一雙埠靜態隨機存取記憶體記憶體單元。在一具體實施例中，雙埠記憶體單元包括耦合至儲存節點的一對交叉耦合反相器。一存取電晶體係耦合在每一儲存節點與一寫入位元線之間，並藉由一寫入字線來控

制。寫入字線亦耦合至該對交叉耦合反相器的一電源供應端子。在一寫入操作期間，該寫入字線會確定，並從一邏輯低電壓(接地)轉換成一邏輯高電壓。如需要，在交叉耦合反相器的電源供應端子上的電壓會與寫入字線電壓一起上升，如此會使其更容易在儲存節點的儲存邏輯狀態變化。在寫入操作結束，該寫入字線電壓會減少到接地電位，允許交叉耦合反相器正常運作，並維持儲存節點的邏輯狀態。

說明的具體實施例可提供一雙埠記憶體，其具有在一較低電源供應電壓具有比一標準記憶體單元寫入操作更快的寫入操作之優點，其中標準記憶體單元具有電源供應電壓端子，其耦合以接收一連續的電源供應電壓。同時，說明的具體實施例可提供一雙埠記憶體，其具有較快的寫入操作而不會減少單元穩定度之優點。

在本發明的一觀點中，一記憶體單元係耦合至一字線。該記憶體單元包含一對交叉耦合反相器，其具有一用以接收一第一電源供應電壓之第一電源供應電壓端子，及一用以接收一第二電源供應電壓之第二電源供應端子。該第二電源供應端子係連接至字線。

在本發明的另一觀點中，一記憶體單元係耦合至一字線，該記憶體單元包含：一第一存取電晶體，其係耦合至一第一儲存節點；及一第二存取電晶體，其係耦合至一第二儲存節點；至少一讀取埠，其係耦合至第一儲存節點與第二儲存節點之至少一者；一對交叉耦合反相器，其具有

一用以接收一第一電源供應電壓之第一電源供應端子，與一用以接收一第二電源供應電壓之第二電源供應端子。該第二電源供應端子係連接至字線。該對交叉耦合反相器包含：一第一反相器，其具有一耦合至第一儲存節點之輸入端子，與一輸出端子；及一第二反相器，其具有一耦合至第一反相器的輸出端子輸入端子；及一耦合至在該第一儲存節點的第一反相器的輸入端子之輸出端子。

在本發明的又另一觀點中，提供用於存取一記憶體之方法。該記憶體包含耦合至一字線的至少一記憶體單元。該至少一記憶體單元包含一對交叉耦合反相器，其具有一用以接收一第一電源供應電壓之第一電源供應端子，及一用以接收一第二電源供應電壓第二電源供應端子。該方法包含致能該字線的一信號接收，以將一儲存位元寫入至少一記憶體單元，其中該字線係直接連接至第二電源供應端子。

【實施方式】

圖1以方塊圖式形式說明根據本發明的一項具體實施例之一雙埠積體電路記憶體10。通常，記憶體10包括複數個記憶體單元12、一列解碼器14、與行邏輯16。複數個記憶體單元12包括代表記憶體單元20、22、24、26、28、30、32、34、和36。如圖1所說明，記憶體單元之每一者係耦合至標示"WWL0"至"WWLN"的複數個寫入字線、標示"WBL0/WBLB0"至"WBLN/WBLBN"的複數個寫入位元線對之中的一對、標示"RWL0"-"RWLN"的複數個讀取字線

之一、與標示 "RBL0" 至 "RBLN" 的複數個讀取位元線之一。複數個記憶體單元12係以列與行實施。例如，記憶體單元20、22、和24與字線WWL0係形成記憶體單元的一列。同樣地，記憶體單元20、26、和32係形成記憶體單元的一行。

列解碼器14具有：一輸入，用以接收標示 "ROW ADDRESS" 的一列位址及複數個輸出端子，其係耦合至複數個寫入字線WWL0至WWLN。讀取字線RWL0-RWLN係耦合至列解碼器14。行邏輯16具有：一輸入端子，用以接收標示 "COLUMN ADDRESS" 的一行位址；第一複數個端，其係耦合至寫入位元線對WBL0/WBLB0-WBLN/WBLBN；第二複數個端，其係耦合至讀取位元線對RBL0-RBLN；及複數個輸入/輸出(I/O)端子，用以接收或提供標示 "DATA" 的資料信號。如圖1所說明，讀取位元線、寫入位元線與行選擇線係以行方向運行，且寫入字線與讀取字線係以列方向運行。行邏輯16包括例如行解碼器、感測放大器、位元線等化與預充電電路、及緩衝器電路。應注意，在說明的具體實施例中，用於一讀取操作的感測放大器是單端型。在未於圖1說明的另一具體實施例中，感測放大器可能是有差別。

在一具體實施例中，記憶體10係如同在一積體電路資料處理器中的一快取記憶體實施。在另一具體實施例中，記憶體10可為一獨立式積體電路記憶體。行邏輯16的行解碼器可選擇哪些記憶體單元係用來接收或提供資料。應注

意，在記憶體10的一寫入存取期間，耦合至寫入字線WWL0至WWLN之選擇者之所有記憶體單元會致能以接收來自位元線的資料信號。這係因為確定說明具體實施例中的一寫入字線會干擾耦合至寫入字線的之所有記憶體單元的儲存狀態。因此，一整列會在每一寫入操作期間寫入。在用來儲存一處理器所使用的指令及/或資料的一記憶體中，記憶體組織使得行的數目等於"快取線"係平常的。等於快取線寬度的位元數目可在每一記憶體操作期間存取。在說明的具體實施例中，位址信號COLUMN ADDRESS可決定一系列的哪些記憶體單元可選擇以在一讀取操作期間提供資料。

圖2以示意圖形式說明圖1記憶體的8電晶體(8-T)記憶體單元20。記憶體單元20是在使用CMOS(互補式金氧半導體)電晶體的積體電路上實施。記憶體單元20包括一對交叉耦合反相器40、一讀取埠42、與存取電晶體52和54。交叉耦合反相器40包括：一反相器，其具有P通道電晶體44與N通道電晶體46；及另一反相器，其具有P通道電晶體48與N通道電晶體50。讀取埠42包括N通道電晶體56和58。

在記憶體單元20中，P通道電晶體44具有：一源極(電流電極)，其係連接至在一電源供應節點47標示"VDD"的一電源供應導體；一汲極(電流電極)，其係連接至標示"SNB"的一儲存節點；與一閘極(控制電極)，其係連接至標示"SN"的一儲存節點。電源供應導體VDD係在複數個記

憶體單元12上選路，以將電源供應給單元。N通道電晶體46具有：一汲極，其係連接至P通道電晶體44的汲極；一源極，其係連接至在一電源供應節點45標示"WWL0"的一寫入字線；及一閘極，其係連接至P通道電晶體44的閘極。P通道電晶體48具有：一源極，其係連接至VDD；一汲極，其係連接至儲存節點SN；及一閘極，其係連接至儲存節點SNB。應注意，在一信號名稱之後的一字母"B"係表示信號名稱係具有相同名稱但缺乏"B"的一信號邏輯互補。N通道電晶體50具有：一汲極，其係連接至儲存節點SN；一源極，其係連接至寫入字線WWL0；及一閘極，其係連接至P通道電晶體48的閘極。N通道電晶體52具有：一汲極/源極端子，其係連接至標示"WBLB0"的一寫入位元線；一汲極/源極端子，其係連接至儲存節點SNB；及一閘極，其係連接至寫入字線WWL0。N通道電晶體54具有：一汲極/源極端子，其係連接至儲存節點SN；一汲極/源極端子，其係連接至寫入位元線WBL0；及一閘極，其係連接至儲存節點SN。

在讀取埠42中，N通道電晶體56具有：一第一汲極/源極端子，其係連接至標示"VSS"的一電源供應電壓導體；一第二汲極/源極端子；與一閘極，其係連接至儲存節點SN。電源供應導體VSS係在複數個記憶體單元12上選路，以提供記憶體單元的接地連接。N通道電晶體58具有：一第一汲極/源極端子，其係連接至電晶體56的第一汲極/源端極；一第二汲極/源極端子，其係連接至標示"RBL0"的

一讀取位元線；及一閘極，其係連接至標示"RWL0"的一讀取字線。

在說明的具體實施例中，電源供應電壓VDD係一正電源供應電壓，例如1伏特，且電源供應電壓VSS係接地。在其他具體實施例中，電源供應電壓可不同。例如，VDD可為接地且VSS可為一負電壓。

圖3說明圖2記憶體單元的各種信號相對時間的一時序圖。記憶體單元20的讀取與寫入操作將參考圖1、圖2和圖3討論。應注意，在說明的具體實施例中，一"邏輯高電位"電壓係一正電壓，且一"邏輯低電位"電壓係等於大約接地電位。在其他具體實施例中，電壓可不同。

如圖3所說明，一讀取操作係在時間 t_0 開始，並在時間 t_1 結束。在時間 t_0 ，寫入字線WWL0係一邏輯低電位，允許該對交叉耦合反相器40維持儲存節點SN/SNB的邏輯狀態。相反地，儲存節點SN係維持在一邏輯高電壓。讀取位元線RBL0係預充電至一邏輯高電位。在另一具體實施例中，讀取位元線可預充電至接地電位、或至中間電壓。在時間 t_0 之後，列解碼器14可將讀取字線RWL0確認為一邏輯高電位，使N通道電晶體58變成導通。因為儲存節點SN係儲存一邏輯高電位，所以N通道電晶體56係已導通。電晶體56和58可使讀取位元線RBL0的邏輯高預充電電壓減少到一邏輯低電位。邏輯低電壓係提供給行邏輯16的一感測放大器，且然後輸出作為一DATA位元。一預定時間量之後，讀取操作會結束，且讀取字線RWL0會返回一邏

輯低電位。讀取字線RWL0的邏輯低電位會使電晶體58實質變成不導通，允許行邏輯16的位元線預充電電路會使讀取位元線RBL0的電位返回到一邏輯高電位，以準備另一讀取操作。

記憶體單元20的一寫入操作係在時間 t_1 與 t_2 之間發生。在寫入操作之前，藉由使儲存節點SN與SNB分別成為一邏輯高電位與一邏輯低電位，記憶體單元20係儲存一邏輯高電位，如圖3所說明。同時，在寫入操作之前，寫入位元線WBL0係由行邏輯16的預充電電路預充電至一邏輯高電位，且寫入字線WWL0會取消確定為一邏輯低電位。欲開始寫入操作，寫入字線WWL0係由列解碼器14確認為一邏輯高電位，如圖3所說明。邏輯高電位寫入字線WWL0會使存取電晶體52和54導通，將儲存節點SN耦合至寫入位元線WBL0，及將儲存節點SNB耦合至寫入位元線WBLB0。同時，在電源供應節點45的電壓會上升至實質與確定的寫入字線WWL0相同的電壓，使在儲存節點SN與SNB的電壓會開始增加到接近一邏輯高電位。一邏輯低電壓欲寫入記憶體單元20，如寫入位元線WBL0所示，在確定寫入字線之後，其會減少到一邏輯低電位。寫入位元線WBL0的邏輯狀態係經由存取電晶體54提供給儲存節點SN。同時，因為使用了差異的寫入位元線，所以寫入位元線WBLB0會經由電晶體52提供給儲存節點SNB(未在圖3說明)。寫入位元線WBL0的邏輯低電壓會使儲存節點SN的電壓減少至低於儲存節點SNB的電壓到一足夠低的電壓，使得當寫入字

線 WWL0 取消確定時，儲存節點會減少到邏輯低電位。寫入字線 WWL0 然後會取消確定，使在電源供應節點 45 的電壓會減少到大約接地電位，並使存取電晶體 52 與 54 變成實質不導通。該對交叉耦合反相器 40 的反相器會開始運作，且交叉耦合對的雙穩定本質會使儲存節點 SN 的電壓會減少到一邏輯低電位，且 SNB 的電壓會增加到一邏輯高電位。寫入位元線 WBL0 與 WBLB0 會預充電以準備另一寫入操作。寫入操作係在時間 t2 結束。

仍參考圖 3，另一讀取操作係在時間 t2 與 t3 之間發生。讀取操作係從讀取字線 RWL0 確定開始。儲存節點 SN 與 SNB 係分別儲存一邏輯低電位與一邏輯高電位。確定的讀取字線 RWL0 會使 N 通道電晶體 58 導通。因為儲存節點 SN 係在一邏輯低電位，所以 N 通道電晶體 56 實質會上保不導通。讀取位元線 RBL0 未耦合至電源供應導體 VSS，且讀取位元線 RBL0 的邏輯高電壓係由行邏輯 16 的一感測放大器所感測及放大。在時間 t3，記憶體單元係準備用於另一讀取及寫入操作。

圖 4 係以示意圖形式說明圖 1 記憶體的一記憶體單元 20'。記憶體單元 20' 係在使用 CMOS(互補式金氧半導體)電晶體的一積體電路上實施。記憶體單元 20' 與記憶體單元 20 之相異處在於存取電晶體係如同 P 通道電晶體 60 和 62 實施。同時，記憶體單元 20' 之相異處在於寫入字線 WWL0 係耦合至電源供應節點 47，而不是電源供應節點 45。此外，電源供應導體 VDD 在圖 4 的具體實施例中係不需要。

圖5係說明圖4記憶體單元的各種信號的一時序圖。記憶體單元20'的讀取與寫入操作將參考圖1、圖4和圖5討論。

如圖5所說明，一讀取操作係從時間 t_0 開始，並在時間 t_1 結束。在時間 t_0 ，寫入字線WWL0係一邏輯高電位，使P通道存取電晶體60和62實質不導通，如此允許該對交叉耦合反相器40維持儲存節點SN/SNB的邏輯狀態。儲存節點SN係維持在一邏輯低電壓。讀取位元線RBL0係預充電至一邏輯高電位。在另一具體實施例中，讀取位元線可預充電至接地或至中間電壓。在時間 t_0 之後，列解碼器14會將讀取字線RWL0確認為一邏輯高電位，使N通道電晶體58變成導通。N通道電晶體56實質係不導通，因為儲存節點SN儲存一邏輯低電位。讀取位元線RBL0會由行邏輯16讀取為一邏輯高電位。邏輯高電位係提供給行邏輯16的一感測放大器，然後輸出作為一DATA位元。在一預定時間量之後，讀取操作會結束，且讀取字線RWL0會返回到一邏輯低電位。讀取字線RWL0的邏輯低電位會使電晶體58實質變成不導通，如果必要的話，使行邏輯16的位元線預充電電路將讀取位元線RBL0的電位會返回到一邏輯高電位以準備另一讀取操作。

記憶體單元20'的寫入操作係在時間 t_1 與 t_2 之間發生。在寫入操作之前，記憶體單元20'係儲存一邏輯低電位，如儲存接點SN及SNB所說明分別係一邏輯低電位與一邏輯高電位。同時，在寫入操作之前，寫入位元線WBL0係由行邏輯16的預充電電路預充電至一邏輯低電壓，且寫入字線

WWL0會取消確定為一邏輯高電位。欲開始寫入操作，寫入字線WWL0係由解碼器14確認為一邏輯低電位，如圖5所說明。邏輯低電位寫入字線WWL0會使存取電晶體60和62導通，將儲存節點SN耦合至寫入位元線WBL0，及將儲存節點SNB耦合至寫入位元線WBLB0。同時，在電源供應節點47的電壓會降低到實質與確定的寫入字線WWL0相同的電壓，使在儲存節點SN與SNB的電壓開始減少到接近一邏輯低電位。一邏輯高電壓欲寫入記憶體單元20'，如寫入位元線WBL0所示，在寫入字線WWL0確定之後，增加到一邏輯高電位。寫入位元線WBL0的邏輯狀態係經由存取電晶體62提供給儲存節點SN。同時，因為使用差異的寫入位元線，所以寫入位元線WBLB0會經由電晶體60提供給儲存節點SNB(不在圖5中說明)。寫入位元線WBL0的邏輯高電壓會使儲存節點SN的電壓增加至超過儲存節點SNB的電壓到一足夠高的電壓，當寫入字線WWL0取消確定時，儲存節點SN的電壓會增加到邏輯高電位。寫入字線WWL0然後會取消確定，使電源供應節點47的電壓增加到VDD，並使存取電晶體60和62實質變成不導通。該對交叉耦合反相器40的反相器會開始運作，且交叉耦合對的雙穩定本質會使儲存節點SN的電壓增加到一邏輯高電位，且SNB的電壓會減少到一邏輯低電位。寫入位元線WBL0與WBLB0會預充電，在時間t2之前準備另一寫入操作。寫入操作係在時間t2結束。

仍參考圖5，另一讀取操作係在時間t2與t3之間發生。讀

取操作會隨著讀取字線RWL0的確定而開始。在讀取操作之前，儲存節點SN與SNB會分別儲存一邏輯高電位與一邏輯低電位。確定的讀取字線RWL0會使N通道電晶體58導通。因為儲存節點SN係在一邏輯高電位，所以N通道電晶體56會變成導通。讀取位元線RBL0係經由電晶體56和58耦合至電源供應導體VSS，且讀取位元線RBL0會減少到VSS的電壓(接地)。讀取位元線RBL0的邏輯低電壓會由行邏輯16的一感測放大器所感測及放大。在時間t3，記憶體單元會準備供另一讀取或寫入操作。

雖然本發明已在較佳具體實施例的本文中說明，但是熟諳此技術者瞭解到本發明能以各種不同方式修改，且可假設除了前述之外的許多具體實施例。

因此，文後申請專利範圍係涵蓋本發明的所有修改，而且是在本發明的範疇內。

優勢、其他優點及問題解決方案已在上面參考特殊具體實施例說明。然而，優勢、優點、問題解決方案及產生或彰顯任何優勢、優點或解決方案的任何元件均不應視為任何或所有申請專利範圍的關鍵、必要項或基本功能或元件。如本文所使用的術語"耦合"係定義為連接，儘管不必然直接連接，且亦不必然是機械連接。如本文所使用，術語"包括"、"包含"或其任何其他變化係想要涵蓋非排斥包含，使得一程序、方法、物件或包含元件清單的設備不僅包括該等元件，而且包括未明確列舉或原有的此程序、方法、物件或設備之其他元件。

【圖式簡單說明】

本發明係藉由範例說明，而不是限制，在附圖中，相同的參考編號可視為類似的元件，而且其中：

圖1以方塊圖形式說明根據本發明的一具體實施例的一雙埠積體電路記憶體；

圖2以示意圖形式說明圖1記憶體的一記憶體單元之一具體實施例；

圖3說明圖2記憶體單元的各種信號的一時序圖；

圖4以示意圖形式說明圖1記憶體的一記憶體單元的另一具體實施例；及

圖5說明圖4記憶體單元的各種信號的一時序圖。

【主要元件符號說明】

10	記憶體
12、20、22、24、26、28、 30、32、34、36	記憶體單元
14	列解碼器
16	行邏輯
40	交叉耦合反相器
42	讀取埠
44、48、60、62	P通道電晶體
45	電源供應節點
46、50、52、54、56、58	N通道電晶體
47	電源節點

五、中文發明摘要：

本發明揭示一種雙埠靜態隨機存取記憶體記憶體單元(20)，其包括耦合至儲存節點的一對交叉耦合反相器(40)。一存取電晶體(54)係耦合在每一儲存節點(SN、SNB)與一寫入位元線(WBL0)之間，並藉由一寫入字線(WWL0)控制。該寫入字線亦耦合至該對交叉耦合反相器(40)的一電源供應端子。在一寫入操作期間，該寫入字線會確認。如需要，在該交叉耦合反相器(40)的電源供應端子的電壓會遵循寫入字線電壓，如此會使其更容易在儲存節點的儲存邏輯狀態變化。在寫入操作結束，該寫入字線會取消確定，允許該交叉耦合反相器(40)正常運作，並維持該儲存節點(SN)的邏輯狀態。耦合該等交叉耦合反相器的電源供應節點允許較快的寫入操作，而不會傷害單元穩定度。

六、英文發明摘要：

A two-port SRAM memory cell (20) includes a pair of cross-coupled inverters (40) coupled to storage nodes. An access transistor (54) is coupled between each storage node (SN, SNB) and a write bit line (WBL0) and controlled by a write word line (WWL0). The write word line is also coupled to a power supply terminal of the pair of cross-coupled inverters (40). During a write operation, the write word line is asserted. A voltage at the power supply terminal of the cross-coupled inverters (40) follows the write word line voltage, thus making it easier for the stored logic state at the storage nodes to change, if necessary. At the end of the write operation, the write word line is de-asserted, allowing the cross-coupled inverters (40) to function normally and hold the logic state of the storage node (SN). Coupling the power supply node of the cross-coupled inverters allows faster write operations without harming cell stability.

十、申請專利範圍：

1. 一種耦合至一字線之記憶體單元，其包含：

一對交叉耦合反相器，其具有一用以接收一第一電源供應電壓之第一電源供應端子，及一用以接收一第二電源供應電壓之第二電源供應端子，其中該第二電源供應端子係連接至該字線。

2. 如請求項1之記憶體單元，其中該對交叉耦合反相器包含：

一第一反相器，其具有一耦合至一第一儲存節點之輸入端子，及一輸出端子；及

一第二反相器，其具有一耦合至該第一反相器的輸出端子之輸入端子，及一耦合至在該第一儲存節點的該第一反相器的輸入端子之輸出端子。

3. 如請求項1之記憶體單元，其進一步包含一耦合至該第一儲存節點之第一存取電晶體及一耦合至該第二儲存節點之第二存取電晶體。

4. 如請求項3之記憶體單元，其進一步包含該至少一讀取埠，其係耦合至該第一儲存節點與該第二儲存節點的至少一者，其中該至少一讀取埠包含：

一第一電晶體，其具有一耦合至一接地端子之第一電流電極，一耦合至該第一儲存節點之控制電極，與一第二電流電極；及

一第二電晶體，其具有一耦合至該第一電晶體的第二電流電極之第一電流電極，一耦合至一讀取字線之控制

電極；及一耦合至一讀取位元線之第二電流電極。

5. 如請求項2之記憶體單元，其中該第一反相器包含：

一第一電晶體，其具有一耦合至該第一電源供應電壓端子之第一電流電極、一耦合至該第一儲存節點之控制電極，與一耦合至該第二儲存節點之第二電流電極，及

一第二電晶體，其具有一耦合至該第一電晶體的第二電流電極之第一電流電極、一耦合至該第一電晶體的控制電極之控制電極及一耦合至該第二電源供應端子之第二電流電極。

6. 如請求項5之記憶體單元，其中該第二反相器包含：

一第三電晶體，其具有一耦合至該第一電源供應電壓端子之第一電流電極、一耦合至該第二儲存節點之控制電極，與一耦合至該第一儲存節點之第二電流電極，及

一第四電晶體，其具有一耦合至該第三電晶體的第二電流電極之第一電流電極、一耦合至該第三電晶體的控制電極之控制電極，及一耦合至該第二電源供應電壓端子之第二電流電極。

7. 如請求項3之記憶體單元，其中該第一存取電晶體與該第二存取電晶體之每一者係一P通道電晶體。

8. 如請求項3之記憶體單元，其中該第一存取電晶體與該第二存取電晶體之每一者係一N通道電晶體。

9. 一種記憶體，其包含如請求項1之記憶體單元。

10. 一種耦合至一字線之記憶體單元，其包含：

一耦合至一第一儲存節點之第一存取電晶體及一耦合

至一第二儲存節點之第二存取電晶體；

至少一讀取埠，其係耦合至該第一儲存節點與該第二儲存節點之至少一者；

一對交叉耦合反相器，其具有一用以接收一第一電源供應電壓之第一電源供應端子，及一用以接收一第二電源供應電壓之第二電源供應端子，其中該第二電源供應端子係連接至該字線，其中該對交叉耦合反相器包含：

一第一反相器，其具有一耦合至該第一儲存節點之輸入端子，與一輸出端子；及

一第二反相器，其具有一耦合至該第一反相器的輸出端子之輸入端子，及一耦合至在該第一儲存節點的該第一反相器之輸入端子之輸出端子。

11. 如請求項10之記憶體單元，其中該至少一讀取埠包含：

一第一電晶體，其具有一耦合至一接地端子之第一電流電極、一耦合至該第一儲存節點之控制電極，與一第二電流電極；及

一第二電晶體，其具有一耦合至該第一電晶體的第二電流電極之第一電流電極、一耦合至一讀取字線之控制電極，及一耦合至一讀取位元線之第二電流電極。

12. 如請求項10之記憶體單元，其中該第一反相器包含：

一第一電晶體，其具有一耦合至該第一電源供應電壓端子之第一電流電極、一耦合至該第一儲存節點之控制電極，與一耦合至該第二儲存節點之第二電流電極，及

一第二電晶體，其具有一耦合至該第一電晶體的第二

電流電極之第一電流電極、一耦合至該第一電晶體的
控制電極的控制電極，及一耦合至該第二電源供應端子第
二電流電極。

13. 如請求項12之記憶體單元，其中該第二反相器包含：

一第三電晶體，其具有一耦合至該第一電源供應電壓
端子之第一電流電極，一耦合至該第二儲存節點控制電
極，與一耦合至該第一儲存節點的第二電流電極，及

一第四電晶體，其具有一耦合至該第三電晶體的第二
電流電極之第一電流電極、一耦合至該第三電晶體的控
制電極之控制電極，及一耦合至該第二電源供應電壓端
子之第二電流電極。

14. 如請求項10之記憶體單元，其中該第一存取電晶體與該
第二存取電晶體之每一者係一P通道電晶體。

15. 如請求項10之記憶體單元，其中該第一存取電晶體與該
第二存取電晶體之每一者係一N通道電晶體。

16. 一種記憶體，其至少包含如請求項10之記憶體單元。

17. 一種用於存取一記憶體之方法，該記憶體包含耦合至一
字線之至少一記憶體單元，其中該至少一記憶體單元包
含一對交叉耦合反相器，其具有一用以接收一第一電源
供應電壓之第一電源供應端子，及一用以接收一第二電
源供應電壓之第二電源供應端子，該方法包含：

致能在該字線的信號接收，以將一儲存位元寫入該至
少一記憶體單元，其中該字線係直接連接至該第二電源
供應端子。

18. 如請求項17之方法，其中該至少一記憶體單元係進一步包含一耦合至一第一儲存節點之第一存取電晶體，及一耦合至一第二儲存節點之第二存取電晶體。
19. 如請求項17之方法，其進一步包含使該至少一記憶體單元能夠執行先前儲存在該至少一記憶體單元的一位元讀取操作或一資料保留操作。
20. 如請求項19之方法，其進一步包含藉由將對應到該寫入信號的一電壓耦合至該第二電源供應端子，而在相較於一標準記憶體單元的寫入操作，可在一較低電壓進行該至少一記憶體單元的快速寫入操作。

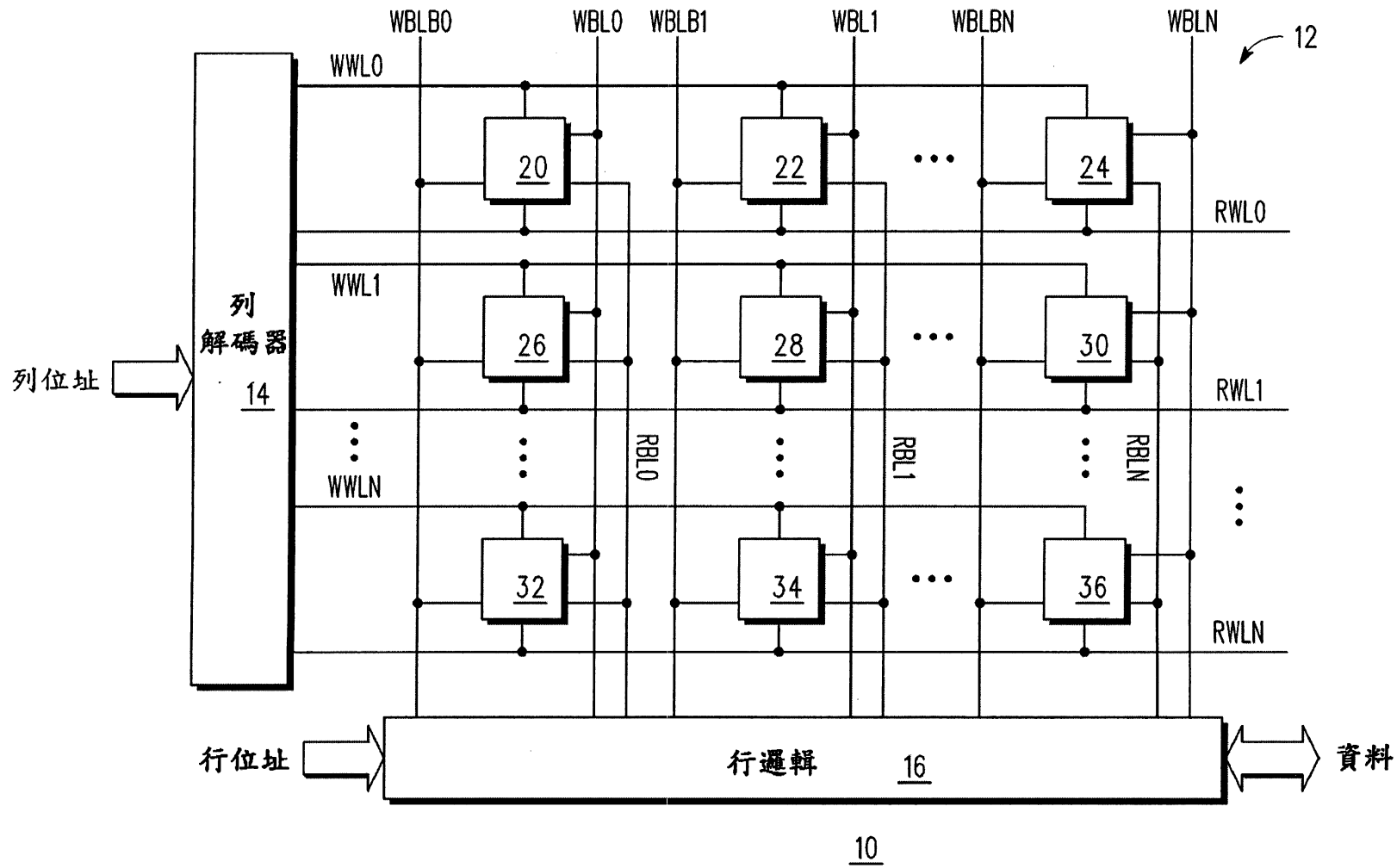


圖 1

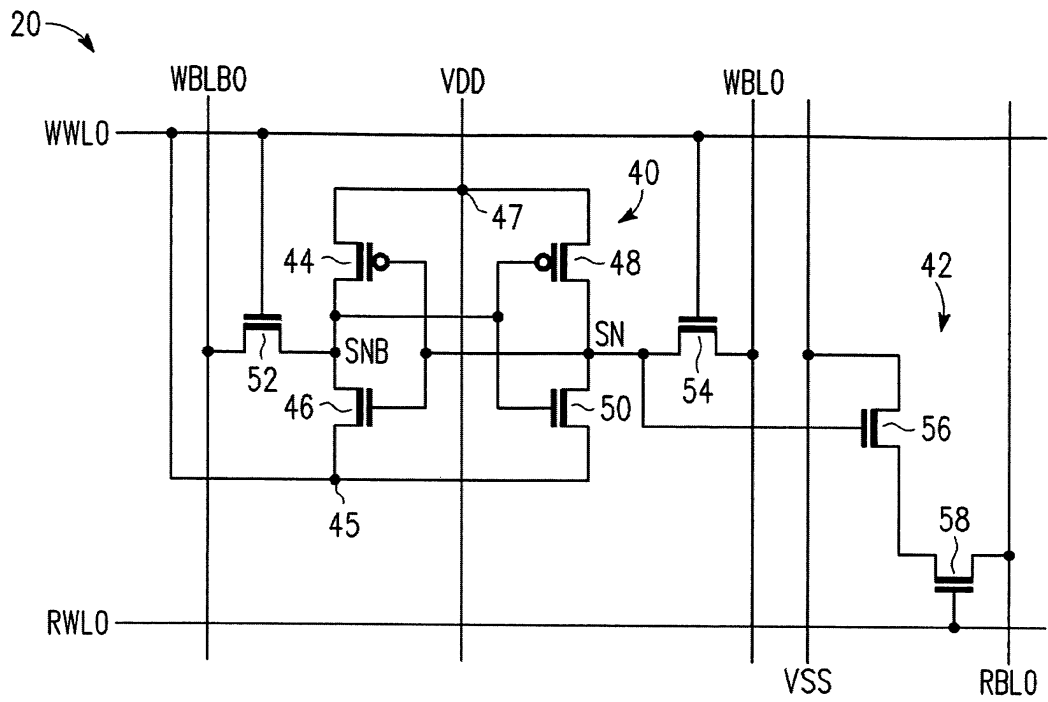


圖 2

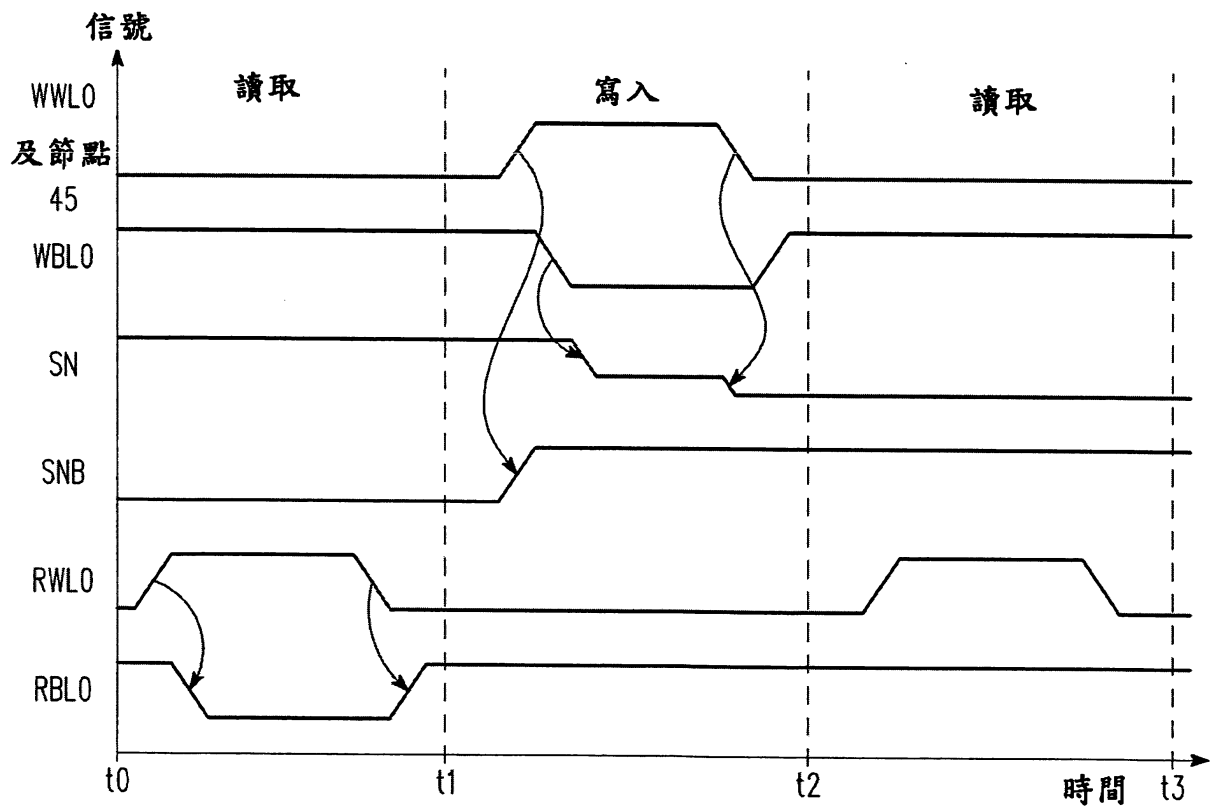


圖 3

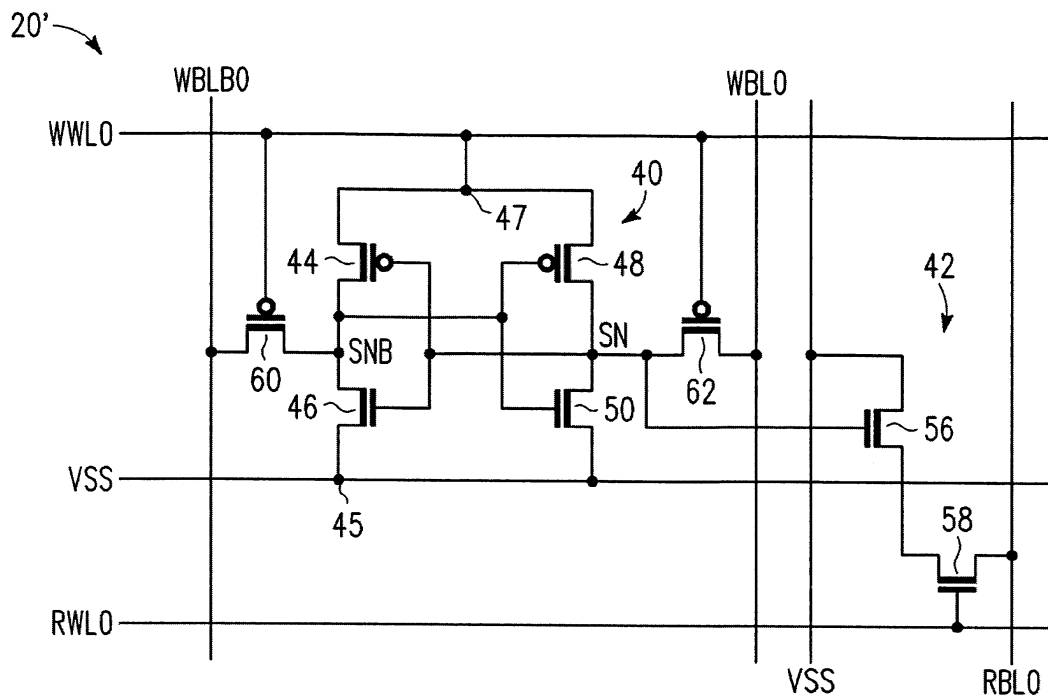


圖 4

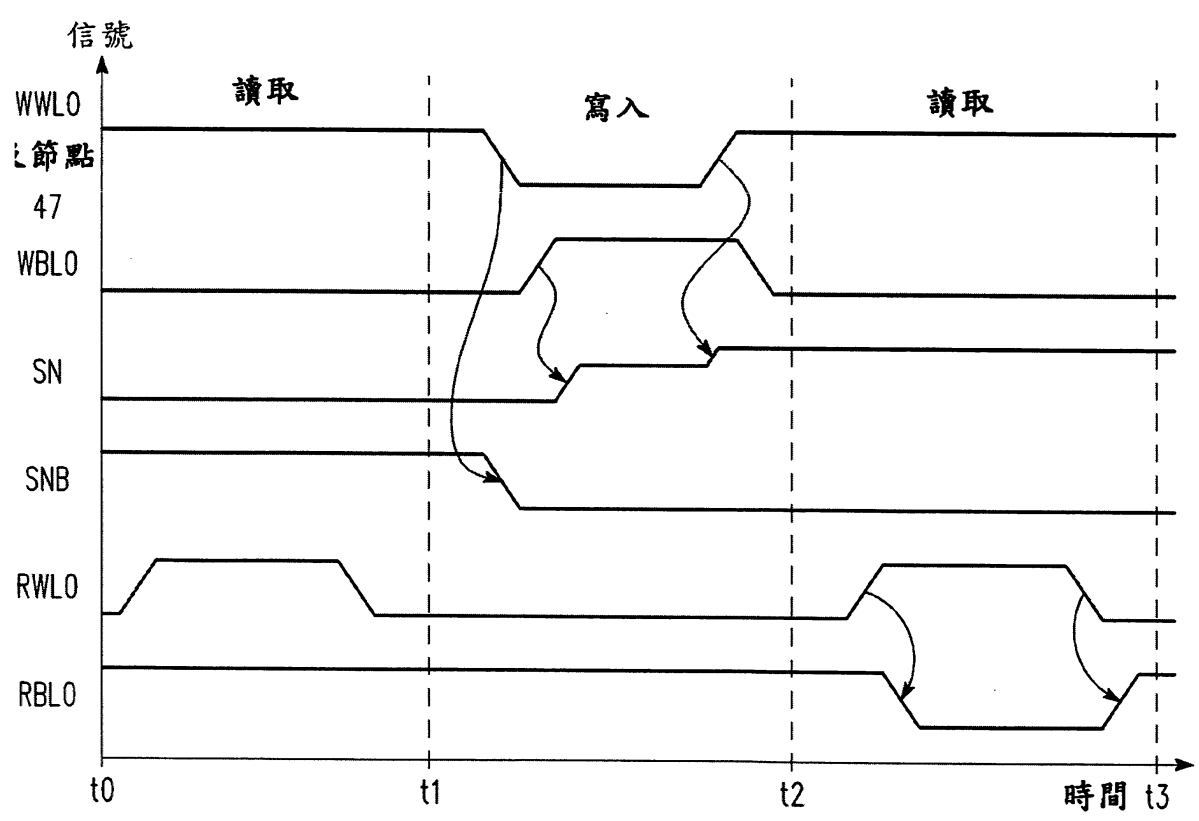


圖 5

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10	記憶體
12、20、22、24、26、28、	
30、32、34、36	記憶體單元
14	列解碼器
16	行邏輯

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)