

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5132097号
(P5132097)

(45) 発行日 平成25年1月30日(2013.1.30)

(24) 登録日 平成24年11月16日(2012.11.16)

(51) Int.Cl.

F 1

G09G 3/30 (2006.01)

G09G 3/30 G09G 3/20 G09G 3/20 G09G 3/20

J

6 1 1 A

6 2 4 B

6 2 1 M

請求項の数 1 (全 77 頁)

(21) 出願番号

特願2006-194663 (P2006-194663)

(22) 出願日

平成18年7月14日 (2006.7.14)

(65) 公開番号

特開2007-47775 (P2007-47775A)

(43) 公開日

平成19年2月22日 (2007.2.22)

審査請求日

平成21年7月8日 (2009.7.8)

(31) 優先権主張番号

特願2005-205147 (P2005-205147)

(32) 優先日

平成17年7月14日 (2005.7.14)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 梅崎 敦司

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

審査官 小川 浩史

(56) 参考文献 特開2003-344823 (JP, A)
)

特開平6-324642 (JP, A)

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1の画素と、第2の画素と、を有し、

前記第1の画素及び前記第2の画素のそれぞれは、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチと、トランジスタと、発光素子と、を有し、

前記第1の画素及び前記第2の画素のそれぞれにおいて、

前記第1のスイッチの一方の端子は、前記第2のスイッチの一方の端子と電気的に接続され、

前記トランジスタのソース及びドレインの一方は、電源線と電気的に接続され、

前記トランジスタのソース及びドレインの他方は、前記第2のスイッチの他方の端子と電気的に接続され、 10

前記第3のスイッチの一方の端子は、前記トランジスタのゲートと電気的に接続され、

前記第3のスイッチの他方の端子は、前記トランジスタのソース及びドレインの他方と電気的に接続され、

前記第4のスイッチの一方の端子は、前記トランジスタのソース及びドレインの他方と電気的に接続され、

前記第4のスイッチの他方の端子は、前記発光素子と電気的に接続され、

前記第1の画素が有する前記第1のスイッチの一方の端子は、ソースドライバと電気的に接続され、

前記第2の画素が有する前記第1のスイッチの一方の端子は、前記第1の画素が有する 20

前記第1のスイッチの他方の端子と電気的に接続されることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はトランジスタを含んで構成される半導体装置及びその駆動方法に関する。特に、薄膜トランジスタ（以下、「TFT」ともいう）を含んで構成される画素を備えた半導体装置及びその駆動方法に関する。

【背景技術】

【0002】

近年、液晶の電気光学特性やエレクトロルミネセンスで発光する素子を用いた薄型のディスプレー（フラットパネルディスプレーとも呼ばれる）が注目を集め、市場の拡大が見込まれている。薄型ディスプレーとして、ガラス基板上に形成したTFTで画素を構成する、所謂アクティブマトリクス型のディスプレーが重要視されている。特に、多結晶シリコン膜でチャネル部を形成するTFTは、従来のアモルファスシリコン膜を用いたTFTよりも電界効果移動度が高いので、高速動作が可能となっている。そのため、画素が形成された基板と同一の基板上にTFTを用いて形成した駆動回路によって、画素の制御を行うことが可能となっている。TFTによって画素と機能回路をガラス基板上に一体形成したディスプレーは、部品点数の削減や製造工程の簡略化による歩留まり向上、生産性の向上など多くの利点が見込まれている。

【0003】

10

エレクトロルミネセンス素子（以下、本明細書では「EL素子」ともいう）とTFTを組み合わせたアクティブマトリクス型のディスプレー（以下、「ELディスプレー」ともいう）は、薄型化や軽量化を図ることができ、次世代のディスプレーとして注目が集まっている。このディスプレーは、1～2インチの小型のものから40インチを超える大型ディスプレーの開発も検討されている。

【0004】

20

EL素子の発光輝度はEL素子に流れる電流値と比例関係にある。そのため、EL素子を表示媒体として用いたELディスプレーでは、電流で階調表現をするとされている。階調表現の方法として、2本の電源線の間にEL素子とTFT（以下、「駆動TFT」ともいう）とを直列に接続した構成において、飽和状態で動作する駆動TFTの、ゲートとソースの間の電圧を変化させ、EL素子に流れる電流値を制御する方法が知られている（例えば、特許文献1参照）。また、電流値を一定として、EL素子に電流が流れる時間を制御して階調を表現する駆動方法も知られている（例えば、特許文献2参照）。

30

【特許文献1】特開2003-271095号公報

【特許文献2】特開2002-514320号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

40

しかしながら、従来の画素構成では、駆動TFT（駆動トランジスタ）のゲートにビデオ信号を出力する配線（以下、「信号線」ともいう）からビデオ信号を印加する毎に信号線の電位が変化すると、信号線の寄生容量により充放電が行われるため消費電力が大きくなってしまうという問題がある。

【0006】

本発明は、このような問題点に鑑み、TFTを用いる半導体装置の低消費電力化を図ることを目的とする。

【課題を解決するための手段】

【0007】

本発明は、ビデオ信号が入力される画素と、ビデオ信号が入力される画素を選択するゲート信号線及び画素にビデオ信号を入力するソース信号線を備えた半導体装置である。こ

50

の半導体装置は、ソース信号線に直列に挿入されていて、ゲート信号線で画素が選択されていないときにオンとなり、画素が選択されている場合にはオフとなるように制御されるスイッチとを有している。

【0008】

本発明の一は、ビデオ信号が入力され、行方向及び列方向に配列された複数の画素と、行方向に延びる配線であって複数の画素へのビデオ信号の入力を選択する複数のゲート信号線と、列方向に延びる配線であって複数の画素へビデオ信号を入力する複数のソース信号線とを有する半導体装置である。そして、複数の画素のそれぞれに対応し、複数のソース信号線に直列に挿入され、複数のゲート信号線によって選択されていない行をオンとし、複数のゲート信号線によって選択された行をオフするように制御される複数のスイッチを有している。10

【0009】

本発明の一は、ビデオ信号が入力される画素と、画素へのビデオ信号の入力を選択するゲート信号線と、画素にビデオ信号を入力するソース信号線と、ソース信号線に直列に挿入され、ゲート信号線で、画素が選択されていない場合にはオンとなり、画素が選択されている場合にはオフとなるように制御される第1のトランジスタとを備えた半導体装置である。画素は、発光素子を含み、ビデオ信号に応じて発光素子の発光及び非発光の状態を制御する発光制御回路と、ソース及びドレインの一方が第1のトランジスタと接続し、他方が発光制御回路と接続する第2のトランジスタとを有している。

【0010】

本発明の一は、ビデオ信号が入力され、行方向及び列方向に配列された複数の画素と、行方向に延びる配線であって複数の画素へのビデオ信号の入力を選択する複数のゲート信号線と、列方向に延びる配線であって複数の画素へビデオ信号を入力する複数のソース信号線とを備えた半導体装置である。そして、複数の画素のそれぞれに対応し、複数のソース信号線に直列に挿入され、複数のゲート信号線によって選択されていない行をオンとし、複数のゲート信号線によって選択された行をオフするように制御される複数の第1のトランジスタとを備えた半導体装置である。当該画素は、発光素子を含み、ビデオ信号に応じて発光素子の発光及び非発光の状態を制御する発光制御回路と、ソース及びドレインの一方が第1のトランジスタと接続し、他方が発光制御回路と接続する第2のトランジスタとを有している。30

【0011】

本発明の一は、ビデオ信号が入力される画素と、画素へのビデオ信号の入力を選択する第1のゲート信号線と、第1のゲート信号線とは反転した電位を持つ第2のゲート信号線と、画素にビデオ信号を入力するソース信号線と、ソース信号線に直列に挿入され、第2のゲート信号線の電位がゲートに印加される第1のトランジスタとを備えた半導体装置である。画素は発光素子を含み、ビデオ信号に応じて発光素子の発光及び非発光の状態を制御する発光制御回路と、ソース及びドレインの一方が第1のトランジスタと接続し、他方が発光制御回路と接続し、第1のゲート信号線とゲートが接続する第2のトランジスタとを有している。

【0012】

本発明の一は、ビデオ信号が入力される画素と、画素へのビデオ信号の入力を選択する第1のゲート信号線と、画素にビデオ信号を入力するソース信号線と、ソース信号線に直列に挿入される第1のトランジスタと、第1のトランジスタのゲートに接続される第2のゲート信号線を備えた半導体装置である。画素は発光素子を含み、ビデオ信号に応じて発光素子の発光及び非発光の状態を制御する発光制御回路と、ソース及びドレインの一方がソース信号線と接続し、他方が発光制御回路と接続し、第1のゲート信号線とゲートが接続する第2のトランジスタとを含み、第1のゲート信号線と第2のゲート信号線のそれぞれは、第1のゲート信号線に接続する第2のトランジスタがオンとなるときに、第2のゲート信号線によって選択された行の第1のトランジスタをオフとし、第1のゲート信号線に接続する記第2のトランジスタがオフとなるときに、第2のゲート信号線によって選択4050

された行の第1のトランジスタをオンとする電位を有している。

【0013】

本発明に示すスイッチは、様々な形態のものを用いることができ、一例として、電気的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオード（例えば、P Nダイオード、P I Nダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）でもよいし、サイリスタでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、L D D領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（V_S S、G N D、0 Vなど）に近い状態で動作する場合はNチャネル型を、反対に、ソース端子の電位が、高電位側電源（V_{D D}など）に近い状態で動作する場合はPチャネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。10

【0014】

Nチャネル型とPチャネル型の両方を用いて、C M O S型のスイッチにしてもよい。C M O S型のスイッチにすると、Pチャネル型かNチャネル型かのどちらかのスイッチが導通すれば電流を流すことができるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることができるので、消費電力を小さくすることも出来る。20

【0015】

なお、スイッチとしてトランジスタを用いる場合は、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合は、導通を制御する端子を有していない場合がある。そのため、端子を制御するための配線を少なくすることが出来る。30

【0016】

本発明において、接続されているとは、電気的に接続されている場合と機能的に接続されている場合と直接接続されている場合とを含むものとする。したがって、本発明が開示する構成において、所定の接続関係以外のものも含むものとする。例えば、ある部分とある部分との間に、電気的な接続を可能とする素子（例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオードなど）が1個以上配置されていてもよい。また、機能的な接続を可能とする回路（例えば、論理回路（インバータやN A N D回路やN O R回路など）や信号変換回路（D A変換回路やA D変換回路やガンマ補正回路など）や電位レベル変換回路（昇圧回路や降圧回路などの電源回路やH信号やL信号の電位レベルを変えるレベルシフタ回路など）や電圧源や電流源や切り替え回路や增幅回路（オペアンプや差動增幅回路やソースフォロワ回路やバッファ回路など、信号振幅や電流量などを大きく出来る回路など）や信号生成回路や記憶回路や制御回路など）が間に1個以上配置されていてもよい。あるいは、間に他の素子や他の回路を挟まずに、直接接続されて、配置されていてもよい。40

【0017】

素子や回路を間に介さずに接続されている場合のみを含む場合は、直接接続されている、と記載するものとする。また、電気的に接続されている、と記載する場合は、電気的に接続されている場合（つまり、間に別の素子を挟んで接続されている場合）と機能的に接続されている場合（つまり、間に別の回路を挟んで接続されている場合）と直接接続されている場合（つまり、間に別の素子や別の回路を挟まずに接続されている場合）とを含む50

ものとする。

【0018】

表示素子や表示装置や発光素子や発光装置は、様々な形態を用いることが出来る。例えば、画素に配置する表示素子としては、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーーデバイス（DMD）、圧電セラミック素子、カーボンナノチューブ、など、電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッショニングディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた表示装置としては液晶ディスプレイ、透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。
10

【0019】

本発明において、トランジスタは、様々な形態のトランジスタを適用させることができ。よって、適用可能なトランジスタの種類に限定はない。したがって、例えば、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを適用することができる。これらにより、製造温度が高くなくても製造できたり、低コストで製造できたり、大型基板上に製造できたり、透明基板上に製造できたり、トランジスタで光を透過させたりすることができる。また、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを適用することができる。これらにより、バラツキの少ないトランジスタを製造できたり、電流供給能力の高いトランジスタを製造できたり、サイズの小さいトランジスタを製造できたり、消費電力の少ない回路を構成したりすることができる。また、ZnO、a-InGaZnO、SiGe、GaAsなどの化合物半導体を有するトランジスタや、さらに、それらを薄膜化した薄膜トランジスタなどを適用することができる。これらにより、製造温度が高くなくても製造できたり、室温で製造できたり、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成したりすることができる。また、インクジェットや印刷法を用いて作成したトランジスタなどを適用することができる。これらにより、室温で製造したり、真空度の低い状態で製造したり、大型基板で製造したりすることができる。また、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することができる。また、有機半導体やカーボンナノチューブを有するトランジスタ、その他のトランジスタを適用することができる。これらにより、曲げることが可能な基板上にトランジスタを形成することができる。なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。また、トランジスタが配置されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、ステンレススチール基板、ステンレススチールホイル基板などに配置することができる。また、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを移動させて、別の基板上に配置することにもよい。これらの基板を用いることにより、特性のよいトランジスタを形成したり、消費電力の小さいトランジスタを形成したり、壊れにくい装置にしたり、耐熱性を持たせたりすることができる。
20
30
40

【0020】

トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート電極が2個以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャネル領域が直列に接続されるような構成となるため、複数のトランジスタが直列に接続されたような構成となる。マルチゲート構造にすることにより、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で
50

動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることなどができる。また、チャネルの上下にゲート電極が配置されている構造でもよい。チャネルの上下にゲート電極が配置されている構造により、チャネル領域が増えるため、電流値を大きくしたり、空乏層ができやすくなってS値をよくしたりすることができる。チャネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

【0021】

チャネルの上にゲート電極が配置されている構造でもよいし、チャネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよいし、チャネル領域が複数の領域に分かれてもよいし、並列に接続されていてもよいし、直列に接続されていてもよい。また、チャネル（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャネル（もしくはその一部）にソース電極やドレイン電極が重なっている構造により、チャネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域があってもよい。LDD領域を設けることにより、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることができる。

【0022】

本発明におけるトランジスタは、様々なタイプを用いることができ、様々な基板上に形成させることができる。したがって、回路の全てが、ガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。回路の全てが同じ基板上に形成されることにより、部品点数を減らしてコストを低減したり、回路部品との接続点数を減らして信頼性を向上させたりすることができる。あるいは、回路の一部が、ある基板に形成されており、回路の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板上に形成されていなくてもよい。例えば、回路の一部は、ガラス基板上にトランジスタを用いて形成し、回路の別の一部は、単結晶基板上に形成し、そのICチップをCOG (Chip On Glass) で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板に形成されていることにより、部品点数を減らしてコストを低減したり、回路部品との接続点数を減らして信頼性を向上させたりすることができる。また、駆動電圧が高い部分や駆動周波数が高い部分は、消費電力が大きくなってしまうので、そのような部分は同じ基板に形成しないようにすれば、消費電力の向上を防ぐことができる。

【0023】

本発明においては、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R（赤）G（緑）B（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、それ以上の数を用いても良いし、RGB以外の色を用いても良い。例えば、白色を加えて、RGBW（Wは白）としてもよい。また、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加したものでもよい。また、例えばRGBの中の少なくとも一色について、類似した色を追加してもよい。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、少し吸収波長が異なっている。このような色要素を用いることにより、より実物に近い表示を行うことができたり、消費電力を低減したりすることが出来る。また、別の例としては、1つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素とする。よって、一例としては、面積階調を行う場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階

10

20

30

40

50

調を表現するわけであるが、明るさを制御する領域の一つ分を一画素とする。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。また、その場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。また、一つの色要素につき複数ある、明るさを制御する領域において、つまり、一つの色要素を構成する複数の画素において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてよい。

【0024】

一画素（三色分）と記載する場合は、RとGとBの三画素分を一画素と考える場合であるとする。一画素（一色分）と記載する場合は、一つの色要素につき、複数の画素がある場合、それらをまとめて一画素と考える場合であるとする。

10

【0025】

本発明において、画素は、マトリクス状に配置（配列）されている場合を含んでいる。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、直線上に並んで配置されている場合や、ギザギザな線上に並んでいる場合を含んでいる。よって、例えば三色の色要素（例えばRGB）でフルカラー表示を行う場合に、ストライプ配置されている場合や、三つの色要素のドットがいわゆるデルタ配置されている場合も含むものとする。さらに、ベイヤー配置されている場合も含んでいる。また、色要素のドット毎にその表示領域の大きさが異なっていてもよい。これにより、消費電力を低下させたり、表示素子の寿命を延ばしたりすることが出来る。

【0026】

20

トランジスタとは、それぞれ、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本発明においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。

【0027】

30

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子と表記する場合がある。

【0028】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線またはゲート信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャネル領域やLDD（Lightly Doped Drain）領域などを形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。ゲート配線とは、各画素のゲート電極の間を接続したり、ゲート電極と別の配線とを接続したりするための配線のことを言う。

【0029】

40

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分も存在する。そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線とオーバーラップしてチャネル領域がある場合、その領域はゲート配線として機能しているが、ゲート電極としても機能することになる。よって、そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【0030】

ゲート電極と同じ材料で形成され、ゲート電極とつながっている領域も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線とつながっている領域も、ゲート配線と呼んでも良い。このような領域は、厳密な意味では、チャネル領域

50

とオーバーラップしていなかったり、別のゲート電極と接続させる機能を有してなかったりする場合がある。しかし、製造マージンなどの関係で、ゲート電極やゲート配線と同じ材料で形成され、ゲート電極やゲート配線とつながっている領域がある。よって、そのような領域もゲート電極やゲート配線と呼んでも良い。

【0031】

例えば、マルチゲートのトランジスタにおいて、1つのトランジスタのゲート電極と、別のトランジスタのゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような領域は、ゲート電極とゲート電極とを接続させるための領域であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタであると見なすことも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極やゲート配線と同じ材料で形成され、それらとつながって配置されているものは、ゲート電極やゲート配線と呼んでも良い。10

また、例えば、ゲート電極とゲート配線とを接続してさせている部分の導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【0032】

ゲート端子とは、ゲート電極の領域や、ゲート電極と電気的に接続されている領域について、その一部分のことを言う。

【0033】

ソースとは、ソース領域とソース電極とソース配線（ソース線またはソース信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly Doped Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電気的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各画素のソース電極の間を接続したり、ソース電極と別の配線とを接続したりするための配線のことを言う。20

【0034】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分も存在する。そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線とオーバーラップしてソース領域がある場合、その領域はソース配線として機能しているが、ソース電極としても機能することになる。よって、そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。30

【0035】

また、ソース電極と同じ材料で形成され、ソース電極とつながっている領域や、ソース電極とソース電極とを接続する部分も、ソース電極と呼んでも良い。また、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線とつながっている領域も、ソース配線と呼んでも良い。このような領域は、厳密な意味では、別のソース電極と接続させる機能を有していたりすることがない場合がある。しかし、製造マージンなどの関係で、ソース電極やソース配線と同じ材料で形成され、ソース電極やソース配線とつながっている領域がある。よって、そのような領域もソース電極やソース配線と呼んでも良い。40

【0036】

また、例えば、ソース電極とソース配線とを接続してさせている部分の導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0037】

ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電気的に接続されている領域について、その一部分のことを言う。なお、ドレインについては、ソースと同50

様である。

【0038】

本発明において、半導体装置とは半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般でもよい。また、表示装置とは、表示素子（液晶素子や発光素子など）を有する装置のことを言う。なお、液晶素子やEL素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が同一基板上に形成された表示パネル本体のことでもよい。また、ワイヤボンディングやバンプなどによって基板上に配置された周辺駆動回路、いわゆるチップオングラス（COG）を含んでいても良い。さらに、フレキシブルプリントサーキット（FPC）やプリント配線基板（PWB）が取り付けられたもの（ICや抵抗素子や容量素子やインダクタやトランジスタなど）も含んでもよい。さらに、偏光板や位相差板などの光学シートを含んでいても良い。さらに、バックライト（導光板やプリズムシートや拡散シートや反射シートや光源（LEDや冷陰極管など）を含んでいても良い）を含んでいても良い。10

また、発光装置とは、特にEL素子やFEDで用いる素子などの自発光型の表示素子を有している表示装置をいう。液晶表示装置とは、液晶素子を有している表示装置をいう。

【0039】

本発明において、「ある物の上に形成されている」あるいは、「～上に形成されている」というように、「～の上に」あるいは、「～上に」という記載については、ある物の上に直接接していることに限定されない。直接接してはいない場合、つまり、間に別のものが挟まっている場合も含むものとする。従って例えば、「層Aの上に（もしくは層A上に）層Bが形成されている」という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。また、「～の上方に」という記載についても同様であり、ある物の上に直接接していることに限定されず、間に別のものが挟まっている場合も含むものとする。従って例えば、「層Aの上方に層Bが形成されている」という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、「～の下に」あるいは、「～の下方に」の場合についても同様であり、直接接している場合と、接していない場合とを含むこととする。2030

【0040】

本明細書において、「ソース信号線」とは、画素の動作を制御するためのビデオ信号をソースドライバから伝達する手段としてソースドライバの出力に接続されている配線のことを指している。

【0041】

本明細書において、「ゲート信号線」とは、画素へのビデオ信号の書き込みを選択、非選択を制御するための走査信号をゲートドライバから伝達する手段としてゲートドライバの出力に接続されている配線のことを指している。

【発明の効果】

【0042】

本発明によれば、ゲート信号線で選択された画素にソース信号線からビデオ信号を書き込み、ゲート信号線で選択されていない画素のスイッチング素子をオンとして、ゲート信号線に選択された画素のスイッチング素子をオフとすることにより、ソース信号線の寄生容量の影響を抑制することができる。すなわち、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。こうして、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。40

【発明を実施するための最良の形態】

【0043】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0044】

(第1の実施形態)

本発明に係る半導体装置の第1の構成について、図1を参照して説明する。

【0045】

図1において、複数の画素103は行方向及び列方向に配列している。ソースドライバ101は、入力された制御信号に応じてビデオ信号を出力する回路を備えている。ソースドライバ101は、書き込みが選択された画素103に、ビデオ信号を、ソース信号線107を介して入力する。ゲートドライバ102は、ゲートドライバ102に入力された制御信号に応じてゲート信号線108を走査し、ビデオ信号を書込む画素を選択する回路を備えている。画素103には、発光ユニット104と、ゲート信号線108によりオン又はオフが選択されるスイッチ105及びスイッチ106を含まれている。この二つのスイッチは、スイッチ105がオンの場合はスイッチ106がオフし、スイッチ105がオフの場合はスイッチ106がオンするように動作する。なお、発光ユニット104は、発光素子と、発光素子を制御する回路を含んでいる。

【0046】

この構成の半導体装置において、ソースドライバ101からソース信号線107を介して、ビデオ信号を画素103に書き込む場合の動作について説明する。この場合、ビデオ信号が入力される画素103は、スイッチ105がオフし、スイッチ106がオンとなっている。そして、ソースドライバ101からソース信号線107を介して発光ユニット104にビデオ信号が入力される。

【0047】

次に、ビデオ信号を画素103に書き込まない場合の動作について説明する。この場合、ビデオ信号を書き込まれない画素103は、スイッチ105がオンとなり、スイッチ106がオフとなっている。そのため、ソースドライバ101からソース信号線107を介して発光ユニット104にビデオ信号が書き込まれることはない。

【0048】

ソースドライバ101から出力されるビデオ信号は、電圧信号又は電流信号のどちらの場合であっても同様に適用することができる。また、画素にビデオ信号を入力する構成であれば、画素の内部構成に限定は無い。例えば、駆動トランジスタの閾値電圧を補正するような回路、画像を鮮明にするための発光素子の発光の有無を決定する回路、時分割階調に用いられる駆動トランジスタをオフにするための消去用トランジスタなどがあっても良い。また、これらを制御するための信号線を追加されても良い。さらに、画素に電流でビデオ信号を入力するときなどに用いられる、画素に電圧をプリチャージをするための電源線が追加されていても良い。また、必要に応じて電源線や信号線が追加されていても良い。電源線は電圧を供給しも良いし、電流を供給しても良い。信号線は電圧で制御されても良いし、電流で制御されても良い。

【0049】

本実施形態は、ビデオ信号を書き込む画素103のスイッチ105をオフすることにより、ソースドライバ101の出力からみたソース信号線107の寄生容量の影響は、ビデオ信号を書き込む画素103までしか影響しないことにより、ビデオ信号の画素103への書き込み時間は短縮される。この画素103を、電流入力型で動作させる場合には大きな利点となる。

【0050】

また、ソースドライバ101の出力からみたソース信号線107の寄生容量の影響は、ビデオ信号を書き込む画素103までしか影響しないことにより、ビデオ信号の画素103への書き込み時間は短縮される。この画素103を、電流入力型で動作させる場合には大きな利点となる。

10

20

30

40

50

【0051】

このように、本実施の形態によれば、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

【0052】**(第2の実施形態)**

本発明に係る半導体装置の第2の構成について、図2を参照して説明する。

【0053】

図2において、複数の画素203は行方向及び列方向に配列している。ソースドライバ201は、入力された制御信号に応じてビデオ信号を出力する回路であり、ビデオ信号をソース信号線207を介して書き込みが選択された画素203に入力する。ゲートドライバ202はゲートドライバ202に入力された制御信号に応じてゲート信号線208及びインバータ210を介してゲート信号線208の反転した電位を出力するゲート信号線209を走査し、ビデオ信号を書込む画素を選択する。10

【0054】

画素203は、発光素子と発光素子を制御するための回路を含む発光ユニット204と、ゲート信号線208によりオン、又はオフが選択されるスイッチ206及びゲート信号線209によりオン、又はオフが選択されるスイッチ205を含んでいる。また、スイッチ205がオンの場合はスイッチ206がオフし、スイッチ205がオフの場合はスイッチ206がオンするように動作する。20

【0055】

ソースドライバ201からソース信号線207を介して、ビデオ信号を画素203に書き込む場合の動作について説明する。この場合、ビデオ信号が書き込まれる画素203は、スイッチ205がオフとなり、スイッチ206がオンとなっている。そして、ソースドライバ201からソース信号線207を介して発光ユニット204にビデオ信号が書き込まれる。30

【0056】

次に、ビデオ信号を画素203に書き込まない場合の動作について説明する。この場合、ビデオ信号が書き込まれない画素203は、スイッチ205がオンとなり、スイッチ206がオフとなっている。そのため、ソースドライバ201からソース信号線207を介して発光ユニット204にビデオ信号が書き込まれることはない。30

【0057】

本実施形態は、スイッチ205とスイッチ206をそれぞれ反転した信号で制御することにより、スイッチ205及びスイッチ206の特性が同じでも、スイッチ205がオンの場合はスイッチ206がオフし、スイッチ205がオフの場合はスイッチ206がオンとすることができる。

【0058】

また、ゲート信号線208及びゲート信号線209と、スイッチ205及びスイッチ206との接続関係を逆としても良い。すなわち、スイッチ205はゲート信号線208によりオン及びオフが制御され、スイッチ206はゲート信号線209によりオン及びオフが制御されるようにしても良い。40

【0059】

ソースドライバ201から出力されるビデオ信号は、電圧信号又は電流信号のどちらの場合であっても同様に適用することができる。また、画素にビデオ信号を入力する構成であれば、画素の内部構成に限定は無い。例えば、駆動トランジスタの閾値電圧を補正するような回路、画像を鮮明にするための発光素子の発光の有無を決定する回路、時分割階調に用いられる駆動トランジスタをオフにするための消去用トランジスタなどがあっても良い。また、これらを制御するための信号線を追加されていても良い。さらに、画素に電流でビデオ信号を入力するときなどに用いられる画素に電圧をプリチャージをするための電50

源線が追加されていても良い。また、必要に応じて電源線や信号線が追加されていても良い。電源線は電圧を供給しも良いし、電流を供給しても良い。信号線は電圧で制御されても良いし、電流で制御されても良い。

【0060】

本実施形態は、ビデオ信号を書き込む画素203のスイッチ205をオフすることにより、ソースドライバ201の出力からみたソース信号線207の寄生容量の影響は、ビデオ信号を書き込む画素203までしか影響しない。そのため、ソース信号線207の寄生容量への充放電による消費電力の増大を抑制することができる。

【0061】

また、ソースドライバ201の出力からみたソース信号線207の寄生容量の影響は、ビデオ信号を書き込む画素203までしか影響しないことにより、ビデオ信号の画素203への書き込み時間は短縮される。この画素203を、電流入力型で動作させる場合には大きな利点となる。

【0062】

このように、本実施の形態によれば、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線までにしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

【0063】

(第3の実施形態)

本発明に係る半導体装置の第3の構成について、図3を参照して説明する。

【0064】

図3において、複数の画素303は行方向及び列方向に配列している。ソースドライバ301は、入力された制御信号に応じてビデオ信号を出力する回路であり、ビデオ信号をソース信号線307を介して書き込みが選択された画素303に入力する。ゲートドライバ302は、ゲートドライバ302に入力された制御信号に応じてゲート信号線308を走査し、ビデオ信号を書込む画素を選択する。

【0065】

画素303は、発光素子と発光素子を制御するための回路を含む発光ユニット304と、TFT305と、TFT306とを含んでいる。TFT305はソース信号線307に直列に挿入されており、TFT306はソースとドレインのうち一方がTFT305と接続し、ソースとドレインのうち他方が発光ユニット304と接続している。TFT305及びTFT306のゲートは、ゲート信号線308と接続し、ゲート信号線308により、当該TFTのオン又はオフが選択される。図3では、TFT305はPチャネル型TFTとし、TFT306はNチャネル型TFTとしているため、TFT305がオンの場合はTFT306がオフし、TFT305がオフの場合はTFT306がオンする。また、ゲート信号線308が画素303を選択しているときにTFT305をオフし、TFT306をオンするように動作する。

【0066】

TFT305及びTFT306は異なる極性となっていればよく、例えば、TFT305をNチャネル型とする場合、TFT306はPチャネル型とすれば良い。また、TFT305をPチャネル型とする場合には、TFT306はNチャネル型とすれば良い。

【0067】

ソースドライバ301からソース信号線307を介して、ビデオ信号を画素303に書き込む場合の動作について説明する。この場合、ビデオ信号を書き込まれる画素303は、TFT305がオフとなり、TFT306がオンとなっている。そして、ソースドライバ301からソース信号線307を介して発光ユニット304にビデオ信号が書き込まれる。

【0068】

ビデオ信号を画素303に書き込まない場合の動作について説明する。この場合、ビデ

10

20

30

40

50

才信号を書き込まれない画素 303 は、TFT305 がオンとなり、TFT306 がオフとなっている。そのため、ソースドライバ 301 からソース信号線 307 を介して発光ユニット 304 にビデオ信号が書き込まれることはない。

【0069】

本実施形態におけるソースドライバから出力されるビデオ信号は電圧で出力されても良いし、電流で出力されても良い。また、画素構成は画素にビデオ信号を入力する画素構成であれば良い。例えば、駆動トランジスタの閾値電圧を補正するような回路や画像を鮮明にするための発光素子の発光の有無を決定する回路や時分割階調に用いられる駆動トランジスタをオフにするための消去用トランジスタなどがあっても良い。また、これらを制御するための信号線を追加しても良いし、画素に電流でビデオ信号を入力するときなどに用いられる画素に電圧をプリチャージをするための電源線を追加しても良い。

10

【0070】

また、必要に応じて電源線や信号線を追加しても良い。電源線は電圧を供給しも良いし、電流を供給しても良い。信号線は電圧で制御されていても良いし、電流で制御されていても良い。

【0071】

本実施形態は、ビデオ信号を書き込む画素 303 の TFT305 をオフすることにより、ソースドライバ 301 の出力からみたソース信号線 307 の寄生容量の影響は、ビデオ信号を書き込む画素 303 までしか影響しない。そのため、ソース信号線 307 の寄生容量への充放電による消費電力の増大を抑制することができる。

20

【0072】

また、ソースドライバ 301 の出力からみたソース信号線 307 の寄生容量の影響は、ビデオ信号を書き込む画素 303 までしか影響しないことにより、ビデオ信号の画素 303 への書き込み時間は短縮される。この画素 303 を、電流入力型で動作させる場合には大きな利点となる。

【0073】

このように、本実施の形態によれば、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

30

【0074】

(第4の実施形態)

本発明に係る半導体装置の第4の構成について、図4を参照して説明する。

【0075】

図4において、複数の画素 403 は行方向及び列方向に配列している。ソースドライバ 401 は、入力された制御信号に応じてビデオ信号を出力する回路であり、ビデオ信号をソース信号線 407 を介して書き込みが選択された画素 403 に入力する。ゲートドライバ 402 はゲートドライバ 402 に入力された制御信号に応じてゲート信号線 408 を走査し、ビデオ信号を書込む画素を選択する。

40

【0076】

画素 403 は、発光素子と発光素子を制御するための回路を含む発光ユニット 404 と、TFT405 と、TFT406 とを含んでいる。TFT405 はソース信号線 407 に直列に挿入されており、TFT406 はソースとドレインのうち一方が TFT405 と接続し、ソースとドレインのうち他方が発光ユニット 404 と接続している。TFT405 及び TFT406 はゲートがゲート信号線 408 と接続し、ゲート信号線 408 によりオン又はオフが選択される。TFT405 はNチャネル型 TFT とし、TFT406 はPチャネル型 TFT としているため、TFT405 がオンの場合は TFT406 がオフし、TFT405 がオフの場合は TFT406 がオンする。また、ゲート信号線 408 が画素 403 を選択しているときに TFT405 をオフし、TFT406 をオンする。

【0077】

50

また、TFT405及びTFT406は別の極性となっていればよく、例えばTFT405をPチャネル型、TFT406をNチャネル型としても良い。

【0078】

ソースドライバ401からソース信号線407を介して、ビデオ信号を画素403に書き込む場合の動作について説明する。この場合、ビデオ信号を書き込まれる画素403は、TFT405がオフとなり、TFT406がオンとなっている。そして、ソースドライバ401からソース信号線407を介して発光ユニット404にビデオ信号が書き込まれる。

【0079】

ビデオ信号を画素403に書き込まない場合の動作について説明する。この場合、ビデオ信号を書き込まれない画素403は、TFT405がオンとなり、TFT406がオフとなっている。そのため、ソースドライバ401からソース信号線407を介して発光ユニット404にビデオ信号が書き込まれることはない。

【0080】

本実施形態におけるソースドライバから出力されるビデオ信号は電圧で出力されても良いし、電流で出力されても良い。また、画素構成は画素にビデオ信号を入力する画素構成であれば良い。例えば、駆動トランジスタの閾値電圧を補正するような回路や画像を鮮明にするための発光素子の発光の有無を決定する回路や時分割階調に用いられる駆動トランジスタをオフにするための消去用トランジスタなどがあってもよい。また、これらを制御するための信号線を追加しても良いし、画素に電流でビデオ信号を入力するときなどに用いられる画素に電圧をプリチャージをするための電源線を追加しても良い。

【0081】

また、必要に応じて電源線や信号線を追加しても良い。電源線は電圧を供給しも良いし、電流を供給しても良い。信号線は電圧で制御されていても良いし、電流で制御されても良い。

【0082】

本実施形態は、ビデオ信号を書き込む画素403のTFT405をオフすることにより、ソースドライバ401の出力からみたソース信号線407の寄生容量の影響は、ビデオ信号を書き込む画素403までしか影響しない。そのため、ソース信号線407の寄生容量への充放電による消費電力の増大を抑制することができる。

【0083】

また、ソースドライバ401の出力からみたソース信号線407の寄生容量の影響は、ビデオ信号を書き込む画素403までしか影響しないことにより、ビデオ信号の画素403への書き込み時間は短縮される。この画素403を、電流入力型で動作させる場合には大きな利点となる。

【0084】

(第5の実施形態)

本発明に係る半導体装置の第5の構成について、図5を参照して説明する。

【0085】

図5において、複数の画素503は行方向及び列方向に配列している。ソースドライバ501は、入力された制御信号に応じてビデオ信号を出力する回路であり、ビデオ信号をソース信号線507を介して書き込みが選択された画素503に入力する。ゲートドライバ502はゲートドライバ502に入力された制御信号に応じてゲート信号線508及びインバータ510を介してゲート信号線508の反転した電位を出力するゲート信号線509を走査し、ビデオ信号を書込む画素を選択する。

【0086】

画素503は、発光素子と、発光素子を制御するための回路を含む発光ユニット504と、TFT505と、TFT506とを含んでいる。TFT505はソース信号線507に直列に挿入されており、TFT506はソースとドレインのうち一方がTFT505と接続し、ソースとドレインのうち他方が発光ユニット504と接続している。TFT50

10

20

30

40

50

5 のゲートはゲート信号線 509 と接続し、TFT506 のゲートはゲート信号線 508 と接続し、TFT505 はゲート信号線 509 によりオン又はオフが選択され、TFT506 は、ゲート信号線 508 によりオン又はオフが選択される。TFT505 及び TFT506 は、N チャネル型としているため、TFT505 がオンの場合は TFT506 がオフし、TFT505 がオフの場合は TFT506 がオンするように動作する。

【0087】

また、TFT505 及び TFT506 は同じ極性となつていればよく、例えば、TFT505 及び TFT506 を P チャネル型としても良い。

【0088】

ソースドライバ 501 からソース信号線 507 を介して、ビデオ信号を画素 503 に書き込む場合の動作について説明する。この場合、ビデオ信号を書き込まれる画素 503 は、TFT505 がオフとなり、TFT506 がオンとなっている。そして、ソースドライバ 501 からソース信号線 507 を介して発光ユニット 504 にビデオ信号が書き込まれる。

10

【0089】

ビデオ信号を画素 503 に書き込まない場合の動作について説明する。この場合、ビデオ信号を書き込まれない画素 503 は、TFT505 がオンとなり、TFT506 がオフとなっている。そのため、ソースドライバ 501 からソース信号線 507 を介して発光ユニット 504 にビデオ信号が書き込まれることはない。

【0090】

20

本実施形態におけるソースドライバから出力されるビデオ信号は電圧で出力されても良いし、電流で出力されても良い。また、画素構成は画素にビデオ信号を入力する画素構成であれば良い。例えば、駆動トランジスタの閾値電圧を補正するような回路や画像を鮮明にするための発光素子の発光の有無を決定する回路や時分割階調に用いられる駆動トランジスタをオフにするための消去用トランジスタなどがあっても良い。また、これらを制御するための信号線を追加しても良い。画素に電流でビデオ信号を入力するときなどに用いられる画素に電圧をプリチャージをするための電源線を追加しても良い。

【0091】

また、必要に応じて電源線や信号線を追加しても良い。電源線は電圧を供給しも良いし、電流を供給しても良い。信号線は電圧で制御されていても良いし、電流で制御されていても良い。

30

【0092】

本実施形態は、ビデオ信号を書き込む画素 503 の TFT505 をオフすることにより、ソースドライバ 501 の出力からみたソース信号線 507 の寄生容量の影響は、ビデオ信号を書き込む画素 503 までしか影響しない。そのため、ソース信号線 507 の寄生容量への充放電による消費電力の増大を抑制することができる。

【0093】

また、ソースドライバ 501 の出力からみたソース信号線 507 の寄生容量の影響は、ビデオ信号を書き込む画素 503 までしか影響しないことにより、ビデオ信号の画素 503 への書き込み時間は短縮される。この画素 503 を、電流入力型で動作させる場合には大きな利点となる。

40

【0094】

このように、本実施の形態によれば、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

【0095】

(第 6 の実施形態)

本発明に係る半導体装置の第 6 の構成について、図 6 を参照して説明する。

【0096】

50

図6において、複数の画素603は行方向及び列方向に配列している。ソースドライバ601は、入力された制御信号に応じてビデオ信号を出力する回路であり、ビデオ信号をソース信号線607を介して書き込みが選択された画素603に入力する。ゲートドライバ602はゲートドライバ602に入力された制御信号に応じてゲート信号線608及びインバータ610を介してゲート信号線608の反転した電位を出力するゲート信号線609を走査し、ビデオ信号を書込む画素を選択する。

【0097】

画素603は、発光素子と発光素子を制御するための回路を含む発光ユニット604と、TFT605とTFT606とを含んでいる。TFT605はソース信号線607に直列に挿入されており、TFT606はソースとドレインのうち一方がTFT605と接続し、ソースとドレインのうち他方が発光ユニット604と接続している。TFT605のゲートはゲート信号線609と接続し、TFT606のゲートはゲート信号線608と接続し、TFT605はゲート信号線609によりオン又はオフが選択され、TFT606はゲート信号線608によりオン又はオフが選択される。TFT605及びTFT606は、Pチャネル型としているため、TFT605がオンの場合はTFT606がオフし、TFT605がオフの場合はTFT606がすることを特徴とする表示装置である。

【0098】

また、TFT605及びTFT606は同じ極性となっていればよく、例えば、TFT605及びTFT606をNチャネル型としても良い。

【0099】

ソースドライバ601からソース信号線607を介して、ビデオ信号を画素603に書き込む場合の動作について説明する。この場合、ビデオ信号を書き込まれる画素603は、TFT605がオフとなり、TFT606がオンとなっている。そして、ソースドライバ601からソース信号線607を介して発光ユニット604にビデオ信号が書き込まれる。

【0100】

ビデオ信号を画素603に書き込まない場合の動作について説明する。この場合、ビデオ信号を書き込まれない画素603は、TFT605がオンとなり、TFT606がオフとなっている。そのため、ソースドライバ601からソース信号線607を介して発光ユニット604にビデオ信号が書き込まれることはない。

【0101】

本実施形態におけるソースドライバから出力されるビデオ信号は電圧で出力されても良いし、電流で出力されても良い。また、画素構成は画素にビデオ信号を入力する画素構成であれば良い。例えば、駆動トランジスタの閾値電圧を補正するような回路や画像を鮮明にするための発光素子の発光の有無を決定する回路や時分割階調に用いられる駆動トランジスタをオフにするための消去用トランジスタなどがあっても良い。また、これらを制御するための信号線を追加しても良いし、画素に電流でビデオ信号を入力するときなどに用いられる画素に電圧をプリチャージをするための電源線を追加しても良い。

【0102】

第1の実施形態、第2の実施形態、第3の実施形態、第4の実施形態、第5の実施形態、及び第6の実施形態において説明した発光ユニットの構成は特に限定しない。また、すでに述べているようにソースドライバから出力されるビデオ信号は電圧で出力されても良いし、電流で出力されても良い。いずれにしても、画素は、ビデオ信号が入力されることによって動作するものであれば良い。

【0103】

また、必要に応じて電源線や信号線を追加しても良い。電源線は電圧を供給しも良いし、電流を供給しても良い。信号線は電圧で制御されていても良いし、電流で制御されても良い。

【0104】

本実施形態は、ビデオ信号を書き込む画素603のTFT605をオフすることにより

10

20

30

40

50

、ソースドライバ 601 の出力からみたソース信号線 607 の寄生容量の影響は、ビデオ信号を書き込む画素 603 までしか影響しない。そのため、ソース信号線 607 の寄生容量への充放電による消費電力の増大を抑制することができる。

【0105】

また、ソースドライバ 601 の出力からみたソース信号線 607 の寄生容量の影響は、ビデオ信号を書き込む画素 603 までしか影響しないことにより、ビデオ信号の画素 603 への書き込み時間は短縮される。この画素 603 を、電流入力型で動作させる場合には大きな利点となる。

【0106】

このように、本実施の形態によれば、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。10

【0107】

(第7の実施形態)

第1の実施形態乃至第6の実施形態において適用できる発光ユニットの構成例を図7を参照して説明する。

【0108】

図7において、TFT701はPチャネル型トランジスタであり、容量素子702は一对の電極を持つ容量素子である。発光素子703は一対の電極を持つ発光素子であり、対向電極704は発光素子703の他方の電極である。電源線705はTFT701を介して発光素子703の一方の電極に電源を供給する電源線であり、信号入力線706は発光ユニットにビデオ信号を入力するための信号線である。本発光ユニットは発光素子703と発光素子703の発光及び非発光を制御する発光制御回路を有する。20

【0109】

電源線705は、TFT701のソースとドレインのうち一方と接続され、TFT701のソースとドレインのうち他方は発光素子703の一方の電極と接続され、TFT701のゲートは信号入力線706及び容量素子702の一方の電極と接続され、容量素子702の他方の電極は電源線705と接続されている。

【0110】

電源線705は対向電極704より高い電位に設定し、信号入力線706は、書き込みを行う発光ユニットにビデオ信号を入力する。30

【0111】

次に、ビデオ信号を書き込む場合の動作について説明する。ビデオ信号は信号入力線706から入力され、容量素子702にビデオ信号が保持される。そして、容量素子702に保持された電位、電源線705の電位及び発光素子703の一方の電位との関係により、発光素子703に流れる電流値及び発光輝度が決定する。すなわち、TFT701のソースとゲート間の電位及びソースとドレイン間の電位により発光素子703に流れる電流値及び発光輝度が決定する。また、発光時間により階調(輝度)を表現する時間階調駆動の場合、TFT701をスイッチとして動作させ、ビデオ信号によりTFT701のオン及びオフを制御し、階調(輝度)を表現しても良い。40

【0112】

本実施の形態に係る発光ユニットは、図1で示す発光ユニット104、図2で示す発光ユニット204、図3で示す発光ユニット304、図4で示す発光ユニット404、図5で示す発光ユニット504、図6で示す発光ユニット604として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

【0113】

10

20

30

40

50

(第8の実施形態)

第1の実施形態乃至第6の実施形態において適用できる発光ユニットの構成例を図8を参照して説明する。

【0114】

図8において、TFT801はNチャネル型トランジスタであり、容量素子802は一对の電極を持つ容量素子である。発光素子803は一对の電極を持つ発光素子であり、対向電極804は発光素子803の他方の電極である。電源線805はTFT801を介して発光素子803の一方の電極に電源を供給する電源線であり、信号入力線806は発光ユニットにビデオ信号を入力するための信号線である。本発光ユニットは発光素子803と発光素子803の発光及び非発光を制御する発光制御回路を有する。

10

【0115】

電源線805はTFT801のソースとドレインのうち一方と接続され、TFT801のソースとドレインのうち他方は発光素子803の一方の電極と接続され、TFT801のゲートは信号入力線806及び容量素子802の一方の電極と接続され、容量素子802の他方の電極は電源線805と接続されている。

【0116】

電源線805は対向電極804より高い電位に設定し、信号入力線806は、書き込みを行う発光ユニットにビデオ信号を入力する。

【0117】

ビデオ信号を書き込む場合の動作について説明する。ビデオ信号は信号入力線806から入力され、容量素子802にビデオ信号が保持される。そして、容量素子802に保持された電位、電源線805の電位及び発光素子803の一方の電位との関係により、発光素子803に流れる電流値及び発光輝度が決定する。すなわち、TFT801のソースとゲート間の電位及びソースとドレイン間の電位により発光素子803に流れる電流値及び発光輝度が決定する。また、発光時間により発光階調を表現する時間階調駆動の場合、TFT801をスイッチとして動作させ、ビデオ信号によりTFT801のオン及びオフを制御し、発光階調を表現しても良い。

20

【0118】

本実施の形態に係る発光ユニットは、図1で示す発光ユニット104、図2で示す発光ユニット204、図3で示す発光ユニット304、図4で示す発光ユニット404、図5で示す発光ユニット504、図6で示す発光ユニット604として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

30

【0119】

(第9の実施形態)

第1の実施形態乃至第6の実施形態において適用できる発光ユニットの構成例を図9を参照して説明する。

【0120】

40

図9において、TFT901はPチャネル型トランジスタであり、スイッチ902はオン、又はオフをゲート信号線907により制御されるスイッチである。容量素子903は一对の電極を持つ容量素子であり、発光素子904は一对の電極を持つ発光素子であり、対向電極905は発光素子904の電極である。電源線906はTFT901を介して発光素子904の一方の電極に電源を供給する電源線であり、信号入力線908は発光ユニットにビデオ信号を入力するための信号線である。本発光ユニットは発光素子904と発光素子904の発光及び非発光を制御する発光制御回路を有する。

【0121】

電源線906はTFT901のソースとドレインのうち一方と接続され、TFT901のソースとドレインのうち他方は発光素子904の一方の電極と接続されている。TFT

50

901のゲートは信号入力線908、容量素子903の一方の電極及びスイッチ902の一方の端子と接続され、容量素子903の他方の電極は電源線906と接続されている。TFT901はゲート信号線907によりオン及びオフが制御される。

【0122】

電源線906は対向電極905より高い電位に設定し、信号入力線908は、書き込みを行う発光ユニットにビデオ信号を入力する。

【0123】

一例として、時間階調駆動を用いて発光階調を表現するときの駆動について説明する。本実施形態では、書き込み期間と消去期間とに分けて駆動する駆動法を説明する。しかしこれに限定するものではなく、ビデオ信号の電位を変化させることで発光輝度を変えて良いし、ビデオ信号として電流で入力しても良い。10

【0124】

上記に示した書き込み期間について説明する。ビデオ信号は信号入力線908から入力され、ビデオ信号はHレベル及びLレベルの2値の電位とし、容量素子903にビデオ信号が保持される。このとき、TFT901はスイッチとして動作するので、容量素子903に保持された電位によりTFT901のオン及びオフが制御する。すなわち、発光素子904の発光時間を制御する。このときスイッチ902はオフとする。

【0125】

上記に示した消去期間について説明する。スイッチ902をオンとし、容量素子903に電源線906の電位を保持し、TFT901のゲートとソースの間の電位差を0V付近にすることでTFT901をオフすることができる。すなわち、発光素子904をビデオ信号に関係なく非発光とすることができる。20

【0126】

本実施の形態に係る発光ユニットは、図1で示す発光ユニット104、図2で示す発光ユニット204、図3で示す発光ユニット304、図4で示す発光ユニット404、図5で示す発光ユニット504、図6で示す発光ユニット604として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。30

【0127】

(第10の実施形態)

第1の実施形態乃至第6の実施形態において適用できる発光ユニットの構成例を図10を参照して説明する。

【0128】

図10において、TFT1001はNチャネル型トランジスタであり、スイッチ1002はオン、又はオフをゲート信号線1007により制御されるスイッチである。容量素子1003は一対の電極を持つ容量素子であり、発光素子1004は一対の電極を持つ発光素子であり、対向電極1005は発光素子1004の電極である。電源線1006はTFT1001を介して発光素子1004の一方の電極に電源を供給する電源線であり、ゲート信号線1007はビデオ信号の書き込みが可能か否かを選択するゲート信号線であり、信号入力線1008は発光ユニットにビデオ信号を入力するための信号線である。本発光ユニットは発光素子1004と発光素子1004の発光及び非発光を制御する発光制御回路を有する。40

【0129】

電源線1006はTFT1001のソースとドレインのうち一方と接続され、TFT1001のソースとドレインのうち他方は発光素子1004の一方の電極と接続されている。TFT1001のゲートは信号入力線1008、容量素子1003の一方の電極及びスイッチ1002の一方の端子と接続され、容量素子1003の他方の電極は電源線1006と接続されている。TFT1001はゲート信号線1007によりオン及びオフが制御50

される。

【0130】

電源線 1006 は対向電極 1005 より低い電位に設定し、信号入力線 1008 は、書き込みを行う発光ユニットにビデオ信号を入力する。

【0131】

一例として、時間階調駆動を用いて発光階調を表現するときの駆動について説明する。本実施形態では、書き込み期間と消去期間とに分けて駆動する駆動法を説明する。しかしこれに限定するものではなく、ビデオ信号の電位を変化させることで発光輝度を変えても良いし、ビデオ信号として電流で入力しても良い。

【0132】

上記に示した書き込み期間について説明する。ビデオ信号は信号入力線 1008 から入力され、ビデオ信号は H レベル及び L レベルの 2 値の電位とし、容量素子 1003 にビデオ信号が保持される。このとき、TFT1001 はスイッチとして動作するので、容量素子 1003 に保持された電位により TFT1001 のオン及びオフが制御する。すなわち、発光素子 1004 の発光時間を制御する。このときスイッチ 1002 はオフとする。

【0133】

上記に示した消去期間について説明する。スイッチ 1002 をオンとし、容量素子 1003 に電源線 1006 の電位を保持し、TFT1001 のゲートとソースの間の電位差を 0V 付近にすることで TFT1001 をオフすることができる。すなわち、発光素子 1004 をビデオ信号に関係なく非発光とすることができます。

【0134】

本実施の形態に係る発光ユニットは、図 1 で示す発光ユニット 104、図 2 で示す発光ユニット 204、図 3 で示す発光ユニット 304、図 4 で示す発光ユニット 404、図 5 で示す発光ユニット 504、図 6 で示す発光ユニット 604 として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

【0135】

(第 11 の実施形態)

第 1 の実施形態乃至第 6 の実施形態において適用できる発光ユニットの構成例を図 11 を参照して説明する。

【0136】

図 11において、TFT1101 は P チャネル型トランジスタであり、ダイオード 1102 は入力をゲート信号線 1107 とし、出力を TFT1101 のゲートとするダイオードである。容量素子 1103 は一対の電極を持つ容量素子であり、発光素子 1104 は一対の電極を持つ発光素子であり、対向電極 1105 は発光素子 1104 の他方の電極である。電源線 1106 は TFT1101 を介して発光素子 1104 の一方の電極に電源を供給する電源線であり、ゲート信号線 1107 はビデオ信号の書き込みを可能か否かを選択するゲート信号線であり、信号入力線 1108 は発光ユニットにビデオ信号を入力するための信号線である。本発光ユニットは発光素子 1104 と発光素子 1104 の発光及び非発光を制御する発光制御回路を有する。

【0137】

電源線 1106 は TFT1101 のソースとドレインのうち一方と接続され、TFT1101 のソースとドレインのうち他方は発光素子 1104 の一方の電極と接続されている。TFT1101 のゲートは信号入力線 1108、容量素子 1103 の一方の電極及びダイオード 1102 の出力と接続され、容量素子 1103 の他方の電極は電源線 1106 と接続されている。ダイオード 1102 の入力はゲート信号線 1107 と接続されている。

【0138】

電源線 1106 は対向電極 1105 より高い電位に設定し、信号入力線 1108 は、書

10

20

30

40

50

き込みを行う発光ユニットにビデオ信号を入力する。

【0139】

一例として時間階調駆動を用いて発光階調を表現するときの駆動について説明する。本実施形態では、書き込み期間と消去期間とに分けて駆動する駆動法を説明する。しかしこれに限定するものではなく、ビデオ信号の電位を変化させることで発光輝度を変えても良いし、ビデオ信号として電流で入力しても良い。

【0140】

上記に示した書き込み期間について説明する。ビデオ信号は信号入力線 1108 から入力され、ビデオ信号は H レベル及び L レベルの 2 値の電位とし、容量素子 1103 にビデオ信号が保持される。このとき、TFT1101 はスイッチとして動作するので、容量素子 1103 に保持された電位により TFT1101 のオン及びオフが制御する。すなわち、発光素子 1104 の発光時間を制御する。このときゲート信号線 1107 は容量素子 1103 に保持された電位より低い電位としておくので、ビデオ信号の電位に影響しない。

10

【0141】

上記に示した消去期間について説明する。ゲート信号線 1107 の電位を TFT1101 をオフさせる電位とする。ゲート信号線 1107 の電位を電源線 1106 の電位、又は電源線 1106 の電位以上とすることで、ゲート信号線 1107 の電位が容量素子 1103 に保持される。それにより、TFT1101 のゲートとソースの間の電位差を 0V、又はそれ以上にすることができるため TFT1101 をオフすることができる。すなわち、発光素子 1104 をビデオ信号に関係なく非発光とすることができます。

20

【0142】

本実施の形態に係る発光ユニットは、図 1 で示す発光ユニット 104、図 2 で示す発光ユニット 204、図 3 で示す発光ユニット 304、図 4 で示す発光ユニット 404、図 5 で示す発光ユニット 504、図 6 で示す発光ユニット 604 として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

【0143】

(第 12 の実施形態)

30

第 1 の実施形態乃至第 6 の実施形態において適用できる発光ユニットの構成例を図 12 を参照して説明する。

【0144】

図 12 において、TFT1201 は N チャネル型トランジスタであり、ダイオード 1202 は入力を TFT1201 のゲートとし、出力をゲート信号線 1207 とするダイオードである。容量素子 1203 は一対の電極を持つ容量素子であり、発光素子 1204 は一対の電極を持つ発光素子であり、対向電極 1205 は発光素子 1204 の他方の電極である。電源線 1206 は TFT1201 を介して発光素子 1204 の一方の電極に電源を供給する電源線であり、ゲート信号線 1207 はビデオ信号の書き込みを可能か否かを選択するゲート信号線であり、信号入力線 1208 は発光ユニットにビデオ信号を入力するための信号線である。本発光ユニットは発光素子 1204 と発光素子 1204 の発光及び非発光を制御する発光制御回路を有する。

40

【0145】

電源線 1206 は TFT1201 のソースとドレインのうち一方と接続され、TFT1201 のソースとドレインのうち他方は発光素子 1204 の一方の電極と接続されている。TFT1201 のゲートは信号入力線 1208、容量素子 1203 の一方の電極及びダイオード 1202 の入力と接続され、容量素子 1203 の他方の電極は電源線 1206 と接続されている。ダイオード 1202 の出力はゲート信号線 1207 と接続されている。

【0146】

電源線 1206 は対向電極 1205 より低い電位に設定し、信号入力線 1208 は、書

50

き込みを行う発光ユニットにビデオ信号を入力する。

【0147】

一例として時間階調駆動を用いて発光階調を表現するときの駆動について説明する。本実施形態では、書き込み期間と消去期間とに分けて駆動する駆動法を説明する。しかしこれに限定するものではなく、ビデオ信号の電位を変化させることで発光輝度を変えても良いし、ビデオ信号として電流で入力しても良い。

【0148】

上記に示した書き込み期間について説明する。ビデオ信号は信号入力線 1208 から入力され、ビデオ信号は H レベル及び L レベルの 2 値の電位とし、容量素子 1203 にビデオ信号が保持される。このとき、TFT1201 はスイッチとして動作するので、容量素子 1203 に保持された電位により TFT1201 のオン及びオフを制御する。すなわち、発光素子 1204 の発光時間を制御する。このときゲート信号線 1207 は容量素子 1203 に保持された電位より高い電位としておくので、ビデオ信号の電位に影響しない。

10

【0149】

上記に示した消去期間について説明する。ゲート信号線 1207 の電位を TFT1201 をオフさせる電位とする。ゲート信号線 1207 の電位を電源線 1206 の電位、又は電源線 1206 の電位以下とすることで、ゲート信号線 1207 の電位が容量素子 1203 に保持される。それにより、TFT1201 のゲートとソースの間の電位差を 0V、又はそれ以下にすることができるため TFT1201 をオフすることができる。すなわち、発光素子 1204 をビデオ信号に関係なく非発光とすることができます。

20

【0150】

本実施の形態に係る発光ユニットは、図 1 で示す発光ユニット 104、図 2 で示す発光ユニット 204、図 3 で示す発光ユニット 304、図 4 で示す発光ユニット 404、図 5 で示す発光ユニット 504、図 6 で示す発光ユニット 604 として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

【0151】

(第 13 の実施形態)

30

第 1 の実施形態乃至第 6 の実施形態において適用できる発光ユニットの構成例を図 13 を参照して説明する。

【0152】

図 13において、TFT1301 及び TFT1302 は P チャネル型トランジスタであり、容量素子 1303 及び容量素子 1304 は一対の電極を持つ容量素子である。発光素子 1305 及び発光素子 1306 は一対の電極を持つ発光素子であり、対向電極 1307 は発光素子 1305 及び発光素子 1306 の電極である。電源線 1308 は TFT1301 を介して発光素子 1305 に電源を供給及び TFT1302 を介して発光素子 1306 に電源を供給する電源線である。信号入力線 1309 及び信号入力線 1310 は発光ユニットにビデオ信号を入力するための信号線である。本発光ユニットは発光素子 1305, 1306 と発光素子 1305, 1306 の発光及び非発光を制御する発光制御回路を有する。

40

【0153】

電源線 1308 は TFT1301 のソースとドレインのうち一方、及び TFT1302 のソースとドレインのうち一方と接続されている。TFT1301 のソースとドレインのうち他方は発光素子 1305 の一方の電極と接続され、TFT1302 のソースとドレインのうち他方は発光素子 1306 の一方の電極と接続されている。TFT1301 のゲートは信号入力線 1310 及び容量素子 1303 の一方の電極と接続されている。TFT1302 のゲートは信号入力線 1309 及び容量素子 1304 の一方の電極と接続されている。容量素子 1303 の他方の電極及び容量素子 1304 の他方の電極は電源線 1308

50

と接続されている。

【0154】

電源線 1308 は対向電極 1307 より高い電位に設定し、信号入力線 1309 及び 1310 は、書き込みを行う発光ユニットにビデオ信号を入力する。

【0155】

一例として、面積階調駆動と時間階調駆動とを用いて発光階調を表現するときの駆動について説明する。本実施形態では、書き込み期間と消去期間とに分けて駆動する駆動法を説明する。しかしこれに限定するものではなく、ビデオ信号の電位を変化させることで発光輝度を変えても良いし、ビデオ信号として電流で入力しても良い。

【0156】

上記に示した書き込み期間について説明する。ビデオ信号は信号入力線 1309 及び信号入力線 1310 から入力され、ビデオ信号は H レベル及び L レベルの 2 値の電位とし、信号入力線 1309 から入力されたビデオ信号は容量素子 1304 に保持され、信号入力線 1310 から入力されたビデオ信号は容量素子 1303 に保持される。このとき、TFT1301 及び 1302 はスイッチとして動作するので、容量素子 1303 に保持された電位により TFT1301 のオン及びオフが制御され、容量素子 1304 に保持された電位により TFT1302 のオン及びオフが制御する。すなわち、発光素子 1305 及び発光素子 1306 の発光時間を制御する。

【0157】

上記に示した消去期間について説明する。消去期間において、信号入力線から入力されるビデオ信号により、容量素子 1303 及び容量素子 1304 に L レベルの電位を保持することにより、TFT1301 及び TFT1302 のゲートとソースの間の電位差を 0V 付近、又はそれ以下とすることで TFT1301 及び TFT1302 をオフすることができる。すなわち、発光素子 1305 及び 1306 を非発光とすることができます。

【0158】

また、第 9 の実施形態において説明したように電源線 1308 の電位を容量素子 1303 及び容量素子 1304 に保持することで、発光素子 1305 及び発光素子 1306 を非発光とすることができます。また、第 11 の実施形態において説明したようにダイオードを設け入力にゲート信号線、出力に TFT1301 及び TFT1302 のゲートとし、消去期間にゲート信号線の電位を TFT1301 及び TFT1302 をオフさせる電位とすることで、発光素子 1305 及び発光素子 1306 を非発光とすることができます。

【0159】

また、本実施形態において、画素一つに二つの異なる発光面積を持った発光素子 1305 及び発光素子 1306 を有している。そのため、発光素子 1305 及び発光素子 1306 の発光輝度を別々に制御すれば、信号入力線 1309 及び信号入力線 1310 で表現できる発光階調以上の発光階調を表現することができる。

【0160】

また、本実施形態において、発光素子を 2 つ用いて面積階調駆動を行う場合の構成を示したがこれに限定されるものではなく、発光素子は複数であればよく、3 つでも、4 つでも良い。その場合表現できる階調が増えるため、なお鮮明に階調を表現することができる。

【0161】

本実施の形態に係る発光ユニットは、図 1 で示す発光ユニット 104、図 2 で示す発光ユニット 204、図 3 で示す発光ユニット 304、図 4 で示す発光ユニット 404、図 5 で示す発光ユニット 504、図 6 で示す発光ユニット 604 として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

【0162】

10

20

30

40

50

(第14の実施形態)

第1の実施形態乃至第6の実施形態において適用できる発光ユニットの構成例を図14を参照して説明する。

【0163】

図14において、TFT1401及びTFT1402はNチャネル型トランジスタであり、容量素子1403及び容量素子1404は一対の電極を持つ容量素子である。発光素子1405及び発光素子1406は一対の電極を持つ発光素子であり、対向電極1407は発光素子1405及び発光素子1406の電極である。電源線1408はTFT1401を介して発光素子1405に電源を供給及びTFT1402を介して発光素子1406に電源を供給する電源線である。信号入力線1409及び信号入力線1410は発光ユニットにビデオ信号を入力するための信号線である。本発光ユニットは発光素子1405, 1406と発光素子1405, 1406の発光及び非発光を制御する発光制御回路を有する。
10

【0164】

電源線1408はTFT1401のソースとドレインのうち一方、及びTFT1402のソースとドレインのうち一方と接続されている。TFT1401のソースとドレインのうち他方は発光素子1405の一方の電極と接続されている。TFT1402のソースとドレインのうち他方は発光素子1406の一方の電極と接続されている。TFT1401のゲートは信号入力線1410及び容量素子1403の一方の電極と接続されている。TFT1402のゲートは信号入力線1409及び容量素子1404の一方の電極と接続されている。容量素子1403の他方の電極及び容量素子1404の他方の電極は電源線1408と接続されている。
20

【0165】

電源線1408は対向電極1407より低い電位に設定し、信号入力線1409及び1410は、書き込みを行う発光ユニットにビデオ信号を入力する。

【0166】

一例として、面積階調駆動と時間階調駆動とを用いて発光階調を表現するときの駆動について説明する。本実施形態では、書き込み期間と消去期間とに分けて駆動する駆動法を説明する。しかしこれに限定するものではなく、ビデオ信号の電位を変化させることで発光輝度を変えても良いし、ビデオ信号として電流で入力しても良い。
30

【0167】

上記に示した書き込み期間について説明する。ビデオ信号は信号入力線1409及び信号入力線1410から入力され、ビデオ信号はHレベル(高電位)及びLレベル(低電位)の2値の電位とし、信号入力線1409から入力されたビデオ信号は容量素子1404に保持され、信号入力線1410から入力されたビデオ信号は容量素子1403に保持される。このとき、TFT1401、及び1402はスイッチとして動作するので、容量素子1403に保持された電位によりTFT1401のオン及びオフが制御され、容量素子1404に保持された電位によりTFT1402のオン及びオフが制御する。すなわち、発光素子1405及び発光素子1406の発光時間を制御する。
40

【0168】

上記に示した消去期間について説明する。消去期間において、信号入力線から入力されるビデオ信号により、容量素子1403及び容量素子1404にLレベルの電位を保持することにより、TFT1401及びTFT1402のゲートとソースの間の電位差を0V付近、又はそれ以下とすることでTFT1401及びTFT1402をオフすることができる。すなわち、発光素子1405及び1406を非発光とすることができます。

【0169】

第9の実施形態において説明したように電源線1408の電位を容量素子1403及び容量素子1404に保持することで発光素子1405及び発光素子1406を非発光とすることができる。第11の実施形態において説明したようにダイオードを設け入力にゲート信号線、出力にTFT1401及びTFT1402のゲートとし、消去期間にゲート信
50

号線の電位を TFT1401 及び TFT1402 をオフさせる電位とすることで、発光素子 1405 及び発光素子 1406 を非発光とすることができます。

【0170】

本実施形態において、画素一つに二つの異なる発光面積を持った発光素子 1405 及び発光素子 1406 を有している。そのため、発光素子 1405 及び発光素子 1406 の発光輝度を別々に制御すれば、信号入力線 1409 及び信号入力線 1410 で表現できる発光階調以上の発光階調を表現することができる。

【0171】

本実施形態において、発光素子を 2つ用いて面積階調駆動を行う場合の構成を示したがこれに限定されるものではなく、発光素子は複数であれば良い。発光素子の数に応じて表現できる階調が増えるため、なお鮮明に階調を表現することができる。10

【0172】

本実施の形態に係る発光ユニットは、図 1 で示す発光ユニット 104、図 2 で示す発光ユニット 204、図 3 で示す発光ユニット 304、図 4 で示す発光ユニット 404、図 5 で示す発光ユニット 504、図 6 で示す発光ユニット 604 として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

【0173】

(第 15 の実施形態)

第 1 の実施形態乃至第 6 の実施形態において適用できる発光ユニットの構成例を図 15 を参照して説明する。

【0174】

図 15において、TFT1501 は P チャンネル型トランジスタであり、スイッチ 1502 及びスイッチ 1503 はゲート信号線 1511 によりオン、又はオフ制御されるスイッチである。スイッチ 1504 はゲート信号線 1512 によりオン、又はオフが制御されるスイッチであり、容量素子 1505 及び容量素子 1506 は一対の電極を持つ容量素子である。発光素子 1507 は一対の電極を持つ発光素子であり、対向電極 1508 は発光素子 1507 の一方の電極であり、電源線 1509 はスイッチ 1504 及び TFT1501 を介して発光素子 1507 の一方の電極に電源を供給する電源線である。電源線 1510 は基準の電位を供給するための電源線であり、ゲート信号線 1511 はスイッチ 1502 及びスイッチ 1503 を制御するための信号線である。ゲート信号線 1512 はスイッチ 1504 を制御するための信号線であり、信号入力線 1513 は発光ユニットにビデオ信号を入力するための信号線である。本発光ユニットは発光素子 1507 と発光素子 1507 の発光及び非発光を制御する発光制御回路を有する。30

【0175】

電源線 1509 はスイッチ 1504 の一方の端子及び容量素子 1506 の一方の電極と接続されている。スイッチ 1504 の他方の端子は TFT1501 のソースとドレインのうち一方、及びスイッチ 1502 の一方の端子と接続されている。TFT1501 のソースとドレインのうち他方は発光素子 1507 の一方の電極と接続されている。TFT1501 のゲートは容量素子 1505 の一方の電極及びスイッチ 1503 の一方の端子と接続されている。スイッチ 1503 の他方の端子は電源線 1510 と接続されている。スイッチ 1502 の他方の端子は、容量素子 1506 の他方の電極と、容量素子 1505 の他方の電極及び信号入力線 1513 と接続されている。スイッチ 1502 及びスイッチ 1503 はゲート信号線 1511 にオン及びオフが制御され、スイッチ 1504 はゲート信号線 1512 にオン及びオフが制御されている。40

【0176】

電源線 1509 は対向電極 1508 より高い電位に設定し、電源線 1510 は任意の一定電位に設定し、信号入力線 1513 は、書き込みを行う発光ユニットにビデオ信号を入50

力する。また、ビデオ信号は電圧で入力する。

【0177】

本実施形態の駆動方法は、閾値電圧取得期間、ビデオ信号書き込み期間、発光期間とに分けて駆動するため、それぞれの期間の動作について以下に示す。

【0178】

閾値電圧取得期間の本実施形態の動作について説明する。まず、信号入力線 1513 からはビデオ信号は入力されていない状態とし、スイッチ 1502 及びスイッチ 1503 はオンとし、スイッチ 1504 はオフとしている。ここで、容量素子 1505 の一方の電極は電源線 1510 の電位となり、容量素子 1505 の他方の電極及び容量素子 1506 の他方の電極は電源線 1510 の電位と TFT1501 の閾値電圧との和の電位となる。

10

【0179】

ビデオ信号書き込み期間の本実施形態の動作について説明する。まず、信号入力線 1513 からはビデオ信号を入力し、スイッチ 1502 及びスイッチ 1503 はオフとし、スイッチ 1504 はオフとしている。ここで、容量素子 1505 の他方の電極は信号入力線 1513 から入力された電位となり、容量素子 1505 の一方の電極は電源線 1510 の電位とビデオ信号の電位との和から TFT1501 の閾値電圧を差し引いた電位となる。

【0180】

発光期間の本実施形態の動作について説明する。まず、信号入力線 1513 からはビデオ信号は入力されていない状態とし、スイッチ 1502 及びスイッチ 1503 はオフとし、スイッチ 1504 はオンとしているため、容量素子 1505 の一方の電極の電位は保持される。ここで、容量素子 1505 の一方の電極は電源線 1510 の電位とビデオ信号の電位との和から TFT1501 の閾値電圧を差し引いた電位となっているため、TFT1501 の閾値電圧のバラツキを補正したゲートとソースとの間の電位に応じた電流が発光素子 1507 に流れることで発光素子 1507 を発光させることができる。

20

【0181】

また、階調表現は、入力されるビデオ信号に応じて、TFT1501 のゲートとソースとの間の電位を決定することで、発光素子 1507 に流れる電流を制御して行う。

【0182】

本実施の形態に係る発光ユニットは、図 1 で示す発光ユニット 104、図 2 で示す発光ユニット 204、図 3 で示す発光ユニット 304、図 4 で示す発光ユニット 404、図 5 で示す発光ユニット 504、図 6 で示す発光ユニット 604 として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

30

【0183】

(第 16 の実施形態)

第 1 の実施形態乃至第 6 の実施形態において適用できる発光ユニットの構成例を図 16 を参照して説明する。

【0184】

図 16において、TFT1601 は P チャネル型 TFT であり、スイッチ 1602 はゲート信号線 1610 によりオン、又はオフが制御されるスイッチであり、スイッチ 1603 はゲート信号線 1609 によりオン、又はオフが制御されるスイッチである。容量素子 1604 及び容量素子 1605 は一対の電極を持つ容量素子であり、発光素子 1606 は一対の電極を持つ発光素子であり、対向電極 1607 は発光素子 1606 の一方の電極である。電源線 1608 は TFT1601 及びスイッチ 1602 を介して発光素子 1606 の一方の電極に電源を供給する電源線である。ゲート信号線 1609 はスイッチ 1603 を制御するための信号線であり、ゲート信号線 1610 はスイッチ 1602 を制御するための信号線であり、信号入力線 1611 は発光ユニットにビデオ信号を入力するための信号線である。本発光ユニットは発光素子 1606 と発光素子 1606 の発光及び非発光を

40

50

制御する発光制御回路を有する。

【0185】

電源線 1608 は TFT1601 のソースとドレインうち一方、及び容量素子 1604 の一方の電極と接続されている。TFT1601 のソースとドレインうち他方はスイッチ 1602 の一方の端子及びスイッチ 1603 の一方の端子と接続されている。TFT1601 のゲートは容量素子 1604 の他方の電極と、容量素子 1605 の一方の電極及びスイッチ 1603 の他方の端子と接続されている。スイッチ 1602 の他方の端子は発光素子 1606 の一方の電極と接続されている。容量素子 1605 の他方の電極は信号入力線 1611 と接続されている。スイッチ 1602 はゲート信号線 1610 にオン及びオフが制御され、スイッチ 1603 はゲート信号線 1609 にオン及びオフが制御されている。10

【0186】

電源線 1608 は対向電極 1607 より高い電位に設定し、信号入力線 1611 は、書き込みを行う発光ユニットにビデオ信号を入力する。また、ビデオ信号は電圧で入力する。。

【0187】

本実施形態の駆動方法は、閾値電圧取得期間、ビデオ信号書き込み期間、発光期間とに分けて駆動するため、それぞれの期間の動作について以下に示す。

【0188】

閾値電圧取得期間の本実施形態の動作について説明する。まず、信号入力線 1611 からはビデオ信号は入力されていない状態とし、スイッチ 1602 及びスイッチ 1603 はオフとしている。ここで、容量素子 1604 の他方の電極及び容量素子 1605 の一方の電極は電源線 1608 の電位から TFT1601 の閾値電圧を差し引いた電位となる。20

【0189】

ビデオ信号書き込み期間の本実施形態の動作について説明する。まず、信号入力線 1611 からはビデオ信号を入力し、スイッチ 1602 はオフし、スイッチ 1603 はオンとしている。ここで、容量素子 1605 の他方の電極は入力されたビデオ信号の電位となり、容量素子 1604 の他方の電極及び容量素子 1605 の一方の電極は電源線 1608 の電位とビデオ信号の電位との和から TFT1601 の閾値電圧を差し引いた電位となる。

【0190】

発光期間の本実施形態の動作について説明する。まず、信号入力線 1611 からはビデオ信号は入力されていない状態とし、スイッチ 1602 及びスイッチ 1603 はオフとしているため、容量素子 1604 の他方の電極及び容量素子 1605 の一方の電極の電位は保持される。ここで、容量素子 1604 の他方の電極及び容量素子 1605 の一方の電極は電源線 1608 の電位とビデオ信号の電位との和から TFT1601 の閾値電圧を差し引いた電位となる。そのため、TFT1601 の閾値電圧のバラツキを補正したゲートとソースとの間の電位に応じた電流が発光素子 1606 に流れることで発光素子 1606 を発光させることができる。30

【0191】

また、階調表現は、入力されるビデオ信号に応じて、TFT1601 のゲートとソースとの間の電位を決定することで、発光素子 1606 に流れる電流を制御して行う。40

【0192】

本実施の形態に係る発光ユニットは、図 1 で示す発光ユニット 104、図 2 で示す発光ユニット 204、図 3 で示す発光ユニット 304、図 4 で示す発光ユニット 404、図 5 で示す発光ユニット 504、図 6 で示す発光ユニット 604 として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

【0193】

(第 17 の実施形態)

第1の実施形態乃至第6の実施形態において適用できる発光ユニットの構成例を図17を参照して説明する。

【0194】

図17において、TFT1701はPチャネル型トランジスタであり、スイッチ1702はゲート信号線1708によりオン、又はオフが制御されるスイッチであり、スイッチ1703はゲート信号線1709によりオン又はオフが制御されるスイッチである。容量素子1704は一対の電極を持つ容量素子であり、発光素子1705は一対の電極を持つ発光素子であり、対向電極1706は発光素子1705の電極である。電源線1707はスイッチ1702及びTFT1701を介して発光素子1705の一方の電極に電源を供給する電源線である。ゲート信号線1708はスイッチ1702を制御するための信号線であり、ゲート信号線1709はスイッチ1703を制御するための信号線であり、信号入力線1710は発光ユニットにビデオ信号を入力するための信号線である。本発光ユニットは発光素子1705と発光素子1705の発光及び非発光を制御する発光制御回路を有する。
10

【0195】

電源線1707はスイッチ1702の一方の端子と接続されている。スイッチ1702の他方の端子はTFT1701のソースとドレインうち一方、容量素子1704の一方の電極及び信号入力線1710と接続されている。TFT1701のソースとドレインうち他方は発光素子1705の一方の電極及びスイッチ1703の一方の端子と接続されている。TFT1701のゲートは容量素子1704の他方の電極及びスイッチ1703の他方の端子と接続されている。スイッチ1702はゲート信号線1708にオン及びオフが制御され、スイッチ1703はゲート信号線1709にオン及びオフが制御されている。
20

【0196】

電源線1707は対向電極1706より高い電位に設定し、信号入力線1710は、書き込みを行う発光ユニットにビデオ信号を入力する。また、ビデオ信号は電流で入力する。
。

【0197】

本実施形態の駆動方法は、ビデオ信号書き込み期間、発光期間とに分けて駆動するため、それぞれの期間の動作について以下に示す。

【0198】

ビデオ信号書き込み期間の本実施形態の動作について説明する。まず、信号入力線1710からはビデオ信号を入力し、スイッチ1702はオフとし、スイッチ1703はオンとしている。ここで、容量素子1704には入力したビデオ信号に対応した電位が保持される。また、ビデオ信号は電流で入力しているため、発光素子1705に流れる電流はTFT1701の閾値電圧のバラツキの影響を受けない。
30

【0199】

発光期間の本実施形態の動作について説明する。まず、信号入力線1710からはビデオ信号は入力されていない状態とし、スイッチ1702はオンとし、スイッチ1703はオフとしている。ここで、容量素子1704の一方の電極及びTFT1701のソースとドレインのうち一方には電源線1707の電位が印加されるため、容量素子1704の他方の電極の電位は保持される。ここで、容量素子1704の他方の電極はビデオ信号書き込み期間に書込まれた電位を保持するため、TFT1701の閾値電圧のバラツキを補正したゲートとソースとの間の電位に応じた電流が発光素子1705に流れることで発光素子1705を発光させることができる。
40

【0200】

また、階調表現は、入力されるビデオ信号に応じて、TFT1701のゲートとソースとの間の電位を決定することで、発光素子1705に流れる電流を制御して行う。

【0201】

本実施の形態に係る発光ユニットは、図1で示す発光ユニット104、図2で示す発光ユニット204、図3で示す発光ユニット304、図4で示す発光ユニット404、図5
50

で示す発光ユニット504、図6で示す発光ユニット604として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

【0202】

(第18の実施形態)

第1の実施形態乃至第6の実施形態において適用できる発光ユニットの構成例を図18を参照して説明する。

【0203】

図18において、TFT1801はPチャネル型トランジスタであり、スイッチ1802はゲート信号線1809によりオン、又はオフが制御されるスイッチであり、スイッチ1803はゲート信号線1808によりオン、又はオフが制御されるスイッチである。容量素子1804は一対の電極を持つ容量素子であり、発光素子1805は一対の電極を持つ発光素子であり、対向電極1806は発光素子1805の他方の電極である。電源線1807はTFT1801及びスイッチ1802を介して発光素子1805の一方の電極に電源を供給する電源線である。ゲート信号線1808はスイッチ1803を制御する信号線であり、ゲート信号線1809はスイッチ1802を制御する信号線であり、信号入力線1810は発光ユニットにビデオ信号を入力するための信号線である。本発光ユニットは発光素子1805と発光素子1805の発光及び非発光を制御する発光制御回路を有する。

10

【0204】

電源線1807はTFT1801のソースとドレインうち一方及び容量素子1804の一方の電極と接続されている。TFT1801のソースとドレインのうち他方はスイッチ1802の一方の端子、スイッチ1803の一方の端子及び信号入力線1810と接続されている。スイッチ1802の他方の端子は発光素子1805の一方の電極と接続されている。TFT1801のゲートは容量素子1804の他方の電極及びスイッチ1803の他方の端子と接続されている。スイッチ1802はゲート信号線1809にオン及びオフが制御されている。スイッチ1803はゲート信号線1808にオン及びオフが制御されている。

20

【0205】

電源線1807は対向電極1806より高い電位に設定し、信号入力線1810は、書き込みを行う発光ユニットにビデオ信号を入力する。また、ビデオ信号は電流で入力する。

30

【0206】

本実施形態の駆動方法は、ビデオ信号書き込み期間、発光期間とに分けて駆動するため、それぞれの期間の動作について以下に示す。

【0207】

ビデオ信号書き込み期間の本実施形態の動作について説明する。まず、信号入力線1810からはビデオ信号を入力し、スイッチ1802はオフとし、スイッチ1803はオンとしている。ここで、容量素子1804には入力したビデオ信号に対応した電位が保持される。また、ビデオ信号は電流で入力しているため、発光素子1805に流れる電流はTFT1801の閾値電圧のバラツキの影響を受けない。

40

【0208】

発光期間の本実施形態の動作について説明する。まず、信号入力線1810からはビデオ信号は入力されていない状態とし、スイッチ1802はオンとし、スイッチ1803はオフとしている。ここで、容量素子1804の一方の電極及びTFT1801のソースとドレインのうち一方には電源線1807の電位が印加されるため、容量素子1804の他方の電極の電位は保持される。ここで、容量素子1804の他方の電極はビデオ信号書き込み期間に書き込まれた電位を保持するため、TFT1801の閾値電圧のバラツキを補正

50

したゲートとソースとの間の電位に応じた電流が発光素子 1805 に流れることで発光素子 1805 を発光させることができる。

【0209】

また、階調表現は、入力されるビデオ信号に応じて、TFT1801 のゲートとソースとの間の電位を決定することで、発光素子 1805 に流れる電流を制御して行う。

【0210】

本実施の形態に係る発光ユニットは、図 1 で示す発光ユニット 104、図 2 で示す発光ユニット 204、図 3 で示す発光ユニット 304、図 4 で示す発光ユニット 404、図 5 で示す発光ユニット 504、図 6 で示す発光ユニット 604 として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。10

【0211】

(第 19 の実施形態)

第 1 の実施形態乃至第 6 の実施形態において適用できる発光ユニットの構成例を図 19 を参照して説明する。

【0212】

図 19において、TFT1901 は P チャネル型トランジスタであり、スイッチ 1902 はゲート信号線 1908 によりオン、又はオフが制御されるスイッチであり、スイッチ 1903 はゲート信号線 1909 によりオン、又はオフが制御されるスイッチである。容量素子 1904 は一対の電極を持つ容量素子であり、発光素子 1905 は一対の電極を持つ発光素子であり、対向電極 1906 は発光素子 1905 の他方の電極である。電源線 1907 は TFT1901 及びスイッチ 1903 を介して発光素子 1905 の一方の電極に電源を供給する電源線である。ゲート信号線 1908 はスイッチ 1902 を制御する信号線であり、ゲート信号線 1909 はスイッチ 1903 を制御する信号線であり、信号入力線 1910 は発光ユニットにビデオ信号を入力するための信号線である。本発光ユニットは発光素子 1905 と発光素子 1906 の発光及び非発光を制御する発光制御回路を有する。20

【0213】

電源線 1907 は TFT1901 のソースとドレインのうち一方と接続されている。TFT1901 のソースとドレインのうち他方はスイッチ 1903 の一方の端子及びスイッチ 1902 の一方の端子と接続されている。スイッチ 1903 の他方の端子は発光素子 1905 の一方の電極と接続されている。TFT1901 のゲートはスイッチ 1902 の他方の端子及び容量素子 1904 の一方の電極と接続されている。容量素子 1904 の他方の電極は信号入力線 1910 と接続されている。スイッチ 1902 はゲート信号線 1908 にオン及びオフが制御されている。スイッチ 1903 はゲート信号線 1909 にオン及びオフが制御されている。30

【0214】

電源線 1907 は対向電極 1906 より高い電位に設定し、信号入力線 1910 は、書き込みを行う発光ユニットにビデオ信号を入力する。また、ビデオ信号は電圧で入力する。40

【0215】

本実施形態の駆動方法は、閾値電圧取得期間、ビデオ信号書き込み期間、発光期間とに分けて駆動するため、それぞれの期間の動作について以下に示す。

【0216】

閾値電圧取得期間とビデオ信号書き込み期間の本実施形態の動作について説明する。まず、信号入力線 1910 からはビデオ信号を入力し、スイッチ 1902 はオンとし、スイッチ 1903 はオフとしている。ここで、容量素子 1904 の一方の電極は電源線 1907 の電位から TFT1901 の閾値電圧を差し引いた電位となる。容量素子 1904 の他50

方の電極はビデオ信号の電位となる。

【0217】

発光期間の本実施形態の動作について説明する。まず、信号入力線1910からは三角波が入力され、スイッチ1902はオフとし、スイッチ1903はオンとしている。ここで、容量素子1904の一方の電極は電源線1907の電位からTFT1901の閾値電圧を差し引いた電位と信号入力線1910の電位との差となるため、閾値電圧取得期間とビデオ信号書き込み期間で入力したビデオ信号の電位により発光時間が変化する。

【0218】

また、階調表現は、入力されるビデオ信号に応じて、TFT1901のゲートとソースとの間の電位を決定することで、発光素子1905に流れる電流を制御して行う。

10

【0219】

本実施の形態に係る発光ユニットは、図1で示す発光ユニット104、図2で示す発光ユニット204、図3で示す発光ユニット304、図4で示す発光ユニット404、図5で示す発光ユニット504、図6で示す発光ユニット604として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

【0220】

(第20の実施形態)

20

第1の実施形態乃至第6の実施形態において適用できる発光ユニットの構成例を図20を参照して説明する。

【0221】

図20において、TFT2001及びTFT2002はPチャネル型トランジスタであり、スイッチ2003はゲート信号線2008によりオン、又はオフが制御されるスイッチである。容量素子2004は一対の電極を持つ容量素子であり、発光素子2005は一対の電極を持つ発光素子であり、対向電極2006は発光素子2005の他方の電極である。電源線2007はTFT2001を介して発光素子2005の一方の電極に電源を供給する電源線であり、ゲート信号線2008はスイッチ2003を制御する信号線であり、信号入力線2009はビデオ信号を入力するための信号線である。本発光ユニットは発光素子2005と発光素子2005の発光及び非発光を制御する発光制御回路を有する。

30

【0222】

電源線2007はTFT2001のソースとドレインのうち一方、TFT2002のソースとドレインのうち一方及び容量素子2004の一方の電極と接続されている。TFT2001のソースとドレインのうち他方は発光素子2005の一方の電極と接続されている。TFT2002のソースとドレインのうち他方はスイッチ2003の一方の端子及び信号入力線2009と接続されている。TFT2001のゲートはTFT2002のゲート及び容量素子2004の他方の電極及びスイッチ2003の他方の端子と接続されている。スイッチ2003はゲート信号線2008にオン及びオフが制御されている。

【0223】

40

電源線2007は対向電極2006より高い電位に設定し、信号入力線2009は、書き込みを行う発光ユニットにビデオ信号を入力する。また、ビデオ信号は電流で入力する。

【0224】

本実施形態の駆動方法は、ビデオ信号書き込み期間、発光期間とに分けて駆動するため、それぞれの期間の動作について以下に示す。

【0225】

ビデオ信号書き込み期間の本実施形態の動作について説明する。まず、信号入力線2009からはビデオ信号を入力し、スイッチ2003はオンとしている。ここで、容量素子2004には入力したビデオ信号に対応した電位が保持される。また、ビデオ信号は電流

50

で入力しているため、発光素子 2005 に流れる電流は TFT2002 の閾値電圧のバラツキの影響を受けない。

【0226】

発光期間の本実施形態の動作について説明する。まず、信号入力線 2009 からビデオ信号は入力されていない状態とし、スイッチ 2003 はオフとしているため、容量素子 2004 の他方の電極の電位は保持される。ここで、容量素子 2004 の他方の電極はビデオ信号書き込み期間に書き込まれた電位を保持するため、TFT2002 の閾値電圧のバラツキを補正することとなる。また、TFT2001 のゲートと TFT2002 のゲート及びソースとドレインのうち一方は共通となっており、TFT2001 と TFT2002 の閾値電圧を同じとすれば、TFT2001 の閾値電圧のバラツキを補正したゲートとソースとの間の電位に応じた電流が発光素子 2005 に流れることで発光素子 2005 を発光させることができる。10

【0227】

また、階調表現は、入力されるビデオ信号に応じて、TFT2001 及び TFT2002 のゲートとソースとの間の電位を決定することで、発光素子 2005 に流れる電流を制御して行う。

【0228】

本実施の形態に係る発光ユニットは、図 1 で示す発光ユニット 104、図 2 で示す発光ユニット 204、図 3 で示す発光ユニット 304、図 4 で示す発光ユニット 404、図 5 で示す発光ユニット 504、図 6 で示す発光ユニット 604 として適用することができる。20 それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

【0229】

(第 21 の実施形態)

第 1 の実施形態乃至第 6 の実施形態において適用できる発光ユニットの構成例を図 21 を参照して説明する。

【0230】

図 21 において、TFT2101 は N チャネル型トランジスタであり、スイッチ 2102 はゲート信号線 2107 にオン、又はオフが制御がされるスイッチである。容量素子 2103 は一対の電極を持つ容量素子であり、発光素子 2104 は一対の電極を持つ発光素子であり、対向電極 2105 は発光素子 2104 の電極である対向電極である。電源線 2106 は TFT2101 を介して発光素子 2104 の一方の電極に電源を供給する電源線であり、ゲート信号線 2107 はスイッチ 2102 を制御するための信号線であり、信号入力線 2108 は発光ユニットにビデオ信号を入力するための信号線である。本発光ユニットは発光素子 2104 と発光素子 2104 の発光及び非発光を制御する発光制御回路を有する。30

【0231】

電源線 2106 は TFT2101 のソースとドレインうち一方、及びスイッチ 2102 の一方の端子と接続されている。TFT2101 のソースとドレインのうち他方は発光素子 2104 の一方の電極と、容量素子 2103 の一方の電極及び信号入力線 2108 と接続されている。TFT2101 のゲートはスイッチ 2102 の他方の端子及び容量素子 2103 の他方の電極と接続され、スイッチ 2102 はゲート信号線 2107 にオン及びオフが制御されている。40

【0232】

電源線 2106 は対向電極 2105 より低い電位に設定し、信号入力線 2108 は、書き込みを行う発光ユニットにビデオ信号を入力する。また、ビデオ信号は電流で入力する。50

【0233】

本実施形態の駆動方法は、ビデオ信号書き込み期間、発光期間とに分けて駆動するため、それぞれの期間の動作について以下に示す。

【0234】

ビデオ信号書き込み期間の本実施形態の動作について説明する。まず、信号入力線2108からはビデオ信号を入力し、スイッチ2102はオンとしている。ここで、容量素子2103には入力したビデオ信号に対応した電位が保持される。また、ビデオ信号は電流で入力しているため、発光素子2104に流れる電流はTFT2101の閾値電圧のバラツキの影響を受けない。

【0235】

発光期間の本実施形態の動作について説明する。まず、信号入力線2108からビデオ信号は入力されない状態とし、スイッチ2102はオフとしているため、容量素子2103の他方の電極の電位は保持される。ここで、容量素子2103の他方の電極はビデオ信号書き込み期間に保持された電位となるため、TFT2101の閾値電圧のバラツキを補正したゲートとソースとの間の電位に応じた電流が発光素子2104に流れることで発光素子2104を発光させることができる。10

【0236】

また、階調表現は、入力されるビデオ信号に応じて、TFT2101のゲートとソースとの間の電位を決定することで、発光素子2104に流れる電流を制御して行う。

【0237】

本実施の形態に係る発光ユニットは、図1で示す発光ユニット104、図2で示す発光ユニット204、図3で示す発光ユニット304、図4で示す発光ユニット404、図5で示す発光ユニット504、図6で示す発光ユニット604として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。20

【0238】

(第22の実施形態)

第1の実施形態乃至第6の実施形態において適用できる発光ユニットの構成例を図22を参照して説明する。30

【0239】

図22において、TFT2201はNチャネル型トランジスタであり、スイッチ2202はゲート信号線2207にオン、又はオフが制御がされるスイッチである。容量素子2203は一対の電極を持つ容量素子であり、発光素子2204は一対の電極を持つ発光素子であり、対向電極2205は発光素子2204の電極である対向電極である。電源線2206はTFT2201を介して発光素子2204の一方の電極に電源を供給する電源線であり、ゲート信号線2207はスイッチ2202を制御するための信号線であり、信号入力線2208は発光ユニットにビデオ信号を入力するための信号線である。本発光ユニットは発光素子2204と発光素子2204の発光及び非発光を制御する発光制御回路を有する。40

【0240】

電源線2206はTFT2201のソースとドレインのうち一方、及びスイッチ2202の一方の端子と接続されている。TFT2201のソースとドレインうち他方は発光素子2204の一方の電極及び容量素子2203の一方の電極と接続されている。TFT2201のゲートはスイッチ2202の他方の端子、容量素子2203の他方の電極及び信号入力線2208と接続されている。スイッチ2202はゲート信号線2207にオン及びオフが制御されている。

【0241】

電源線2206は対向電極2205より低い電位に設定し、信号入力線2208は、書き込みを行う発光ユニットにビデオ信号を入力する。また、ビデオ信号は電圧で入力する50

。

【0242】

本実施形態の駆動方法は、閾値電圧取得期間、ビデオ信号書き込み期間、発光期間とに分けて駆動するため、それぞれの期間の動作について以下に示す。

【0243】

閾値電圧取得期間の本実施形態の動作について説明する。まず、信号入力線2208からはビデオ信号されない状態として、スイッチ2202をオンとする。ここで、容量素子2203の他方の電極と発光素子2204の他方の電極との間にTFT2201の閾値電圧が保持されることになる。

【0244】

ビデオ信号書き込み期間の本実施形態の動作について説明する。まず、信号入力線2208からはビデオ信号を入力し、スイッチ2202はオフとしている。ここで、容量素子2203の他方の電極はおよそビデオ信号の電位からTFT2201の閾値電圧を差し引いた電位となる。

【0245】

発光期間の本実施形態の動作について説明する。まず、信号入力線2208からはビデオ信号は入力されていない状態とし、スイッチ2202はオフとしているため、容量素子2203の他方の電極の電位は保持される。ここで、容量素子2203の他方の電極の電位は対向電極2205の電位とビデオ信号の電位の和からTFT2201の閾値電圧を差し引いた電位となるため、TFT2201の閾値電圧のバラツキを補正したゲートとソースとの間に応じた電流が発光素子2204に流れることで発光素子2204を発光させることができる。

【0246】

また、階調表現は、入力されるビデオ信号に応じて、TFT2201のゲートとソースとの間の電位を決定することで、発光素子2204に流れる電流を制御して行う。

【0247】

本実施の形態に係る発光ユニットは、図1で示す発光ユニット104、図2で示す発光ユニット204、図3で示す発光ユニット304、図4で示す発光ユニット404、図5で示す発光ユニット504、図6で示す発光ユニット604として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

【0248】

(第23の実施形態)

第1の実施形態乃至第6の実施形態において適用できる発光ユニットの構成例を図23を参照して説明する。

【0249】

図23において、TFT2301及びTFT2302はNチャネル型トランジスタであり、スイッチ2303はゲート信号線2308にオン、又はオフが制御されるスイッチである。容量素子2304は一対の電極を持つ容量素子であり、発光素子2305は一対の電極を持つ発光素子であり、対向電極2306は発光素子2305の他方の電極である。電源線2307はTFT2301を介して発光素子2305の一方の電極に電源を給する電源線であり、ゲート信号線2308はスイッチ2303を制御する信号線であり、信号入力線2309はビデオ信号を入力するための信号線である。本発光ユニットは発光素子2305と発光素子2305の発光及び非発光を制御する発光制御回路を有する。

【0250】

電源線2307はTFT2301のソースとドレインのうち一方と接続されている。TFT2301のソースとドレインのうち他方は発光素子2305の一方の電極及びTFT2302のソースとドレインのうち他方と接続されている。TFT2301のゲートはT

10

20

30

40

50

F T 2 3 0 2 のゲートと、容量素子 2 3 0 4 の一方の電極、信号入力線 2 3 0 9 及びスイッチ 2 3 0 3 の一方の端子と接続されている。T F T 2 3 0 2 のソースとドレインのうち一方はスイッチ 2 3 0 3 の他方の端子と接続されている。スイッチ 2 3 0 3 はゲート信号線 2 3 0 8 にオン及びオフが制御されている。

【 0 2 5 1 】

電源線 2 3 0 7 は対向電極 2 3 0 6 より高い電位に設定し、信号入力線 2 3 0 9 は、書き込みを行う発光ユニットにビデオ信号を入力する。また、ビデオ信号は電流で入力する。

【 0 2 5 2 】

本実施形態の駆動方法は、ビデオ信号書き込み期間、発光期間とに分けて駆動するため 10 、それぞれの期間の動作について以下に示す。

【 0 2 5 3 】

ビデオ信号書き込み期間の本実施形態の動作について説明する。まず、信号入力線 2 3 0 9 からはビデオ信号を入力し、スイッチ 2 3 0 3 はオンとしている。ここで、容量素子 2 3 0 4 には入力したビデオ信号に対応した電位が保持される。また、ビデオ信号は電流で入力しているため、発光素子 2 3 0 4 に流れる電流は T F T 2 3 0 2 の閾値電圧のバラツキの影響を受けない。

【 0 2 5 4 】

発光期間の動作について説明する。まず、信号入力線 2 3 0 9 からビデオ信号は入力されていない状態とし、スイッチ 2 3 0 3 はオフとしているため、容量素子 2 3 0 4 の他方の電極の電位は保持される。ここで、容量素子 2 3 0 4 の他方の電極はビデオ信号書き込み期間に書込まれた電位を保持するため、T F T 2 3 0 2 の閾値電圧のバラツキを補正することとなる。また、T F T 2 3 0 1 のゲートと T F T 2 3 0 2 のゲート及びソースとドレインのうち一方は共通となっており、T F T 2 3 0 1 と T F T 2 3 0 2 の閾値電圧を同じとすれば、T F T 2 3 0 1 の閾値電圧のバラツキを補正したゲートとソースとの間の電位に応じた電流が発光素子 2 3 0 5 に流れることで発光素子 2 3 0 5 を発光させることができる。

【 0 2 5 5 】

また、階調表現は、入力されるビデオ信号に応じて、T F T 2 3 0 1 のゲートとソースとの間の電位を決定することで、発光素子 2 3 0 5 に流れる電流を制御して行う。

【 0 2 5 6 】

本実施の形態に係る発光ユニットは、図 1 で示す発光ユニット 1 0 4 、図 2 で示す発光ユニット 2 0 4 、図 3 で示す発光ユニット 3 0 4 、図 4 で示す発光ユニット 4 0 4 、図 5 で示す発光ユニット 5 0 4 、図 6 で示す発光ユニット 6 0 4 として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

【 0 2 5 7 】

(第 2 4 の実施形態)

本発明は、第 1 の実施形態乃至第 6 の実施形態で説明した通り、ソース信号線にスイッチ若しくはスイッチとして機能する T F T を設けている。そのため、画素の構成は、第 7 の実施形態乃至第 2 3 の実施形態で示す画素以外にも、ソース信号線を介してビデオ信号を供給するものであれば、同様に適用することが出来る。また、液晶ディスプレーなどソース信号線から振幅を持った電圧及び電流を出力しているものにも適応可能である。

【 0 2 5 8 】

ソース信号線に設けるスイッチは、第 3 の実施形態乃至第 6 の実施形態では n チャネル型トランジスタ、又は p チャネル型トランジスタを使用しているが、アナログスイッチであっても良い。

【 0 2 5 9 】

10

20

30

40

50

スイッチング素子の一例としてトランジスタを用いた例を示したが、本発明はこれに限定されるものではない。スイッチング素子としては、電流のながれを制御できる素子であれば、電気的スイッチでも機械的スイッチでも良い。スイッチング素子として、ダイオードを用いても良いし、ダイオードとトランジスタを組み合わせた論理回路を用いても良い。

【0260】

また、本発明において、スイッチング素子として適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いたTFT、半導体基板やSOI基板を用いて形成されるMOS型トランジスタを適用することができる。その他にも、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが形成される基板の種類に限定はなく、単結晶基板、SOI基板、石英基板、ガラス基板、樹脂基板などを自由に用いることができる。

【0261】

トランジスタは单なるスイッチング素子として動作させるため、極性（導電型）は特に限定されず、N型トランジスタでもP型トランジスタでもどちらでも良い。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない特性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、チャネル形成領域とソース又はドレイン領域との間に低濃度で導電型を付与する不純物元素が添加された領域（LDD領域という。）が設けられたトランジスタがある。

【0262】

また、トランジスタのソースの電位が低電位側電源に近い状態で動作する場合には、当該トランジスタはN型とするのが望ましい。反対に、トランジスタのソースの電位が高電位側電源に近い状態で動作する場合には、当該トランジスタはP型とするのが望ましい。このような構成とすることによって、トランジスタのゲートとソース間の電圧の絶対値を大きくできるので、当該トランジスタをスイッチとして動作させやすい。なお、N型トランジスタとP型トランジスタとの両方を用いて、CMOS型のスイッチング素子としても良い。

【0263】

また、第1の実施形態、第2の実施形態、第3の実施形態、第4の実施形態、第5の実子形態、及び第6の実施形態において、ブロック図の中の回路構成は、本文中で説明した駆動ができさえすれば、どのような回路構成でも可能である。

【実施例1】

【0264】

本実施例では、トランジスタと発光素子で構成される発光ユニットの構造について、その一例を説明する。本実施例の構造は、図7乃至図23で示した発光ユニットについて適用することができるものである。

【0265】

図7における信号入力線706は、図1のソース信号線107、図2のソース信号線207、図3のソース信号線307、図4のソース信号線407、図5のソース信号線507、及び図6のソース信号線607に相当する。

【0266】

図8における信号入力線806は、図1のソース信号線107、図2のソース信号線207、図3のソース信号線307、図4のソース信号線407、図5のソース信号線507、及び図6のソース信号線607に相当する。

【0267】

図9における信号入力線908は、図1のソース信号線107、図2のソース信号線207、図3のソース信号線307、図4のソース信号線407、図5のソース信号線507、及び図6のソース信号線607に相当する。

【0268】

10

20

30

40

50

図 10 における信号入力線 1008 は、図 1 のソース信号線 107、図 2 のソース信号線 207、図 3 のソース信号線 307、図 4 のソース信号線 407、図 5 のソース信号線 507、及び図 6 のソース信号線 607 に相当する。

【 0 2 6 9 】

図 1 1 における信号入力線 1 1 0 8 は、図 1 のソース信号線 1 0 7、図 2 のソース信号線 2 0 7、図 3 のソース信号線 3 0 7、図 4 のソース信号線 4 0 7、図 5 のソース信号線 5 0 7、及び図 6 のソース信号線 6 0 7 に相当する。

【 0 2 7 0 】

図12における信号入力線1208は、図1のソース信号線107、図2のソース信号線207、図3のソース信号線307、図4のソース信号線407、図5のソース信号線507、及び図6のソース信号線607に相当する。

【 0 2 7 1 】

図 1 3 における信号入力線 1 3 0 9、又は信号入力線 1 3 1 0 は、図 1 のソース信号線 1 0 7、図 2 のソース信号線 2 0 7、図 3 のソース信号線 3 0 7、図 4 のソース信号線 4 0 7、図 5 のソース信号線 5 0 7、及び図 6 のソース信号線 6 0 7 に相当する。

【 0 2 7 2 】

図14における信号入力線1409、又は信号入力線1410は、図1のソース信号線107、図2のソース信号線207、図3のソース信号線307、図4のソース信号線407、図5のソース信号線507、及び図6のソース信号線607に相当する。

【 0 2 7 3 】

図 15 における信号入力線 1513 は、図 1 のソース信号線 107、図 2 のソース信号線 207、図 3 のソース信号線 307、図 4 のソース信号線 407、図 5 のソース信号線 507、及び図 6 のソース信号線 607 に相当する。

【 0 2 7 4 】

図 1 6 における信号入力線 1 6 1 1 は、図 1 のソース信号線 1 0 7、図 2 のソース信号線 2 0 7、図 3 のソース信号線 3 0 7、図 4 のソース信号線 4 0 7、図 5 のソース信号線 5 0 7、及び図 6 のソース信号線 6 0 7 に相当する。

【 0 2 7 5 】

図 17 における信号入力線 1710 は、図 1 のソース信号線 107、図 2 のソース信号線 207、図 3 のソース信号線 307、図 4 のソース信号線 407、図 5 のソース信号線 507、及び図 6 のソース信号線 607 に相当する。

【 0 2 7 6 】

図 1 8 における信号入力線 1 8 1 0 は、図 1 のソース信号線 1 0 7、図 2 のソース信号線 2 0 7、図 3 のソース信号線 3 0 7、図 4 のソース信号線 4 0 7、図 5 のソース信号線 5 0 7、及び図 6 のソース信号線 6 0 7 に相当する。

【 0 2 7 7 】

図 1 9 における信号入力線 1 9 1 0 は、図 1 のソース信号線 1 0 7、図 2 のソース信号線 2 0 7、図 3 のソース信号線 3 0 7、図 4 のソース信号線 4 0 7、図 5 のソース信号線 5 0 7、及び図 6 のソース信号線 6 0 7 に相当する。

[0 2 7 8]

図 20 における信号入力線 2009 は、図 1 のソース信号線 107、図 2 のソース信号線 207、図 3 のソース信号線 307、図 4 のソース信号線 407、図 5 のソース信号線 507、及び図 6 のソース信号線 607 に相当する。

[0 2 7 9]

図 2-1 における信号入力線 2-1-0-8 は、図 1 のソース信号線 1-0-7、図 2 のソース信号線 2-0-7、図 3 のソース信号線 3-0-7、図 4 のソース信号線 4-0-7、図 5 のソース信号線 5-0-7、及び図 6 のソース信号線 6-0-7 に相当する。

【 0 2 8 0 】

図 2 2 における信号入力線 2 2 0 8 は、図 1 のソース信号線 1 0 7 、図 2 のソース信号線 2 0 7 、図 3 のソース信号線 3 0 7 、図 4 のソース信号線 4 0 7 、図 5 のソース信号線

507、及び図6のソース信号線607に相当する。

【0281】

図23における信号入力線2309は、図1のソース信号線107、図2のソース信号線207、図3のソース信号線307、図4のソース信号線407、図5のソース信号線507、及び図6のソース信号線607に相当する。

【0282】

なお、図7乃至図23で示したその他の配線は、図1乃至図6においては図示していない。

【0283】

図24(A)において、基板2400としては、例えばバリウムホウケイ酸ガラスや、
アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いる
ことができる。また、ステンレスを含む金属基板又は半導体基板の表面に絶縁膜を形成したもの
を用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板を用いても良
い。基板2400の表面を、CMP法などの研磨により平坦化しても良い。
10

【0284】

下地膜2401としては、酸化シリコン、窒化シリコン又は窒化酸化シリコンなどの絶
縁膜を用いることができる。下地膜2401によって、基板2400に含まれるNaなどの
アルカリ金属やアルカリ土類金属が半導体層2402に拡散しTFT2410の特性に
悪影響をおよぼすのを防ぐことができる。図24では、下地膜2401を単層の構造とし
ているが、2層あるいはそれ以上の複数層で形成しても良い。なお、石英基板など不純物
の拡散がさして問題とならない場合は、下地膜2401を必ずしも設ける必要はない。
20

【0285】

半導体層2402及び半導体層2412としては、パターニングされた結晶性半導体膜
や非晶質半導体膜を用いることができる。結晶性半導体膜は非晶質半導体膜を結晶化して
得ることができる。結晶化方法としては、レーザ結晶化法、RTA又はファーネスアニ
ール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法等を用いること
ができる。半導体層2402は、チャネル形成領域と、導電型を付与する不純物元素が添
加された一対の不純物領域とを有する。なお、チャネル形成領域と一対の不純物領域との
間に、不純物元素が低濃度で添加された不純物領域を有していても良い。半導体層241
2には、全体に導電型を付与する不純物元素が添加された構成とすることができる。
30

【0286】

第1の絶縁膜2403としては、酸化シリコン、窒化シリコン又は窒化酸化シリコン等
を用い、単層又は複数の膜を積層させて形成することができる。

【0287】

なお、第1の絶縁膜2403として水素を含む膜を用い、半導体層2402を水素化し
ても良い。

【0288】

ゲート電極2404及び電極2414としてはTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた一種の元素又は該元素を複数含む合金若しくは化合物からなる単層
又は積層構造を用いることができる。
40

【0289】

TFT2410は、半導体層2402とゲート電極2404、及び半導体層2402と
ゲート電極2404の間の第1の絶縁膜2403とによって構成される。図24では、画
素を構成するTFTとして、発光素子2415の第1の電極2407に接続されたTFT
2410のみを示したが、複数のTFTを有する構成としても良い。また、本実施例では
、TFT2410をトップゲート型のトランジスタとして示したが、半導体層の下方にゲ
ート電極を有するボトムゲート型のトランジスタであっても良いし、半導体層の上下にゲ
ート電極を有するデュアルゲート型のトランジスタであっても良い。

【0290】

容量素子2411は、第1の絶縁膜2403を誘電体とし、第1の絶縁膜2403を挟
50

んで対向する半導体層 2412 と電極 2414 とを一対の電極として構成される。なお、図 24 では、容量素子として、一対の電極の一方を TFT2410 の半導体層 2402 と同時に形成される半導体層 2412 とし、他方の電極を、TFT2410 のゲート電極 2404 と同時に形成される電極 2414 とした例を示したが、この構成に限定されない。

【0291】

第 2 の絶縁膜 2405 としては、無機絶縁膜や有機絶縁膜の単層又は積層を用いることができる。無機絶縁膜としては、CVD 法により形成された酸化シリコン膜や、SOG (Spin On Glass) 法により塗布された酸化シリコン膜などを用いることができ、有機絶縁膜としてはポリイミド、ポリアミド、BCB (ベンゾシクロブテン)、アクリル又はポジ型感光性有機樹脂、ネガ型感光性有機樹脂等の膜を用いることができる。 10

【0292】

また、第 2 の絶縁膜 2405 として、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される材料を用いることができる。この材料の置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いても良い。又は置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いても良い。

【0293】

なお、第 2 の絶縁膜 2405 の表面を高密度プラズマによって処理し、窒化させても良い。高密度プラズマは、高い周波数のマイクロ波、例えば 2.45 GHz を使うことによつて生成される。なお、高密度プラズマとしては電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、電子温度が 0.2 eV 以上 2.0 eV 以下 (より好ましくは 0.5 eV 以上 1.5 eV 以下) であるものを用いる。このように低電子温度が特徴である高密度プラズマは、活性種の運動エネルギーが低いため、従来のプラズマ処理に比べプラズマダメージが少なく欠陥が少ない膜を形成することができる。高密度プラズマ処理の際、基板 2400 は 350 から 450 の温度とする。また、高密度プラズマを発生させる装置において、マイクロ波を発生するアンテナから基板 2400 までの距離を 20 nm ~ 80 mm (好ましくは 20 nm ~ 60 mm) とする。 20

【0294】

窒素と希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) 霧囲気下、又は窒素と水素と希ガス霧囲気下、又は NH₃ と希ガス霧囲気下などの窒素霧囲気下において、上記高密度プラズマ処理を行い第 2 の絶縁膜 2405 表面を窒化する。高密度プラズマにより窒化処理により形成された第 2 の絶縁膜 2405 表面には窒素や、He、Ne、Ar、Kr、Xe の元素が混入している。例えば、第 2 の絶縁膜 2405 として酸化シリコン膜や酸化窒化シリコン膜を用い、当該膜の表面を高密度プラズマで処理することによつて窒化シリコン膜を形成する。こうして形成した窒化シリコン膜に含まれる水素を用いて、TFT2410 の半導体層 2402 の水素化を行っても良い。なお当該水素化処理は、前述した第 1 の絶縁膜 2403 中の水素を用いた水素化処理と組み合わせても良い。 30

【0295】

なお、上記高密度プラズマ処理によつて形成された窒化膜の上に更に絶縁膜を形成して、第 2 の絶縁膜 2405 としても良い。 40

【0296】

電極 2406 としては Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mn から選ばれた一種の元素又は該元素を複数含む合金からなる単層又は積層構造を用いることができる。

【0297】

第 1 の電極 2407 及び第 2 の電極 2417 の方もしくは両方を透明電極とすることができます。透明電極としては、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物などを用いることができる。勿論、インジウム錫酸化物 (ITO)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物なども用いることができる。 50

できる。

【0298】

発光層は、正孔注入輸送層、発光層、電子注入輸送層など、機能の異なる複数の層を用いて構成することが好ましい。

【0299】

正孔注入輸送層は、ホール輸送性の有機化合物材料と、その有機化合物材料に対して電子受容性を示す無機化合物材料とを含む複合材料で形成することが好ましい。このような構成とすることで、本来内在的なキャリアをほとんど有さない有機化合物に多くのホールキャリアが発生し、極めて優れたホール注入性・輸送性が得られる。この効果により、従来よりも駆動電圧を低くすることができる。また、駆動電圧の上昇を招くことなく正孔注入輸送層を厚くすることができるため、ゴミ等に起因する発光素子の短絡も抑制することができる。10

【0300】

ホール輸送性の有機化合物材料としては、4, 4', 4'' - トリス[N-(3-メチルフェニル)-N-フェニルアミノ]トリフェニルアミン(略称: M T D A T A)、1, 3, 5 - トリス[N, N - ジ(m - トリル)アミノ]ベンゼン(略称: m - M T D A B)、N, N' - ジフェニル-N, N' - ビス(3 - メチルフェニル) - 1, 1' - ビフェニル - 4, 4' - ジアミン(略称: T P D)、4, 4' - ビス[N - (1 - ナフチル) - N - フェニルアミノ]ビフェニル(略称: N P B)などが挙げられるが、これらに限定されることはない。20

【0301】

電子受容性を示す無機化合物材料としては、酸化チタン、酸化ジルコニウム、酸化バナジウム、酸化モリブデン、酸化タングステン、酸化レニウム、酸化ルテニウム、酸化亜鉛などが挙げられる。特に酸化バナジウム、酸化モリブデン、酸化タングステン、酸化レニウムは真空蒸着が可能で扱いやすいため、好適である。

【0302】

電子注入輸送層は、電子輸送性の有機化合物材料を用いて形成する。具体的には、トリス(8 - キノリノラト)アルミニウム(略称: A l q₃)、トリス(4 - メチル - 8 - キノリノラト)アルミニウム(略称: A l m q₃)などが挙げられるが、これらに限定されることはない。30

【0303】

発光層は、9, 10 - ジ(2 - ナフチル)アントラセン(略称: D N A)、9, 10 - ジ(2 - ナフチル) - 2 - t e r t - ブチルアントラセン(略称: t - B u D N A)、4, 4' - ビス(2, 2 - ジフェニルビニル)ビフェニル(略称: D P V B i)、クマリン30、クマリン6、クマリン545、クマリン545T、ペリレン、ルブレン、ペリフランテン、2, 5, 8, 11 - テトラ(t e r t - ブチル)ペリレン(略称: T B P)、9, 10 - ジフェニルアントラセン(略称: D P A)、5, 12 - ジフェニルテトラセン、4 - (ジシアノメチレン) - 2 - メチル - [p - (ジメチルアミノ)スチリル] - 4 H - ピラン(略称: D C M 1)、4 - (ジシアノメチレン) - 2 - メチル - 6 - [2 - (ジユロリジン - 9 - イル)エテニル] - 4 H - ピラン(略称: D C M 2)、4 - (ジシアノメチレン) - 2, 6 - ビス[p - (ジメチルアミノ)スチリル] - 4 H - ピラン(略称: B i s D C M)等が挙げられる。また、ビス[2 - (4', 6' - ジフルオロフェニル)ピリジナト - N, C^{2'}]イリジウム(ピコリナート)(略称: F I r p i c)、ビス{2 - [3', 5' - ビス(トリフルオロメチル)フェニル]ピリジナト - N, C^{2'}}イリジウム(ピコリナート)(略称: I r (C F₃ p p y)₂(p i c))、トリス(2 - フェニルピリジナト - N, C^{2'})イリジウム(略称: I r (p p y)₃)、ビス(2 - フェニルピリジナト - N, C^{2'})イリジウム(アセチルアセトナート)(略称: I r (p p y)₂(a c a c))、ビス[2 - (2' - チエニル)ピリジナト - N, C^{3'}]イリジウム(アセチルアセトナート)(略称: I r (t h p)₂(a c a c))、ビス(2 - フェニルキノリナト - N, C^{2'})イリジウム(アセチルアセトナート)(略称: I r (50

$p\text{q})_2(\text{acac})$)、ビス[2-(2'-ベンゾチエニル)ピリジナト-N,C^{3'}]イリジウム(アセチルアセトナート)(略称:Ir(btp)₂(acac))などの熒光を放出できる化合物用いることもできる。

【0304】

その他に、発光層の形成に用いることができる高分子系の電界発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフェン系、ポリフルオレン系が挙げられる。

【0305】

発光層を形成する母体材料として、無機材料を用いることができる。無機材料としては、亜鉛、カドミウム、ガリウムなど金属材料の硫化物、酸化物、窒化物を用いることが好ましい。例えば、硫化物として、硫化亜鉛(ZnS)、硫化カドミウム(CdS)、硫化カルシウム(CaS)、硫化イットリウム(Y₂S₃)、硫化ガリウム(Ga₂S₃)、硫化ストロンチウム(SrS)、硫化バリウム(BaS)などを用いることができる。酸化物としては、酸化亜鉛(ZnO)、酸化イットリウム(Y₂O₃)などを用いることができる。また、窒化物としては、窒化アルミニウム(AlN)、窒化ガリウム(GaN)、窒化インジウム(InN)などを用いることができる。さらに、セレン化亜鉛(ZnSe)、テルル化亜鉛(ZnTe)なども用いることができ、硫化カルシウム-ガリウム(CaGa₂S₄)、硫化ストロンチウム-ガリウム(SrGa₂S₄)、硫化バリウム-ガリウム(BaGa₂S₄)、などの3元系の混晶であっても良い。

【0306】

不純物元素としては、金属イオンの内殻電子遷移を利用した発光中心を形成するものとして、マンガン(Mn)、銅(Cu)、サマリウム(Sm)、テルビウム(Tb)、エルビウム(Er)、ツリウム(Tm)、ユーロピウム(Eu)、セリウム(Ce)、プラセオジウム(Pr)などの金属元素を用いることができる。なお、電荷補償として、フッ素(F)、塩素(Cl)などのハロゲン元素が添加されていても良い。

【0307】

また、ドナー-アクセプタ再結合を利用した発光中心として、第一の不純物元素及び第二の不純物元素を含む発光材料を用いることができる。第一の不純物元素としては、例えば、銅(Cu)、銀(Ag)、金(Au)、白金(Pt)などの金属元素、珪素(Si)などを用いることができる。第二の不純物元素は、例えば、フッ素(F)、塩素(Cl)、臭素(Br)、ヨウ素(I)、ホウ素(B)、アルミニウム(Al)、ガリウム(Ga)、インジウム(In)、タリウム(Tl)などを用いることができる。

【0308】

発光材料は固相反応、すなわち、母体材料及び不純物元素を秤量し、乳鉢で混合、電気炉で加熱して反応させる方法により、母体材料に不純物元素を含有させる。例えば、母体材料と、第一の不純物元素又は第一の不純物元素を含む化合物と、第二の不純物元素又は第二の不純物元素を含む化合物をそれぞれ秤量し、乳鉢で混合した後、電気炉で加熱、焼成を行う。焼成温度は、700~1500が好ましい。温度が低すぎる場合は固体反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行っても良いが、ペレット状態で焼成を行うことが好ましい。

【0309】

また、固相反応を利用する場合の不純物元素として、第一の不純物元素と第二の不純物元素で構成される化合物を組み合わせて用いても良い。この場合、不純物元素が拡散されやすく固相反応が進みやすくなるため、均一な発光材料を得ることができる。さらに余分な不純物元素が入らないため、純度の高い発光材料が得ることができる。第一の不純物元素と第二の不純物元素で構成される化合物としては、例えば、フッ化銅(CuF₂)、塩化銅(CuCl)、ヨウ化銅(CuI)、臭化銅(CuBr)、窒化銅(Cu₃N)、リン化銅(Cu₃P)、フッ化銀(CuF)、塩化銀(CuCl)、ヨウ化銀(CuI)、臭化銀(CuBr)、塩化金(AuCl₃)、臭化金(AuBr₃)、塩化白金(PtCl₂)などを用いることができる。また、第二の不純物元素の代わりに第三の不純物元素

10

20

30

40

50

を含んだ発光材料を用いても良い。

【0310】

第三の不純物元素は、例えば、リチウム(Li)、ナトリウム(Na)、カリウム(K)、ルビジウム(Rb)、セシウム(Cs)、窒素(N)、リン(P)、ヒ素(As)、アンチモン(Sb)、ビスマス(Bi)などを用いることができる。これらの不純物元素の濃度は、母体材料に対して0.01~10mol%であれば良く、好ましくは0.1~5mol%の範囲である。

【0311】

高い電気導電性を有する発光材料としては、母体材料として、上述した材料を用い、上述した第一の不純物元素及び第二の不純物元素及び第三の不純物元素を含む発光材料を添加した発光材料を用いることができる。これらの不純物元素の濃度は、母体材料に対して0.01~10mol%であれば良く、好ましくは0.1~5mol%の範囲であれば良い。

10

【0312】

第二の不純物元素と第三の不純物元素で構成される化合物としては、例えば、フッ化リチウム(LiF)、塩化リチウム(LiCl)、ヨウ化リチウム(LiI)、臭化銅(LiBr)、塩化ナトリウム(NaCl)などのハロゲン化アルカリ、窒化ホウ素(BN)、窒化アルミニウム(AlN)、アルミニウムアンチモン(AlSb)、ガリウムリン(GaP)、ガリウムヒ素(GaAs)、インジウムリン(InP)、インジウムヒ素(InAs)、インジウムアンチモン(InSb)などを用いることができる。

20

【0313】

母体材料として、上述した材料を用い、上述した第一の不純物元素及び第二の不純物元素及び第三の不純物元素を含む発光材料を用いた発光層は、高電界により加速されたホットエレクトロンを必要とすることなく、発光することが可能である。つまり、発光素子に高電圧を印加する必要がなくなるため、低駆動電圧で動作可能な発光素子を得ることができる。また、低駆動電圧で発光可能であるため、消費電力も低減された発光素子を得ることができます。また、さらに他の発光中心となる元素が含まれていても良い。

【0314】

また、母体材料として上述した材料を用い、第二の不純物元素及び第三の不純物元素及び上述した金属イオンの内殻電子遷移を利用した発光中心を含む発光材料を用いることができる。この場合、発光中心となる金属イオンは、母体材料に対して0.05~5原子%であることが好ましい。また、第二の不純物元素の濃度は、母体材料に対して0.05~5原子%であることが好ましい。また、第三の不純物元素の濃度は、母体材料に対して0.05~5原子%であることが好ましい。このような構成の発光材料は、低電圧で発光可能である。よって、低駆動電圧で発光可能な発光素子を得ることができるために、消費電力が低減された発光素子を得ることができます。また、さらに他の発光中心となる元素が含まれていても良い。このような発光材料を用いることにより、発光素子の輝度劣化を抑制することができる。また、トランジスタを用いて低電圧で駆動することができる。

30

【0315】

いずれにしても、発光層の層構造は変化しうるものであり、特定の正孔又は電子注入輸送層や発光層を備えていない代わりに、もっぱらこの目的用の電極層を備えたり、発光性の材料を分散させて備えたりする変形は、発光素子としての目的を達成し得る範囲において許容されうるものである。

40

【0316】

第1の電極2407及び第2の電極2417の他方は、透光性を有さない材料で形成されていても良い。例えば、LiやCs等のアルカリ金属、及びMg、Ca、Sr等のアルカリ土類金属、これらを含む合金(Mg:Ag、Al:Li、Mg:Inなど)、及びこれらの化合物(CaF₂)の他、YbやEr等の希土類金属を用いることができる。

【0317】

第3の絶縁膜2408としては、第2の絶縁膜2405と同様の材料を用いて形成する

50

ことができる。第3の絶縁膜2408は、第1の電極2407の端部を覆うように第1の電極2407の周辺に形成され、隣り合う画素において発光層2409を分離する機能を有する。

【0318】

発光層2409は、一又は複数の層で構成されている。複数の層で構成されている場合、これらの層は、キャリア輸送特性の観点から正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層などに分類することができる。なお各層の境目は必ずしも明確である必要はなく、互いの層を構成している材料が一部混合し、界面が不明瞭になっている場合もある。各層には、有機系の材料、無機系の材料を用いることが可能である。有機系の材料として、高分子系、中分子系、低分子系のいずれの材料も用いることが可能である。

10

【0319】

発光素子2415は、発光層2409と、発光層2409を介して重なる第1の電極2407及び第2の電極2417とによって構成される。第1の電極2407及び第2の電極2417の一方が陽極に相当し、他方が陰極に相当する。発光素子2415は、陽極と陰極の間にしきい値電圧より大きい電圧が順バイアスで印加されると、陽極から陰極に電流が流れ発光する。

【0320】

次に、図24(B)の構成について説明する。なお、図24(A)と同じ部分は同じ符号を用いて示し、説明は省略する。

【0321】

20

図24(B)は、図24(A)において、第2の絶縁膜2405と第3の絶縁膜2408の間に絶縁膜2418を有する構成である。電極2406と第1の電極2407とは、絶縁膜2418に設けられたコンタクトホールにおいて電極2416によって接続されている。

【0322】

絶縁膜2418は、第2の絶縁膜2405と同様の構成とすることができます。電極2416は、電極2406と同様の構成とすることができます。

【0323】

本実施例は、図7乃至図23で示す発光ユニットの構造についての一例を示している。すなわち、図24(A)、(B)で示すTFT2410、容量素子2411、発光素子2415を用いて、図7乃至図23で示す発光ユニットを構成することができる。その発光ユニットは、図1で示す発光ユニット104、図2で示す発光ユニット204、図3で示す発光ユニット304、図4で示す発光ユニット404、図5で示す発光ユニット504、図6で示す発光ユニット604として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

30

【実施例2】

【0324】

本実施例は、トランジスタの半導体層に水素化アモルファスシリコン(a-Si:H)を用いた場合について説明する。図28にはトップゲートのトランジスタ、図29及び図30にはボトムゲートのトランジスタの場合について示す。

40

【0325】

水素化アモルファスシリコンを半導体層に用いたトップゲート構造のトランジスタの断面を図28(a)に示す。図に示すように、基板2801上に下地膜2802が形成されている。さらに下地膜2802上に画素電極2803が形成されている。また、画素電極2803と同層に同じ材料からなる第1の電極2804が形成されている。

【0326】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜2802としては、窒化アルミニウム(AlN)や酸化シリコン(SiO₂)、酸化窒化シリ

50

コン(SiO_xN_y)などの単層やこれらの積層を用いることができる。

【0327】

また、下地膜 2802 上に配線 2805 及び配線 2806 が形成され、画素電極 2803 の端部が配線 2805 で覆われている。配線 2805 及び配線 2806 の上部に N 型の導電型を有する N 型半導体層 2807 及び N 型半導体層 2808 が形成されている。また、配線 2805 と配線 2806 の間であって、下地膜 2802 上に半導体層 2809 が形成されている。そして、半導体層 2809 の一部は N 型半導体層 2807 及び N 型半導体層 2808 上にまで延長されている。なお、この半導体層は水素化アモルファスシリコン($a\text{-Si:H}$)等の非結晶性を有する半導体膜、微結晶シリコン($\mu\text{c-Si:H}$)等で形成されている。また、半導体層 2809 上にゲート絶縁膜 2810 が形成されている。
10 また、ゲート絶縁膜 2810 と同層の同じ材料からなる絶縁膜 2811 が第 1 の電極 2804 上にも形成されている。なお、ゲート絶縁膜 2810 としては酸化シリコン膜や窒化シリコン膜などが用いられる。

【0328】

また、ゲート絶縁膜 2810 上に、ゲート電極 2812 が形成されている。また、ゲート電極 2812 と同層に同じ材料でなる第 2 の電極 2813 が第 1 の電極 2804 上に絶縁膜 2811 を介して形成されている。第 1 の電極 2804 及び第 2 の電極 2813 で絶縁膜 2811 を挟まれた容量素子 2819 が形成されている。また、画素電極 2803 の端部、駆動トランジスタ 2818 及び容量素子 2819 を覆い、層間絶縁膜 2814 が形成されている。
20

【0329】

層間絶縁膜 2814 及びその開口部に位置する画素電極 2803 上に有機化合物を含む層 2815 及び対向電極 2816 が形成され、画素電極 2803 と対向電極 2816 とで有機化合物を含む層 2815 が挟まれた領域では発光素子 2817 が形成されている。

【0330】

また、図 28(a) に示す第 1 の電極 2804 を図 28(b) に示すように第 1 の電極 2820 で形成しても良い。第 1 の電極 2820 は配線 2805 及び 2806 と同層の同一材料で形成されている。

【0331】

また、水素化アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた半導体装置のパネルの部分断面を図 29 に示す。
30

【0332】

基板 2901 上にゲート電極 2903 が形成されている。また、ゲート電極 2903 と同層に同じ材料からなる第 1 の電極 2904 が形成されている。ゲート電極 2903 の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでも良い。

【0333】

また、ゲート電極 2903 及び第 1 の電極 2904 を覆うようにゲート絶縁膜 2905 が形成されている。ゲート絶縁膜 2905 としては酸化シリコン膜や窒化シリコン膜などが用いられる。
40

【0334】

また、ゲート絶縁膜 2905 上に、半導体層 2906 が形成されている。また、半導体層 2906 と同層に同じ材料からなる半導体層 2907 が形成されている。基板はガラス基板、石英基板、セラミック基板などを用いることができる。

【0335】

半導体層 2906 上には N 型の導電性を有する N 型半導体層 2908、N 型半導体層 2909 が形成され、半導体層 2907 上には N 型半導体層 2910 が形成されている。

【0336】

N 型半導体層 2908、N 型半導体層 2909 にはそれぞれ配線 2911、配線 2912 が形成され、N 型半導体層 2910 上には配線 2911 及び配線 2912 と同層の同一
50

材料からなる導電層 2913 が形成されている。

【0337】

半導体層 2907、N型半導体層 2910 及び導電層 2913 からなる第2の電極が構成される。なお、この第2の電極と第1の電極 2904 でゲート絶縁膜 2905 を挟み込んだ構造の容量素子 2920 が形成されている。

【0338】

また、配線 2911 の一方の端部は延在し、その延在した配線 2911 上部に接して画素電極 2914 が形成されている。

【0339】

また、画素電極 2914 の端部、駆動トランジスタ 2919 及び容量素子 2920 を覆うように絶縁層 2915 が形成されている。10

【0340】

画素電極 2914 及び絶縁層 2915 上には有機化合物を含む層 2916 及び対向電極 2917 が形成され、画素電極 2914 と対向電極 2917 とで有機化合物を含む層 2916 が挟まれた領域では発光素子 2918 が形成されている。

【0341】

容量素子の第2の電極の一部となる半導体層 2907 及びN型半導体層 2910 は設けるなくても良い。つまり第2の電極は導電層 2913 とし、第1の電極 2904 と導電層 2913 でゲート絶縁膜が挟まれた構造の容量素子としても良い。20

【0342】

なお、図 29(a)において、配線 2911 を形成する前に画素電極 2914 を形成することで、図 29(b)に示すような、画素電極 2914 と同層で同じ材料からなる第2の電極 2921 と第1の電極 2904 でゲート絶縁膜 2905 が挟まれた構造の容量素子 2920 を形成することができる。

【0343】

なお、図 29 では、逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。チャネル保護構造のトランジスタの場合について、図 30(a)、(b)を用いて説明する。

【0344】

図 30(a)に示すチャネル保護型構造のトランジスタは図 29(a)に示したチャネルエッチ構造の駆動トランジスタ 2919 の半導体層 2906 のチャネルが形成される領域上にエッチングのマスクとなる絶縁層 3001 が設けられている点が異なり、他の共通しているところは共通の符号を用いている。30

【0345】

また、同様に、図 30(b)に示すチャネル保護型構造のトランジスタは図 29(b)に示したチャネルエッチ構造の駆動トランジスタ 2919 の半導体層 2906 のチャネルが形成される領域上にエッチングのマスクとなる絶縁層 3001 が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0346】

本発明の画素を構成するトランジスタの半導体層（チャネル形成領域やソース領域やドレイン領域など）に非晶質半導体膜を用いることで、製造コストを削減することができる。例えば、図 28～図 30 に示す画素構成を用いることで非晶質半導体膜を適用することが可能である。40

【0347】

なお、本発明の画素構成の適用することができるトランジスタの構造や、容量素子の構造は上述した構成に限られず、さまざまな構成のトランジスタの構造や、容量素子の構造のものを用いることができる。

【0348】

図 28 にはトップゲートのトランジスタ、図 29 及び図 30 にはボトムゲートのトランジスタの場合を示している。本実施例は、図 7 乃至図 23 で示す発光ユニットの構造につい50

ての一例を示している。すなわち、図28で示す駆動トランジスタ2818、容量素子2819、発光素子2817、或いは、図29及び図30で示す駆動トランジスタ2919、容量素子2920、発光素子2918を用いて、図7乃至図23で示す発光ユニットを構成することができる。その発光ユニットは、図1で示す発光ユニット104、図2で示す発光ユニット204、図3で示す発光ユニット304、図4で示す発光ユニット404、図5で示す発光ユニット504、図6で示す発光ユニット604として適用することができる。それにより、ソース信号線の充放電に影響する寄生容量が、ソースドライバの出力から画素への書き込みが選択されている画素までのソース信号線にしか影響しなくなる。それにより、ソース信号線の充放電による消費電力の増大を小さくし低消費電力化を図ることができる。

10

【実施例3】

【0349】

本実施例では、実施例1及び実施例2に適用することのできるトランジスタ等の作製方法として、プラズマ処理を用いて半導体装置を作製する方法について説明する。

【0350】

図31は、トランジスタを含む半導体装置の構造例を示した図である。なお、図31において、図31(B)は図31(A)のa-b間の断面図に相当し、図31(C)は図31(A)のc-d間の断面図に相当する。

【0351】

図31に示す半導体装置は、基板4601上に絶縁膜4602を介して設けられた半導体膜4603a、4603bと、当該半導体膜4603a、4603b上にゲート絶縁膜4604を介して設けられたゲート電極4605を有している。さらに、ゲート電極を覆つて設けられた絶縁膜4606、4607と、半導体膜4603a、4603bのソース領域又はドレイン領域と電気的に接続し且つ絶縁膜4607上に設けられた導電膜4608とを有している。なお、図31においては、半導体膜4603aの一部をチャネル領域として用いたNチャネル型トランジスタ4610aと半導体膜4603bの一部をチャネル領域として用いたPチャネル型トランジスタ4610bとを設けた場合を示しているが、この構成に限られない。例えば、図31では、Nチャネル型トランジスタ4610aにLDD領域を設け、Pチャネル型トランジスタ4610bにはLDD領域を設けていないが、両方に設けた構成としても良いし両方に設けない構成とすることも可能である。

20

【0352】

なお、本実施例では、上記基板4601、絶縁膜4602、半導体膜4603a及び4603b、ゲート絶縁膜4604、絶縁膜4606又は絶縁膜4607のうち少なくともいざれか一層に、プラズマ処理を用いて酸化又は窒化を行うことにより半導体膜又は絶縁膜を酸化又は窒化することによって、図31に示した半導体装置を作製する。このように、プラズマ処理を用いて半導体膜又は絶縁膜を酸化又は窒化することによって、当該半導体膜又は絶縁膜の表面を改質し、CVD法やスパッタリング法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることができる。

30

【0353】

本実施例では、上記図31における半導体膜4603a及び4603b又はゲート絶縁膜4604にプラズマ処理を行い、当該半導体膜4603a及び4603b又はゲート絶縁膜4604を酸化又は窒化することによって半導体装置を作製する方法について図面を参照して説明する。なお、以下の説明において、図32(A1)乃至図32(D1)は、図31(A)におけるa-b間の断面図に相当する。また、図32(A2)乃至図32(D2)は、図31(A)におけるc-d間の断面図に相当する。これは、図33乃至図37についても同様である。

40

【0354】

はじめに、基板上に設けられた島状の半導体膜において、当該島状の半導体膜の端部を直角に近い形状で設ける場合について示す。

50

【0355】

まず、基板4601上に島状の半導体膜4603a、4603bを形成する(図32(A1)、(A2))。島状の半導体膜4603a、4603bは、基板4601上にあらかじめ形成された絶縁膜4602上にスパッタリング法、LPCVD法、プラズマCVD法等を用いてシリコン(Si)を主成分とする材料(例えば Si_xGe_{1-x} 等)等を用いて非晶質半導体膜を形成する。そして、当該非晶質半導体膜を結晶化させ、半導体膜を選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法又はこれら方法を組み合わせた方法等により行うことができる。なお、図32(A1)、(A2)では、島状の半導体膜4603a、4603bの端部を直角に近い形状($\theta = 85 \sim 100^\circ$)で設ける。

【0356】

次に、プラズマ処理を行い半導体膜4603a、4603bを酸化又は窒化することによって、当該半導体膜4603a、4603bの表面にそれぞれ酸化膜又は窒化膜4621a、4621b(以下、絶縁膜4621a、絶縁膜4621bとも記す)を形成する(図32(B1)、(B2))。例えば、半導体膜4603a、4603bとしてSiを用いた場合、絶縁膜4621a及び絶縁膜4621bとして、酸化シリコン(SiO_x)又は窒化シリコン(SiN_x)が形成される。また、プラズマ処理により半導体膜4603a、4603bを酸化させた後に、再度プラズマ処理を行うことによって窒化させても良い。この場合、半導体膜4603a、4603bに接して酸化シリコン(SiO_x)が形成され、当該酸化シリコンの表面に窒化酸化シリコン(SiN_xO_y)(x > y)が形成される。なお、プラズマ処理により半導体膜を酸化する場合には、酸素雰囲気下(例えば、酸素(O₂)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下又は酸素と水素(H₂)と希ガス雰囲気下又は一酸化二窒素と希ガス雰囲気下)でプラズマ処理を行う。一方、プラズマ処理により半導体膜を窒化する場合には、窒素雰囲気下(例えば、窒素(N₂)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下又は窒素と水素と希ガス雰囲気下又はNH₃と希ガス雰囲気下)でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いても良い。そのため、絶縁膜4621a、4621bは、プラズマ処理に用いた希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)を含んでおり、Arを用いた場合には絶縁膜4621a、4621bにArが含まれている。

【0357】

また、プラズマ処理は、上記ガスの雰囲気中において、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、プラズマの電子温度が0.5eV以上1.5eV以下で行う。プラズマの電子密度が高密度であり、基板4601上に形成された被処理物(ここでは、半導体膜4603a、4603b)付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被処理物を酸化又は窒化することによって形成される酸化物又は窒化膜は、CVD法やスパッタリング法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が1eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化又は窒化処理を行うことができる。たとえば、ガラス基板の歪点温度よりも100度以上低い温度でプラズマ処理を行っても十分に酸化又は窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波(2.45GHz)等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。

【0358】

次に、絶縁膜4621a、4621bを覆うようにゲート絶縁膜4604を形成する(図32(C1)、(C2))。ゲート絶縁膜4604は、スパッタリング法、LPCVD法、プラズマCVD法等を用いて、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)

)、酸化窒化シリコン(SiO_xNy)($x > y$)、窒化酸化シリコン(SiN_xO_y)($x > y$)等の酸素又は窒素を有する絶縁膜の単層構造、又はこれらの積層構造で設けることができる。例えば、半導体膜4603a、4603bとして Si を用い、プラズマ処理により当該 Si を酸化させることによって当該半導体膜4603a、4603bの表面に絶縁膜4621a、4621bとして酸化シリコンを形成した場合、当該絶縁膜4621a、4621b上にゲート絶縁膜として酸化シリコン(SiO_x)を形成する。また、上記図32(B1)、(B2)において、プラズマ処理により半導体膜4603a、4603bを酸化又は窒化することによって形成された絶縁膜4621a、4621bの膜厚が十分である場合には、当該絶縁膜4621a、4621bをゲート絶縁膜として用いることも可能である。

10

【0359】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の半導体膜4603a、4603bをチャネル領域として用いたNチャネル型トランジスタ4610a、Pチャネル型トランジスタ4610bを有する半導体装置を作製することができる(図32(D1)、(D2))。

【0360】

このように、半導体膜4603a、4603b上にゲート絶縁膜4604を設ける前に、プラズマ処理により半導体膜4603a、4603bの表面を酸化又は窒化することによって、チャネル領域の端部4651a、4651b等におけるゲート絶縁膜4604の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。島状の半導体膜の側端部が略垂直($\theta = 85 \sim 100^\circ$)に切り立っている場合には、ゲート絶縁膜を形成したときにその側端部をうまく被覆できない問題がある。しかしながら、あらかじめ半導体膜の表面にプラズマ処理を用いて酸化又は窒化しておくことによって、半導体膜の側端部におけるゲート絶縁膜の被覆不良等を防止することが可能となる。

20

【0361】

また、上記図32(C1)、(C2)において、ゲート絶縁膜4604を形成した後にプラズマ処理を行うことによって、ゲート絶縁膜4604を酸化又は窒化させても良い。この場合、半導体膜4603a、4603bを覆うように形成されたゲート絶縁膜4604(図33(A1)、(A2))にプラズマ処理を行い、ゲート絶縁膜4604を酸化又は窒化することによって、ゲート絶縁膜4604の表面に酸化膜又は窒化膜(以下、絶縁膜4623とも記す)を形成する(図33(B1)、(B2))。プラズマ処理の条件は、上記図32(B1)、(B2)と同様に行うことができる。また、絶縁膜4623は、プラズマ処理に用いた希ガスを含んでおり、例えばArを用いた場合には絶縁膜4623にArが含まれている。

30

【0362】

また、図33(B1)、(B2)において、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜4604を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させても良い。この場合、半導体膜4603a、4603b上に酸化シリコン(SiO_x)又は酸化窒化シリコン(SiO_xNy)($x > y$)が形成され、ゲート電極4605に接して窒化酸化シリコン(SiN_xO_y)($x > y$)が形成される。その後、絶縁膜4623上にゲート電極4605等を形成することによって、島状の半導体膜4603a、4603bをチャネル領域として用いたNチャネル型トランジスタ4610a、Pチャネル型トランジスタ4610bを有する半導体装置を作製することができる(図33(C1)、(C2))。このように、ゲート絶縁膜にプラズマ処理を行うことにより、当該ゲート絶縁膜の表面を酸化又は窒化することによって、ゲート絶縁膜の表面を改質し緻密な膜を形成することができる。プラズマ処理を行うことによって得られた絶縁膜は、CVD法やスパッタリング法で形成された絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、トランジスタの特性を向上させることができる。

40

【0363】

なお、図33においては、あらかじめ半導体膜4603a、4603bにプラズマ処理

50

を行うことによって、当該半導体膜4603a、4603bの表面を酸化又は窒化させた場合を示したが、半導体膜4603a、4603bにプラズマ処理を行わずにゲート絶縁膜4604を形成した後にプラズマ処理を行う方法を用いても良い。このように、ゲート電極を形成する前にプラズマ処理を行うことによって、ゲート絶縁膜の被覆不良により露出した半導体膜を酸化又は窒化することができるため不良の発生を防止することができる。すなわち、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。

【0364】

このように、島状の半導体膜の端部を直角に近い形状で設けた場合であっても、半導体膜又はゲート絶縁膜にプラズマ処理を行い、当該半導体膜又はゲート絶縁膜を酸化又は窒化することによって、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。10

【0365】

次に、基板上に設けられた島状の半導体膜において、当該島状の半導体膜の端部をテーパー形状($\theta = 30 \sim 85^\circ$)で設ける場合について示す。

【0366】

まず、基板4601上に島状の半導体膜4603a、4603bを形成する(図34(A1)、(A2))。島状の半導体膜4603a、4603bは、基板4601上にあらかじめ形成された絶縁膜4602上にスパッタリング法、LPCVD法、プラズマCVD法等を用いてシリコン(Si)を主成分とする材料(例えば Si_xGe_{1-x} 等)等を用いて非晶質半導体膜を形成し、それを結晶化したものである。非晶質半導体膜の結晶化は、レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などにより行う。なお、図34(A1)、(A2)では、島状の半導体膜の端部をテーパー形状($\theta = 30 \sim 85^\circ$)にエッチング加工している。20

【0367】

次に、半導体膜4603a、4603bを覆うようにゲート絶縁膜4604を形成する(図34(B1)、(B2))。ゲート絶縁膜4604は、スパッタリング法、LPCVD法、プラズマCVD法等を用いて、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y)(x > y)、窒化酸化シリコン(SiN_xO_y)(x > y)等の酸素又は窒素を有する絶縁膜の単層構造、又はこれらの積層構造で設けることができる。30

【0368】

次に、プラズマ処理を行いゲート絶縁膜4604を酸化又は窒化することによって、当該ゲート絶縁膜4604の表面にそれぞれ酸化膜又は窒化膜(以下、絶縁膜4624とも記す)を形成する(図34(C1)、(C2))。なお、プラズマ処理の条件は上記と同様に行うことができる。例えば、ゲート絶縁膜4604として酸化シリコン(SiO_x)又は酸化窒化シリコン(SiO_xN_y)(x > y)を用いた場合、酸素雰囲気下でプラズマ処理を行いゲート絶縁膜4604を酸化する。当該絶縁膜は、ゲート絶縁膜の表面にはCVD法やスパッタリング法等により形成されたゲート絶縁膜と比較してピンホール等の欠陥の少ない緻密な膜を形成することができる。一方、窒素雰囲気下でプラズマ処理を行いゲート絶縁膜4604を窒化することによって、ゲート絶縁膜4604の表面に絶縁膜4624として窒化酸化シリコン(SiN_xO_y)(x > y)を設けることができる。また、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜4604を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させても良い。また、絶縁膜4624は、プラズマ処理に用いた希ガスを含んでおり、例えばArを用いた場合には絶縁膜4624中にArが含まれている。40

【0369】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の半導体膜4603a、4603bをチャネル領域として用いたNチャネル型トランジス50

タ 4 6 1 0 a、P チャネル型トランジスタ 4 6 1 0 b を有する半導体装置を作製することができる(図 3 4 (D 1)、(D 2))。

【0370】

このように、ゲート絶縁膜にプラズマ処理を行うことにより、ゲート絶縁膜の表面に酸化膜又は窒化膜からなる絶縁膜を設け、ゲート絶縁膜の表面の改質をすることができる。プラズマ処理を行うことによって酸化又は窒化された絶縁膜は、CVD法やスパッタリング法で形成されたゲート絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、トランジスタの特性を向上させることができる。また、半導体膜の端部をテーパー形状とすることによって、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を抑制することができるが、ゲート絶縁膜を形成した後にプラズマ処理を行うことによって、より一層ゲート電極と半導体膜のショート等を防止することができる。10

【0371】

次に、図 3 4 とは、異なる半導体装置の作製方法に関して図面を参照して説明する。具体的には、テーパー形状を有する半導体膜の端部に選択的にプラズマ処理を行う場合に関して示す。

【0372】

まず、基板 4 6 0 1 上に島状の半導体膜 4 6 0 3 a、4 6 0 3 b を形成する(図 3 5 (A 1)、(A 2))。島状の半導体膜 4 6 0 3 a、4 6 0 3 b は、基板 4 6 0 1 上にあらかじめ形成された絶縁膜 4 6 0 2 上にスパッタリング法、LPCVD 法、プラズマ CVD 法等を用いてシリコン(Si)を主成分とする材料(例えば Si_xGe_{1-x} 等)等を用いて非晶質半導体膜を形成したものを結晶化したものである。レジスト 4 6 2 5 a、4 6 2 5 b は、半導体膜を島状にエッチングするために用いている。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、RTA 又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法又はこれら方法を組み合わせた方法等により行うことができる。20

【0373】

次に、半導体膜のエッチングのために使用したレジスト 4 6 2 5 a、4 6 2 5 b を除去する前に、プラズマ処理を行い島状の半導体膜 4 6 0 3 a、4 6 0 3 b の端部を選択的に酸化又は窒化することによって、当該半導体膜 4 6 0 3 a、4 6 0 3 b の端部にそれぞれ酸化膜又は窒化膜(以下、絶縁膜 4 6 2 6 とも記す)を形成する(図 3 5 (B 1)、(B 2))。プラズマ処理は、上述した条件下で行う。また、絶縁膜 4 6 2 6 は、プラズマ処理に用いた希ガスを含んでいる。30

【0374】

次に、半導体膜 4 6 0 3 a、4 6 0 3 b を覆うようにゲート絶縁膜 4 6 0 4 を形成する(図 3 5 (C 1)、(C 2))。ゲート絶縁膜 4 6 0 4 は、上記と同様に設けることができる。

【0375】

次に、ゲート絶縁膜 4 6 0 4 上にゲート電極 4 6 0 5 等を形成することによって、島状の半導体膜 4 6 0 3 a、4 6 0 3 b をチャネル領域として用いたNチャネル型トランジスタ 4 6 1 0 a、Pチャネル型トランジスタ 4 6 1 0 b を有する半導体装置を作製することができる(図 3 5 (D 1)、(D 2))。40

【0376】

半導体膜 4 6 0 3 a、4 6 0 3 b の端部をテーパー形状に設けた場合、半導体膜 4 6 0 3 a、4 6 0 3 b の一部に形成されるチャネル領域の端部 4 6 5 2 a、4 6 5 2 b もテーパー形状となり半導体膜の膜厚やゲート絶縁膜の膜厚が中央部分と比較して変化するため、トランジスタの特性に影響を及ぼす場合がある。そのため、ここではプラズマ処理によりチャネル領域の端部を選択的に酸化又は窒化して、当該チャネル領域の端部となる半導体膜に絶縁膜を形成することによって、チャネル領域の端部に起因するトランジスタへの影響を低減することができる。50

【0377】

なお、図35では、半導体膜4603a、4603bの端部に限ってプラズマ処理により酸化又は窒化を行った例を示したが、もちろん上記図34(C1)、(C2)で示したようにゲート絶縁膜4604にもプラズマ処理を行って酸化又は窒化させて絶縁膜4624を形成しても良い(図37(A1)、(A2))。

【0378】

次に、上記とは異なる半導体装置の作製方法に関して図面を参照して説明する。具体的には、テーパー形状を有する半導体膜にプラズマ処理を行う場合に関して示す。

【0379】

まず、基板4601上に上記と同様に島状の半導体膜4603a、4603bを形成する(図36(A1)、(A2))。

【0380】

次に、プラズマ処理を行い半導体膜4603a、4603bを酸化又は窒化することによって、当該半導体膜4603a、4603bの表面にそれぞれ酸化膜又は窒化膜(以下、絶縁膜4627a、絶縁膜4627bとも記す)を形成する(図36(B1)、(B2))。プラズマ処理は上述した条件下で同様に行うことができる。例えば、半導体膜4603a、4603bとしてSiを用いた場合、絶縁膜4627a及び絶縁膜4627bとして、酸化シリコン(SiO_x)又は窒化シリコン(SiN_x)が形成される。また、プラズマ処理により半導体膜4603a、4603bを酸化させた後に、再度プラズマ処理を行うことによって窒化させても良い。この場合、半導体膜4603a、4603bに接して酸化シリコン(SiO_x)又は酸化窒化シリコン(SiO_xN_y)(x>y)が形成され、当該酸化シリコンの又は酸化窒化シリコン表面に窒化酸化シリコン(SiN_xO_y)(x>y)が形成される。そのため、絶縁膜4627a、4627bは、プラズマ処理に用いた希ガスを含んでいる。なお、プラズマ処理を行うことにより半導体膜4603a、4603bの端部も同時に酸化又は窒化される。

【0381】

次に、絶縁膜4627a、4627bを覆うようにゲート絶縁膜4604を形成する(図36(C1)、(C2))。ゲート絶縁膜4604は、スパッタリング法、LPCVD法、プラズマCVD法等を用いて、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y)(x>y)、窒化酸化シリコン(SiN_xO_y)(x>y)等の酸素又は窒素を有する絶縁膜の単層構造、又はこれらの積層構造で設けることができる。例えば、半導体膜4603a、4603bとしてSiを用いてプラズマ処理により酸化させることによって、当該半導体膜4603a、4603b表面に絶縁膜4627a、4627bとして酸化シリコンを形成した場合、当該絶縁膜4627a、4627b上にゲート絶縁膜として酸化シリコン(SiO_x)を形成する。

【0382】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の半導体膜4603a、4603bをチャネル領域として用いたNチャネル型トランジスタ4610a、Pチャネル型トランジスタ4610bを有する半導体装置を作製することができる(図36(D1)、(D2))。

【0383】

半導体膜の端部をテーパー形状に設けた場合、半導体膜の一部に形成されるチャネル領域の端部もテーパー形状となるため、半導体素子の特性に影響を及ぼす場合がある。そのため、プラズマ処理により半導体膜を酸化又は窒化することによって、結果的にチャネル領域の端部も酸化又は窒化されるため半導体素子への影響を低減することができる。

【0384】

なお、図36では、半導体膜4603a、4603bに限ってプラズマ処理により酸化又は窒化を行った例を示したが、もちろん上記図34(C1)、(C2)で示したようにゲート絶縁膜4604にプラズマ処理を行って酸化又は窒化させて絶縁膜4624を形成することも可能である(図37(B1)、(B2))。この場合、一旦酸素雰囲気下でブ

10

20

30

40

50

ラズマ処理を行うことによりゲート絶縁膜 4604 を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させても良い。この場合、半導体膜 4603a、4603b 上に酸化シリコン (SiO_x) 又は酸化窒化シリコン (SiO_xNy) ($x > y$) が形成され、ゲート電極 4605 に接して窒化酸化シリコン (SiN_xO_y) ($x > y$) が形成される。

【0385】

なお、本実施例では、上記図 31 における半導体膜 4603a 及び 4603b 又はゲート絶縁膜 4604 にプラズマ処理を行い、当該半導体膜 4603a 及び 4603b 又はゲート絶縁膜 4604 を酸化又は窒化を行ったが、プラズマ処理を用いて酸化又は窒化を行う層は、これに限定されない。例えば、基板 4601 又は絶縁膜 4602 にプラズマ処理を行っても良いし、絶縁膜 4607 にプラズマ処理を行っても良い。10

【0386】

なお、本実施例で述べた内容は、実施例 1 又は実施例 2 で述べた内容と自由に組み合わせて実施することができる。

【実施例 4】

【0387】

本実施例では、実施例 1 及び実施例 2 に適用することのできるトランジスタ等の作製方法として、ハーフトーン方式について説明する。

【0388】

図 38 はトランジスタ、容量素子、抵抗素子を含む半導体装置の断面構造を示す図である。図 38 は、N チャネル型トランジスタ 5401、N チャネル型トランジスタ 5402、容量素子 5404、抵抗素子 5405、P チャネル型トランジスタ 5403 が示されている。各トランジスタと容量素子は半導体層 5505、絶縁層 5508 を有し、各トランジスタはさらにゲート電極 5509 を備えている。ゲート電極 5509 は、第 1 導電層 5503 と第 2 導電層 5502 の積層構造で形成されている。また、図 39 (A) ~ (E) は、図 38 で示すトランジスタ、容量素子、抵抗素子に対応する上面図であり、合わせて参照することができる。20

【0389】

図 38において、N チャネル型トランジスタ 5401 は、低濃度ドレイン (LDD) 構造とも呼ばれ、ソース及びドレイン領域を形成する不純物領域 5506 の不純物濃度よりも低濃度にドープされた不純物領域 5507 が半導体層 5505 に形成されている。不純物領域 5506 と不純物領域 5507 には、N チャネル型トランジスタ 5401 を構成する場合、N 型を付与する不純物としてリンなどが添加されている。LDD 領域はホットエレクトロン劣化や短チャネル効果を抑制する手段として形成される。30

【0390】

図 39 (A) で示すように、N チャネル型トランジスタ 5401 のゲート電極 5509 において、第 1 導電層 5503 は、第 2 導電層 5502 の両側に広がって形成されている。この場合において、第 1 導電層 5503 の膜厚は、第 2 導電層 5502 の膜厚よりも薄く形成されている。第 1 導電層 5503 の厚さは、10 ~ 100 kV の電界で加速されたイオン種を通過させることができた厚さに形成されている。不純物領域 5507 はゲート電極 5509 の第 1 導電層 5503 と重なるように形成されている。すなわち、ゲート電極 5509 とオーバーラップする LDD 領域を形成している。この構造は、ゲート電極 5509 において、第 2 導電層 5502 をマスクとして、第 1 導電層 5503 を通して一導電型の不純物を添加することにより、自己整合的に不純物領域 5507 を形成している。すなわち、ゲート電極とオーバーラップする LDD 領域を自己整合的に形成している。40

【0391】

図 38において、N チャネル型トランジスタ 5402 は、不純物領域 5506 の片側に不純物領域 5506 の不純物濃度よりも低濃度にドープされた不純物領域 5507 が半導体層 5505 に形成されている。図 39 (B) で示すように、N チャネル型トランジスタ 5402 のゲート電極 5509 において、第 1 導電層 5503 は、第 2 導電層 5502 の50

片側に広がって形成されている。この場合も同様に、第2導電層5502をマスクとして、第1導電層5503を通して一導電型の不純物を添加することにより、自己整合的にLDD領域を形成することができる。

【0392】

不純物領域5506の片側にLDDを有するトランジスタは、ソース及びドレイン電極間に正電圧のみ、もしくは負電圧のみが印加されるトランジスタに適用すれば良い。具体的には、インバータ回路、NAND回路、NOR回路、ラッチ回路といった論理ゲートを構成するトランジスタや、センスアンプ、定電圧発生回路、VCOといったアナログ回路を構成するトランジスタに適用すれば良い。

【0393】

図38において、容量素子5404は、第1導電層5503と半導体層5505とで絶縁層5508を挟んで形成されている。容量素子5404を形成する半導体層5505には、不純物領域5510と不純物領域5511を備えている。不純物領域5511は、半導体層5505において第1導電層5503とのみ重なる位置に形成される。また、不純物領域5510は配線5504とコンタクトする。不純物領域5511は、第1導電層5503を通して一導電型の不純物を添加することができるので、不純物領域5510と不純物領域5511に含まれる不純物濃度は同じにすることもできるし、異ならせることも可能である。いずれにしても、容量素子5404において、半導体層5505は電極として機能させており、一導電型の不純物を添加して低抵抗化しておくことが好ましい。また、第1導電層5503は、図39(C)に示すように、第2導電層5502を補助的な電極として利用することにより、電極として十分に機能させることができます。このように、第1導電層5503と第2導電層5502を組み合わせた複合的な電極構造とすることにより、容量素子5404を自己整合的に形成することができる。

10

【0394】

図38において、抵抗素子5405は、第1導電層5503によって形成されている。第1導電層5503は30nm~150nm程度の厚さに形成されるので、その幅や長さを適宜設定して抵抗素子を構成することができる。

20

【0395】

抵抗素子は、高濃度に不純物元素を含む半導体層や、膜厚の薄い金属層によって構成すれば良い。抵抗値が膜厚、膜質、不純物濃度、活性化率などに依存する半導体層に対して、金属層は、膜厚、膜質で抵抗値が決定するため、ばらつきが小さく好ましい。抵抗素子5405の上面図を図39(D)に示す。

30

【0396】

図38において、Pチャネル型トランジスタ5403は、半導体層5505に不純物領域5512を備えている。この不純物領域5512は、配線5504とコンタクトするソース及びドレイン領域を形成する。ゲート電極5509の構成は第1導電層5503と第2導電層5502が重畠した構成となっている。Pチャネル型トランジスタ5403はLDD領域を設けないシングルドレイン構造のトランジスタである。Pチャネル型トランジスタ5403を形成する場合、不純物領域5512にはP型を付与する不純物として硼素などが添加される。一方、不純物領域5512にリンを添加すればシングルドレイン構造のNチャネル型トランジスタとすることもできる。Pチャネル型トランジスタ5403の上面図を図39(E)に示す。

40

【0397】

半導体層5505及びゲート絶縁層5508の一方若しくは双方に対してマイクロ波で励起され、電子温度が2eV以下、イオンエネルギーが5eV以下、電子密度が $1 \times 10^{11} \sim 1 \times 10^{13} \text{ cm}^{-3}$ 程度である高密度プラズマ処理によって酸化又は窒化処理しても良い。このとき、基板温度を300~450とし、酸化雰囲気(O₂、N₂Oなど)又は窒化雰囲気(N₂、NH₃など)で処理することにより、半導体層5505とゲート絶縁層5508の界面の欠陥準位を低減することができる。ゲート絶縁層5508に対してこの処理を行うことにより、この絶縁層の緻密化を図ることができる。すなわち、荷電

50

欠陥の生成を抑えトランジスタのしきい値電圧の変動を抑えることができる。また、トランジスタを3V以下の電圧で駆動させる場合には、このプラズマ処理により酸化若しくは窒化された絶縁層をゲート絶縁層5508として適用することができる。また、トランジスタの駆動電圧が3V以上の場合には、このプラズマ処理で半導体層5505の表面に形成した絶縁層とCVD法（プラズマCVD法若しくは熱CVD法）で堆積した絶縁層とを組み合わせてゲート絶縁層5508を形成することができる。また、同様にこの絶縁層は、容量素子5404の誘電体層としても利用することができる。この場合、このプラズマ処理で形成された絶縁層は、1nm～10nmの厚さで形成され、緻密な膜であるので、大きな電荷容量を持つ容量素子を形成することができる。

【0398】

10

図38及び図39を参照して説明したように、膜厚の異なる導電層を組み合わせることにより、さまざまな構成の素子を形成することができる。第1導電層のみが形成される領域と、第1導電層と第2導電層が積層されている領域は、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスク又はレチクルを用いて形成することができる。すなわち、フォトリソグラフィー工程において、フォトレジストを露光する際に、フォトマスクの透過光量を調節して、現像されるレジストマスクの厚さを異ならせる。この場合、フォトマスク又はレチクルに解像度限界以下のスリットを設けて上記複雑な形状を有するレジストを形成しても良い。また、現像後に約200のペークを行ってフォトレジスト材料で形成されるマスクパターンを変形させても良い。

【0399】

20

また、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスク又はレチクルを用いることにより、第1導電層のみが形成される領域と、第1導電層と第2導電層が積層されている領域を連続して形成することができる。図39(A)に示すように、第1導電層のみが形成される領域を半導体層上に選択的に形成することができる。このような領域は、半導体層上において有効であるが、それ以外の領域（ゲート電極と連続する配線領域）では必要がない。このフォトマスク若しくはレチクルを用いることにより、配線部分は、第1導電層のみの領域を作らないで済むので、配線密度を実質的に高めることができる。

【0400】

図38及び図39の場合には、第1導電層はタンゲステン(W)、クロム(Cr)、タンタル(Ta)、窒化タンタル(TaN)又はモリブデン(Mo)などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物を30～50nmの厚さで形成する。また、第2導電層はタンゲステン(W)、クロム(Cr)、タンタル(Ta)、窒化タンタル(TaN)又はモリブデン(Mo)などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物で300～600nmの厚さに形成する。例えば、第1導電層と第2導電層をそれぞれ異なる導電材料を用い、後に行うエッティング工程でエッティングレートの差が生じるようにする。一例として、第1導電層をTaNを用い、第2導電層としてタンゲステン膜を用いることができる。

30

【0401】

本実施例では、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスク又はレチクルを用いて、電極構造の異なるトランジスタ、容量素子、抵抗素子を、同じパターニング工程によって作り分けることを示している。これにより、回路の特性に応じて、形態の異なる素子を、工程を増やすことなく作り込み、集積化することができる。

40

【0402】

なお、本実施例で述べた内容は、実施例1～実施例3で述べた内容と自由に組み合わせて実施することができる。

【実施例5】

【0403】

本実施例では、実施例1及び実施例2に適用することのできるトランジスタ等の作製方

50

法する際のマスクパターンの例について、図40～図42を参照して説明する。

【0404】

図40(A)で示す半導体層5610、5611はシリコン若しくはシリコンを成分とする結晶性の半導体で形成することが好ましい。例えば、シリコン膜をレーザアニールなどによって結晶化された多結晶シリコン、単結晶シリコンなどが適用される。その他にも半導体特性を示す、金属酸化物半導体、アモルファスシリコン、有機半導体を適用することも可能である。

【0405】

この場合、最初に形成する半導体層は絶縁表面を有する基板の全面若しくは一部(トランジスタの半導体領域として画定されるよりも広い面積を有する領域)に形成する。そして、フォトリソグラフィー技術によって、半導体層上にマスクパターンを形成する。そのマスクパターンを利用して半導体層をエッチング処理することにより、トランジスタのソース及びドレイン領域及びチャネル形成領域を含む特定形状の島状の半導体層5610、5611を形成する。その半導体層5610、5611はレイアウトの適切さを考慮して決められる。

【0406】

図40(A)で示す半導体層5610、5611を形成するためのフォトマスクは、図40(B)に示すマスクパターン5630を備えている。このマスクパターン5630は、フォトリソグラフィー工程で用いるレジストがポジ型かネガ型かで異なる。ポジ型レジストを用いる場合には、図40(B)で示すマスクパターン5630は、遮光部として作製される。マスクパターン5630は、多角形の頂部Aを切り欠いた形状となっている。また、屈曲部Bにおいては、その角部が直角とならないように複数段に渡って屈曲する形状にしている。

【0407】

図40(B)で示すマスクパターン5630は、フォトリソグラフィー工程によって、その形状が図40(A)で示す半導体層5610、5611に反映される。その場合、マスクパターン5630と相似の形状が転写されても良いが、マスクパターン5630の頂部Aや屈曲部Bがさらに丸みを帯びるように転写されていても良い。すなわち、マスクパターン5630よりもさらにパターン形状をなめらかにした丸め部を半導体層5610、5611に形成することもできる。

【0408】

半導体層5610、5611の上には、酸化シリコン若しくは窒化シリコンを少なくとも一部に含む絶縁層が形成される。この絶縁層を形成する目的の一つはゲート絶縁層である。そして、図41(A)で示すように、半導体層と一部が重なるようにゲート配線5712、5713、5714を形成する。ゲート配線5712は半導体層5610に対応して形成される。ゲート配線5713は半導体層5610、5611に対応して形成される。また、ゲート配線5714は半導体層5610、5611に対応して形成される。ゲート配線は、金属層又は導電性の高い半導体層を成膜し、フォトリソグラフィー技術によってその形状を絶縁層上に作り込む。

【0409】

このゲート配線を形成するためのフォトマスクは、図41(B)に示すマスクパターン5731を備えている。このマスクパターン5731は、コーナー部の外側及び内側が、鋭角に折れ曲がらないように成形されている。すなわち、コーナー部の外側の頂部を切り欠き、内側を充填することによって、コーナー部が直角に折れ曲がらないパターンとなっている。

【0410】

図41(B)で示すマスクパターン5731は、その形状が、図41(A)で示すゲート配線5712、5713、5714に反映される。その場合、マスクパターン5731と相似の形状が転写されても良いが、マスクパターン5731の角部がさらに丸みを帯びるように転写されていても良い。すなわち、マスクパターン5731よりもさらにパターン

10

20

30

40

50

形状をなめらかにした、丸め部を設けても良い。配線のパターンに尖った部分があると、ドライエッティングの際に、そこに電界が集中して異常放電が発生し微粉が生成されるといった不良が発生する。この場合、配線パターンの角部を丸めることで、そのような不良を無くすことが可能である。また、洗浄工程において、角部がなめらかな配線パターンは、屈曲する部分に微粉末が滞留しないで、きれいに洗い流すことができるといった利点もある。

【0411】

層間絶縁層はゲート配線 5712、5713、5714 の次に形成される層である。層間絶縁層は酸化シリコンなどの無機絶縁材料若しくはポリイミドやアクリル樹脂などを使った有機絶縁材料を使って形成する。この層間絶縁層とゲート配線 5712、5713、5714 の間には窒化シリコン若しくは窒化酸化シリコンなどの絶縁層を介在させても良い。また、層間絶縁層上にも窒化シリコン若しくは窒化酸化シリコンなどの絶縁層を設けても良い。この絶縁層は、外因性の金属イオンや水分などトランジスタにとっては良くない不純物により半導体層やゲート絶縁層を汚染するのを防ぐことができる。

10

【0412】

層間絶縁層には所定の位置に開孔が形成されている。例えば、下層にあるゲート配線や半導体層に対応して設けられる。金属若しくは金属化合物の一層若しくは複数層で形成される配線層は、フォトリソグラフィー技術によってマスクパターンが形成され、エッティング加工により所定のパターンに形成される。そして、図42(A)で示すように、半導体層と一部が重なるように配線 5815～5820 を形成する。配線はある特定の素子間を連結する。配線は特定の素子と素子の間を直線で結ぶのではなく、レイアウトの制約上屈曲部が含まれる。また、コンタクト部やその他の領域において配線幅が変化する。コンタクト部では、コンタクトホールが配線幅と同等若しくは大きい場合には、その部分で配線幅が広がるように変化する。

20

【0413】

この配線 5815～5820 を形成するためのフォトマスクは、図42(B)に示すマスクパターン 5832 を備えている。この場合においても、配線は、そのコーナー部に丸みを設けることで、上述したように、ドライエッティングの際の異常放電による微粉の発生や、洗浄工程における微粉末の残留を防ぐことができる。

【0414】

30

図42(A)には、Nチャネル型トランジスタ 5821～5824、Pチャネル型トランジスタ 5825、5826 が形成されている。Nチャネル型トランジスタ 5823 と Pチャネル型トランジスタ 5825 及び Nチャネル型トランジスタ 5824 と Pチャネル型トランジスタ 5826 はインバータ 5827、5828 を構成している。なお、この 6 つのトランジスタを含む回路は SRAM を形成している。これらのトランジスタの上層には、窒化シリコンや酸化シリコンなどの絶縁層が形成されていても良い。

【0415】

なお、本実施形態で述べた内容は、実施例 1～実施例 4 で述べた内容と自由に組み合わせて実施することができる。

【実施例 6】

40

【0416】

本実施例では、画素の形成された基板の封止を行った構成について、図25を用いて説明する。図25(A)は、画素の形成された基板を封止することによって形成されたパネルの上面図であり、図25(B)、図25(C)はそれぞれ図25(A)の A-A' における断面図である。図25(B)と図25(C)とは、異なる方法で封止を行った例である。

【0417】

図25(A)乃至図25(C)において、基板 2501 上には、複数の画素を有する画素部 2502 が配置され、画素部 2502 を囲むようにしてシール材 2506 が設けられシール材 2507 が貼り付けられている。画素の構造については、上述の発明を実施する

50

ための最良の形態や、実施例 1 で示した構成を用いることができる。

【0418】

図 25 (B) の表示パネルでは、図 25 (A) のシール材 2507 は、対向基板 2521 に相当する。シール材 2506 を接着層として用いて透明な対向基板 2521 が貼り付けられ、基板 2501、対向基板 2521 及びシール材 2506 によって密閉空間 2522 が形成される。対向基板 2521 には、カラーフィルタ 2520 と該カラーフィルタを保護する保護膜 2523 が設けられる。画素部 2502 に配置された発光素子から発せられる光は、該カラーフィルタ 2520 を介して外部に放出される。密閉空間 2522 は、不活性な樹脂もしくは液体などで充填される。なお、密閉空間 2522 に充填する樹脂として、吸湿材を分散させた透光性を有する樹脂を用いても良い。また、シール材 2506 と密閉空間 2522 に充填される材料とを同一の材料として、対向基板 2521 の接着と画素部 2502 の封止とを同時に行っても良い。10

【0419】

図 25 (C) に示した表示パネルでは、図 25 (A) のシール材 2507 は、シール材 2524 に相当する。シール材 2506 を接着層として用いてシール材 2524 が貼り付けられ、基板 2501、シール材 2506 及びシール材 2524 によって密閉空間 2508 が形成される。シール材 2524 には予め凹部の中に吸湿剤 2509 が設けられ、上記密閉空間 2508 の内部において、水分や酸素等を吸着して清浄な雰囲気に保ち、発光素子の劣化を抑制する役割を果たす。この凹部は目の細かいメッシュ状のカバー材 2510 で覆われている。カバー材 2510 は空気や水分は通すが、吸湿剤 2509 は通さない。20 なお、密閉空間 2508 は、窒素もしくはアルゴン等の希ガスで充填しておけばよく、不活性であれば樹脂もしくは液体で充填することも可能である。

【0420】

基板 2501 上には、画素部 2502 等に信号を伝達するための入力端子部 2511 が設けられ、該入力端子部 2511 へは FPC 2512 (フレキシブルプリントサーキット) を介して映像信号等の信号が伝達される。入力端子部 2511 では、基板 2501 上に形成された配線と FPC 2512 に設けられた配線とを、導電体を分散させた樹脂 (異方性導電樹脂 : ACF) を用いて電気的に接続してある。

【0421】

画素部 2502 が形成された基板 2501 上に、画素部 2502 に信号を入力する駆動回路が一体形成されていても良い。画素部 2502 に信号を入力する駆動回路を IC チップで形成し、基板 2501 上に COG (Chip On Glass) で接続しても良いし、IC チップを TAB (Tape Auto Bonding) やプリント基板を用いて基板 2501 上に配置しても良い。30

【0422】

本実施例は、第 1 - 6 の実施形態と実施例 1 ~ 実施例 5 と自由に組み合わせて実施することができる。

【実施例 7】

【0423】

本発明は、パネルに、パネルに信号を入力する回路を実装した表示モジュールに適用することができる。40

【0424】

図 26 はパネル 2600 と回路基板 2604 を組み合わせた表示モジュールを示している。図 26 では、回路基板 2604 上にコントローラ 2605 や信号分割回路 2606 などが形成されている例を示した。回路基板 2604 上に形成される回路はこれに限定されない。パネルを制御する信号を生成する回路であればどのような回路が形成されていても良い。

【0425】

回路基板 2604 上に形成されたこれらの回路から出力された信号は、接続配線 2607 によってパネル 2600 に入力される。50

【0426】

パネル2600は、画素部2601と、ソースドライバ2602と、ゲートドライバ2603とを有する。パネル2600の構成は、実施例1や実施例2等で示した構成と同様とすることができます。図26では、画素部2601が形成された基板と同一基板上に、ソースドライバ2602及びゲートドライバ2603が形成されている例を示した。しかし、本発明の表示モジュールはこれに限定されない。画素部2601が形成された基板と同一基板上にゲートドライバ2603のみが形成され、ソースドライバ2602は回路基板上に形成されていても良い。ソースドライバ及びゲートドライバの両方が回路基板上に形成されていても良い。

【0427】

10

このような表示モジュールを組み込んで、様々な電子機器の表示部を形成することができる。

【0428】

本実施例は、第1-6の実施形態と実施例1～実施例7と自由に組み合わせて実施することができる。

【実施例8】**【0429】**

20

本発明は、様々な電子機器に適用することができる。電子機器としては、カメラ（ビデオカメラ、デジタルカメラ等）、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ナビゲーションシステム、カーステレオ、パソコンコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話又は電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。電子機器の例を図27に示す。

【0430】

図27(A)は、パソコンコンピュータであり、本体2711、筐体2712、表示部2713、キーボード2714、外部接続ポート2715、ポイントティングマウス2716等を含む。本発明は、表示部2713に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【0431】

30

図27(B)は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2721、筐体2722、第1の表示部2723、第2の表示部2724、記録媒体読み込み部2725（DVD等）、操作キー2726、スピーカー部2727等を含む。第1の表示部2723は主として画像情報を表示し、第2の表示部2724は主として文字情報を表示する。本発明は、第1の表示部2723、第2の表示部2724に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【0432】

図27(C)は携帯電話であり、本体2731、音声出力部2732、音声入力部2733、表示部2734、操作スイッチ2735、アンテナ2736等を含む。本発明は、表示部2734に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

40

【0433】

図27(D)はカメラであり、本体2741、表示部2742、筐体2743、外部接続ポート2744、リモコン受信部2745、受像部2746、バッテリー2747、音声入力部2748、操作キー2749等を含む。本発明は、表示部2742に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【0434】

本実施は、第1-6の実施形態と実施例1乃至実施例7と自由に組み合わせて実施することができる。

【図面の簡単な説明】

50

【0435】

- 【図1】第1の実施形態を示す図。
- 【図2】第2の実施形態を示す図。
- 【図3】第3の実施形態を示す図。
- 【図4】第4の実施形態を示す図。
- 【図5】第5の実施形態を示す図。
- 【図6】第6の実施形態を示す図。
- 【図7】第7の実施形態を示す図。
- 【図8】第8の実施形態を示す図。
- 【図9】第9の実施形態を示す図。
- 【図10】第10の実施形態を示す図。
- 【図11】第11の実施形態を示す図。
- 【図12】第12の実施形態を示す図。
- 【図13】第13の実施形態を示す図。
- 【図14】第14の実施形態を示す図。
- 【図15】第15の実施形態を示す図。
- 【図16】第16の実施形態を示す図。
- 【図17】第17の実施形態を示す図。
- 【図18】第18の実施形態を示す図。
- 【図19】第19の実施形態を示す図。
- 【図20】第20の実施形態を示す図。
- 【図21】第21の実施形態を示す図。
- 【図22】第22の実施形態を示す図。
- 【図23】第23の実施形態を示す図。
- 【図24】実施例1を示す図。
- 【図25】実施例6を示す図。
- 【図26】実施例7を示す図。
- 【図27】実施例8を示す図。
- 【図28】実施例2を示す図。
- 【図29】実施例2を示す図。
- 【図30】実施例2を示す図。
- 【図31】実施例3を示す図。
- 【図32】実施例3を示す図。
- 【図33】実施例3を示す図。
- 【図34】実施例3を示す図。
- 【図35】実施例3を示す図。
- 【図36】実施例3を示す図。
- 【図37】実施例3を示す図。
- 【図38】実施例4を示す図。
- 【図39】実施例4を示す図。
- 【図40】実施例5を示す図。
- 【図41】実施例5を示す図。
- 【図42】実施例5を示す図。

【符号の説明】

- 【0436】
- 101 ソースドライバ
- 102 ゲートドライバ
- 103 画素
- 104 発光ユニット
- 105 スイッチ

10

20

30

40

50

1 0 6	スイッチ	
1 0 7	ソース信号線	
1 0 8	ゲート信号線	
2 0 1	ソースドライバ	
2 0 2	ゲートドライバ	
2 0 3	画素	
2 0 4	発光ユニット	
2 0 5	スイッチ	
2 0 6	スイッチ	
2 0 7	ソース信号線	10
2 0 8	ゲート信号線	
2 0 9	ゲート信号線	
2 1 0	インバータ	
3 0 1	ソースドライバ	
3 0 2	ゲートドライバ	
3 0 3	画素	
3 0 4	発光ユニット	
3 0 5	T F T	
3 0 6	T F T	
3 0 7	ソース信号線	20
3 0 8	ゲート信号線	
4 0 1	ソースドライバ	
4 0 2	ゲートドライバ	
4 0 3	画素	
4 0 4	発光ユニット	
4 0 5	T F T	
4 0 6	T F T	
4 0 7	ソース信号線	
4 0 8	ゲート信号線	
5 0 1	ソースドライバ	30
5 0 2	ゲートドライバ	
5 0 3	画素	
5 0 4	発光ユニット	
5 0 5	T F T	
5 0 6	T F T	
5 0 7	ソース信号線	
5 0 8	ゲート信号線	
5 0 9	ゲート信号線	
5 1 0	インバータ	
6 0 1	ソースドライバ	40
6 0 2	ゲートドライバ	
6 0 3	画素	
6 0 4	発光ユニット	
6 0 5	T F T	
6 0 6	T F T	
6 0 7	ソース信号線	
6 0 8	ゲート信号線	
6 0 9	ゲート信号線	
6 1 0	インバータ	50

7 0 1	T F T	
7 0 2	容量素子	
7 0 3	発光素子	
7 0 4	対向電極	
7 0 5	電源線	
7 0 6	信号入力線	
8 0 1	T F T	
8 0 2	容量素子	
8 0 3	発光素子	
8 0 4	対向電極	10
8 0 5	電源線	
8 0 6	信号入力線	
9 0 1	T F T	
9 0 2	スイッチ	
9 0 3	容量素子	
9 0 4	発光素子	
9 0 5	対向電極	
9 0 6	電源線	
9 0 7	ゲート信号線	
9 0 8	信号入力線	20
1 0 0 1	T F T	
1 0 0 2	スイッチ	
1 0 0 3	容量素子	
1 0 0 4	発光素子	
1 0 0 5	対向電極	
1 0 0 6	電源線	
1 0 0 7	ゲート信号線	
1 0 0 8	信号入力線	
1 1 0 1	T F T	
1 1 0 2	ダイオード	30
1 1 0 3	容量素子	
1 1 0 4	発光素子	
1 1 0 5	対向電極	
1 1 0 6	電源線	
1 1 0 7	ゲート信号線	
1 1 0 8	信号入力線	
1 2 0 1	T F T	
1 2 0 2	ダイオード	
1 2 0 3	容量素子	
1 2 0 4	発光素子	40
1 2 0 5	対向電極	
1 2 0 6	電源線	
1 2 0 7	ゲート信号線	
1 2 0 8	信号入力線	
1 3 0 1	T F T	
1 3 0 2	T F T	
1 3 0 3	容量素子	
1 3 0 4	容量素子	
1 3 0 5	発光素子	
1 3 0 6	発光素子	50

1 3 0 7	対向電極	
1 3 0 8	電源線	
1 3 0 9	信号入力線	
1 3 1 0	信号入力線	
1 4 0 1	T F T	
1 4 0 2	T F T	
1 4 0 3	容量素子	
1 4 0 4	容量素子	
1 4 0 5	発光素子	
1 4 0 6	発光素子	10
1 4 0 7	対向電極	
1 4 0 8	電源線	
1 4 0 9	信号入力線	
1 4 1 0	信号入力線	
1 5 0 1	T F T	
1 5 0 2	スイッチ	
1 5 0 3	スイッチ	
1 5 0 4	スイッチ	
1 5 0 5	容量素子	
1 5 0 6	容量素子	20
1 5 0 7	発光素子	
1 5 0 8	対向電極	
1 5 0 9	電源線	
1 5 1 0	電源線	
1 5 1 1	ゲート信号線	
1 5 1 2	ゲート信号線	
1 5 1 3	信号入力線	
1 6 0 1	T F T	
1 6 0 2	スイッチ	
1 6 0 3	スイッチ	30
1 6 0 4	容量素子	
1 6 0 5	容量素子	
1 6 0 6	発光素子	
1 6 0 7	対向電極	
1 6 0 8	電源線	
1 6 0 9	ゲート信号線	
1 6 1 0	ゲート信号線	
1 6 1 1	信号入力線	
1 7 0 1	T F T	
1 7 0 2	スイッチ	40
1 7 0 3	スイッチ	
1 7 0 4	容量素子	
1 7 0 5	発光素子	
1 7 0 6	対向電極	
1 7 0 7	電源線	
1 7 0 8	ゲート信号線	
1 7 0 9	ゲート信号線	
1 7 1 0	信号入力線	
1 8 0 1	T F T	
1 8 0 2	スイッチ	50

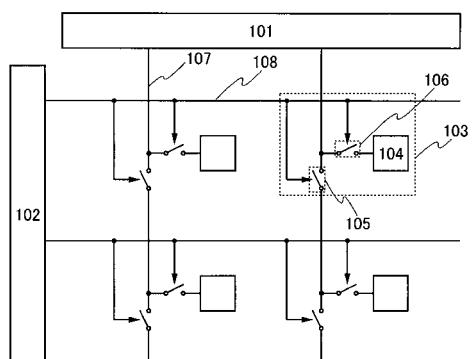
1 8 0 3	スイッチ	
1 8 0 4	容量素子	
1 8 0 5	発光素子	
1 8 0 6	対向電極	
1 8 0 7	電源線	
1 8 0 8	ゲート信号線	
1 8 0 9	ゲート信号線	
1 8 1 0	信号入力線	
1 9 0 1	T F T	
1 9 0 2	スイッチ	10
1 9 0 3	スイッチ	
1 9 0 4	容量素子	
1 9 0 5	発光素子	
1 9 0 6	対向電極	
1 9 0 7	電源線	
1 9 0 8	ゲート信号線	
1 9 0 9	ゲート信号線	
1 9 1 0	信号入力線	
2 0 0 1	T F T	
2 0 0 2	T F T	20
2 0 0 3	スイッチ	
2 0 0 4	容量素子	
2 0 0 5	発光素子	
2 0 0 6	対向電極	
2 0 0 7	電源線	
2 0 0 8	ゲート信号線	
2 0 0 9	信号入力線	
2 1 0 1	T F T	
2 1 0 2	スイッチ	30
2 1 0 3	容量素子	
2 1 0 4	発光素子	
2 1 0 5	対向電極	
2 1 0 6	電源線	
2 1 0 7	ゲート信号線	
2 1 0 8	信号入力線	
2 2 0 1	T F T	
2 2 0 2	スイッチ	40
2 2 0 3	容量素子	
2 2 0 4	発光素子	
2 2 0 5	対向電極	
2 2 0 6	電源線	
2 2 0 7	ゲート信号線	
2 2 0 8	信号入力線	
2 3 0 1	T F T	
2 3 0 2	T F T	
2 3 0 3	スイッチ	
2 3 0 4	容量素子	
2 3 0 5	発光素子	
2 3 0 6	対向電極	
2 3 0 7	電源線	50

2 3 0 8	ゲート信号線	
2 3 0 9	信号入力線	
2 4 0 0	基板	
2 4 0 1	下地膜	
2 4 0 2	半導体層	
2 4 0 3	絶縁膜	
2 4 0 4	ゲート電極	
2 4 0 5	絶縁膜	
2 4 0 6	第1の電極	10
2 4 0 7	第1の電極	
2 4 0 8	絶縁膜	
2 4 0 9	発光層	
2 4 1 0	TFT	
2 4 1 1	容量素子	
2 4 1 2	半導体層	
2 4 1 4	電極	
2 4 1 5	発光素子	
2 4 1 6	第2の電極	
2 4 1 7	第2の電極	
2 4 1 8	絶縁膜	20
2 5 0 1	基板	
2 5 0 2	画素部	
2 5 0 6	シール材	
2 5 0 7	シール材	
2 5 0 8	密閉空間	
2 5 0 9	吸湿剤	
2 5 1 0	カバー材	
2 5 1 1	入力端子部	
2 5 1 2	FPC	
2 5 2 0	カラーフィルタ	30
2 5 2 1	対向基板	
2 5 2 2	密閉空間	
2 5 2 3	保護膜	
2 5 2 4	シール材	
2 6 0 0	パネル	
2 6 0 1	画素部	
2 6 0 2	ソースドライバ	
2 6 0 3	ゲートドライバ	
2 6 0 4	回路基板	
2 6 0 5	コントローラ	40
2 6 0 6	信号分割回路	
2 6 0 7	接続配線	
2 8 0 1	基板	
2 8 0 2	下地膜	
2 8 0 3	画素電極	
2 8 0 4	第1の電極	
2 8 0 5	配線	
2 8 0 6	配線	
2 8 0 7	N型半導体層	
2 8 0 8	N型半導体層	50

2 8 0 9	半導体層	
2 8 1 0	ゲート絶縁膜	
2 8 1 1	絶縁膜	
2 8 1 2	ゲート電極	
2 8 1 3	第2の電極	
2 8 1 4	層間絶縁膜	
2 8 1 5	有機化合物を含む層	10
2 8 1 6	対向電極	
2 8 1 7	発光素子	
2 8 1 8	駆動トランジスタ	
2 8 1 9	容量素子	
2 8 2 0	第1の電極	
2 9 0 1	基板	
2 9 0 3	ゲート電極	
2 9 0 4	第1の電極	
2 9 0 5	ゲート絶縁膜	
2 9 0 6	半導体層	
2 9 0 7	半導体層	
2 9 0 8	N型半導体層	
2 9 0 9	N型半導体層	20
2 9 1 0	N型半導体層	
2 9 1 1	配線	
2 9 1 2	配線	
2 9 1 3	導電層	
2 9 1 4	画素電極	
2 9 1 5	絶縁層	
2 9 1 6	有機化合物を含む層	
2 9 1 7	対向電極	
2 9 1 8	発光素子	
2 9 1 9	駆動トランジスタ	30
2 9 2 0	容量素子	
2 9 2 1	第2の電極	
3 0 0 1	絶縁層	
4 6 0 1	基板	
4 6 0 2	絶縁膜	
4 6 0 3 a	半導体膜	
4 6 0 3 b	半導体膜	
4 6 0 4	ゲート絶縁膜	
4 6 0 5	ゲート電極	
4 6 0 6	絶縁膜	40
4 6 0 7	絶縁膜	
4 6 0 8	導電膜	
4 6 1 0 a	Nチャネル型トランジスタ	
4 6 1 0 b	Pチャネル型トランジスタ	
4 6 2 1 a	絶縁膜	
4 6 2 1 b	絶縁膜	
4 6 2 3	絶縁膜	
4 6 2 4	絶縁膜	
4 6 2 5 a	レジスト	
4 6 2 5 b	レジスト	50

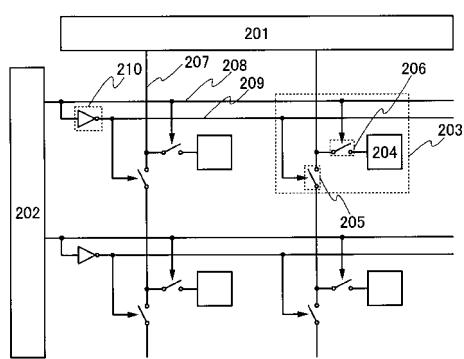
4 6 2 6	絶縁膜	
4 6 2 7 a	絶縁膜	
4 6 2 7 b	絶縁膜	
4 6 5 1 a	チャネル領域の端部	
4 6 5 1 b	チャネル領域の端部	
4 6 5 2 a	チャネル領域の端部	
4 6 5 2 b	チャネル領域の端部	
5 4 0 1	Nチャネル型トランジスタ	
5 4 0 2	Nチャネル型トランジスタ	
5 4 0 3	Pチャネル型トランジスタ	10
5 4 0 4	容量素子	
5 4 0 5	抵抗素子	
5 5 0 2	導電層	
5 5 0 3	導電層	
5 5 0 4	配線	
5 5 0 5	半導体層	
5 5 0 6	不純物領域	
5 5 0 7	不純物領域	
5 5 0 8	絶縁層	
5 5 0 9	ゲート電極	20
5 5 1 0	不純物領域	
5 5 1 1	不純物領域	
5 5 1 2	不純物領域	
5 6 1 0	半導体層	
5 6 1 1	半導体層	
5 6 3 0	マスクパターン	
5 7 1 2	ゲート配線	
5 7 1 3	ゲート配線	
5 7 1 4	ゲート配線	
5 7 3 1	マスクパターン	30
5 8 1 5	配線	
5 8 1 6	配線	
5 8 1 7	配線	
5 8 1 8	配線	
5 8 1 9	配線	
5 8 2 0	配線	
5 8 2 1	Nチャネル型トランジスタ	
5 8 2 3	Nチャネル型トランジスタ	
5 8 2 4	Nチャネル型トランジスタ	
5 8 2 5	Pチャネル型トランジスタ	40
5 8 2 6	Pチャネル型トランジスタ	
5 8 2 7	インバータ	
5 8 2 8	インバータ	
5 8 3 2	マスクパターン	

【図1】



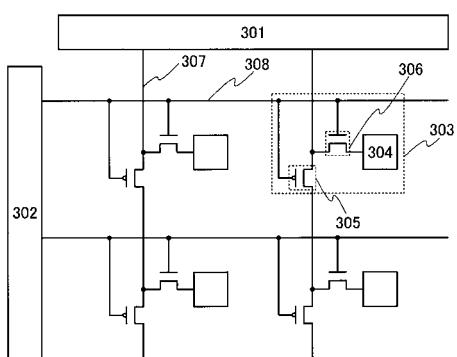
101 : ソースドライバ
102 : ゲートドライバ
103 : 画素
104 : 発光画素
105 : スイッチ
106 : スイッチ
107 : ソース信号線
108 : ゲート信号線

【図2】



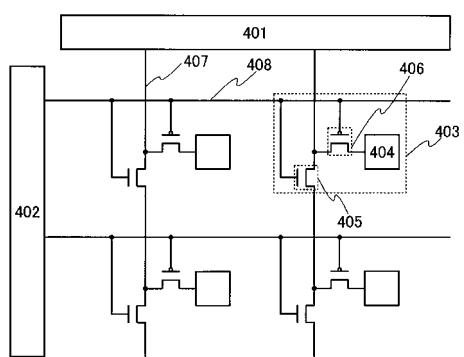
201 : ソースドライバ
202 : ゲートドライバ
203 : 画素
204 : 発光画素
205 : スイッチ
206 : スイッチ
207 : ソース信号線
208 : ゲート信号線
209 : ゲート信号線
210 : インバータ

【図3】



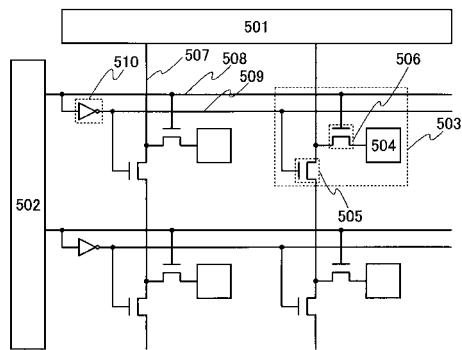
301 : ソースドライバ
302 : ゲートドライバ
303 : 画素
304 : 発光画素
305 : TFT
306 : TFT
307 : ソース信号線
308 : ゲート信号線

【図4】



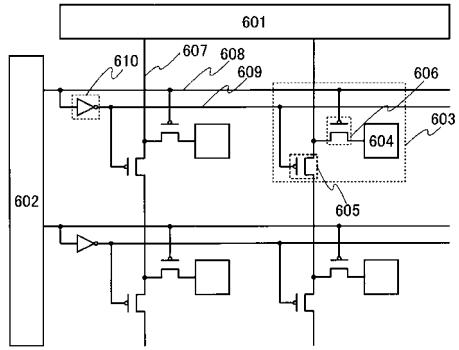
401 : ソースドライバ
402 : ゲートドライバ
403 : 画素
404 : 発光画素
405 : TFT
406 : TFT
407 : ソース信号線
408 : ゲート信号線

【図5】



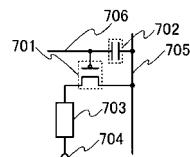
501 : ソースドライバ
 502 : ゲートドライバ
 503 : 画素
 504 : 画素
 505 : TFT
 506 : TFT
 507 : ソース信号線
 508 : ゲート信号線
 509 : ゲート信号線
 510 : インバータ

【図6】



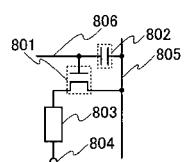
601 : ソースドライバ
 602 : ゲートドライバ
 603 : 画素
 604 : 画素
 605 : TFT
 606 : TFT
 607 : ソース信号線
 608 : ゲート信号線
 609 : ゲート信号線
 610 : インバータ

【図7】



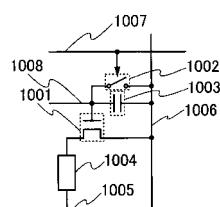
701 : TFT
 702 : 容量素子
 703 : 発光素子
 704 : 対向電極
 705 : 電源線
 706 : 信号入力線

【図8】



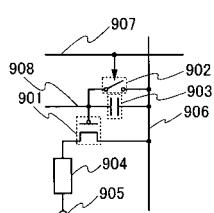
801 : TFT
 802 : 容量素子
 803 : 発光素子
 804 : 対向電極
 805 : 電源線
 806 : 信号入力線

【図10】



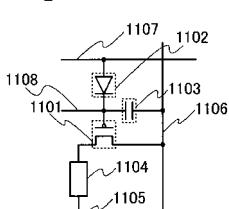
1001 : TFT
 1002 : スイッチ
 1003 : 容量素子
 1004 : 発光素子
 1005 : 対向電極
 1006 : 電源線
 1007 : ゲート信号線
 1008 : 信号入力線

【図9】



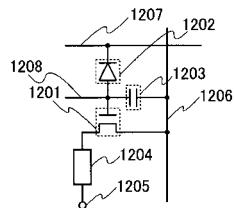
901 : TFT
 902 : スイッチ
 903 : 容量素子
 904 : 発光素子
 905 : 対向電極
 906 : 電源線
 907 : ゲート信号線
 908 : 信号入力線

【図11】



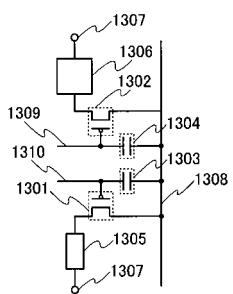
1101 : TFT
 1102 : ダイオード
 1103 : 容量素子
 1104 : 発光素子
 1105 : 対向電極
 1106 : 電源線
 1107 : ゲート信号線
 1108 : 信号入力線

【図12】



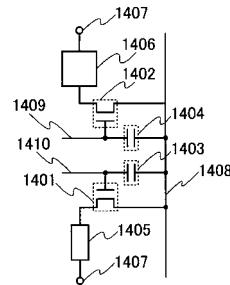
1201 : TFT
 1202 : ダイオード
 1203 : 容量素子
 1204 : 発光素子
 1205 : 対向電極
 1206 : 電源線
 1207 : ゲート信号線
 1208 : 信号入力線

【図13】

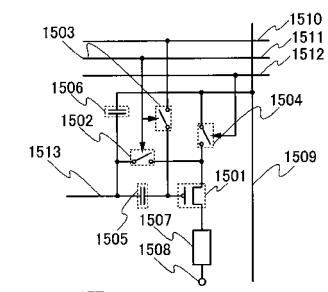


1301 : TFT
 1302 : TFT
 1303 : 容量素子
 1304 : 容量素子
 1305 : 発光素子
 1306 : 発光素子
 1307 : 対向電極
 1308 : 電源線
 1309 : 信号入力線
 1310 : 信号入力線

【図14】

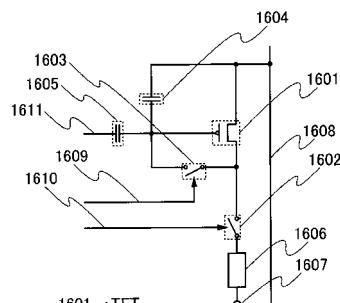


1401 : TFT
 1402 : TFT
 1403 : 容量素子
 1404 : 容量素子
 1405 : 発光素子
 1406 : 発光素子
 1407 : 対向電極
 1408 : 電源線
 1409 : 信号入力線
 1410 : 信号入力線



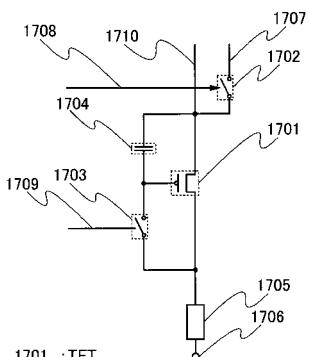
1501 : TFT
 1502 : スイッチ
 1503 : スイッチ
 1504 : スイッチ
 1505 : 容量素子
 1506 : 容量素子
 1507 : 発光素子
 1508 : 対向電極
 1509 : 電源線
 1510 : 電源線
 1511 : ゲート信号線
 1512 : ゲート信号線
 1513 : 信号入力線

【図16】



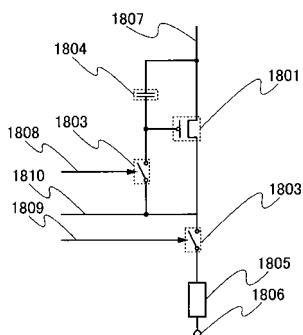
1601 : TFT
 1602 : スイッチ
 1603 : スイッチ
 1604 : 容量素子
 1605 : 容量素子
 1606 : 発光素子
 1607 : 対向電極
 1608 : 電源線
 1609 : ゲート信号線
 1610 : ゲート信号線
 1611 : 信号入力線

【図17】



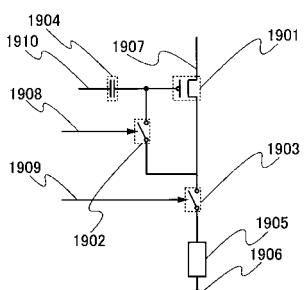
1701 : TFT
 1702 : スイッチ
 1703 : スイッチ
 1704 : 容量素子
 1705 : 発光素子
 1706 : 対向電極
 1707 : 電源線
 1708 : ゲート信号線
 1709 : ゲート信号線
 1710 : 信号入力線

【図18】



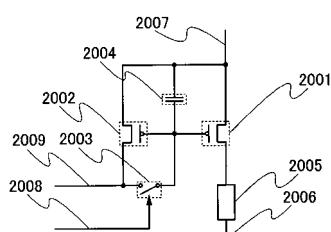
1801 : TFT
 1802 : スイッチ
 1803 : スイッチ
 1804 : 容量素子
 1805 : 発光素子
 1806 : 対向電極
 1807 : 電源線
 1808 : ゲート信号線
 1809 : ゲート信号線
 1810 : 信号入力線

【図19】



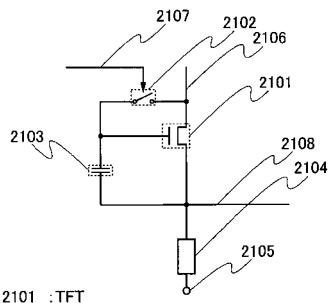
1901 : TFT
 1902 : スイッチ
 1903 : スイッチ
 1904 : 容量素子
 1905 : 発光素子
 1906 : 対向電極
 1907 : 電源線
 1908 : ゲート信号線
 1909 : ゲート信号線
 1910 : 信号入力線

【図20】



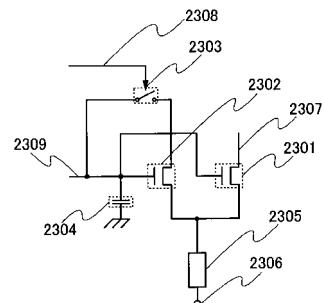
2001 : TFT
 2002 : TFT
 2003 : スイッチ
 2004 : 容量素子
 2005 : 発光素子
 2006 : 対向電極
 2007 : 電源線
 2008 : ゲート信号線
 2009 : 信号入力線

【図21】



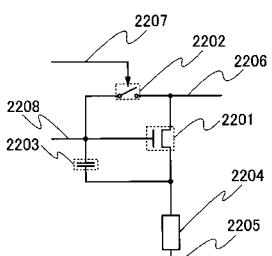
2101 : TFT
2102 : スイッチ
2103 : 容量素子
2104 : 発光素子
2105 : 対向電極
2106 : 電源線
2107 : ゲート信号線
2108 : 信号入力線

【図23】



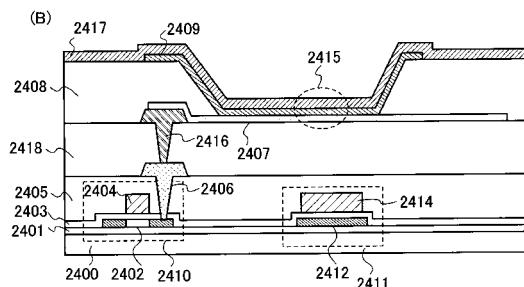
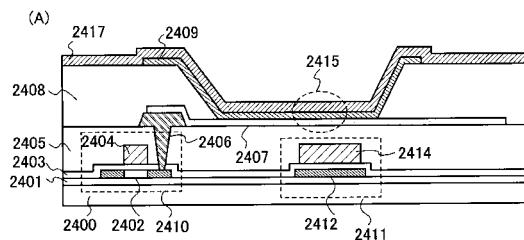
2301 : TFT
2302 : TFT
2303 : スイッチ
2304 : 容量素子
2305 : 発光素子
2306 : 対向電極
2307 : 電源線
2308 : ゲート信号線
2309 : 信号入力線

【図22】

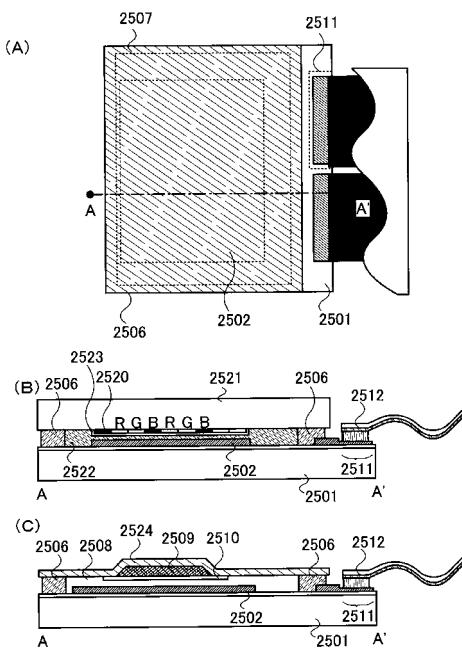


2201 : TFT
2202 : スイッチ
2203 : 容量素子
2204 : 発光素子
2205 : 対向電極
2206 : 電源線
2207 : ゲート信号線
2208 : 信号入力線

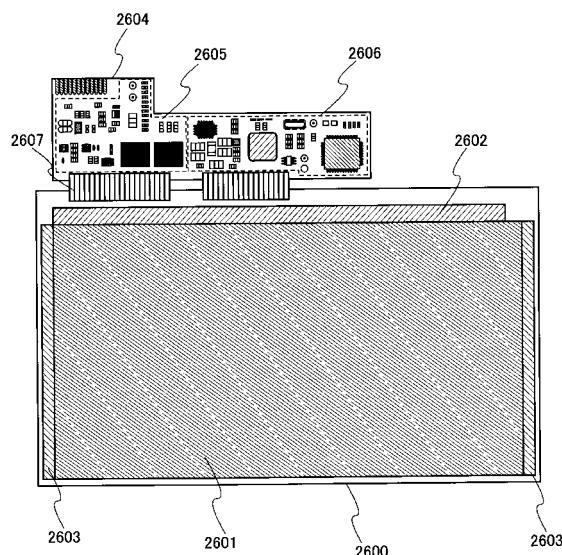
【図24】



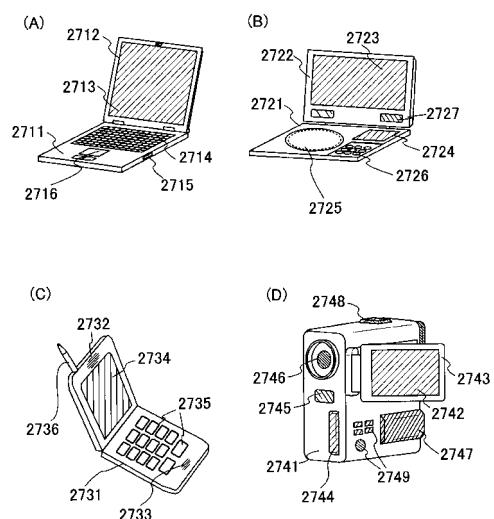
【図25】



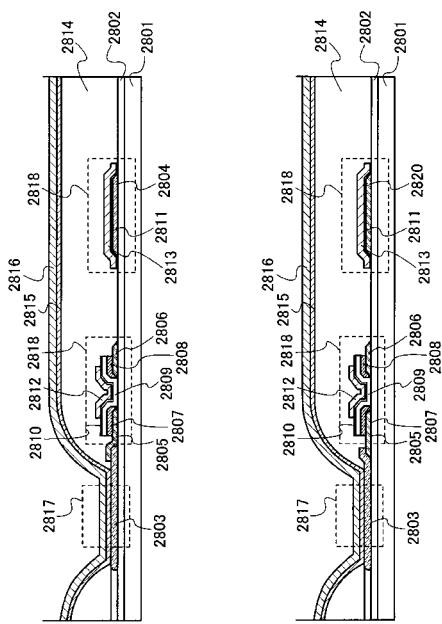
【図26】



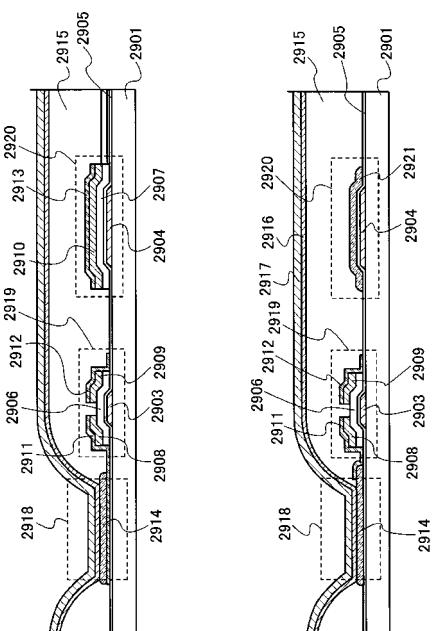
【図27】



【図28】



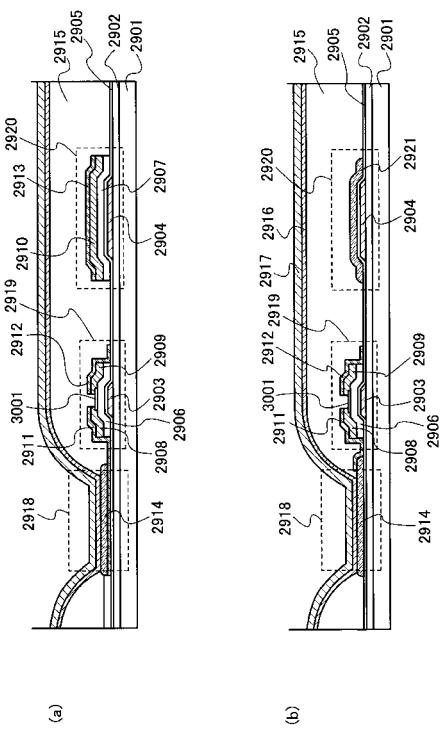
【図29】



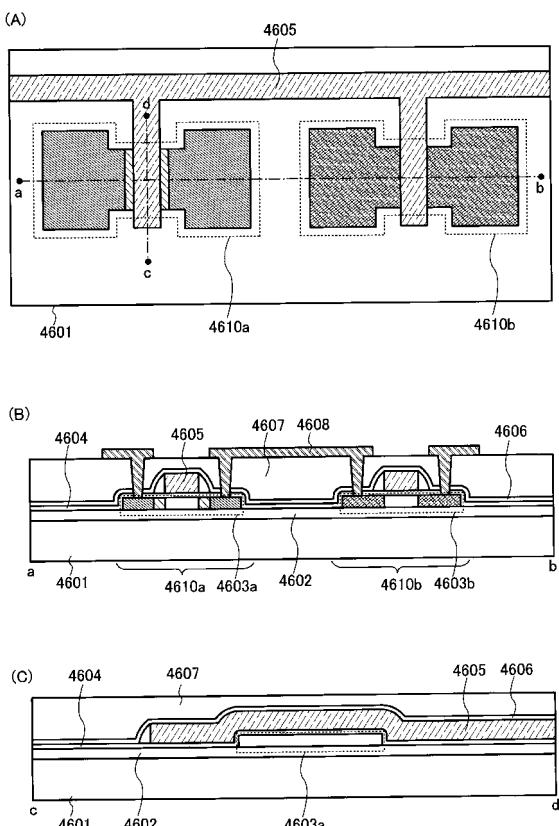
(a)

(b)

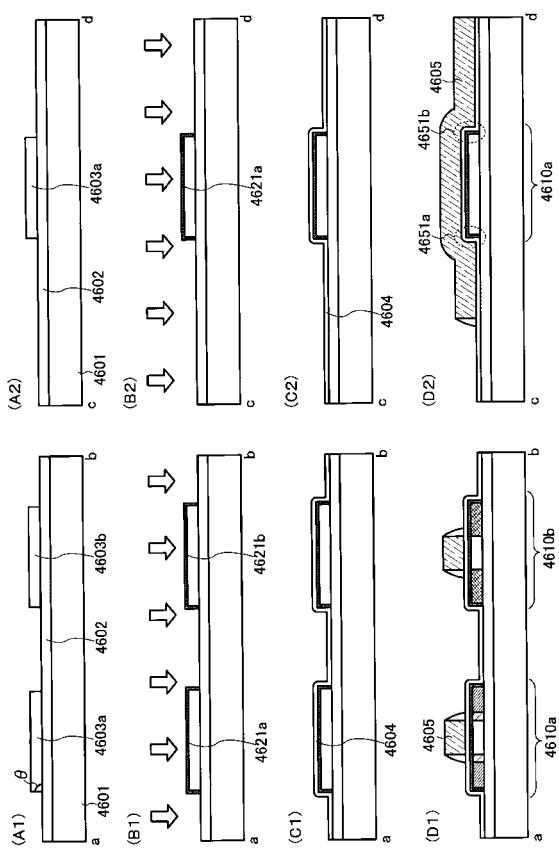
【図30】



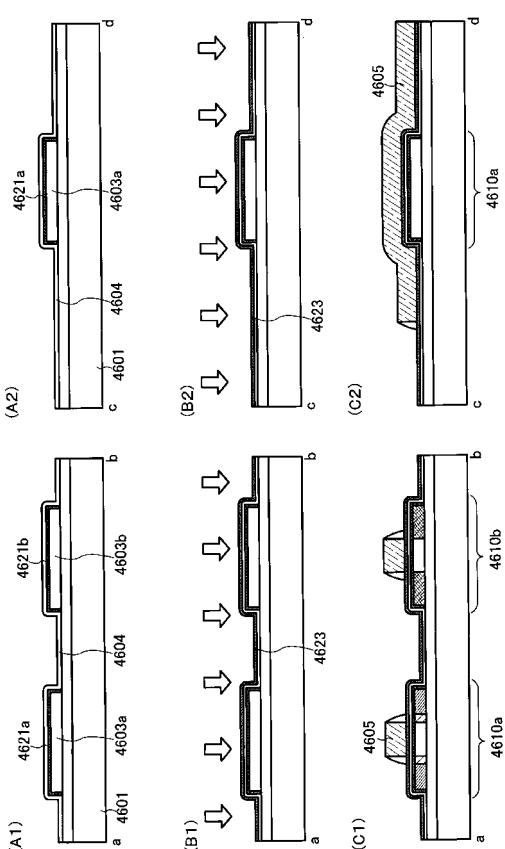
【図31】



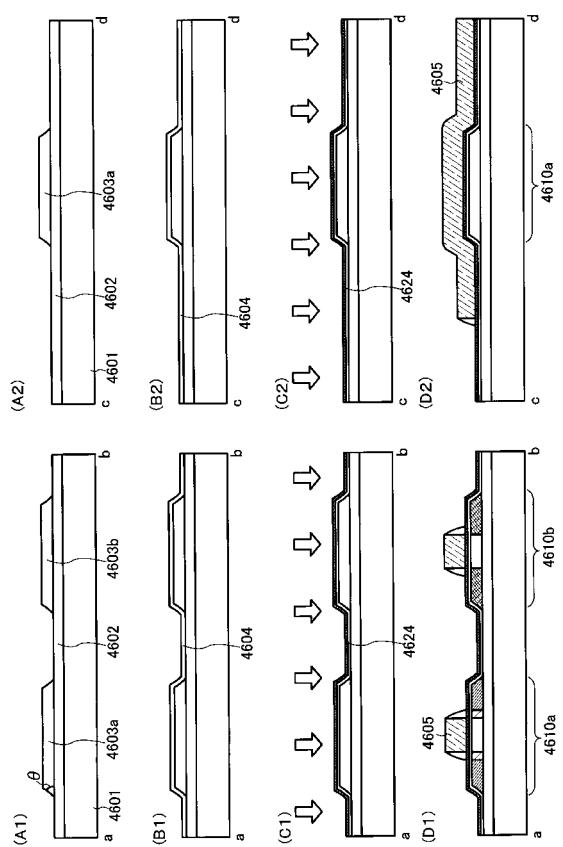
【図32】



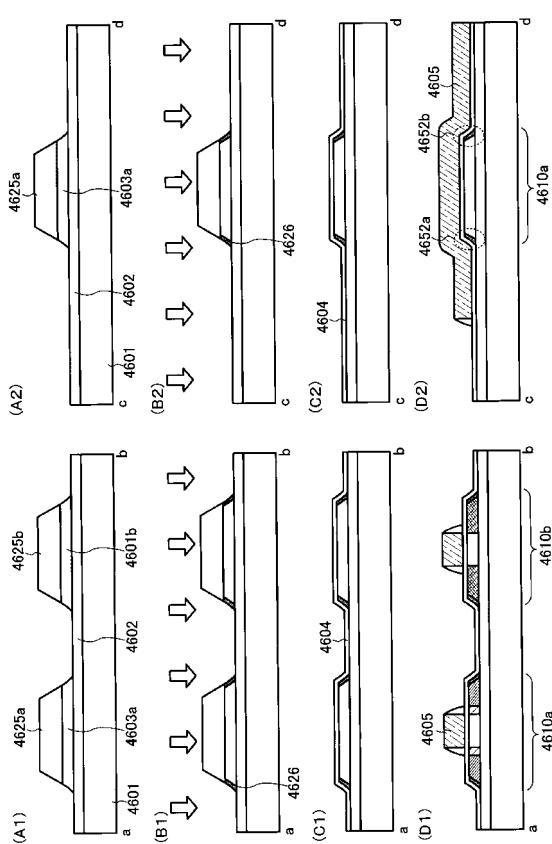
【図33】



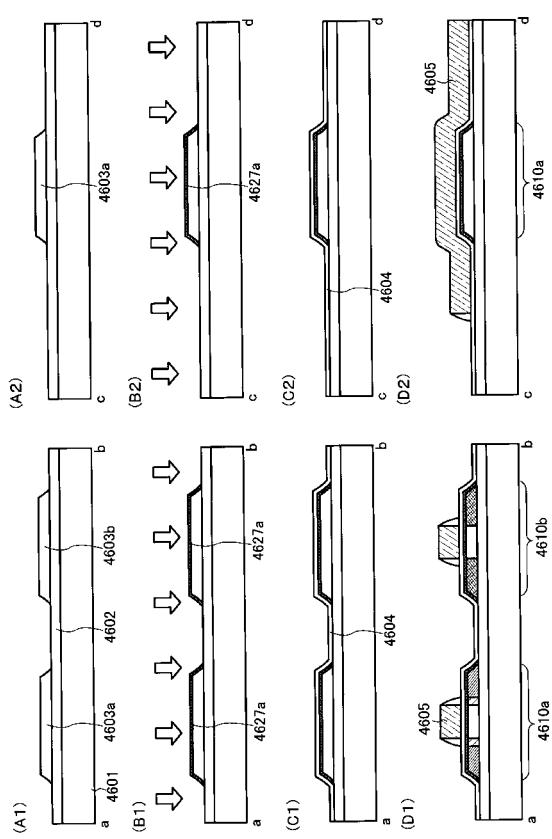
【図34】



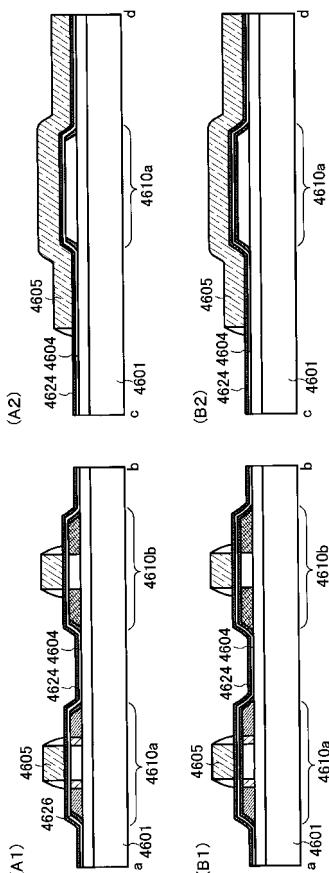
【図35】



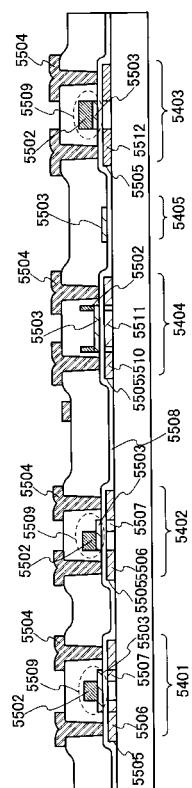
【図36】



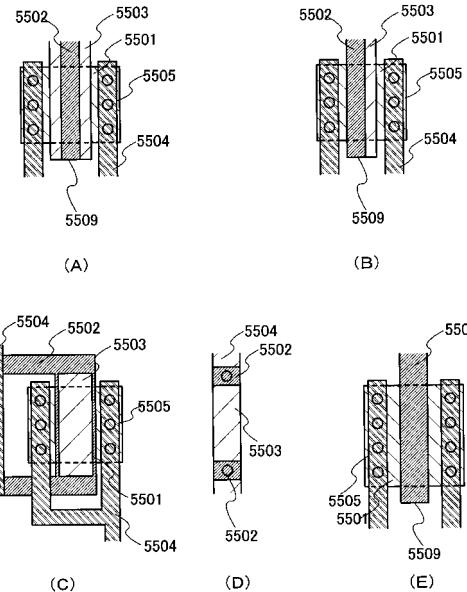
【図37】



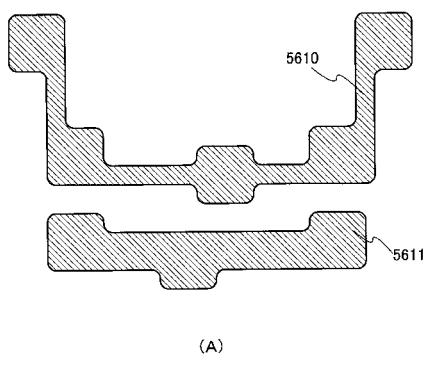
【図38】



【図39】

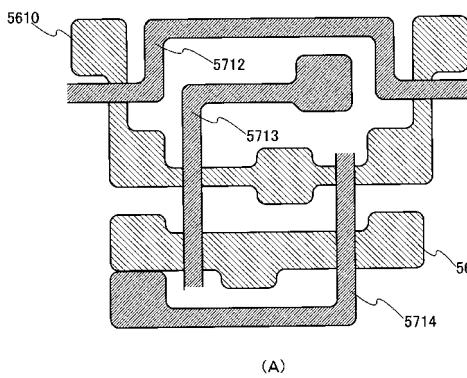


【図40】

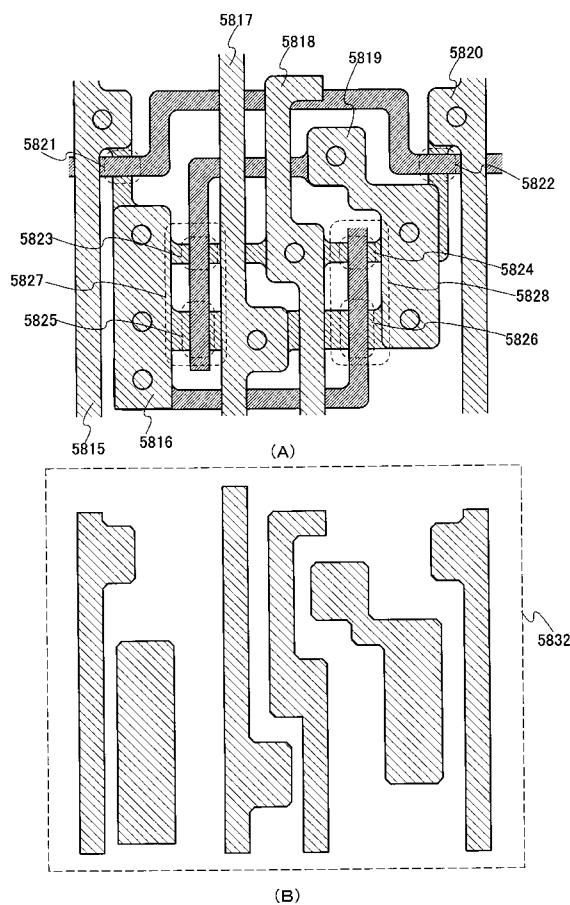


(B)

【図41】



【図42】



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

G 09 G 3 / 20 - 3 / 38
G 02 F 1 / 133