



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0042245
(43) 공개일자 2018년04월25일

(51) 국제특허분류(Int. Cl.)
H03K 23/66 (2006.01) H03L 7/099 (2006.01)
H03L 7/193 (2006.01)
(52) CPC특허분류
H03K 23/662 (2013.01)
H03L 7/099 (2013.01)
(21) 출원번호 10-2018-7004610
(22) 출원일자(국제) 2016년07월26일
심사청구일자 없음
(85) 번역문제출일자 2018년02월14일
(86) 국제출원번호 PCT/US2016/044047
(87) 국제공개번호 WO 2017/030755
국제공개일자 2017년02월23일
(30) 우선권주장
14/829,723 2015년08월19일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
왕, 청-한
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
조한센, 캡틴 빅터
미국 95008 캘리포니아 캠벨 노르망디 드라이브 1045
(뒷면에 계속)
(74) 대리인
특허법인 남앤드남

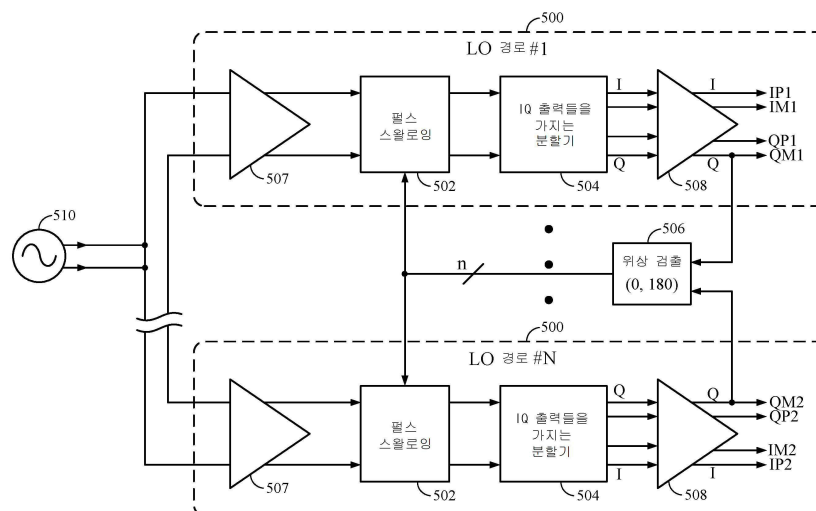
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 펄스 스왑로잉 기법을 사용하여 주파수 분할기들을 동기화하기 위한 방법들 및 장치

(57) 요약

펄스 스왑로잉을 사용하여 상이한 LO 경로들의 분할기들을 동기화하기 위한 방법들 및 장치. 일 예시적 장치는 일반적으로, 제1 주기적 신호로부터 제1 분할 신호를 생성하도록 구성된 제1 주파수 분할기를 가지는 제1 경로; 제2 주기적 신호로부터 제2 분할 신호를 생성하도록 구성된 제2 주파수 분할기를 가지는 제2 경로; 제1 분할 신호에 기반하는 제1 감지 신호의 위상과, 제2 분할 신호에 기반하는 제2 감지 신호의 위상을 비교하고, 그리고 제1 감지 신호 및 제2 감지 신호가 역-위상이면 제1 트리거 신호를 생성하도록 구성된 위상 검출기; 및 제1 분할 신호의 위상을 조정하기 위해 제1 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 제1 주기적 신호의 펄스를 억제하도록 구성된 제1 펄스 억제기를 포함한다.

대표도 - 도5



(52) CPC특허분류

H03L 7/193 (2013.01)

(72) 발명자

양, 정식

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

백, 저스틴 펠프스

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

명세서

청구범위

청구항 1

장치로서,

제1 분할 신호를 생성하기 위해 제1 주기적 신호를 주파수 분할하도록 구성된 제1 주파수 분할기를 가지는 제1 회로 경로;

제2 분할 신호를 생성하기 위해 제2 주기적 신호를 주파수 분할하도록 구성된 제2 주파수 분할기를 가지는 제2 회로 경로;

상기 제1 회로 경로 및 상기 제2 회로 경로에 커플링된 위상 검출 회로 — 상기 위상 검출 회로는,

상기 제1 분할 신호에 기반하는 제1 감지 신호의 위상과, 상기 제2 분할 신호에 기반하는 제2 감지 신호의 위상을 비교하고; 그리고

상기 제1 감지 신호 및 상기 제2 감지 신호가 역-위상이면(out-of-phase) 제1 트리거 신호를 생성하도록 구성됨 — ; 및

상기 위상 검출 회로에 커플링되며, 상기 제1 분할 신호의 위상을 조정하기 위해 상기 제1 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 상기 제1 주기적 신호의 펄스를 억제(suppress)하도록 구성된 제1 펄스 억제 회로를 포함하는, 장치.

청구항 2

제1 항에 있어서,

상기 제1 감지 신호는 상기 제1 분할 신호이고, 상기 제2 감지 신호는 상기 제2 분할 신호인, 장치.

청구항 3

제1 항에 있어서,

상기 제1 감지 신호는 상기 제1 분할 신호의 버퍼링된 버전이고, 상기 제2 감지 신호는 상기 제2 분할 신호의 버퍼링된 버전인, 장치.

청구항 4

제1 항에 있어서,

상기 위상 검출 회로에 커플링된 제2 펄스 억제 회로를 더 포함하고,

상기 제1 감지 신호 및 상기 제2 감지 신호가 역-위상이면 상기 위상 검출 회로는 제2 트리거 신호를 생성하도록 구성되고,

상기 제2 펄스 억제 회로는 상기 제2 분할 신호의 위상을 조정하기 위해 상기 제2 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 상기 제2 주기적 신호의 펄스를 억제하도록 구성되는, 장치.

청구항 5

제1 항에 있어서,

제3 분할 신호를 생성하기 위해 상기 제1 분할 신호를 주파수 분할하도록 구성된 제3 주파수 분할기 — 상기 제1 감지 신호는 상기 제3 분할 신호임 — ; 및

제4 분할 신호를 생성하기 위해 상기 제2 분할 신호를 주파수 분할하도록 구성된 제4 주파수 분할기를 더 포함하고,

상기 제2 감지 신호는 상기 제4 분할 신호인, 장치.

청구항 6

제5 항에 있어서,

상기 위상 검출 회로에 커플링된 제2 펄스 억제 회로를 더 포함하고,

상기 제1 감지 신호 및 상기 제2 감지 신호가 역-위상이면 상기 위상 검출 회로는 제2 트리거 신호를 생성하도록 구성되고,

상기 제2 펄스 억제 회로는 상기 제3 분할 신호의 위상을 조정하기 위해 상기 제2 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 상기 제1 분할 신호의 펄스를 억제하도록 구성되는, 장치.

청구항 7

제6 항에 있어서,

상기 위상 검출 회로에 커플링된 제3 펄스 억제 회로를 더 포함하고,

상기 제1 감지 신호 및 상기 제2 감지 신호가 역-위상이면 상기 위상 검출 회로는 제3 트리거 신호를 생성하도록 구성되고,

상기 제3 펄스 억제 회로는 상기 제2 분할 신호의 위상을 조정하기 위해 상기 제3 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 상기 제2 주기적 신호의 펄스를 억제하도록 구성되는, 장치.

청구항 8

제7 항에 있어서,

상기 위상 검출 회로에 커플링된 제4 펄스 억제 회로를 더 포함하고,

상기 제1 감지 신호 및 상기 제2 감지 신호가 역-위상이면 상기 위상 검출 회로는 제4 트리거 신호를 생성하도록 구성되고,

상기 제4 펄스 억제 회로는 상기 제4 분할 신호의 위상을 조정하기 위해 상기 제4 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 상기 제2 분할 신호의 펄스를 억제하도록 구성되는, 장치.

청구항 9

제1 항에 있어서,

제3 분할 신호를 생성하기 위해 상기 제1 분할 신호를 주파수 분할하도록 구성된 제3 주파수 분할기 - 상기 제1 감지 신호는 상기 제3 분할 신호의 버퍼링된 버전임 - ; 및

제4 분할 신호를 생성하기 위해 상기 제2 분할 신호를 주파수 분할하도록 구성된 제4 주파수 분할기를 더 포함하고,

상기 제2 감지 신호는 상기 제4 분할 신호의 버퍼링된 버전인, 장치.

청구항 10

제1 항에 있어서,

제3 분할 신호를 생성하기 위해 제3 주기적 신호를 주파수 분할하도록 구성된 제3 주파수 분할기를 가지는 제3 회로 경로 - 상기 위상 검출 회로는 상기 제3 회로 경로에 추가로 커플링되며,

상기 제3 분할 신호에 기반하는 제3 감지 신호의 위상과, 상기 제1 감지 신호의 위상 또는 상기 제2 감지 신호의 위상을 비교하고; 그리고

상기 제3 감지 신호, 및 상기 제1 감지 신호 또는 상기 제2 감지 신호가 각각 역-위상이면 제2 트리거 신호를 생성하도록 추가로 구성됨 - ; 및

상기 위상 검출 회로에 커플링되며, 상기 제3 분할 신호의 위상을 조정하기 위해 상기 제2 트리거 신호에 대한

응답으로 적어도 하나의 사이클 동안 상기 제3 주기적 신호의 펄스를 억제하도록 구성된 제2 펄스 억제 회로를 더 포함하는, 장치.

청구항 11

제1 항에 있어서,

상기 제1 펄스 억제 회로는,

복수의 지연(D) 플립-플롭들, 및 상기 제1 주기적 신호 및 상기 제1 트리거 신호에 기반하여 게이팅 펄스를 생성하기 위해 상기 복수의 D 플립-플롭들의 출력들과 인터페이싱되는 제1 결합적 로직; 및

상기 제1 결합적 로직의 출력들 및 상기 제1 주기적 신호와 인터페이싱되며, 상기 게이팅 펄스에 기반하여 상기 적어도 하나의 사이클 동안 상기 제1 주기적 신호의 펄스를 억제하도록 구성된 제2 결합적 로직을 포함하는, 장치.

청구항 12

제1 항에 있어서,

상기 위상 검출 회로는,

상기 제1 감지 신호 및 상기 제2 감지 신호를 수신하도록 구성된 XOR(exclusive OR) 로직;

상기 XOR 로직에 커플링된 하나 또는 그 초과인 로우-패스 필터들; 및

상기 하나 또는 그 초과인 로우-패스 필터들에 커플링되며, 상기 제1 트리거 신호를 포함하는, 상기 위상 검출 회로의 하나 또는 그 초과인 출력들을 생성하도록 구성된 하나 또는 그 초과인 비교기들을 포함하는, 장치.

청구항 13

제1 항에 있어서,

상기 장치가 리셋되거나 전력 사이클링되면 상기 위상 검출 회로는 상기 제1 감지 신호의 위상과 상기 제2 감지 신호의 위상을 비교하도록 구성되는, 장치.

청구항 14

제1 항에 있어서,

상기 제1 주파수 분할기는 상기 제1 분할 신호의 I 및 Q 버전들을 생성하도록 구성된 제1 동-위상/직교(I/Q) 주파수 분할기를 포함하고,

상기 제2 주파수 분할기는 상기 제2 분할 신호의 I 및 Q 버전들을 생성하도록 구성된 제2 I/Q 주파수 분할기를 포함하는, 장치.

청구항 15

제14 항에 있어서,

상기 제1 감지 신호는 상기 제1 분할 신호의 I 버전에 기반하고, 상기 제2 감지 신호는 상기 제2 분할 신호의 I 버전에 기반하는, 장치.

청구항 16

제1 항에 있어서,

상기 위상 검출 회로는 상기 제1 감지 신호와 상기 제2 감지 신호 사이의 0, 90°, 180° 또는 270° 위상 차를 검출하도록 구성되는, 장치.

청구항 17

제1 항에 있어서,

VCO(voltage-controlled oscillator);

상기 VCO의 출력 신호로부터 상기 제1 주기적 신호를 생성하도록 구성된 제1 증폭기; 및
상기 VCO의 출력 신호로부터 상기 제2 주기적 신호를 생성하도록 구성된 제2 증폭기를 더 포함하는, 장치.

청구항 18

다수의 주기적 신호들을 생성하는 방법으로서,

제1 분할 신호를 생성하기 위해 제1 주기적 신호를 주파수 분할하는 단계;

제2 분할 신호를 생성하기 위해 제2 주기적 신호를 주파수 분할하는 단계;

상기 제1 분할 신호에 기반하는 제1 감지 신호의 위상과, 상기 제2 분할 신호에 기반하는 제2 감지 신호의 위상을 비교하는 단계;

상기 제1 감지 신호 및 상기 제2 감지 신호가 역-위상이면(out-of-phase) 제1 트리거 신호를 생성하는 단계; 및

상기 제1 분할 신호의 위상을 조정하기 위해 상기 제1 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 상기 제1 주기적 신호의 펄스를 억제하는 단계를 포함하는, 다수의 주기적 신호들을 생성하는 방법.

청구항 19

제18 항에 있어서,

상기 제1 분할 신호의 버퍼링된 버전을 형성하기 위해 상기 제1 분할 신호를 버퍼링하는 단계 — 상기 제1 감지 신호는 상기 제1 분할 신호의 버퍼링된 버전임 — ; 및

상기 제2 분할 신호의 버퍼링된 버전을 형성하기 위해 상기 제2 분할 신호를 버퍼링하는 단계를 더 포함하고,

상기 제2 감지 신호는 상기 제2 분할 신호의 버퍼링된 버전인, 다수의 주기적 신호들을 생성하는 방법.

청구항 20

제18 항에 있어서,

상기 제1 감지 신호 및 상기 제2 감지 신호가 역-위상이면 제2 트리거 신호를 생성하는 단계; 및

상기 제2 분할 신호의 위상을 조정하기 위해 상기 제2 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 상기 제2 주기적 신호의 펄스를 억제하는 단계를 더 포함하는, 다수의 주기적 신호들을 생성하는 방법.

청구항 21

제18 항에 있어서,

제3 분할 신호를 생성하기 위해 상기 제1 분할 신호를 주파수 분할하는 단계 — 상기 제1 감지 신호는 상기 제3 분할 신호임 — ; 및

제4 분할 신호를 생성하기 위해 상기 제2 분할 신호를 주파수 분할하는 단계를 더 포함하고,

상기 제2 감지 신호는 상기 제4 분할 신호인, 다수의 주기적 신호들을 생성하는 방법.

청구항 22

제21 항에 있어서,

상기 제1 감지 신호 및 상기 제2 감지 신호가 역-위상이면 제2 트리거 신호를 생성하는 단계; 및

상기 제3 분할 신호의 위상을 조정하기 위해 상기 제2 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 상기 제1 분할 신호의 펄스를 억제하는 단계를 더 포함하는, 다수의 주기적 신호들을 생성하는 방법.

청구항 23

제22 항에 있어서,

상기 제1 감지 신호 및 상기 제2 감지 신호가 역-위상이면 제3 트리거 신호를 생성하는 단계; 및

상기 제2 분할 신호의 위상을 조정하기 위해 상기 제3 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 상기 제2 주기적 신호의 펄스를 억제하는 단계를 더 포함하는, 다수의 주기적 신호들을 생성하는 방법.

청구항 24

제23 항에 있어서,

상기 제1 감지 신호 및 상기 제2 감지 신호가 역-위상이면 제4 트리거 신호를 생성하는 단계; 및

상기 제4 분할 신호의 위상을 조정하기 위해 상기 제4 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 상기 제2 분할 신호의 펄스를 억제하는 단계를 더 포함하는, 다수의 주기적 신호들을 생성하는 방법.

청구항 25

제18 항에 있어서,

제3 분할 신호를 생성하기 위해 제3 주기적 신호를 주파수 분할하는 단계;

상기 제3 분할 신호에 기반하는 제3 감지 신호의 위상과, 상기 제1 감지 신호의 위상 또는 상기 제2 감지 신호의 위상을 비교하는 단계;

상기 제3 감지 신호, 및 상기 제1 감지 신호 또는 상기 제2 감지 신호가 각각 역-위상이면 제2 트리거 신호를 생성하는 단계; 및

상기 제3 분할 신호의 위상을 조정하기 위해 상기 제2 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 상기 제3 주기적 신호의 펄스를 억제하는 단계를 더 포함하는, 다수의 주기적 신호들을 생성하는 방법.

청구항 26

제18 항에 있어서,

상기 제1 주기적 신호를 주파수 분할하는 단계는, 상기 제1 분할 신호의 동-위상(I) 및 직교(Q) 버전들을 생성하기 위해 상기 제1 주기적 신호를 주파수 분할하는 단계를 포함하고,

상기 제2 주기적 신호를 주파수 분할하는 단계는, 상기 제2 분할 신호의 I 및 Q 버전들을 생성하기 위해 상기 제2 주기적 신호를 주파수 분할하는 단계를 포함하고,

상기 제1 감지 신호는 상기 제1 분할 신호의 Q 버전에 기반하고,

상기 제2 감지 신호는 상기 제2 분할 신호의 Q 버전에 기반하는, 다수의 주기적 신호들을 생성하는 방법.

청구항 27

제18 항에 있어서,

상기 비교하는 단계는 상기 제1 감지 신호와 상기 제2 감지 신호 사이의 0 또는 180° 위상 차를 검출하기 위해 상기 제1 감지 신호의 위상과 상기 제2 감지 신호의 위상을 비교하는 단계를 포함하는, 다수의 주기적 신호들을 생성하는 방법.

청구항 28

제18 항에 있어서,

상기 제1 분할 신호의 위상은 상기 제1 분할 신호 및 상기 제2 분할 신호가 동-위상이도록 조정되는, 다수의 주기적 신호들을 생성하는 방법.

청구항 29

제18 항에 있어서,

VCO(voltage-controlled oscillator)의 출력 신호로부터 상기 제1 주기적 신호를 생성하는 단계; 및

상기 VCO의 출력 신호로부터 상기 제2 주기적 신호를 생성하는 단계를 더 포함하는, 다수의 주기적 신호들을 생

성하는 방법.

청구항 30

장치로서,

제1 분할 신호를 생성하기 위해 제1 주기적 신호를 주파수 분할하기 위한 수단;

제2 분할 신호를 생성하기 위해 제2 주기적 신호를 주파수 분할하기 위한 수단;

상기 제1 분할 신호에 기반하는 제1 감지 신호의 위상과, 상기 제2 분할 신호에 기반하는 제2 감지 신호의 위상을 비교하기 위한 수단;

상기 제1 감지 신호 및 상기 제2 감지 신호가 역-위상이면 제1 트리거 신호를 생성하기 위한 수단; 및

상기 제1 분할 신호의 위상을 조정하기 위해 상기 제1 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 상기 제1 주기적 신호의 펄스를 억제하기 위한 수단을 포함하는, 장치.

발명의 설명

기술 분야

[0001] 본 출원은 2015년 8월 19일자로 출원된 미국 특허 출원 번호 제14/829,723호에 대한 우선권을 주장하며, 상기 미국 특허 출원은 그 전체가 인용에 의해 본원에 포함된다.

[0002] 본 개시내용의 특정 양상들은 일반적으로, 전자 회로들에 관한 것으로, 더 상세하게는, 펄스 스왈로잉(pulse swallowing) 기법에 기반하여 상이한 발진기 경로들의 주파수 분할기들을 동기화하는 것에 관한 것이다.

배경 기술

[0003] 무선 통신 네트워크들은 텔레포니, 비디오, 데이터, 메시징, 브로드캐스트들 등과 같은 다양한 통신 서비스들을 제공하도록 폭넓게 배치된다. 통상적으로 다중 액세스 네트워크들인 그러한 네트워크들은 이용가능한 네트워크 자원들을 공유함으로써 다수의 사용자들에 대한 통신들을 지원한다. 예컨대, 하나의 네트워크는 IEEE(Institute of Electrical and Electronics Engineers) 802.11 표준(예컨대, Wi-Fi)에 따른 WLAN(wireless local area network) 또는 IEEE 802.15 표준에 따른 WPAN(wireless personal area network)일 수 있다. 다른 예시적 무선 네트워크는 3G(3 세대의 모바일 폰 표준들 및 기술), 4G 또는 향후 세대 시스템일 수 있고, 이는 EVDO(Evolution-Data Optimized), 1xRTT(1 times Radio Transmission Technology 또는 단순히 1x), W-CDMA(Wideband Code Division Multiple Access), UMTS-TDD(Universal Mobile Telecommunications System - Time Division Duplexing), HSPA(High Speed Packet Access), GPRS(General Packet Radio Service) 또는 EDGE(Enhanced Data rates for Global Evolution)를 포함하는 다양한 RAT(radio access technology)들 중 임의의 하나를 통해 네트워크 서비스를 제공할 수 있다. 3G 네트워크는 음성 콜(call)들에 추가하여, 고속 인터넷 액세스 및 비디오 텔레포니를 포함하도록 진화된 광역 셀룰러 전화 네트워크이다. 게다가, 3G 네트워크는 더 확립될 수 있으며, 다른 네트워크 시스템들보다 큰 커버리지 영역들을 제공할 수 있다. 그러한 다중 액세스 네트워크들은 또한, CDMA(code division multiple access) 시스템들, TDMA(time division multiple access) 시스템들, FDMA(frequency division multiple access) 시스템들, OFDMA(orthogonal frequency division multiple access) 시스템들, SC-FDMA(single-carrier FDMA) 네트워크들, 3GPP(3rd Generation Partnership Project) LTE(Long Term Evolution) 네트워크들 및 LTE-A(Long Term Evolution Advanced) 네트워크들을 포함할 수 있다.

[0004] 무선 통신 네트워크는 다수의 이동국들에 대한 통신을 지원할 수 있는 다수의 기지국들을 포함할 수 있다. 이동국(MS)은 다운링크 및 업링크를 통해 기지국(BS)과 통신할 수 있다. 다운링크(또는 순방향 링크)는 기지국으로부터 이동국으로의 통신 링크를 지칭하고, 업링크(또는 역방향 링크)는 이동국으로부터 기지국으로의 통신 링크를 지칭한다. 기지국은 데이터 및 제어 정보를 다운링크를 통해 이동국에 송신할 수 있고 그리고/또는 이동국으로부터 업링크를 통해 데이터 및 제어 정보를 수신할 수 있다. 이 순방향 및/또는 역방향 링크들은 SISO(single-in single-out), MISO(multiple-in single-out), 또는 MIMO(multiple-in multiple-out) 기법들을 통해 설정될 수 있다.

[0005] MIMO 시스템은 데이터 송신을 위해 다수(N_T 개)의 송신 안테나들 및 다수(N_R 개)의 수신 안테나들을 사용한다. N_T 개의 송신 및 N_R 개의 수신 안테나들에 의해 형성된 MIMO 채널은 N_S 개의 독립적인 채널들로 분해될 수 있다.

으며, 이 독립적인 채널들은 또한, 공간 채널들로 지칭되며, 여기서, $N_S \leq \min\{N_T, N_R\}$ 이다. N_S 개의 독립적인 채널들의 각각은 차원(dimension)에 대응한다. 다수의 송신 및 수신 안테나들에 의해 생성된 추가적 차원성(dimensionality)들이 활용될 경우, MIMO 시스템은 개선된 성능(예컨대, 더 높은 스루풋 및/또는 더 큰 신뢰성)을 제공할 수 있다.

[0006] 무선 통신 디바이스들(예컨대, MIMO 통신들에서 사용되는 이동국들 및/또는 기지국들)의 특정 RF(radio frequency) 프론트-엔드들은 다수의 수신기(RX) 경로들, 다수의 송신기(TX) 경로들, 또는 다수의 트랜시버 경로들(체인들로 또한 알려짐)을 가진다. 다중경로 RF 프론트-엔드에서의 이러한 경로들(체인들) 각각은 자기 자신의 LO(local oscillator)를 가질 수 있다. 다양한 LO 신호들은, 예컨대, 각각의 LO 경로와 연관된 2-분할(Div2) 주파수 분할기를 사용하여 단일 VCO(voltage-controlled oscillator)로부터 생성될 수 있다. 모든 주파수 분할기들이 동일한 LO 주파수를 출력할 수 있지만, LO 경로의 각각의 분할기는 다른 LO 경로의 다른 분할기에 관련된 동-위상(in-phase)(0°) 또는 역-위상(out-of-phase)(180°)을 임의적으로 스타트-업(start-up)할 수 있다. 특정 성능들을 달성하거나 또는 특정 기능들, 이를테면, 빔포밍 및 MIMO 통신을 수행하기 위해, 동-위상에서 상이한 LO 경로들에 로케이팅된 분할기들을 동작시키는 것이 바람직할 수 있다.

[0007] 따라서, 2개 또는 그 초과와 고주파수 주기적 신호들이 동-위상인지 또는 역-위상인지를 검출하고, 역-위상 신호들의 위상들을 조정하기 위한 기법들 및 장치가 필요하다.

발명의 내용

[0008] 본 개시내용의 특정 양상들은 일반적으로, 펄스 억제를 사용하여 (예컨대, 분할 신호들을 동기화하려는 노력으로) 상이한 회로 경로들의 주파수 분할기들에 의해 출력된 신호들의 위상들을 조정하는 것과 관련된다.

[0009] 본 개시내용의 특정 양상들은 다수의 주기적 신호들을 생성하기 위한 장치를 제공한다. 장치는 일반적으로, 제1 분할 신호를 생성하기 위해 제1 주기적 신호를 주파수 분할하도록 구성된 제1 주파수 분할기를 가지는 제1 회로 경로; 제2 분할 신호를 생성하기 위해 제2 주기적 신호를 주파수 분할하도록 구성된 제2 주파수 분할기를 가지는 제2 회로 경로; 제1 회로 경로 및 제2 회로 경로에 커플링된 위상 검출 회로 - 위상 검출 회로는, 제1 분할 신호에 기반하는 제1 감지 신호의 위상과, 제2 분할 신호에 기반하는 제2 감지 신호의 위상을 비교하고, 그리고 제1 감지 신호 및 제2 감지 신호가 역-위상이면 제1 트리거 신호를 생성하도록 구성됨 - ; 및 위상 검출 회로에 커플링되며, 제1 분할 신호의 위상을 조정하기 위해 제1 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 제1 주기적 신호의 펄스를 억제하도록 구성된 제1 펄스 억제 회로를 포함한다.

[0010] 특정 양상들에 따라, 제1 감지 신호는 제1 분할 신호이다(또는 제1 분할 신호의 버퍼링된 버전임). 특정 양상들의 경우, 제2 감지 신호는 제2 분할 신호이다(또는 제2 분할 신호의 버퍼링된 버전임).

[0011] 특정 양상들에 따라, 장치는, 위상 검출 회로에 커플링된 제2 펄스 억제 회로를 더 포함하고, 제1 감지 신호 및 제2 감지 신호가 역-위상이면 위상 검출 회로는 제2 트리거 신호를 생성하도록 구성되고, 제2 펄스 억제 회로는 제2 분할 신호의 위상을 조정하기 위해 제2 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 제2 주기적 신호의 펄스를 억제하도록 구성된다.

[0012] 특정 양상들에 따라, 장치는, 제3 분할 신호를 생성하기 위해 제1 분할 신호를 주파수 분할하도록 구성된 제3 주파수 분할기 - 제1 감지 신호는 제3 분할 신호(또는 제3 분할 신호의 버퍼링 버전)임 - ; 및 제4 분할 신호를 생성하기 위해 제2 분할 신호를 주파수 분할하도록 구성된 제4 주파수 분할기를 더 포함하고, 제2 감지 신호는 제4 분할 신호(또는 제4 분할 신호의 버퍼링 버전)이다. 특정 양상들의 경우, 장치는, 위상 검출 회로에 커플링된 제2 펄스 억제 회로를 더 포함하고, 제1 감지 신호 및 제2 감지 신호가 역-위상이면 위상 검출 회로는 제2 트리거 신호를 생성하도록 구성되고, 제2 펄스 억제 회로는 제3 분할 신호의 위상을 조정하기 위해 제2 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 제1 분할 신호를 억제하도록 구성된다. 특정 양상들의 경우, 장치는, 위상 검출 회로에 커플링된 제3 펄스 억제 회로를 더 포함하고, 제1 감지 신호 및 제2 감지 신호가 역-위상이면 위상 검출 회로는 제3 트리거 신호를 생성하도록 구성되고, 제3 펄스 억제 회로는 제2 분할 신호의 위상을 조정하기 위해 제3 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 제2 주기적 신호의 펄스를 억제하도록 구성된다. 특정 양상들의 경우, 장치는, 위상 검출 회로에 커플링된 제4 펄스 억제 회

로를 더 포함하고, 제1 감지 신호 및 제2 감지 신호가 역-위상이면 위상 검출 회로는 제4 트리거 신호를 생성하도록 구성되고, 제4 펄스 억제 회로는 제4 분할 신호의 위상을 조정하기 위해 제4 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 제2 분할 신호의 펄스를 억제하도록 구성된다.

[0013] 특정 양상들에 따라, 장치는, 제3 분할 신호를 생성하기 위해 제3 주기적 신호를 주파수 분할하도록 구성된 제3 주파수 분할기를 가지는 제3 회로 경로 - 위상 검출 회로는 제3 회로 경로에 추가로 커플링되며, 제3 분할 신호에 기반하는 제3 감지 신호의 위상과, 제1 감지 신호의 위상 또는 제2 감지 신호의 위상을 비교하고, 그리고 제3 감지 신호, 및 제1 감지 신호 또는 제2 감지 신호가 각각 역-위상이면 제2 트리거 신호를 생성하도록 추가로 구성됨 - ; 및 위상 검출 회로에 커플링되며, 제3 분할 신호의 위상을 조정하기 위해 제2 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 제3 주기적 신호의 펄스를 억제하도록 구성된 제2 펄스 억제 회로를 더 포함한다.

[0014] 특정 양상들에 따라, 제1 펄스 억제 회로는, 복수의 지연(D) 플립-플롭들, 및 위상 검출 회로로부터의 제1 트리거 신호 및 제1 주기적 신호에 기반하여 게이팅 펄스를 생성하기 위해 복수의 D 플립-플롭들의 출력들과 인터페이싱되는 제1 결합적 로직; 및 제1 결합적 로직의 출력들 및 제1 주기적 신호와 인터페이싱되며, 게이팅 펄스에 기반하여 적어도 하나의 사이클 동안 제1 주기적 신호의 펄스를 억제하도록 구성되는 제2 결합적 로직을 포함한다.

[0015] 특정 양상들에 따라, 위상 검출 회로는, 제1 감지 신호 및 제2 감지 신호를 수신하도록 구성된 XOR(exclusive OR) 로직; XOR 로직에 커플링된 하나 또는 그 초과 의 로우-패스 필터들; 및 하나 또는 그 초과 의 로우-패스 필터들에 커플링되며, 제1 트리거 신호를 포함하는, 위상 검출 회로의 하나 또는 그 초과 의 출력들을 생성하도록 구성된 하나 또는 그 초과 의 비교기들을 포함한다.

[0016] 특정 양상들에 따라, (단지) 장치가 리셋되거나 전력 사이클링되면 위상 검출 회로는 제1 감지 신호의 위상과 제2 감지 신호의 위상을 비교하도록 구성된다.

[0017] 특정 양상들에 따라, 제1 주파수 분할기는 제1 분할 신호의 I 및 Q 버전들을 생성하도록 구성된 제1 동-위상/직교(I/Q) 주파수 분할기를 포함하고, 제2 주파수 분할기는 제2 분할 신호의 I 및 Q 버전들을 생성하도록 구성된 제2 I/Q 주파수 분할기를 포함한다. 특정 양상들의 경우, 제1 감지 신호는 제1 분할 신호의 I 버전에 기반하고, 제2 감지 신호는 제2 분할 신호의 I 버전에 기반한다. 다른 양상들의 경우, 제1 감지 신호는 제1 분할 신호의 Q 버전에 기반하고, 제2 감지 신호는 제2 분할 신호의 Q 버전에 기반한다.

[0018] 특정 양상들에 따라, 위상 검출 회로는 제1 감지 신호와 제2 감지 신호 사이의 0 또는 180° 위상 차를 검출하도록 구성된다. 다른 양상들의 경우, 위상 검출 회로는 제1 감지 신호와 제2 감지 신호 사이의 0, 90°, 180° 또는 270° 위상 차를 검출하도록 구성된다.

[0019] 특정 양상들에 따라, 제1 분할 신호의 위상은 제1 분할 신호 및 제2 분할 신호가 동-위상이도록 조정된다.

[0020] 특정 양상들에 따라, 장치는, VCO(voltage-controlled oscillator), VCO의 출력 신호로부터 제1 주기적 신호를 생성하도록 구성된 제1 증폭기, 및 VCO의 출력 신호로부터 제2 주기적 신호를 생성하도록 구성된 제2 증폭기를 더 포함한다.

[0021] 본 개시내용의 특정 양상들은 다수의 주기적 신호들을 생성하는 방법을 제공한다. 방법은 일반적으로, 제1 분할 신호를 생성하기 위해 제1 주기적 신호를 주파수 분할하는 단계; 제2 분할 신호를 생성하기 위해 제2 주기적 신호를 주파수 분할하는 단계; 제1 분할 신호에 기반하는 제1 감지 신호의 위상과, 제2 분할 신호에 기반하는 제2 감지 신호의 위상을 비교하는 단계; 제1 감지 신호 및 제2 감지 신호가 역-위상이면 제1 트리거 신호를 생성하는 단계; 및 제1 분할 신호의 위상을 조정하기 위해 제1 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 제1 주기적 신호의 펄스를 억제하는 단계를 포함한다.

[0022] 본 개시내용의 특정 양상들은 다수의 주기적 신호들을 생성하기 위한 장치를 제공한다. 장치는 일반적으로, 제1 분할 신호를 생성하기 위해 제1 주기적 신호를 주파수 분할하기 위한 수단; 제2 분할 신호를 생성하기 위해 제2 주기적 신호를 주파수 분할하기 위한 수단; 제1 분할 신호에 기반하는 제1 감지 신호의 위상과, 제2 분할 신호에 기반하는 제2 감지 신호의 위상을 비교하기 위한 수단; 제1 감지 신호 및 제2 감지 신호가 역-위상이면 제1 트리거 신호를 생성하기 위한 수단; 및 제1 분할 신호의 위상을 조정하기 위해 제1 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 제1 주기적 신호의 펄스를 억제하기 위한 수단을 포함한다.

도면의 간단한 설명

- [0023] 본 개시내용의 기술된 특징들이 상세하게 이해될 수 있는 방식으로, 위에서 간략하게 요약된 더 특정한 설명이 양상들을 참조하여 행해질 수 있고, 이 양상들 중 일부는 첨부되는 도면들에서 예시된다. 그러나, 이 설명이 다른 등가적 유효 양상들에 대해 허용될 수 있기 때문에, 첨부되는 도면들은 본 개시내용의 특정한 통상적 양상들만을 예시하고, 따라서, 본 개시내용의 범위에 대한 제한으로 고려되지 않을 것이라는 점이 주목될 것이다.
- [0024] 도 1은 본 개시내용의 특정 양상들에 따른 예시적 무선 통신 네트워크의 다이어그램이다.
- [0025] 도 2는 본 개시내용의 특정 양상들에 따른, 예시적 액세스 포인트(AP: access point) 및 예시적 사용자 단말들의 블록 다이어그램이다.
- [0026] 도 3은 본 개시내용의 특정 양상들에 따른 예시적 트랜시버 프런트-엔드의 블록 다이어그램이다.
- [0027] 도 4는 본 개시내용의 특정 양상들에 따른, 주파수 분할 및 펄스 억제를 사용하여 다수의 주기적 신호들을 생성하기 위한 예시적 동작들의 흐름 다이어그램이다.
- [0028] 도 5는 본 개시내용의 특정 양상들에 따른 다수의 예시적 LO(local oscillator) 경로들의 블록 다이어그램이고, 여기서, 상이한 LO 경로들의 주파수 분할기들에 의해 생성된 주기적 (클럭) 신호들은 각각의 LO 경로의 펄스 스왈로잉 회로를 사용하여 동기화될 수 있다.
- [0029] 도 6은 본 개시내용의 특정 양상들에 따른 다수의 예시적 LO 경로들의 블록 다이어그램이고, 여기서, 대안적 위상 검출 기법 및 선택적 펄스 스왈로잉 회로들은 각각의 LO 경로에서 사용된다.
- [0030] 도 7은 본 개시내용의 특정 양상들에 따른, 도 5 및 도 6의 펄스 스왈로잉 회로들로서 활용될 수 있는 예시적 펄스 스왈로잉 회로(및 연관된 타이밍 다이어그램)를 예시한다.
- [0031] 도 8은 본 개시내용의 특정 양상들에 따른, 도 5 및 도 6의 위상 검출 회로들로서 활용될 수 있는 예시적 위상 검출 회로의 블록 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

- [0024] [0032] 본 개시내용의 특정 양상들은, 예컨대, 무선 통신 디바이스의 송신기, 수신기 또는 트랜시버에서, 상이한 LO(local oscillator) 경로들의 독립적 주파수 분할기들에 의해 생성된 주기적(클럭) 신호들의 위상들을 동기화(또는 적어도 조정)하기 위한 방법들 및 장치를 제공한다. 이러한 동기화는, 2개의 상이한 LO 경로들의 독립적 주파수 분할기들로부터의 2개의 분할 신호들이 역-위상인지 여부를 검출하고, 만약 그렇다면, 이러한 주파수 분할기로부터의 결과적 출력의 위상을 조정하기 위해 주파수 분할기들 중 하나에 입력된 주기적 신호의 적어도 하나의 사이클을 억제함으로써, 수행될 수 있다.
- [0025] [0033] 본 개시내용의 다양한 양상들이 아래에서 설명된다. 본원에서의 교시 사항들은 아주 다양한 형태들로 구현될 수 있고, 본원에서 개시되는 임의의 특정 구조, 기능 또는 이 둘 모두는 단지 대표적이라는 것이 명백해야 한다. 본원에서의 교시 사항들에 기반하여, 당업자는 본원에서 개시되는 양상이 임의의 다른 양상들과는 독립적으로 구현될 수 있고, 이 양상들 중 둘 또는 그 초과 양상들이 다양한 방식으로 조합될 수 있다는 것을 인식해야 한다. 예컨대, 본원에서 기술되는 임의의 수의 양상들을 사용하여 장치가 구현될 수 있거나 또는 방법이 실시될 수 있다. 또한, 본원에서 기술되는 양상들 중 하나 또는 그 초과 양상들에 추가하여 또는 그 이외에, 다른 구조, 기능, 또는 구조 및 기능을 사용하여 그러한 장치가 구현될 수 있거나 또는 그러한 방법이 실시될 수 있다. 게다가, 양상은 청구항의 적어도 하나의 엘리먼트를 포함할 수 있다.
- [0026] [0034] "예시적"이라는 용어는, "예, 사례 또는 예시로서 제공되는"을 의미하는 것으로 본원에서 사용된다. "예시적"으로서 본원에서 설명되는 임의의 양상은 반드시 다른 양상들에 비해 바람직하거나 또는 유리한 것으로서 해석되는 것은 아니다.
- [0027] [0035] 본원에서 설명되는 기법들은 CDMA(Code Division Multiple Access), OFDM(Orthogonal Frequency Division Multiplexing), TDMA(Time Division Multiple Access), SDMA(Spatial Division Multiple Access), SC-FDMA(Single Carrier Frequency Division Multiple Access), TD-SCDMA(Time Division Synchronous Code Division Multiple Access) 등과 같은 다양한 무선 기술들과 조합하여 사용될 수 있다. 다수의 사용자 단말들은 동시에, 상이한 (1) CDMA에 대한 직교 코드 채널들, (2) TDMA에 대한 시간 슬롯들 또는 (3) OFDM에 대한 서

브-대역들을 통해 데이터를 송신/수신할 수 있다. CDMA 시스템은 IS-2000, IS-95, IS-856, W-CDMA(Wideband-CDMA) 또는 일부 다른 표준들을 구현할 수 있다. OFDM 시스템은 IEEE(Institute of Electrical and Electronics Engineers) 802.11(WLAN(Wireless Local Area Network)), IEEE 802.16(WiMAX(Worldwide Interoperability for Microwave Access)), (예컨대, TDD 및/또는 FDD 모드들에서의) LTE(Long Term Evolution) 또는 일부 다른 표준들을 구현할 수 있다. TDMA 시스템은 GSM(Global System for Mobile Communications) 또는 일부 다른 표준들을 구현할 수 있다. 이러한 다양한 표준들은 당해 기술 분야에 알려져 있다. 본원에서 설명되는 기법들은 또한 GNSS(Global Navigation Satellite System), 블루투스, IEEE 802.15(WPAN(Wireless Personal Area Network)), NFC(Near Field Communication), 소형 셀, FM(Frequency Modulation) 등을 포함하는 RF(radio frequency) 기술을 사용하여 다양한 다른 적합한 무선 시스템들 중 임의의 것으로 구현될 수 있다.

[0028] [0036] 특정 양상들이 본원에서 설명되지만, 이 양상들의 많은 변형들 및 치환들은 개시내용의 범위 내에 속한다. 바람직한 양상들의 일부 이익들 및 이점들이 언급되지만, 개시내용의 범위는 특정 이익들, 용도들, 또는 목적들로 제한되도록 의도되지 않는다. 오히려, 개시내용의 양상들은 상이한 기술들, 시스템 구성들, 네트워크들 및 프로토콜들에 광범위하게 적용가능하도록 의도되며, 이들 중 일부는 바람직한 양상들의 다음의 설명 및 도면들에서 예로서 예시된다. 상세한 설명 및 도면들은 제한하는 것이 아니라 단지 개시내용의 예시에 불과하고, 개시내용의 범위는 첨부되는 청구항들 및 이들의 등가물들에 의해 정의된다.

[0029] 예시적 무선 시스템

[0030] [0037] 도 1은 액세스 포인트들(110) 및 사용자 단말들(120)을 가지는 무선 통신 시스템(100)을 예시하고, 이들 중 어느 하나는 본 개시내용의 양상들을 포함하거나 또는 활용할 수 있다. 단순함을 위해, 단지 하나의 액세스 포인트(110)만이 도 1에 도시된다. 일반적으로, 액세스 포인트(AP)는 사용자 단말들과 통신하는 고정국이며, 또한 기지국(BS), eNB(evolved Node B) 또는 일부 다른 용어로 지칭될 수 있다. 사용자 단말(UT)은 고정형 또는 이동형일 수 있으며, 또한 이동국(MS), 액세스 단말, 사용자 장비(UE), 스테이션(STA), 클라이언트, 무선 디바이스 또는 일부 다른 용어로 지칭될 수 있다. 사용자 단말은 셀룰러 폰, PDA(personal digital assistant), 핸드헬드 디바이스, 무선 모뎀, 랩탑 컴퓨터, 태블릿, 개인용 컴퓨터 등과 같은 무선 디바이스일 수 있다. 본 개시내용의 특정 양상들에서, 액세스 포인트(110) 또는 사용자 단말(120)은 주파수 분할기들을 가지는 다수의 발진기 경로들을 포함할 수 있고, 발진기 경로들 중 하나 또는 그 초과 발진기 경로의 분할기들에 의해 출력된 신호들의 위상들은, 아래에서 설명되는 바와 같이, 동기화 또는 적어도 조정될 수 있다.

[0031] [0038] 액세스 포인트(110)는 다운로드 및 업링크 상에서 임의의 주어진 순간에 하나 또는 그 초과 사용자 단말들(120)과 통신할 수 있다. 다운로드(즉, 순방향 링크)는 액세스 포인트로부터 사용자 단말들로의 통신 링크이며, 업링크(즉, 역방향 링크)는 사용자 단말들로부터 액세스 포인트로의 통신 링크이다. 또한, 사용자 단말은 다른 사용자 단말과 피어-투-피어 통신할 수 있다. 시스템 제어기(130)는 액세스 포인트들에 커풀링되어 액세스 포인트들에 대한 조정 및 제어를 제공한다.

[0032] [0039] 시스템(100)은 다운로드 및 업링크를 통한 데이터 송신을 위한 다수의 송신 및 다수의 수신 안테나들을 사용한다. 다운로드 송신들에 대한 송신 다이버시티 및/또는 업링크 송신들에 대한 수신 다이버시티를 달성하기 위해 액세스 포인트(110)에는 다수(N_{ap} 개)의 안테나들이 장착될 수 있다. 한 세트(N_u 개)의 선택된 사용자 단말들(120)은 다운로드 송신들을 수신하고, 업링크 송신들을 송신할 수 있다. 각각의 선택된 사용자 단말은 사용자-특정 데이터를 액세스 포인트에 송신하고 그리고/또는 액세스 포인트로부터 사용자-특정 데이터를 수신한다. 일반적으로, 각각의 선택된 사용자 단말에는 하나 또는 다수의 안테나들(즉, $N_{ut} \geq 1$)이 장착될 수 있다. N_u 개의 선택된 사용자 단말들은 동일한 또는 상이한 수의 안테나들을 가질 수 있다.

[0033] [0040] 무선 시스템(100)은 TDD(time division duplex)시스템 또는 FDD(frequency division duplex)시스템일 수 있다. TDD 시스템의 경우, 다운로드 및 업링크는 동일한 주파수 대역을 공유할 수 있다. FDD 시스템의 경우, 다운로드 및 업링크는 상이한 주파수 대역들을 사용한다. 또한, 시스템(100)은 송신을 위해 단일 캐리어 또는 다수의 캐리어들을 활용할 수 있다. 각각의 사용자 단말(120)에는 (예컨대, 비용들을 낮추기 위해) 단일 안테나가 또는 (예컨대, 추가적 비용이 지원될 수 있는 경우) 다수의 안테나들이 장착될 수 있다.

[0034] [0041] 도 2는 무선 시스템(100) 내의 액세스 포인트(110) 및 2개의 사용자 단말들(120m 및 120x)의 블록 다이어그램을 도시한다. 액세스 포인트(110)에는 N_{ap} 개의 안테나들(224a 내지 224ap)이 장착된다. 사용자 단말

(120m)에는 $N_{ut,m}$ 개의 안테나들(252ma 내지 252mu)이 장착되고, 사용자 단말(120x)에는 $N_{ut,x}$ 개의 안테나들(252xa 내지 252xu)이 장착된다. 액세스 포인트(110)는 다운링크를 위한 송신 엔티티 및 업링크를 위한 수신 엔티티이다. 각각의 사용자 단말(120)은 업링크를 위한 송신 엔티티 및 다운링크를 위한 수신 엔티티이다. 본원에서 사용되는 바와 같이, "송신 엔티티"는 주파수 채널을 통해 데이터를 송신할 수 있는 독립적으로 동작되는 장치 또는 디바이스이고, "수신 엔티티"는 주파수 채널을 통해 데이터를 수신할 수 있는 독립적으로 동작되는 장치 또는 디바이스이다. 다음의 설명에서, 아랫첨자 "dn"은 다운링크를 표시하고, 아랫첨자 "up"은 업링크를 표시하며, N_{up} 개의 사용자 단말들은 업링크를 통한 동시 송신을 위해 선택되고, N_{dn} 개의 사용자 단말들은 다운링크를 통한 동시 송신을 위해 선택되며, N_{up} 는 N_{dn} 과 동일할 수 있거나 또는 동일하지 않을 수 있고, N_{up} 및 N_{dn} 은 각각의 스케줄링 인터벌 동안 고정(static) 값들일 수 있거나 또는 변화할 수 있다. 빔-스티어링 또는 일부 다른 공간 프로세싱 기법이 액세스 포인트 및 사용자 단말에서 사용될 수 있다.

[0035] [0042] 업링크 상에서, 업링크 송신을 위해 선택된 각각의 사용자 단말(120)에서, TX 데이터 프로세서(288)는 데이터 소스(286)로부터 트래픽 데이터를 그리고 제어기(280)로부터 제어 데이터를 수신한다. TX 데이터 프로세서(288)는 사용자 단말에 대해 선택된 레이트와 연관된 코딩 및 변조 방식들에 기반하여 사용자 단말에 대해 트래픽 데이터 $\{d_{up}\}$ 를 프로세싱(예컨대, 인코딩, 인터리빙 및 변조)하며, $N_{ut,m}$ 개의 안테나들 중 하나에 데이터 심볼 스트림 $\{s_{up}\}$ 을 제공한다. 트랜시버 프론트-엔드(TX/RX)(254)(또한, RFFE(radio frequency front-end)로 알려져 있음)는 개개의 심볼 스트림을 수신 및 프로세싱(예컨대, 아날로그로 변환, 증폭, 필터링 및 주파수 상향변환)하여 업링크 신호를 생성한다. 트랜시버 프론트-엔드(254)는 또한, 예컨대, RF 스위치를 통해 송신 다이버시티에 대한 $N_{ut,m}$ 개의 안테나들 중 하나로 업링크 신호를 라우팅할 수 있다. 제어기(280)는 트랜시버 프론트-엔드(254) 내에서의 라우팅을 제어할 수 있다. 메모리(282)는 사용자 단말(120)에 대한 데이터 및 프로그램 코드들을 저장할 수 있으며, 제어기(280)와 인터페이스할 수 있다.

[0036] [0043] 다수(N_{up} 개)의 사용자 단말들은 업링크를 통한 동시 송신을 위해 스케줄링될 수 있다. 이러한 사용자 단말들 각각은 업링크를 통해 자신의 프로세싱된 심볼 스트림들의 세트를 액세스 포인트에 송신한다.

[0037] [0044] 액세스 포인트(110)에서, N_{ap} 개의 안테나들(224a 내지 224ap)은 업링크를 통해 송신하는 모든 N_{up} 개의 사용자 단말들로부터 업링크 신호들을 수신한다. 수신 다이버시티를 위해, 트랜시버 프론트-엔드(222)는 프로세싱을 위해 안테나들(224) 중 하나로부터 수신되는 신호들을 선택할 수 있다. 특정 양상들의 경우, 다수의 안테나들(224)로부터 수신되는 신호들의 조합은 향상된 수신 다이버시티를 위해 조합될 수 있다. 액세스 포인트의 트랜시버 프론트-엔드(222)는 또한, 사용자 단말의 트랜시버 프론트-엔드(254)에 의해 수행되는 프로세싱과 상보적인 프로세싱을 수행하며, 복원된 업링크 데이터 심볼 스트림을 제공한다. 복원된 업링크 데이터 심볼 스트림은 사용자 단말에 의해 송신되는 데이터 심볼 스트림 $\{s_{up}\}$ 의 추정치이다. RX 데이터 프로세서(242)는 복원된 업링크 데이터 심볼 스트림에 대해 사용되는 레이트에 따라 복원된 업링크 데이터 심볼 스트림을 프로세싱(예컨대, 복조, 디인터리빙 및 디코딩)하여 디코딩된 데이터를 획득한다. 각각의 사용자 단말에 대해 디코딩된 데이터는 저장을 위해 데이터 싱크(244)에 그리고/또는 추가적 프로세싱을 위해 제어기(230)에 제공될 수 있다. 본 개시내용의 특정 양상들에서, 트랜시버 프론트 엔드들(222 및 254) 중 어느 하나 또는 둘 모두는 주파수 분할기들을 가지는 다수의 LO(local oscillator) 경로들을 포함할 수 있고, LO 경로들 중 하나 또는 그 초과 LO 경로들의 분할기들에 의해 출력된 신호들의 위상들은, 아래에서 설명되는 바와 같이, 분할기들의 출력 신호들을 동기화하려는 노력으로 조정될 수 있다.

[0038] [0045] 다운링크 상에서, 액세스 포인트(110)에서는, TX 데이터 프로세서(210)가 데이터 소스(208)로부터, 다운링크 송신을 위해 스케줄링된 N_{dn} 개의 사용자 단말들에 대한 트래픽 데이터를, 제어기(230)로부터 제어 데이터를, 그리고 가능하게는 스케줄러(234)로부터 다른 데이터를 수신한다. 다양한 타입들의 데이터가 상이한 전송 채널들 상에서 전송될 수 있다. TX 데이터 프로세서(210)는 각각의 사용자 단말에 대해 선택된 레이트에 기반하여 각각의 사용자 단말에 대한 트래픽 데이터를 프로세싱(예컨대, 인코딩, 인터리빙 및 변조)한다. TX 데이터 프로세서(210)는 N_{ap} 개의 안테나들 중 하나로부터 송신될 N_{dn} 개의 사용자 단말들 중 하나 또는 그 초과 사용자 단말들에 대한 다운링크 데이터 심볼 스트림들을 제공할 수 있다. 트랜시버 프론트-엔드(222)는 심볼 스트림을 수신 및 프로세싱(예컨대, 아날로그로 변환, 증폭, 필터링 및 주파수 상향변환)하여 다운링크 신호를 생성한다. 트랜시버 프론트-엔드(222)는 또한, 예컨대, RF 스위치를 통해 송신 다이버시티에 대한 N_{ap} 개의 안테나들(224) 중 하나 또는 그 초과 안테나들로 다운링크 신호를 라우팅할 수 있다. 제어기(230)는 트랜시버 프

론트-엔드(222) 내에서의 라우팅을 제어할 수 있다. 메모리(232)는 액세스 포인트(110)에 대한 데이터 및 프로그램 코드들을 저장할 수 있으며, 제어기(230)와 인터페이싱할 수 있다.

[0039] [0046] 각각의 사용자 단말(120)에서, N_{ant} 개의 안테나들(252)은 액세스 포인트(110)로부터 다운링크 신호들을 수신한다. 사용자 단말(120)에서의 수신 다이버시티를 위해, 트랜시버 프론트-엔드(254)는 프로세싱을 위해 안테나들(252) 중 하나로부터 수신되는 신호들을 선택할 수 있다. 특정 양상들의 경우, 다수의 안테나들(252)로부터 수신되는 신호들의 조합은 향상된 수신 다이버시티를 위해 조합될 수 있다. 사용자 단말의 트랜시버 프론트-엔드(254)는 또한, 액세스 포인트의 트랜시버 프론트-엔드(222)에 의해 수행되는 프로세싱과 상보적인 프로세싱을 수행하며, 복원된 다운링크 데이터 심볼 스트림을 제공한다. RX 데이터 프로세서(270)는 복원된 다운링크 데이터 심볼 스트림을 프로세싱(예컨대, 복조, 디인터리빙 및 디코딩)하여 사용자 단말에 대해 디코딩된 데이터를 획득한다.

[0040] [0047] 당업자들은 본원에서 설명되는 기법들이 일반적으로, TDMA, SDMA, OFDMA(Orthogonal Frequency Division Multiple Access), CDMA, SC-FDMA, TD-SCDMA 또는 이들의 조합들과 같은 임의의 타입의 다중 액세스 방식들을 활용하여 시스템들에서 적용될 수 있다는 것을 인식할 것이다.

[0041] [0048] 도 3은 본 개시내용의 특정 양상들이 실시될 수 있는 예시적 트랜시버 프론트-엔드(300), 이를테면, 도 2의 트랜시버 프론트-엔드들(222, 254)의 블록 다이어그램이다. 트랜시버 프론트-엔드(300)는 하나 또는 그 초과 안테나들(303)을 통해 신호들을 송신하기 위한 적어도 하나의 송신(TX) 경로(302)(송신 체인으로 또한 알려짐) 및 안테나들을 통해 신호들을 수신하기 위한 적어도 하나의 수신(RX) 경로(304)(수신 체인으로 또한 알려짐)를 포함한다. TX 경로(302) 및 RX 경로(304)가 안테나(303)를 공유할 때, 경로들은 인터페이스(306)를 통해 안테나(303)와 연결될 수 있고, 인터페이스(306)는 다양한 적합한 RF 디바이스들 중 임의의 것, 이를테면, 듀플렉서, 스위치, 디플렉서 등을 포함할 수 있다.

[0042] [0049] DAC(digital-to-analog converter)(308)로부터 동-위상(I) 및/또는 직교(Q) 기저대역 아날로그 신호들을 수신할 때 각각의 TX 경로(302)는 BBF(baseband filter)(310), 믹서(312), DA(driver amplifier)(314) 및 PA(power amplifier)(316)를 포함할 수 있다. BBF(310), 믹서(312) 및 DA(314)는 RFIC(radio frequency integrated circuit)에 포함될 수 있는 반면, PA(316)는 RFIC 외부에 있을 수 있다. BBF(310)는 DAC(308)로부터 수신된 기저대역 신호들을 필터링하고, 믹서(312)는 관심있는 기저대역 신호를 상이한 주파수로 변환(예컨대, 기저대역으로부터 RF로 상향변환)하기 위해 필터링된 기저대역 신호들을 송신 LO(local oscillator) 신호와 믹싱한다. 이 주파수 변환 프로세스는 관심있는 신호의 주파수와 LO 주파수의 합 주파수 및 차 주파수를 생성한다. 합 주파수 및 차 주파수는 비트(beat) 주파수들로 지칭된다. 비트 주파수들은 통상적으로 RF 범위 내에 있어서, 믹서(312)에 의해 출력된 신호들은 통상적으로 RF 신호들이고, RF 신호들은 안테나(303)에 의한 송신 이전에, DA(314)에 의해 그리고 PA(316)에 의해 증폭된다.

[0043] [0050] 각각의 RX 경로(304)는 LNA(low noise amplifier)(322), 믹서(324) 및 BBF(baseband filter)(326)를 포함한다. LNA(322), 믹서(324) 및 BBF(326)는 RFIC(radio frequency integrated circuit) 내에 포함될 수 있고, 이 RFIC는 TX 경로 컴포넌트들(예컨대, BBF(310), 믹서(312) 및 DA(314))을 포함하는 동일한 RFIC일 수 있거나 또는 아닐 수 있다. 안테나(303)를 통해 수신된 RF 신호들은 LNA(322)에 의해 증폭될 수 있고, 믹서(324)는, 관심있는 RF 신호를 하위 기저대역 주파수로 변환(즉, 하향변환)하기 위해, 증폭된 RF 신호들을 수신 LO(local oscillator) 신호와 믹싱한다. 믹서(324)에 의해 출력된 기저대역 신호들은, 디지털 신호 프로세싱을 위해 ADC(analog-to-digital converter)(328)에 의해 디지털 I 및/또는 Q 신호들로 변환되기 이전에, BBF(326)에 의해 필터링될 수 있다.

[0044] [0051] LO의 출력이 주파수에서 안정되게 유지되는 것이 바람직할 수 있지만, 상이한 주파수들로 튜닝하는 것은 가변-주파수 발진기를 사용하는 것을 표시하고, 이는 안정성과 튜닝가능성 사이에서의 절충들을 수반한다. 현대 시스템들은 특정 튜닝 범위를 가지는 안정하고 튜닝가능한 LO를 생성하기 위해 VCO(voltage-controlled oscillator)를 포함하는 PLL(phase-locked loop)가지는 주파수 합성기들을 사용한다. 따라서, 각각의 송신 LO는 통상적으로 PLL(319)을 가지는 TX 주파수 합성기(318)에서의 LO 경로(317)에 의해 생성되고, 각각의 송신 LO는, 믹서(312)에서 기저대역 신호들과 믹싱되기 이전에, 버퍼링되거나 또는 증폭기(320)에 의해 증폭될 수 있다. 유사하게, 각각의 수신 LO는 통상적으로 PLL(331)을 가지는 RX 주파수 합성기(330)에서의 LO 경로(329)에 의해 생성되고, 이 수신 LO는, 믹서(324)에서 RF 신호들과 믹싱되기 이전에, 버퍼링되거나 또는 증폭기(332)에 의해 증폭될 수 있다. 본 개시내용의 특정 양상들에서, TX 및/또는 RX 주파수 합성기들(318, 330)은 주파수 분할기들을 가지는 다수의 LO(local oscillator) 경로들(317, 329)을 포함할 수 있고, LO 경로들(317, 329)

중 하나 또는 그 초과 L0 경로들의 분할기들에 의해 출력된 신호들의 위상들은, 아래에서 설명되는 바와 같이, 동기화 또는 적어도 조정될 수 있다.

[0045] 위상 조정을 위한 예시적 펄스 스왈로잉 기법

[0052] 특정 애플리케이션들, 이를테면, MIMO(multiple input, multiple output) 및 빔포밍은, 이러한 다수의 경로들로 입력된 또는 이러한 다수의 경로들로부터 출력된 신호들 사이의 고정 위상 관계를 가지는 다수의 신호 경로들(예컨대, 다수의 TX 경로들(302) 또는 다수의 RX 경로들(304))을 활용하는 것을 수반한다. 신호들 사이의 고정 위상 관계로, 다수의 신호들은 조합될 때 건설적으로 더해질 수 있다. 통상적으로, 이 TX/RX 경로들에 대한 L0 신호들을 생성하는데 관련된 주파수 분할기 회로는 민감한 동-위상(I) 및/또는 직교(Q) 신호들을 상대적으로 먼 거리들로 라우팅하는 것을 회피할 수 있도록 독립적 회로들로 구현된다. I/Q 주파수 분할기들이 동일한 리셋 조건을 가지면, 상대적 I-Q 위상 차가 보장될 수 있다. 그러나, 서로로부터의 독립성 및 물리적 거리로 인해, 리셋(또는 스타트-업)으로부터 벗어난 이후에, 상이한 L0 경로들(예컨대, L0 경로들(317, 329))의 주파수 분할기들 각각 사이에 회피불가능한 시간 지연들이 존재할 수 있다. 이 시간 지연들은 서로에 대한 랜덤 바이모달(bimodal)(또는 멀티모달(multimodal)) 위상 관계들을 담당하며, 그에 의해, 이 경로들로부터의 조합된 신호들로 하여금, 또한 바이모달(또는 멀티모달)이 되게 한다(예컨대, 때때로 건설적으로, 때때로 파괴적으로 더해짐). 따라서, 이러한 독립적 주파수 분할기들이 고정 위상 관계를 가지는 것을 보장하는 방법이 요구된다.

[0053] 상이한 L0 경로들의 주파수 분할기들을 동기화하기 위한 종래의 솔루션들은 주입 로킹(injection locking)을 포함하는 더 복잡한 기법들 또는 주파수 분할기들의 출력들을 플립핑하는 것을 수반하는 더 단순한 기법들에 기반하였다. 전자의 기법들은 특히, 제한된 배터리 전력 및 엄격한 전력 버짓(budget)들을 가지는 휴대용 디바이스들에서, 바람직하지 않게 추가적 전력을 소비할 수 있는 하나 또는 그 초과 대안적 신호 경로들을 활용한다. 후자의 기법들은 상이한 L0 경로들의 주파수 분할기들의 출력들에서 바람직하지 않은 바이모달 거동을 야기할 수 있다.

[0054] 본 개시내용의 특정 양상들은, 이를테면, 무선 트랜시버의 RF 프론트-엔드에서 발견되는, 주파수 합성기의 상이한 L0 경로들의 2개 또는 그 초과 독립적 주파수 분할기들의 위상들을 동기화하기 위한 기법들 및 장치를 제공한다. 일 예시적 기법은, 동기 입력의 상승 에지를 검출하고, 이 입력을 그 폭이 입력 클럭(주기적 신호)의 한 주기인 펄스로 변환하는 것을 수반한다. 그런 다음, 이 펄스는 적어도 하나의 사이클 동안 입력 클럭을 L0 경로의 주파수 분할기에 게이팅하기 위해 사용될 수 있다. 그런 다음, 게이팅된(억제된 또는 스왈로잉된) 입력 펄스(들)를 가지는 분할기의 출력은 특정한 바람직한 기간(예컨대, 클럭 사이클의 1/2)만큼 실질적으로 지연되고, 따라서, 상이한 L0 경로들의 동기화되지 않은(out-of-sync) 분할기들을 동-위상이 되게 한다.

[0055] 도 5는 본 개시내용의 특정 양상들에 따른 N개의 예시적 L0 경로들(500)(예컨대, TX L0 경로들(317) 또는 RX L0 경로들(329))의 블록 다이어그램이고, 여기서, N은 2보다 크거나 같은 정수이다. 각각의 L0 경로(500)는 주파수 분할기(504)와 인터페이싱되는 펄스 스왈로잉 회로(502)를 포함할 수 있다. 각각의 주파수 분할기(504)는 입력 주기적 신호를 하위 주파수를 가지는 출력 주기적 신호로 주파수 분할하도록 구성된다. 예컨대, 각각의 주파수 분할기(504)는 2-분할(Div2), 3-분할(Div3), 또는 4-분할(Div4) 주파수 분할기일 수 있다. 주파수 분할기(504)는 도 5에서 예시되는 바와 같이, 동-위상(I) 및 직교(Q) 신호들 둘 모두를 출력하도록 구성될 수 있다. 각각의 L0 경로는 또한, 입력 증폭기(507) 및/또는 출력 증폭기(508)를 포함할 수 있다. 입력 증폭기(507)는 VCO(510), 이를테면, 주파수 합성기(예컨대, TX 또는 RX 주파수 합성기(318, 330))의 PLL에서의 VCO로부터 수신된 발진 신호를 버퍼링하거나 또는 증폭시키도록 구성될 수 있다. 출력 증폭기(508)는 주파수 분할기(504)의 출력(예컨대, I 및/또는 Q 출력들)을 버퍼링하거나 또는 증폭시키도록 구성될 수 있다.

[0056] 도 5에 도시되는 바와 같이, VCO(510), 입력 증폭기(507), 펄스 스왈로잉 회로(502), 주파수 분할기(504) 및 출력 증폭기(508)는 차동 신호들을 수신 및/또는 출력하는 차동 컴포넌트들로 구현될 수 있다. 예컨대, 도 5에서 예시되는 바와 같이 I 및 Q 출력들 둘 모두를 가지는 차동 주파수 분할기(504)의 경우, I 출력은 차동 I 쌍(pair)이고, Q 출력은 차동 Q 쌍이다. 그러나, 당업자는 이 컴포넌트들 중 임의의 컴포넌트가 단일-중단 컴포넌트들로 구현될 수 있다는 것을 이해할 것이다.

[0057] 각각의 L0 경로(500)의 분할기(504)의 또는 출력 증폭기(508)의 출력(I 또는 Q 출력)은 위상 검출 회로(506)에 입력될 수 있다. 위상 검출 회로(506)는 임의의 2개의 신호들 사이의 위상 차를 검출하도록 구성된 로직으로 구현될 수 있다. Div2 주파수 분할기들의 경우, 예컨대, 위상 검출 회로(506)는 하나의 L0 경로에서의(버퍼링된) 분할 신호가 다른 L0 경로에서의(버퍼링된) 분할 신호와 동-위상(0° 위상 시프트)인지 또는 역-위

상(180° 위상 시프트)인지를 결정할 수 있다. 위상 검출 회로(506)가 한 쌍의 분할기들(504) 사이의 180° 위상 차 조건을 결정하면, 위상 검출 회로(506)는 분할기들(504) 중 하나와 인터페이싱되는 펄스 스왈로잉 회로(502)를 활성화시켜 특정 분할기(504)로의 입력 클럭 펄스를 억제("스왈로잉")할 수 있어서, 이 분할기에 의해 출력된 분할 신호는 그 쌍의 다른 분할기에 의해 출력된 분할 신호와 동기화될 것이다. 다시 말해서, 펄스 스왈로잉 회로(502)는 L0 경로(500)에서의 분할된 주기적 신호의 위상을 실질적으로 플립핑(flip)하기 위해 사용될 수 있다.

[0052] [0058] 특정 양상들의 경우(예컨대, Div3 또는 Div4 분할기들과 같은 2보다 큰 수로 분할되는 주파수 분할기들의 경우), 위상 검출 회로는 0° 및 180° 이외의 추가적 또는 다른 위상 차들을 검출할 수 있다. 그러한 경우들에서, 펄스 스왈로잉 회로(502)는 특정 주파수 분할기들의 하나 초과와 입력 클럭 펄스를 억제하도록 구성될 수 있다.

[0053] [0059] 특정 양상들의 경우, L0 경로들(500) 중 임의적 하나의 L0 경로로부터의 (버퍼링된) 분할 신호는 위상 검출 회로(506)에서 다른 L0 경로들(500)로부터의 모든 다른 (버퍼링된) 분할 신호들과 비교될 수 있는 기준 신호로서 사용될 수 있다. 이러한 경우, 기준 L0 경로(단일 기준 신호와 연관됨)는 기준 신호가 자신과는 역-위상일 수 없기 때문에, 펄스 스왈로잉 회로(502)를 가질 필요가 없다. 그러나, 이 특정 펄스 스왈로잉 회로가 결코 활성화되지 않을지라도, 이 기준 L0 경로는 복제된 L0 경로들(500)을 가지는 RFIC 레이아웃의 편이성과 같은 실제적 이유로 인해 펄스 스왈로잉 회로(502)를 포함할 수 있다.

[0054] [0060] 다른 양상들의 경우, 데이지 체인(daisy chain) 기법은 분할 L0 신호들을 반복적으로 동기화하기 위해 사용될 수 있다. 이 데이지 체인 기법에 있어서, 임의적 쌍의 (버퍼링된) 분할 신호들이 위상 검출 회로(506)에서 비교될 수 있다. 특정 양상들의 경우, 한 쌍의 신호들은 인접 L0 경로들로부터 올 수 있다. 2개의 신호들이 동-위상이면, 어떠한 펄스 스왈로잉 회로(502)도 활성화되지 않을 수 있다(원한다면, 또는 두 회로들 모두 활성화될 수 있음). 그러나, 2개의 신호들이 역-위상이면, 펄스 스왈로잉 회로들(502) 중 어느 하나는, 활성화되어, 그 특정 회로(502)에 입력된 주기적 신호의 클럭 사이클이 억제되고, 그런 다음, 한 쌍의 L0 경로들(500)에서의 분할 신호들 둘 모두가 동기화될 것이다. 위의 기준 신호 기법과 유사하게, 선택된 초기 쌍에서의 L0 경로들(500) 중 하나는 펄스 스왈로잉 회로(502)를 가질 필요가 없다. 일단 그 쌍에서의 두 분할 신호들이 동-위상이면, 이 (버퍼링된) 분할 신호들 중 하나는 위상 검출 회로(506)에서 제3 L0 경로로부터의 다른 (버퍼링된) 분할 신호와 비교될 수 있고, 이 두 신호들이 역-위상이면, 이러한 제3 L0 경로의 펄스 스왈로잉 회로(502)는 활성화된다. 제3 L0 경로는 특정 양상들의 경우, 초기 쌍의 L0 경로들에 인접할 수 있다. 이러한 반복 프로세스는 다양한 L0 경로들에서 생성된 모든 분할 신호들이 동기화될 때까지 반복될 수 있다.

[0055] [0061] 위상 검출에 기반하는 이러한 동기화 기법들은 다수의 L0 경로들(500)을 가지는 주파수 합성기의 각각의 스타트-업, 리셋 또는 전력 사이클링 이후에 수행될 수 있다. 기준 신호 또는 데이지 체인 기법을 사용함으로써, 도 5의 다양한 L0 경로들(500)의 주파수 분할기들(504)에 의해 생성된 N개의 주기적(클럭) 신호들은, 각각의 L0 경로의 펄스 스왈로잉 회로(502)(또는 위에서 설명된, 적어도 N-1개의 L0 경로들 각각의 펄스 스왈로잉 회로(502))를 사용하여 동기화될 수 있다.

[0056] [0062] 본 개시내용의 특정 양상들에 따라, 주파수 합성기는 각각, (하위 주파수에서) 하나 또는 그 초과와 추가적 주파수 분할 신호들을 생성하기 위해 또는 위상 검출에 대한 주파수를 감소시키기 위해 (예컨대, 각각의 L0 경로에, 또는 위상 검출 회로를 가지는 추가적 주파수 분할기의 하나 또는 그 초과와 출력들을 인터페이싱하는 별개의 위상 검출 경로에) 추가적 주파수 분할기를 포함할 수 있다. 후자의 경우, 위상 검출 회로는 초기 주파수 분할기 그 자체로 인해 가능한 위상 차들에 추가하여 여분의 위상 차들(예컨대, 0° , 90° , 180° 및 270° 위상 차들)을 검출하도록 구성될 수 있다.

[0057] [0063] 어느 경우든, L0 경로의 주파수 분할기 둘 모두는 추가적 분할기 앞에 있는 각각의 L0 경로의 추가적 펄스 스왈로잉 회로를 사용하여 다른 L0 경로의 다른 쌍의 분할기들과 동기화될 수 있다. 이 접근법은 (예컨대, 상이한 대역들에 대해) 다수의 L0 신호들이 동기화되게 할 수 있다.

[0058] [0064] 예컨대, 도 6은 본 개시내용의 특정 양상들에 따른 N개의 예시적 L0 경로들(600)(예컨대, TX L0 경로들(317) 또는 RX L0 경로들(329))의 블록 다이어그램이고, 여기서, 대안적 위상 검출 기법 및/또는 선택적 펄스 스왈로잉 회로들(612)은 각각의 L0 경로에서 사용될 수 있다. 도 6에서 예시되는 바와 같이, 각각의 L0 경로(600)는 펄스 스왈로잉 회로(502) 및 제1 주파수 분할기(604)를 포함할 수 있다. 펄스 스왈로잉 회로(602)는 본원에서 설명되는 바와 같이, 제1 주파수 분할기(604)에 대해 의도되는 주기적 신호들을 변경하기 위해 제1 주파수 분할기(604)와 연결될 수 있다. 특정 양상들의 경우, 위에서 설명된 바와 같이, 각각의 L0 경로(600)는

또한, 제2 주파수 분할기(614)를 포함할 수 있거나, 또는 제2 주파수 분할기(614)는 별개의 위상 검출 경로의 일부일 수 있다. 각각의 주파수 분할기(604, 614)는 입력 주기적 신호를 하위 주파수를 가지는 출력 주기적 신호로 주파수 분할하도록 구성된다. 예컨대, 각각의 주파수 분할기(604, 614)는 Div2, Div3 또는 Div4 주파수 분할기일 수 있다. 도 6에서 예시되는 바와 같이, 제1 주파수 분할기(604)는 I 및 Q 출력 신호들을 가지거나 또는 가지지 않도록 구성될 수 있고, 제2 주파수 분할기(614)는 I 및 Q 신호들을 출력하도록 구성될 수 있다.

[0059] [0065] 각각의 LO 경로(600)는 또한, 입력 증폭기(507) 및/또는 출력 증폭기(508)(도 6에 도시되지 않음)를 포함할 수 있다. 입력 증폭기(507)는, 위에서 설명된 바와 같이, VCO(510)로부터 수신된 발진 신호를 버퍼링하거나 또는 증폭시키도록 구성될 수 있다. 출력 증폭기(508)는 제1 주파수 분할기(604) 및/또는 제2 주파수 분할기(614)의 출력(예컨대, I 및/또는 Q 출력들)을 버퍼링하거나 또는 증폭시키도록 구성될 수 있다.

[0060] [0066] 특정 양상들의 경우, 제2 주파수 분할기(614)는 다양한 이유들로 인해, 위상 검출 주파수를 감소시키기 위해 사용될 수 있다. 이러한 경우, 각각의 LO 경로(600)는 제2 주파수 분할기(614)를 포함하는 별개의 위상 검출 경로와 연결될 수 있다. 각각의 위상 검출 경로에 대한 신호들은, 제2 주파수 분할기(614)로 가기 이전에 제1 주파수 분할기(604)로부터의 분할 신호들을 증폭시키거나 또는 버퍼링하도록 구성된 증폭기(도 6에 도시되지 않았지만, 도 5의 출력 증폭기(508)와 유사함) 또는 제1 주파수 분할기(604)로부터 입력될 수 있다. 이러한 경우, 위상 검출 및 펄스 스왈로잉은 위의 도 5에 대해 설명된 것과 유사하게 동작할 수 있는데, 그 주요한 차들은: (1) 도 6의 위상 검출 회로(606)에 입력된 신호들의 주파수가 도 5의 위상 검출 회로(506)에 입력된 신호들의 주파수에 비해 감소될 수 있는 것; 및 (2) 위상 검출 회로(606)가 위상 검출 회로(506)보다 더 많은 위상 차들을 검출하도록 구성될 수 있는 것이다. 예컨대, 주파수 분할기(504)가 Div2 분할기이면, 도 5의 위상 검출 회로(506)는 0° 및 180° 위상 차들을 검출하도록 구성될 수 있다. 대조적으로, 제1 및 제2 주파수 분할기들(604, 614)이 모두 Div2 분할기들이면, 도 6의 위상 검출 회로(606)는 0°, 90°, 180° 및 270° 위상 차들을 검출하도록 구성될 수 있다. 제1 또는 제2 분할기(604, 614)가 2보다 큰 수로 주파수 분할하면, 위상 검출 회로(606)는 4보다 큰 수의 위상 차들을 검출하도록 구성될 수 있다.

[0061] [0067] 특정 양상들의 경우, 각각의 LO 경로(600)(또는 적어도 N-1개의 LO 경로들)는 또한, 선택적 펄스 스왈로잉 회로(612)를 포함할 수 있다. 펄스 스왈로잉 회로(612)는 아래에서 설명되는 바와 같이, 제2 주파수 분할기(614)에 대해 의도되는 주기적 신호들을 변경하기 위해 제2 주파수 분할기(614)와 연결될 수 있다. 펄스 스왈로잉 회로(612)의 사용은, 다양한 LO 경로들(600) 사이에서 대응하는 LO 신호들을 동기화하는 것에 추가하여, 상이한 주파수 대역들에서 다수의 LO 신호들을 동기화하는 것을 제공할 수 있다(예컨대, 제1 주파수 분할기(604)로부터의 (버퍼링된) 분할 신호들은 제2 주파수 분할기(614)로부터 (버퍼링된) 분할 신호들과 동기화될 수 있음).

[0062] [0068] 이러한 경우, 각각의 LO 경로(600)의 제2 주파수 분할기(614)의(또는 출력 증폭기의) 출력들(예컨대, I 및 Q 출력들)은, Div2 주파수 분할기들의 경우 0°, 90°, 180° 및 270° 위상 차들을 검출하도록 구성될 수 있는 위상 검출 회로(606)에 입력될 수 있다. 위상 차를 검출할 시, 위상 검출 회로(606)는, 그 특정 분할 신호의 위상을 조정하기 위해 그 특정 LO 경로의 제1 및/또는 제2 주파수 분할기들(604, 614)로의 하나 또는 그 초과 입력 클럭 펄스들을 스왈로잉하기 위한 특정 LO 경로(600)의 제1 및/또는 제2 펄스 스왈로잉 회로들(602, 612)에 대한 적절한 활성화 신호들(616, 618)을 각각 제공할 수 있다. 위상 검출 및 조정은 도 5에 대해 위에서 설명된 바와 유사한 데이터 체인 방식으로 반복적으로 또는 기준 신호를 사용하여 다수의 LO 경로들(600)에 대해 수행될 수 있다.

[0063] [0069] 도 7은 본 개시내용의 특정 양상들에 따른, 예시적 펄스 스왈로잉 회로(700) 및 그에 대응하는 타이밍 다이어그램(750)을 예시한다. 펄스 스왈로잉 회로(700)는 도 5에 도시되는 펄스 스왈로잉 회로들(502) 각각에 대해 활용될 수 있다. 도 7의 펄스 스왈로잉 회로(700)는 또한, 도 6에 도시되는 펄스 스왈로잉 회로들(602 및 612) 각각에 대해 구현될 수 있다.

[0064] [0070] 펄스 스왈로잉 회로(700)는 180° 만큼 Div2 분할기 출력 위상을 플립핑하기 위해 하나의 입력 클럭 펄스를 스왈로잉(즉, 억제 또는 게이팅)하도록 구성될 수 있다. 도 7에서 예시되는 바와 같이, 상보적 신호 클럭 플러스("clkp"로 라벨링됨)(702) 및 클럭 마이너스("clkm"로 라벨링됨)(703)를 포함하는 차동 클럭 신호는 LO 동기화 제어 신호(비트)(704)("lo_sync"로 라벨링됨)와 함께, 펄스 스왈로잉 회로(700)에 입력될 수 있다. 차동 클럭 신호는 LO 경로에서의 임의의 차동 주기적 신호, 이를테면, VCO로부터 발생된 버퍼링된 차동 발진 신호를 나타낼 수 있다. 본 개시내용의 일부 양상들에서, LO 동기화 제어 비트(704)는, 주파수 합성기의 상이한 LO 경로들의 한 쌍의 독립적 분할기들 사이의 위상 차(예컨대, 180° 위상 차)의 경우 위상 검출 회로(예컨대, 도

5로부터의 위상 검출 회로(506) 또는 도 6의 위상 검출 회로(606))에 의해 세팅될 수 있다.

[0065] [0071] 도 7에서 예시되는 바와 같이, 펄스 스왈로잉 회로(700)는 지연(D) 플립-플롭들(706 및 710), NAND 회로들(714 및 718) 및 NOR 회로들(730 및 736)을 포함할 수 있다. L0 동기화 제어 비트(704)는 clkp(702)에 의해 클럭킹될 수 있는 D 플립-플롭(706)으로의 입력일 수 있다. D 플립-플롭(706)의 출력(Q1(708))은 clkp(702)의 다음 상승 에지 이후에, 일단 L0 동기화 제어 비트(704)가 세팅되면 Q1 펄스에 의해 예시되는 바와 같이 세팅(즉, 0으로부터 1로 변경)될 수 있다. Q1(708)은 clk(703)의 역에 의해(또는 특정 양상들의 경우 clkp(702)에 의해) 클럭킹될 수 있는 D 플립-플롭(710)으로의 입력으로서 제공될 수 있다. 일단 Q1(708)이 세팅(즉, 0으로부터 1로 변경)되면, D 플립-플롭(710)의 출력(Q2(712))은 clk(703)의 역의 다음 상승 에지(clk(703)의 다음 하락 에지와 균등함) 이후에 Q2 펄스에 의해 예시되는 것으로 세팅될 수 있다.

[0066] [0072] NAND 회로(714)는 D 플립-플롭(706)의 출력(Q1(708)) 및 Q2(712)의 반대 극성을 가지는 D 플립-플롭(710)의 상보적 출력(Q2B)을 입력들로서 수신할 수 있다. 이러한 입력들에 기반하여, NAND 회로(714)는 타이밍 다이어그램(750)에 도시되는 바와 같이, 반전된 펄스 $(Q1Q2B)^*$ (716)를 생성할 수 있다. NOR 회로(736)는 D 플립-플롭(706)의 상보적 출력(Q1B) 및 D 플립-플롭(710)의 출력(Q2(712))을 입력들로서 수신할 수 있다. NOR 회로(736)의 출력은 $(Q1B+Q2)^*$ 이고, 이는 실질적으로, 반전된 펄스 $(Q1Q2B)^*$ (716)의 역이다.

[0067] [0073] NAND 회로(714)의 출력(예컨대, 반전된 펄스 $(Q1Q2B)^*$ (716)) 및 clk(703)은 게이팅된 클럭 신호(732)("clkp_gated"로 라벨링됨)를 생성하기 위해 클럭 게이팅 회로(720)의 NAND 회로(718)에 입력될 수 있다. 게이팅된 클럭 신호(732)는, clkp(702)의 클럭 펄스가 스킵(즉, 스왈로잉)되는, NAND 회로(714)에 의해 출력된 반전된 펄스 동안에 제외하고는, 실질적으로 clkp(702)를 추적한다. NOR 회로(736)의 출력 및 clkp(702)는 상보적 게이팅된 클럭 신호("clk_m_gated"로 라벨링됨)를 생성하기 위해 클럭 게이팅 회로(720)의 NOR 회로(730)에 입력될 수 있다. 상보적 게이팅된 클럭 신호는, clk(703)의 클럭 펄스가 억제되는, NOR 회로(736)에 의해 출력된 펄스 동안에 제외하고는, 실질적으로 clk(703)에 후속한다.

[0068] [0074] 도 7에서 예시되는 바와 같이, clkp_gated(732)(및 clk_m_gated)는 clkp(702)의(및 clk(703)의) 클럭 펄스가 스왈로잉(즉, 억제 또는 게이팅)되었던 펄스 스왈로잉 회로(700)의 출력을 나타낸다. 결과적으로, Div2 주파수 분할기(726)에 의해 출력된 클럭 신호(724)("Div2_outp"로 라벨링됨)의 위상은 L0 동기화 제어 비트(704)가 세팅된 이후에 실질적으로 180° 시프트될 수 있고, 이러한 방식에서, 출력 클럭 신호(724)는 주파수 합성기의 상이한 L0 경로의 다른 Div2 주파수 분할기의 출력 클럭 신호(728)("Div2_outp_wo_sync"로 라벨링됨)와 동기화될 수 있다(동-위상이 됨).

[0069] [0075] 이러한 설명에 기반하여, D 플립-플롭들(706, 710), NAND 회로(714) 및 NOR 회로(736)는 게이팅 펄스 생성 회로(734)를 구성하는 것으로서 고려될 수 있고, 여기서, NAND 회로(714) 및 NOR 회로(736)의 출력들은 펄스 스왈로잉 회로(700)에서 클럭 펄스 억제를 활성화하는 트리거 펄스들이다. 실제 클럭 펄스 억제는 NOR 회로(730) 및 NAND 회로(718)를 포함하는 클럭 게이팅 회로(720)에 의해 수행된다.

[0070] [0076] 도 8은 본 개시내용의 특정 양상들에 따른, 예시적 위상 검출 회로(800)의 블록 다이어그램이다. 본 개시내용의 일부 양상들에 따라, 위상 검출 회로(800)는 0°, 90°, 180° 및 270° 도 위상 차들을 검출하기 위한 도 6의 위상 검출 회로(606)에 대응할 수 있다. 일부 양상들에서, 위상 검출 회로(800)의 일부는 0° 및 180° 위상 차들을 검출하기 위한 도 5의 위상 검출 회로(506)로서 활용될 수 있다.

[0071] [0077] 도 8에서 예시되는 바와 같이, 위상 검출 회로(800)는 주파수 합성기의 상이한 L0 경로들에 로케이팅된 한 쌍의 독립적 주파수 분할기들에 의해 출력된 I 및 Q 신호들의 상이한 조합들을 비교하기 위한 XOR(exclusive OR) 게이트들(802)을 포함할 수 있다. 예컨대, 제1 L0 경로의 주파수 분할기로부터의 포지티브(positive) I 및 Q 신호들(IP1 및 QP1)은, 제2 L0 경로의 대응하는 주파수 분할기로부터의 포지티브 I 및 Q 신호들(IP2 및 QP2)과 도 8에서 비교된다. XOR 게이트들(802)의 디지털 출력들은(예컨대, 평균화에 의해) DC로의 변환을 위해 로우-패스 필터(LPF: low-pass filter)들(804)에 입력될 수 있다. 다른 양상들의 경우, 네거티브(negative) I 및 Q 신호들(포지티브 I 및 Q 신호들과 상보적임)이 대신에 사용될 수 있다. 로우-패스 필터들(804)의 출력들은 디지털 제어 출력들을 생성하기 위해 한 세트의 비교기들(806)로 입력될 수 있고, 여기서, 디지털 제어 출력들의 비트 값들은 상이한 위상 차들을 나타낸다. 도 8의 예에서, 4개의 상이한 2-비트 값들(예컨대, 비교기 출력 비트들(810, 812)의 값들(00b, 01b, 10b 및 11b))은 4개의 상이한 위상 차들(예컨대, 0°, 90°, 180° 및

270° 위상 차들)에 대응할 수 있다.

- [0072] [0078] 특정 양상들의 경우, 위상 검출 회로(800)의 일부분만이 사용될 수 있다. 예컨대, 0° /180° 위상 검출기(예컨대, 도 5의 위상 검출 회로(506))는 XOR 게이트들(802) 및 대응하는 로우-패스 필터(804) 중 하나를 사용할 수 있다. 비교기(806)가 사용될 필요는 없다.
- [0073] [0079] 도 4는 본 개시내용의 특정 양상들에 따른, 주파수 분할 및 펄스 억제를 사용하여 다수의 주기적 신호들을 생성하기 위한 예시적 동작들(400)의 흐름 다이어그램이다. 동작들(400)은, 예컨대, 주파수 합성기(예컨대, TX 또는 RX 주파수 합성기(318, 330)), 또는 도 5의 LO 경로들(500) 또는 도 6의 LO 경로들(600)과 같은 각각의 경로의 독립적 주파수 분할기들을 가지는 다수의 발진기 경로들을 가지는 다른 장치에 의해 수행될 수 있다.
- [0074] [0080] 블록(402)에서, 동작들(400)은 (예컨대, 제1 LO 경로(500, 600)의 주파수 분할기(504, 604)를 통해) 제1 분할 신호를 생성하기 위해 제1 주기적 신호를 주파수 분할함으로써 시작할 수 있다. 블록(404)에서, 제2 주기적 신호는 (예컨대, 상이한 LO 경로(500, 600)의 상이한 주파수 분할기(504, 604)를 통해) 제2 분할 신호를 생성하도록 주파수 분할될 수 있다. 블록(406)에서, (제1 분할 신호에 기반하는) 제1 감지 신호의 위상과, (제2 분할 신호에 기반하는) 제2 감지 신호의 위상이 비교될 수 있다. 블록(407)에서, 제1 감지 신호 및 제2 감지 신호가 역-위상이면 제1 트리거 신호가 생성될 수 있다. 블록(408)에서, 제1 분할 신호의 위상을 조정하려는 노력으로 제1 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 제1 주기적 신호의 펄스가 억제될 수 있다. 특정 양상들의 경우, 제1 분할 신호의 위상은 제1 분할 신호 및 제2 분할 신호가 동-위상이도록 조정된다(동기화됨).
- [0075] [0081] 특정 양상들에 따라, 제1 감지 신호는 제1 분할 신호(예컨대, 주파수 분할기(504)의 출력) 또는 제1 분할 신호의 버퍼링된 버전(예컨대, 증폭기(508)의 출력)이다. 마찬가지로, 제2 감지 신호는 제2 분할 신호일 수 있거나 또는 제2 분할 신호의 버퍼링된 버전일 수 있다. 예컨대, 동작들(400)은 제1 분할 신호의 버퍼링된 버전을 형성하기 위해 제1 분할 신호를 버퍼링하는 것, 및 제2 분할 신호의 버퍼링된 버전을 형성하기 위해 제2 분할 신호를 버퍼링하는 것을 추가로 수반할 수 있다.
- [0076] [0082] 특정 양상들에 따라, 동작들(400)은, 제1 감지 신호 및 제2 감지 신호가 역-위상이면 제2 트리거 신호를 생성하는 것, 및 제2 분할 신호의 위상을 조정하려는 노력으로 제2 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 제2 주기적 신호의 펄스를 억제하는 것을 추가로 수반할 수 있다.
- [0077] [0083] 특정 양상들에 따라, 동작들(400)은 제3 분할 신호를 생성하기 위해 제1 분할 신호를 주파수 분할하는 것을 추가로 수반할 수 있다. 제1 감지 신호는 제3 분할 신호 또는 제3 분할 신호의 버퍼링된 버전일 수 있다. 동작들(400)은 또한, 제4 분할 신호를 생성하기 위해 제2 분할 신호를 주파수 분할하는 것을 포함할 수 있다. 제2 감지 신호는 제4 분할 신호 또는 제4 분할 신호의 버퍼링된 버전일 수 있다.
- [0078] [0084] 특정 양상들에 따라, 동작들(400)은, 제1 감지 신호 및 제2 감지 신호가 역-위상이면 제2 트리거 신호를 생성하는 것, 및 제3 분할 신호의 위상을 조정하려는 노력으로 제2 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 제1 분할 신호의 펄스를 억제하는 것을 추가로 수반할 수 있다. 이러한 경우, 동작들(400)은 또한, 제1 감지 신호 및 제2 감지 신호가 역-위상이면 제3 트리거 신호를 생성하는 것, 및 제2 분할 신호의 위상을 조정하려는 노력으로 제3 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 제2 주기적 신호의 펄스를 억제하는 것을 수반할 수 있다. 제1 감지 신호 및 제2 감지 신호가 역-위상이면, 동작들(400)은 또한, 제4 트리거 신호를 생성하는 것, 및 제4 분할 신호의 위상을 조정하려는 노력으로 제4 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 제2 분할 신호의 펄스를 억제하는 것을 포함할 수 있다.
- [0079] [0085] 특정 양상들에 따라, 동작들(400)은 제3 분할 신호를 생성하기 위해 제3 주기적 신호를 주파수 분할하는 것을 추가로 수반할 수 있다. 이러한 경우, 제3 분할 신호에 기반하는 제3 감지 신호의 위상과, 제1 감지 신호 또는 제2 감지 신호의 위상이 비교될 수 있고, 제3 감지 신호, 및 제1 또는 제2 감지 신호가 각각 역-위상이면 제2 트리거 신호가 생성될 수 있다. 동작들(400)은 제3 분할 신호의 위상을 조정하려는 노력으로 제2 트리거 신호에 대한 응답으로 적어도 하나의 사이클 동안 제3 주기적 신호의 펄스를 억제하는 것을 더 포함할 수 있다.
- [0080] [0086] 특정 양상들에 따라, 블록(402)에서, 제1 주기적 신호를 주파수 분할하는 단계는, 제1 분할 신호의 동-위상(I) 및 직교(Q) 버전들을 생성하기 위해 제1 주기적 신호를 주파수 분할하는 단계를 수반할 수 있다. 특정 양상들은, 블록(404)에서, 제2 주기적 신호를 주파수 분할하는 단계는, 제2 분할 신호의 I 및 Q 버전들을 생성하기 위해 제2 주기적 신호를 주파수 분할하는 단계를 수반할 수 있다. 이러한 경우, 제1 감지 신호는 제1 분할 신호의 I(또는 Q) 버전에 기반할 수 있고, 제2 감지 신호는 제2 분할 신호의 I(또는 Q) 버전에 기반할 수 있

다.

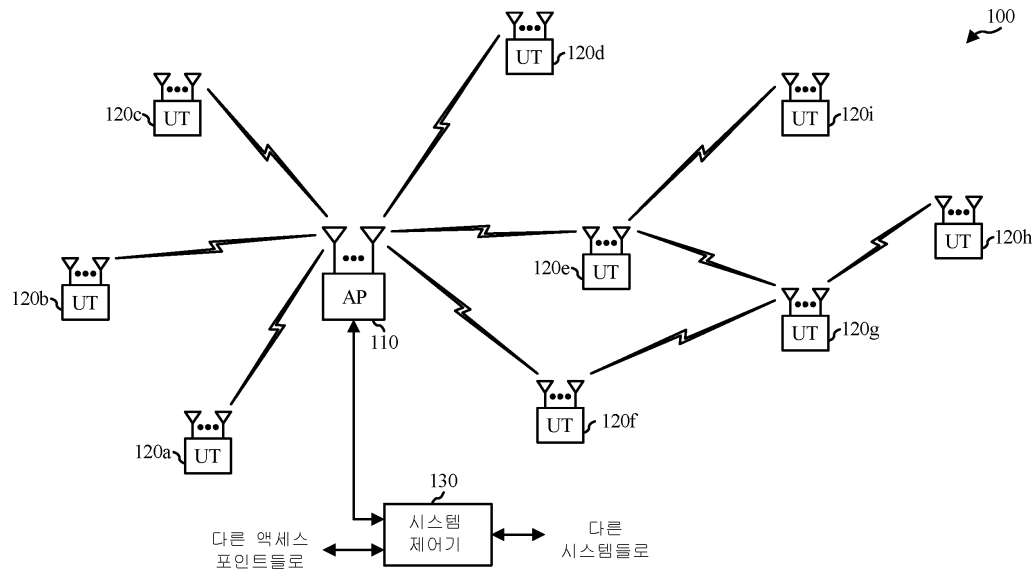
- [0081] [0087] 특정 양상들에 따라, 블록(406)에서, 위상들을 비교하는 단계는 제1 감지 신호와 제2 감지 신호 사이의 0 또는 180° 위상 차를 검출하기 위해 제1 감지 신호의 위상과 제2 감지 신호의 위상을 비교하는 단계를 수반한다. 다른 양상들의 경우, 블록(406)에서, 제1 감지 신호의 위상과, 제2 감지 신호의 위상은 제1 감지 신호와 제2 감지 신호 사이의 0, 90°, 180° 또는 270° 위상 차를 검출하기 위해 비교될 수 있다.
- [0082] [0088] 특정 양상들에 따라, 동작들(400)은 VCO(voltage-controlled oscillator)의 출력 신호로부터 제1 주기적 신호를 생성하는 단계, 및 VCO의 동일한 출력 신호로부터 제2 주기적 신호를 생성하는 단계를 추가로 수반한다.
- [0083] [0089] 본 개시내용에서 제시되는 동기화 기법들을 적용함으로써, 트랜시버의 RF 프론트-엔드에서의 성능 개선이 달성될 수 있다. 예컨대, (예컨대, 2개의 LO 경로들 사이의 랜덤 및 기생적(parasitic) 미스매치로 인한) 바이모달리티(bimodality)가 제거될 수 있다. 멀티플렉서를 사용하여 LO 신호들의 플립핑이 본 개시내용의 양상들에 사용될 필요가 없기 때문에, 바이모달리티의 제거는 RX 경로들에서의 DC 오프셋 및 TX 경로들에서의 캐리어 누설을 개선할 수 있다. 종래의 동기화 솔루션들과는 달리, 플립핑된 LO 경로와 플립핑되지 않은 LO 경로 사이에 약간의 위상 차들이 존재하지 않을 수 있기 때문에, 바이모달리티를 제거하는 것은 또한, RX 경로들에서의 이미지 제거(image rejection) 및 TX 경로들에서의 RSB(residual side band)를 개선할 수 있다.
- [0084] [0090] 본 개시내용에서 제시되는 동기화 기법들은 또한, 각각 리셋 또는 전력 다운한 이후에, (예컨대, RX 경로들에서) I 및 Q 기저대역 출력들 또는 (예컨대, TX 경로들에서의) 입력들의 동적 스위칭을 제거할 수 있다. 게다가, 본 개시내용의 특정 양상들은 어떠한 고유한 바이모달 거동도 없기 때문에 DC 오프셋, 이미지 제거, RSB, 및 캐리어 누설의 교정들을 단순화할 수 있다.
- [0085] [0091] 위에서 설명된 다양한 동작들 또는 방법들은 대응하는 기능들을 수행할 수 있는 임의의 적합한 수단에 의해 수행될 수 있다. 수단은, 회로, ASIC(application-specific integrated circuit) 또는 프로세서를 포함하는(그러나, 이들로 제한되는 것은 아님) 다양한 하드웨어 및/또는 소프트웨어 컴포넌트(들) 및/또는 모듈(들)을 포함할 수 있다. 일반적으로, 도면들에서 예시되는 동작들이 존재하는 경우, 이러한 동작들은 유사한 번호를 가지는 대응하는 상응적(counterpart) 수단-플러스-기능 컴포넌트들을 가질 수 있다.
- [0086] [0092] 예컨대, 송신하기 위한 수단은, 송신기(예컨대, 도 2에 도시되는 사용자 단말(120)의 트랜시버 프론트-엔드(254), 도 2에 도시되는 액세스 포인트(110)의 트랜시버 프론트-엔드(222), 또는 도 3에서 예시되는 트랜시버 프론트-엔드(300)) 및/또는 안테나(예컨대, 도 2에 도시되는 사용자 단말(120m)의 안테나들(252ma 내지 252mu), 도 2에서 예시되는 액세스 포인트(110)의 안테나들(224a 내지 224ap), 또는 도 3에 도시되는 트랜시버 프론트-엔드(300)의 안테나들(303))을 포함할 수 있다. 수신하기 위한 수단은, 수신기(예컨대, 도 2에 도시되는 사용자 단말(120)의 트랜시버 프론트-엔드(254), 도 2에 도시되는 액세스 포인트(110)의 트랜시버 프론트-엔드(222), 또는 도 3에서 예시되는 트랜시버 프론트-엔드(300)) 및/또는 안테나(예컨대, 도 2에 도시되는 사용자 단말(120m)의 안테나들(252ma 내지 252mu), 도 2에서 예시되는 액세스 포인트(110)의 안테나들(224a 내지 224ap), 또는 도 3에 도시되는 트랜시버 프론트-엔드(300)의 안테나들(303))을 포함할 수 있다. 프로세싱하기 위한 수단 또는 결정하기 위한 수단은 하나 또는 그 초과와 프로세서들(예컨대, 도 2에 도시되는 액세스 포인트(110)의 TX 데이터 프로세서(210), RX 데이터 프로세서(242) 및/또는 제어기(230), 또는 도 2에서 예시되는 사용자 단말(120)의 RX 데이터 프로세서(270), TX 데이터 프로세서(288) 및/또는 제어기(280))을 포함할 수 있는 프로세싱 시스템을 포함할 수 있다. 주파수 분할하기 위한 수단은 하나 또는 그 초과와 주파수 분할 회로들(예컨대, 도 5의 주파수 분할기들(504) 또는 도 6의 주파수 분할기들(604, 614))을 포함할 수 있다. 비교하기 위한 수단은 하나 또는 그 초과와 위상 비교 회로들(예컨대, 도 5의 위상 검출 회로(506), 도 6의 위상 검출 회로(606) 또는 도 8의 위상 검출 회로(800))을 포함할 수 있다. 트리거 신호를 생성하기 위한 수단은 하나 또는 그 초과와 트리거 생성 회로들(예컨대, 도 5의 위상 검출 회로(506), 도 6의 위상 검출 회로(606) 또는 도 8의 위상 검출 회로(800))을 포함할 수 있다. 억제하기 위한 수단은 하나 또는 그 초과와 펄스 억제 회로들(예컨대, 도 5의 펄스 스왈로잉 회로들(502), 도 6의 펄스 스왈로잉 회로들(502, 612) 또는 도 7의 펄스 스왈로잉 회로(700))을 포함할 수 있다.
- [0087] [0093] 본원에서 사용되는 바와 같이, "결정하는"이라는 용어는 아주 다양한 액션들을 망라한다. 예컨대, "결정하는"은 계산하는, 컴퓨팅하는, 프로세싱하는, 유도하는, 조사하는, 룩업(look up)(예컨대, 표, 데이터 베이스 또는 또 다른 데이터 구조에서 룩업)하는, 확인하는 등을 포함할 수 있다. 또한, "결정하는"은 수신하는(예컨대, 정보를 수신하는), 액세스하는(예컨대, 메모리 내의 데이터에 액세스하는) 등을 포함할 수 있다. 또한,

"결정하는"은 해결하는, 선택하는, 선정하는, 설정하는 등을 포함할 수 있다.

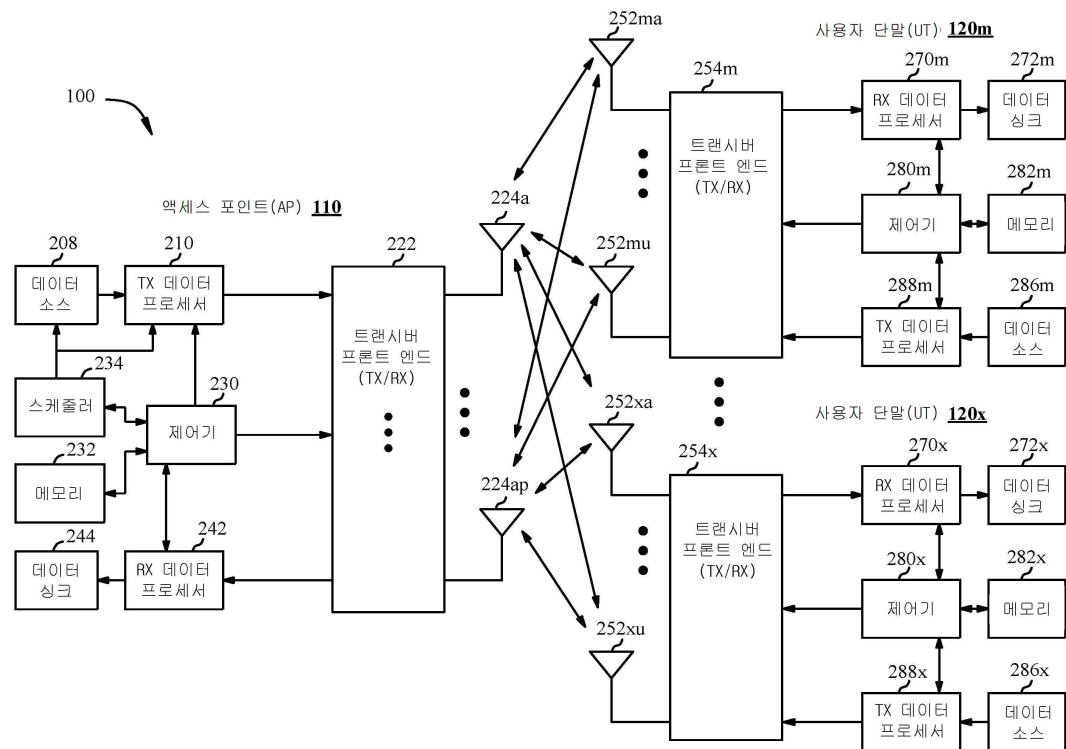
- [0088] [0094] 본원에서 사용되는 바와 같이, 항목들의 리스트 중 "적어도 하나"를 지칭하는 문구는 단일 멤버들을 포함하여, 이러한 항목들의 임의의 조합을 지칭한다. 예로서, "a, b, 또는 c 중 적어도 하나"는 a, b, c, a-b, a-c, b-c, 및 a-b-c뿐만 아니라 동일한 엘리먼트의 집합들(multiples)과의 임의의 조합(예컨대, a-a, a-a-a, a-a-b, a-a-c, a-b-b, a-c-c, b-b, b-b-b, b-b-c, c-c, 및 c-c-c 또는 a, b 및 c의 임의의 다른 순서)을 커버하도록 의도된다.
- [0089] [0095] 본 개시내용과 관련하여 설명되는 다양한 예시적 논리 블록들, 모듈들 및 회로들이 범용 프로세서, DSP(digital signal processor), ASIC(application-specific integrated circuit), FPGA(field programmable gate array) 또는 다른 PLD(programmable logic device), 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본원에서 설명되는 기능들을 수행하도록 설계되는 이들의 임의의 조합으로 구현되거나 또는 수행될 수 있다. 범용 프로세서는 마이크로프로세서일 수 있지만, 대안적으로, 프로세서는 임의의 상업적으로 입수가능한 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수 있다. 프로세서는 또한, 컴퓨터 디바이스들의 조합, 예컨대, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 또는 그 초과 마이크로프로세서들, 또는 임의의 다른 그러한 구성으로서 구현될 수 있다.
- [0090] [0096] 본원에서 개시되는 방법들은 설명되는 방법을 달성하기 위한 하나 또는 그 초과 단계들 또는 액션들을 포함한다. 방법 단계들 및/또는 액션들은 청구항들의 범위를 벗어나지 않으면서 서로 상호교환될 수 있다. 다시 말해서, 단계들 또는 액션들의 특정 순서가 특정되지 않는 한, 특정 단계들 및/또는 액션들의 순서 및/또는 사용은 청구항들의 범위를 벗어나지 않으면서 수정될 수 있다.
- [0091] [0097] 설명되는 기능들은 하드웨어, 소프트웨어, 펌웨어 또는 이들의 임의의 조합으로 구현될 수 있다. 하드웨어로 구현되는 경우, 예시적 하드웨어 구성은 무선 노드 내의 프로세싱 시스템을 포함할 수 있다. 프로세싱 시스템은 버스 아키텍처로 구현될 수 있다. 버스는 프로세싱 시스템의 특정 애플리케이션 및 전반적 설계 제약들에 따라 임의의 수의 상호연결 버스들 및 브릿지들을 포함할 수 있다. 버스는 프로세서, 기계-판독가능한 매체들 및 버스 인터페이스를 포함하는 다양한 회로들을 함께 링크할 수 있다. 버스 인터페이스는, 그 중에서도, 버스를 통해 프로세싱 시스템에 네트워크 어댑터를 연결시키기 위해 사용될 수 있다. 네트워크 어댑터는 PHY(physical) 계층의 신호 프로세싱 기능들을 구현하기 위해 사용될 수 있다. 사용자 단말의 경우, 사용자 인터페이스(예컨대, 키패드, 디스플레이, 마우스, 조이스틱 등)는 또한 버스에 연결될 수 있다. 버스는 또한, 당해 기술 분야에 잘 알려져 있어서 따라서 더 이상 추가로 설명되지 않을, 타이밍 소스들, 주변장치들, 전압 레귤레이터들 및 전력 관리 회로들 등과 같은 다양한 다른 회로들을 링크할 수 있다.
- [0092] [0098] 프로세싱 시스템은 외부 버스 아키텍처를 통해 다른 지원 회로와 모두 함께 링크되는, 기계-판독가능한 매체들의 적어도 일부분을 제공하는 외부 메모리 및 프로세서 기능을 제공하는 하나 또는 그 초과 마이크로프로세서들을 가지는 범용 프로세싱 시스템으로서 구성될 수 있다. 대안적으로, 프로세싱 시스템은 프로세서, 버스 인터페이스, 액세스 단말의 경우에 사용자 인터페이스, 지원 회로, 및 단일 칩으로 통합되는 기계-판독가능한 매체들의 적어도 일부분을 가지는 ASIC(Application Specific Integrated Circuit), 또는 하나 또는 그 초과 FPGA(Field Programmable Gate Array)들, PLD(Programmable Logic Device)들, 제어기들, 상태 머신들, 게이트드 로직(gated logic), 이산 하드웨어 컴포넌트들, 또는 임의의 다른 적합한 회로, 또는 본 개시내용 전반에 걸쳐 설명되는 다양한 기능을 수행할 수 있는 회로들의 임의의 조합으로 구현될 수 있다. 당업자들은 전체 시스템 상에 부과되는 전반적 설계 제약들 및 특정 애플리케이션에 따라 프로세싱 시스템에 대해 설명되는 기능을 구현할 최상의 방법을 인식할 것이다.
- [0093] [0099] 청구항들은 위에서 예시된 정확한 구성 및 컴포넌트들로 제한되지 않는다는 것이 이해될 것이다. 청구항들의 범위를 벗어나지 않으면서 위에서 설명된 방법들 및 장치의 어레이먼트(arrangement), 동작 및 세부사항들에서 다양한 수정들, 변화들 및 변형들이 이루어질 수 있다.

도면

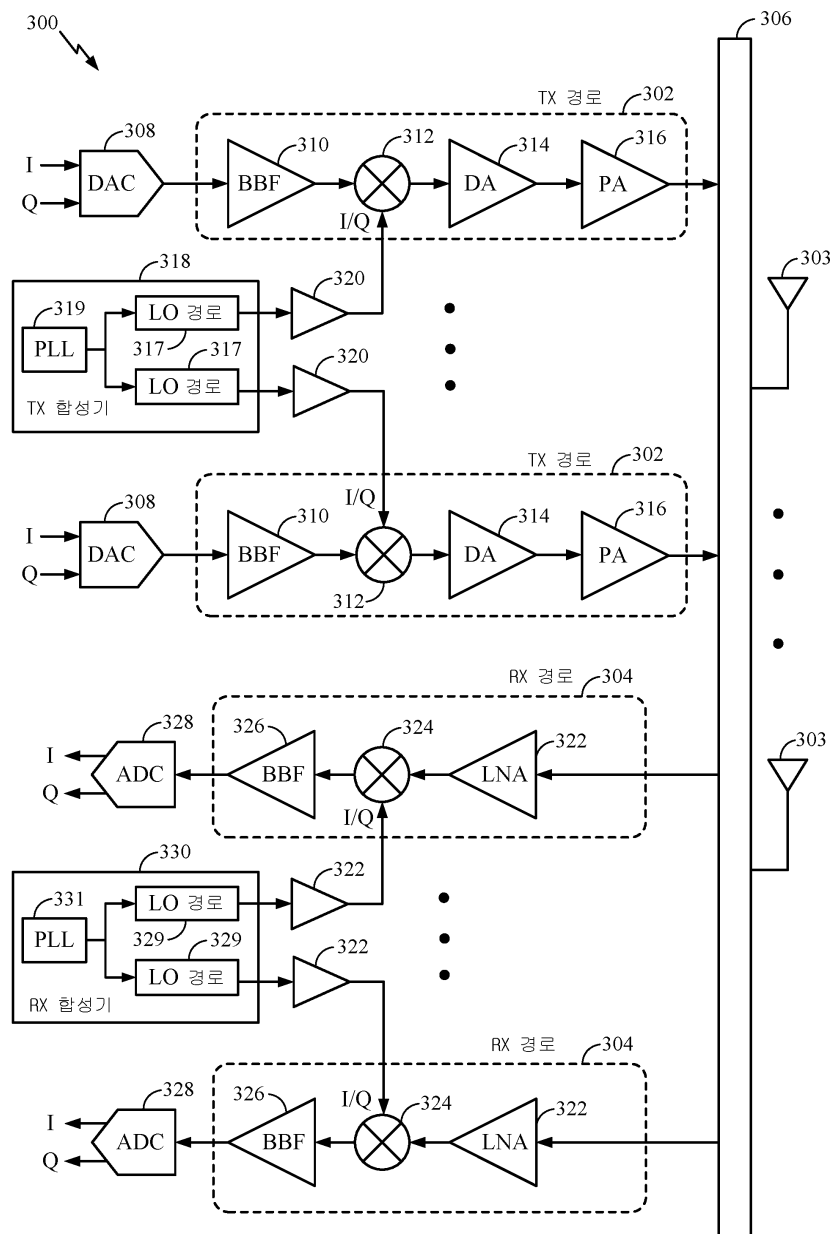
도면1



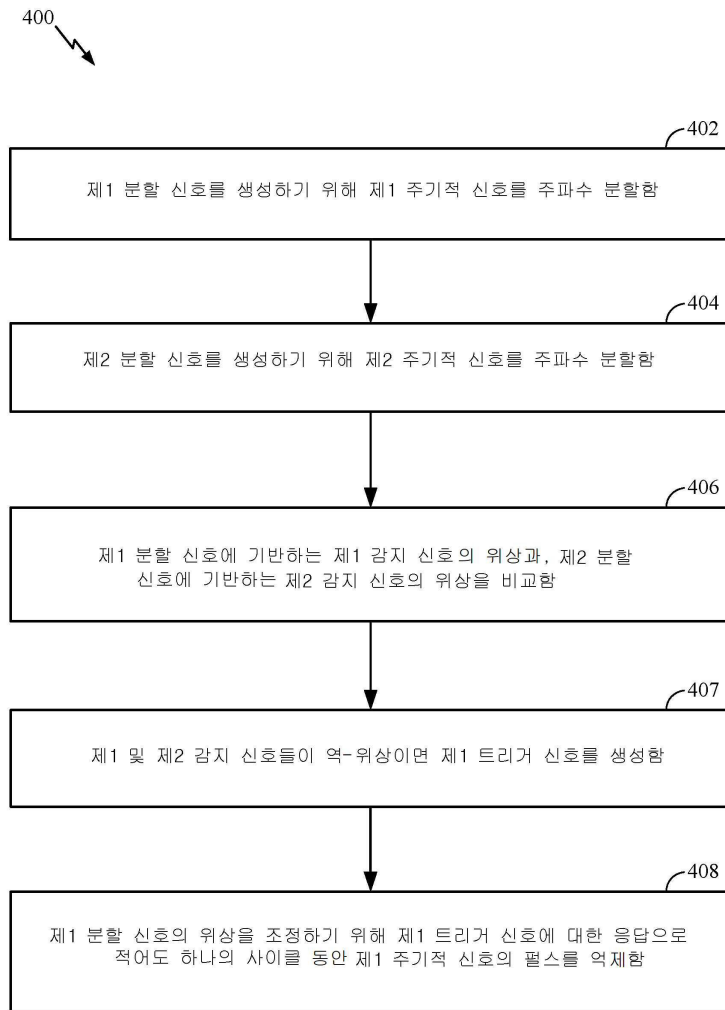
도면2



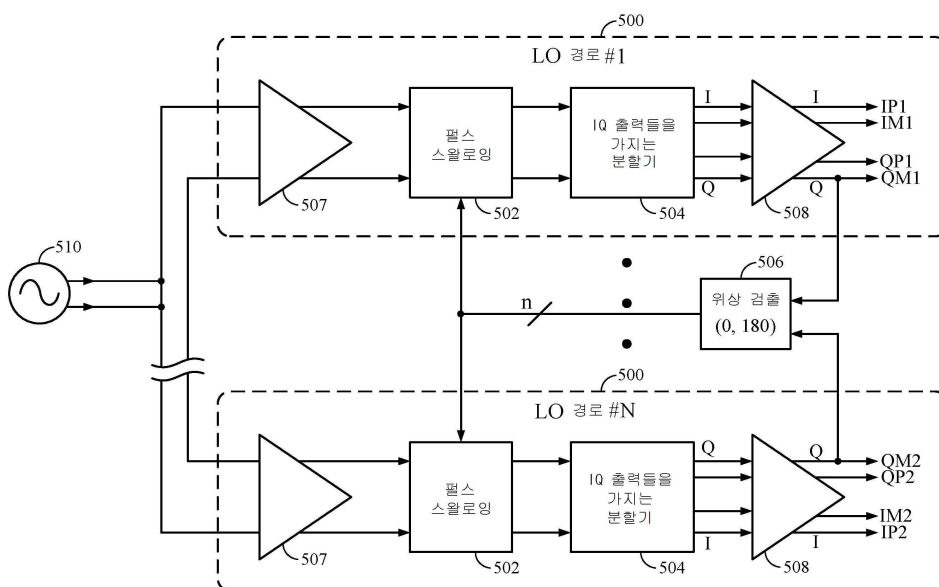
도면3



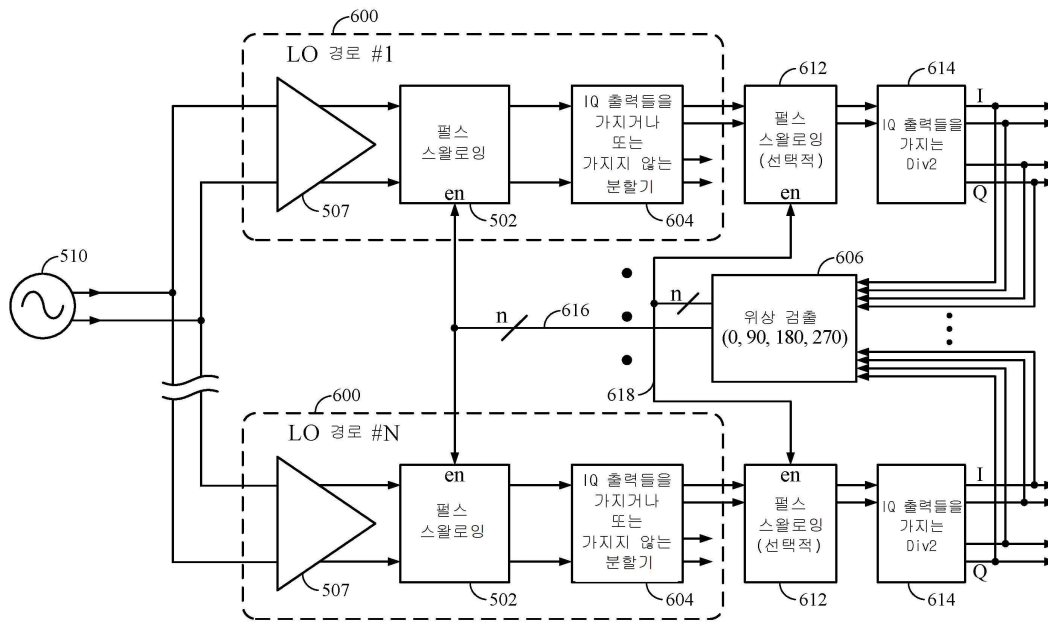
도면4



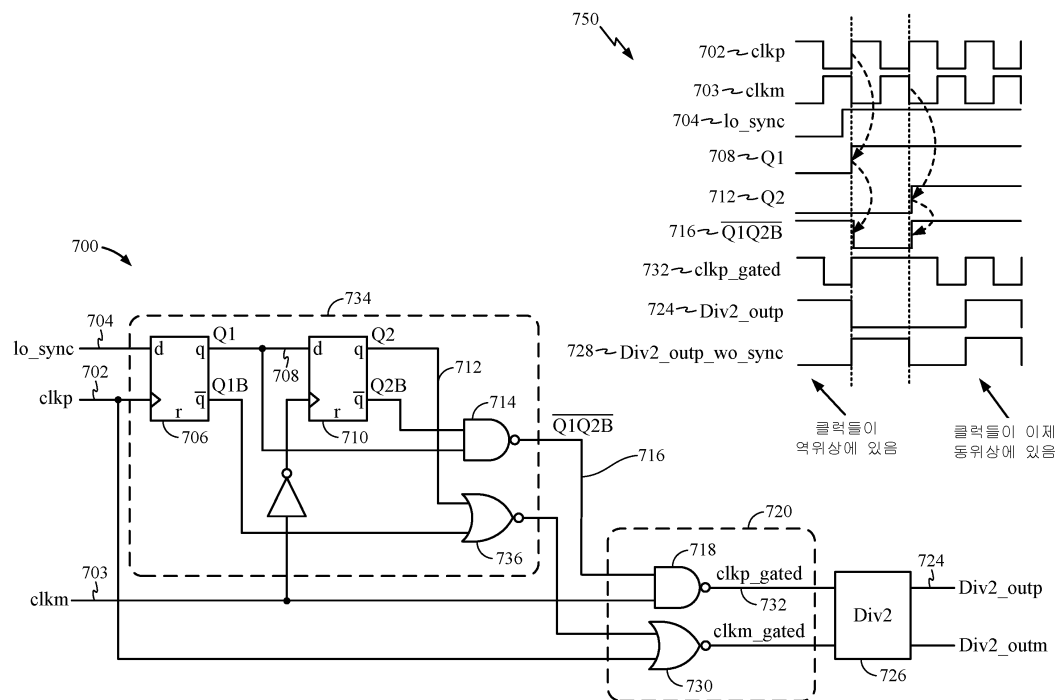
도면5



도면6



도면7



도면8

