



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년07월05일
(11) 등록번호 10-0967723
(24) 등록일자 2010년06월25일

(51) Int. Cl.
G06F 1/06 (2006.01) *H03B 27/00* (2006.01)
(21) 출원번호 10-2008-7005222
(22) 출원일자(국제출원일자) 2006년08월01일
심사청구일자 2008년03월03일
(85) 번역문제출일자 2008년03월03일
(65) 공개번호 10-2008-0031503
(43) 공개일자 2008년04월08일
(86) 국제출원번호 PCT/IB2006/052633
(87) 국제공개번호 WO 2007/015210
국제공개일자 2007년02월08일
(30) 우선권주장
60/595,749 2005년08월02일 미국(US)
(뒷면에 계속)

(56) 선행기술조사문헌
KR100446585 B1

전체 청구항 수 : 총 27 항

(73) 특허권자
알에프 매직 인코포레이티드
미국 캘리포니아 92121 샌디에고 텔러시스 코트
10182, 4층
(72) 발명자
비산티 비아지오
프랑스 안티브 에프-06000 셰망 디 폰트머리즈
357 레스 테라시스디안티브 바트 1이
코폴라 프란시스코
프랑스 그라스 에프-06130 아브 디 라트레 디 타
시그니 48 빌라릴리
(뒷면에 계속)
(74) 대리인
함수옥

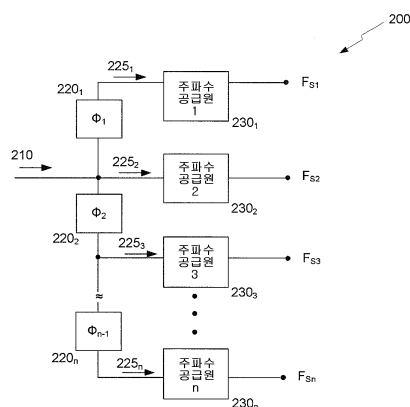
심사관 : 김창범

(54) 다중 주파수 공급원 시스템을 위한 오프셋 신호 위상 처리

(57) 요약

오프셋 신호 위상 처리를 채용하는 동조 가능한 다중 주파수 공급원 시스템은, 제1 주파수 공급원, 위상 지연 소자, 및 상기 제1 주파수 공급원과 동시에 동작하는 제2 동작 주파수 공급원을 포함한다. 상기 제1 주파수 공급원은 기준 입력 신호를 수취하도록 연결된 입력단 및 제1 주파수 공급원 신호를 제공하는 출력단을 포함한다. 상기 위상 지연 소자는 출력단 및 상기 입력된 기준 신호를 수취하도록 연결된 입력단을 포함하되, 상기 위상 지연 소자는 위상 지연된 입력 신호를 발생시키기 위해 상기 입력된 기준 신호에 미리 정의된 위상 지연을 인가한다. 상기 제2 주파수 공급원은 상기 위상 지연된 입력 신호를 수취하도록 연결된 입력단 및 제2 주파수 공급원 신호를 제공하는 출력단을 포함한다.

대표도 - 도2A



(72) 발명자

쎄프리아니 스테파노

프랑스 골프 주안 에프-06220 웨망 디 라 롬퍼 662
리스. 몬테버디

푸치오 지온니

프랑스 라 고우데 에프-06610 에비뉴 마르셀 파그
놀 500

두비비어 에릭

프랑스 골프 주안 에프-06220 에비뉴 조지 폼피도
우 212, 리스.몽소 바트. 에이1

알더튼 마틴

미국 콜로라도 92128 샌디에고 몬테로 플레이스
12525

카피네토 로렌조

프랑스 안티브 에프-06600 빌라 엔4 웨망 디 뷰버
트 435

(30) 우선권주장

60/595,750 2005년08월02일 미국(US)

60/595,754 2005년08월02일 미국(US)

특허청구의 범위

청구항 1

동시에 동작 가능한 다중 주파수 공급원들을 채용하는 동조가능(tunable) 시스템 - 상기 다중 주파수 공급원들 중 하나 또는 그 이상의 주파수 공급원에 공급된 입력 신호는, 하나 또는 그 이상의 다른 주파수 공급원에 공급된 입력 신호에 대하여 위상 오프셋(phase offset) - 에 있어서,

기준 입력 신호를 수취하도록 연결된 입력단 및 제1 주파수 공급원 신호를 제공하는 출력단을 포함하는 제1 주파수 공급원;

출력단 및 상기 기준 입력 신호를 수취하도록 연결된 입력단을 포함하고, 위상 지연된 입력 신호를 발생시키기 위해 상기 입력된 기준 신호에 미리 정의된 위상 지연을 인가하는 위상 지연 소자; 및

상기 제1 주파수 공급원과 동시에 동작할 수 있고, 상기 위상 지연된 입력 신호를 수취하도록 연결된 입력단 및 제2 주파수 공급원 신호를 제공하는 출력단을 포함하는 제2 주파수 공급원을 포함하는 동조가능 시스템.

청구항 2

제1항에 있어서,

상기 위상 지연 소자는 인버터(inverter) 소자를 포함하고,

상기 제1 주파수 공급원 신호 및 상기 제2 주파수 공급원 신호는 180도의 위상차를 갖는 동조가능 시스템.

청구항 3

제1항에 있어서,

상기 제1 주파수 공급원 또는 상기 제2 주파수 공급원 중 적어도 하나는 위상 동기 루프 회로(phase locked loop circuit)를 포함하는 동조가능 시스템.

청구항 4

제1항에 있어서,

상기 동조가능 시스템은 짝수개의 직렬 연결 인버터들을 더 포함하되,

상기 기준 입력 신호는 상기 직렬 연결 인버터들을 통해 상기 제1 주파수 공급원의 상기 입력단에 연결되고,

상기 위상 지연 소자는, 상기 짝수개에 하나를 더한 수의 직렬 연결 배열의 인버터들을 포함하는 동조가능 시스템.

청구항 5

제1항에 있어서,

상기 위상 지연 소자는, 제1 위상 지연 입력 신호를 발생시키기 위해, 시스템 입력 신호에 미리 정의된 제1 위상 지연을 인가하는 제1 위상 지연 소자를 포함하되,

상기 동조가능 시스템은,

출력단 및 상기 기준 입력 신호를 수취하도록 연결된 입력단을 포함하고, 제2 위상 지연 입력 신호를 발생시키기 위해 상기 입력된 기준 신호에 미리 정의된 제2 위상 지연을 인가하는 제2 위상 지연 소자; 및

상기 제2 위상 지연 입력 신호를 수취하도록 연결된 입력단 및 제3 주파수 공급원 신호를 제공하는 출력단을 포함하는 제3 주파수 공급원을 더 포함하는 동조가능 시스템.

청구항 6

제1항에 있어서,

상기 위상 지연 소자는, 제1 위상 지연 입력 신호를 발생시키기 위해, 상기 입력 신호에 미리 정의된 제1 위상 지연을 인가하는 제1 위상 지연 소자를 포함하되,

상기 동조가능 시스템은,

출력단 및 상기 제1 위상 지연 입력 신호를 수취하도록 연결된 입력단을 포함하고, 제2 위상 지연 입력 신호를 발생시키기 위해 상기 공급된 제1 위상 지연 입력 신호에 미리 정의된 제2 위상 지연을 제공하는 제2 위상 지연 소자; 및

상기 제2 위상 지연 입력 신호를 수취하도록 연결된 입력단 및 제3 주파수 공급원 신호를 제공하는 출력단을 포함하는 제3 주파수 공급원을 더 포함하는 동조가능 시스템.

청구항 7

제5항에 있어서,

상기 기준 입력 신호는 0도의 위상 기준에서 동작하도록 정의되고,

상기 제1 및 제2 위상 지연 소자들은 제1 및 제2 위상 지연 입력 신호를 각각 발생시키기 위해 제1 및 제2 위상 오프셋을 제공하며,

상기 기준 입력 신호, 상기 제1 위상 지연 입력 신호 및 상기 제2 위상 지연 입력 신호는, 이하의 식

$$\text{위상 범위} = \frac{n-1}{n} \times 360$$

(여기서, n은 동시에 동작하는 주파수 공급원들의 개수임.)

에 의해 제공된 위상 범위 상에서 서로 동일하게 이격되는 동조가능 시스템.

청구항 8

제5항에 있어서,

상기 기준 입력 신호는 0도의 위상 기준에서 동작하도록 정의되고,

상기 제1 및 제2 위상 지연 소자들은 제1 및 제2 위상 지연 입력 신호를 각각 발생시키기 위해 제1 및 제2 위상 오프셋을 제공하며,

상기 기준 입력 신호, 상기 제1 위상 지연 입력 신호 및 상기 제2 위상 지연 입력 신호는 180도의 위상 범위 상에서 서로 동일하게 이격되는 동조가능 시스템.

청구항 9

제6항에 있어서,

상기 기준 입력 신호는 0도의 위상 기준에서 동작하도록 정의되고,

상기 제1 및 제2 위상 지연 소자들은 제1 및 제2 위상 지연 입력 신호를 각각 발생시키기 위해 제1 및 제2 위상 오프셋을 제공하며,

상기 기준 입력 신호, 상기 제1 위상 지연 입력 신호 및 상기 제2 위상 지연 입력 신호는, 이하의 식

$$\text{위상 범위} = \frac{n-1}{n} \times 360$$

(여기서, n은 동시에 동작하는 주파수 공급원들의 개수임.)

에 의해 정의된 위상 범위 상에서 서로 동일하게 이격되는 동조가능 시스템.

청구항 10

제6항에 있어서,

상기 기준 입력 신호는 0도의 위상 기준에서 동작하도록 정의되고,

상기 제1 및 제2 위상 지연 소자들은 제1 및 제2 위상 지연 입력 신호를 각각 발생시키기 위해 제1 및 제2 위상 오프셋을 제공하며,

상기 기준 입력 신호, 상기 제1 위상 지연 입력 신호 및 상기 제2 위상 지연 입력 신호는 180도의 위상 범위 상에서 서로 동일하게 이격되는 동조가능 시스템.

청구항 11

제7항에 있어서,

상기 제1 위상 지연 소자는 제1의 직렬 연결 배열의 인버터 소자들을 포함하되,

상기 제1의 직렬 연결 배열의 인버터 소자들의 전체 지연 시간에 의한 지연은 상기 제1 위상 오프셋에 의한 지연과 균등한 동조가능 시스템.

청구항 12

제8항에 있어서,

상기 제1 위상 지연 소자는 제1의 직렬 연결 배열의 인버터 소자들을 포함하되,

상기 제1의 직렬 연결 배열의 인버터 소자들의 전체 지연 시간에 의한 지연은 상기 제1 위상 오프셋에 의한 지연과 균등한 동조가능 시스템.

청구항 13

제11항에 있어서,

상기 제2 위상 지연 소자는 제2의 직렬 연결 배열의 인버터 소자들을 포함하되,

상기 제2의 직렬 연결 배열의 인버터 소자들의 전체 지연 시간에 의한 지연은 상기 제2 위상 오프셋에 의한 지연과 균등한 동조가능 시스템.

청구항 14

제12항에 있어서,

상기 제2 위상 지연 소자는 직렬 연결 배열의 홀수개의 인버터 소자들을 포함하되,

기준 입력 신호는, 상기 홀수개의 인버터 소자들보다 하나 적은 수의 직렬 배열의 인버터 소자들을 통한 전송에 의해 생성되는 동조가능 시스템.

청구항 15

동시에 동작 가능한 다중 주파수 공급원들을 채용하는 동조가능 시스템 - 상기 다중 주파수 공급원들 중 하나 또는 그 이상의 주파수 공급원에 공급된 입력 신호는, 하나 또는 그 이상의 다른 주파수 공급원에 공급된 입력 신호에 대하여 위상 오프셋됨 - 에 있어서,

기준 입력 신호를 수취하도록 연결된 입력단 및 제1 주파수 공급원 신호를 제공하는 출력단을 포함하는 제1 주파수 공급원;

출력단 및 상기 기준 입력 신호를 수취하도록 연결된 입력단을 포함하고, 제1 위상 지연 입력 신호를 발생시키기 위해 상기 입력된 기준 신호에 미리 정의된 제1 위상 지연을 인가하는 제1 위상 지연 소자;

상기 제1 주파수 공급원과 동시에 동작할 수 있고, 상기 제1 위상 지연 입력 신호를 수취하도록 연결된 입력단 및 제2 주파수 공급원 신호를 제공하는 출력단을 포함하는 제2 주파수 공급원;

출력단 및 상기 기준 입력 신호를 수취하도록 연결된 입력단을 포함하고, 제2 위상 지연 입력 신호를 발생시키기 위해 상기 입력된 기준 신호에 미리 정의된 제2 위상 지연을 인가하는 제2 위상 지연 소자; 및

상기 제1 및 제2 주파수 공급원들과 동시에 동작할 수 있고, 상기 제2 위상 지연 입력 신호를 수취하도록 연결된 입력단 및 제3 주파수 공급원 신호를 제공하는 출력단을 포함하는 제3 주파수 공급원을 포함하는 동조가능 시스템.

청구항 16

제15항에 있어서,

상기 기준 입력 신호는 0도의 위상 기준에서 동작하도록 정의되고,

상기 제1 및 제2 위상 지연 소자들은 제1 및 제2 위상 지연 입력 신호를 각각 발생시키기 위해 제1 및 제2 위상 오프셋을 제공하며,

상기 기준 입력 신호, 상기 제1 위상 지연 입력 신호 및 상기 제2 위상 지연 입력 신호는, 이하의 식

$$\text{위상 범위} = \frac{n-1}{n} \times 360$$

(여기서, n은 동시에 동작하는 주파수 공급원들의 개수임.)

에 의해 제공된 위상 범위 상에서 서로 동일하게 이격되는 동조가능 시스템.

청구항 17

제15항에 있어서,

상기 기준 입력 신호는 0도의 위상 기준에서 동작하도록 정의되고,

상기 제1 및 제2 위상 지연 소자들은 제1 및 제2 위상 지연 입력 신호를 각각 발생시키기 위해 제1 및 제2 위상 오프셋을 제공하며,

상기 기준 입력 신호, 상기 제1 위상 지연 입력 신호 및 상기 제2 위상 지연 입력 신호는 180도의 위상 범위 상에서 서로 동일하게 이격되는 동조가능 시스템.

청구항 18

제17항에 있어서,

상기 제1 위상 지연 소자는 제1의 직렬 연결 배열의 인버터 소자들을 포함하되,

상기 제1의 직렬 연결 배열의 인버터 소자들의 전체 지연 시간에 의한 지연은 상기 제1 위상 오프셋에 의한 지연과 균등한 동조가능 시스템.

청구항 19

제18항에 있어서,

상기 제2 위상 지연 소자는 직렬 연결 배열의 홀수개의 인버터 소자들을 포함하되,

기준 입력 신호는, 상기 홀수개의 인버터 소자들보다 하나 적은 수의 직렬 배열의 인버터 소자들을 통한 전송에 의해 생성되는 동조가능 시스템.

청구항 20

복수의 동시에 동작 가능한 n개의 주파수 공급원들을 채용하는 동조가능 시스템 - 각각의 상기 주파수 공급원은, 상기 주파수 공급원을 고전류 모드(high current mode)에서 동작하도록 제어하는 입력 신호를 수취함 - 에서, 오프셋 신호 위상 처리를 이용하여 상기 시스템을 작동시키는 방법에 있어서,

상기 복수의 주파수 공급원들로부터 기준 주파수 공급원을 식별하는 단계 - 상기 식별된 기준 주파수 공급원은 기준 입력 신호를 수취함 -;

상기 기준 주파수 공급원 외의 나머지 주파수 공급원들의 각각에 공급되는 나머지 입력 신호들의 각각에 대한 위상 오프셋들을 연산하는 단계; 및

각각의 주파수 공급원으로의 상기 나머지 입력 신호들의 인가를 지연시키기 위해, 상기 연산된 위상 오프셋들을 n-1개의 상기 나머지 입력 신호들에 각각 인가하는 단계를 포함하는 동조가능 시스템 작동 방법.

청구항 21

제20항에 있어서,

상기 위상 오프셋들을 연산하는 단계는, 상기 나머지 입력 신호들에 대하여 180도의 위상 범위 상에서 서로 동일하게 이격된 위상 오프셋들을 연산하는 단계를 포함하는 동조가능 시스템 작동 방법.

청구항 22

제20항에 있어서,

상기 위상 오프셋들을 연산하는 단계는, 상기 나머지 입력 신호에 대하여 이하의 식

$$\text{위상 범위} = \frac{n-1}{n} \times 360$$

(여기서, n은 동시에 동작하는 주파수 공급원들의 개수임.)

에 의해 정의된 위상 범위 상에서 서로 동일하게 이격된 위상 오프셋들을 연산하는 단계를 포함하는 동조가능 시스템 작동 방법.

청구항 23

제20항에 있어서,

상기 연산된 위상 오프셋들을 n-1개의 상기 나머지 입력 신호들에 각각 인가하는 단계는, 상기 n-1개의 나머지 입력 신호들 중 적어도 하나를 캐스케이드식 직렬 배열(series-cascaded arrangement)의 인버터 소자들을 통해 통과하게 하는 단계를 포함하는 동조가능 시스템 작동 방법.

청구항 24

제23항에 있어서,

상기 캐스케이드식 직렬 배열의 인버터 소자들은 홀수개의 인버터 소자들을 포함하는 동조가능 시스템 작동 방법.

청구항 25

제23항에 있어서,

상기 캐스케이드식으로 직렬 연결된 인버터 소자들의 개수는, 상기 연산된 위상 오프셋과 균등한 시간 지연을 제공할 수 있도록 정해지는 동조가능 시스템 작동 방법.

청구항 26

제24항에 있어서,

상기 기준 입력 신호는 캐스케이드식 직렬 배열의 짝수개의 인버터 소자들을 통해 상기 기준 주파수 공급원에 공급되고,

상기 짝수개의 인버터 소자들은 상기 홀수개의 인버터 소자들보다 하나 적은 인버터 소자들을 포함하는 동조가 능 시스템 작동 방법.

청구항 27

복수의 동시에 동작 가능한 n개의 주파수 공급원들을 채용하는 동조가능 시스템 - 각각의 상기 주파수 공급원은, 상기 주파수 공급원을 고전류 모드에서 동작하도록 제어하는 입력 신호를 수취함 - 과 함께 동작하기 위한 컴퓨터 프로그램을 수록한 컴퓨터로 판독 가능한 기록 매체에 있어서, 상기 컴퓨터 프로그램은,

상기 복수의 주파수 공급원들로부터 기준 주파수 공급원을 식별하는 명령 코드 - 상기 식별된 기준 주파수 공급원은 기준 입력 신호를 수취함 -;

상기 기준 주파수 공급원 외의 나머지 주파수 공급원들의 각각에 공급되는 나머지 입력 신호들의 각각에 대한 위상 오프셋들을 연산하는 명령 코드; 및

각각의 주파수 공급원으로서의 상기 나머지 입력 신호들의 인가를 지연시키기 위해, 상기 연산된 위상 오프셋들을 n-1개의 상기 나머지 입력 신호들에 각각 인가하는 명령 코드를 포함하는 컴퓨터로 판독 가능한 기록 매체.

명세서

기술 분야

- [0001] [관련 출원의 상호 참조]
- [0002] 이 특허 출원은 다음의 각 특허 출원들과 관련되고 동시에 출원되며, 이들의 기재 내용을 필요한 모든 목적을 위해 참조에 의하여 본 출원의 기재의 일부로 편입시킨다. 즉,
- [0003] "다중 주파수 공급원 시스템 및 그 동작 방법(Multiple Frequency Source System and Method of Operation)" (출원번호 제11/461,530호, 대리인 정리 번호 RFM-15-PCT); 및
- [0004] "다중 주파수 공급원 시스템에서의 위상 인입 완화 시스템 및 그 방법(System and Method for Mitigating Phase Pulling in a Multiple Frequency Source System)"(출원번호 제11/461,534호, 대리인 정리 번호 RFM-17-PCT).
- [0005] 본 특허 출원은 다음의 각 미국 특허 출원들을 기초로 우선권을 주장하며, 그 기재 내용 전체를 본 출원의 기재의 일부로 편입시킨다. 즉,
- [0006] "다중 주파수 공급원 시스템 및 그 동작 방법(Multiple Frequency Source System and Method of Operation)" (출원번호 60/595,754, 출원일 2005.8.2.);
- [0007] "다중 주파수 공급원 시스템을 위한 오프셋 신호 위상 처리(Offset Signal Phasing for a Multiple Frequency Source System)"(출원번호 60/595,749, 출원일 2005.8.2.); 및
- [0008] "다중 주파수 공급원 시스템에서의 위상 인입 완화 시스템 및 그 방법(System and Method for Mitigating Phase Pulling in a Multiple Frequency Source System)"(출원번호 60/595,750, 출원일 2005.8.2.).
- [0009] [관련 기술 분야]
- [0010] 본 발명은 동시에 동작할 수 있는 주파수 공급원들(frequency sources)을 채용한 동조 가능한 시스템(tunable system)에 관한 것이며, 특히 상기 시스템과 함께 사용되기 위한 오프셋 신호 위상 처리에 관한 것이다.

배경 기술

- [0011] 상기 "다중 주파수 공급원 시스템 및 그 동작 방법"이라는 명칭의 출원에 기재된 바와 같이, 한 시스템에 다중 주파수 공급원을 구현하는 것은, 시스템의 전력 소비를 어떻게 제어할 것인가에 관한 도전을 제기할 수 있다. 특히, 다중 주파수 공급원의 동작은 전원이 높은 피크(peak) 전류를 요구하도록 할 수 있으며, 이로 인해 시스템이 신뢰성 있게 계속 동작하기에 불충분한 수준까지 전원 전압을 강하시킬 수 있다.
- [0012] 따라서, 다중 주파수 공급원들을 채용하는 시스템에서 높은 피크 전류 소비를 방지하기 위한 시스템 및 방법이 요구된다.

발명의 상세한 설명

- [0013] 위상 지연을 이용해서 각각의 주파수 공급원에 대하여 입력 신호들의 인가에 차이가 생기게 함으로써, 다중 주파수 공급원 시스템에서의 높은 피크 전력(전류 또는 전압) 소비를 방지하기 위한 시스템 및 방법이 본 명세서에서 제공된다.
- [0014] 예시적인 실시예에서, 상기 다중 주파수 공급원 시스템은 제1 동작 주파수 공급원, 위상 지연 소자, 및 상기 제1 주파수 공급원과 동시에 동작하는 제2 동작 주파수 공급원을 포함한다. 상기 제1 주파수 공급원은 기준 입력 신호를 수취하도록 연결된 입력단 및 제1 주파수 공급원 신호를 제공하는 출력단을 포함한다. 상기 위상 지연 소자는 출력단 및 상기 입력된 기준 신호를 수취하도록 연결된 입력단을 포함하되, 상기 위상 지연 소자는 위상 지연된 입력 신호를 발생시키기 위해 상기 입력된 기준 신호에 미리 정의된 위상 지연을 인가한다. 상기 제2 주파수 공급원은 상기 위상 지연된 입력 신호를 수취하도록 연결된 입력단 및 제2 주파수 공급원 신호를 제공하는 출력단을 포함한다.
- [0015] 본 발명의 상기 및 기타 특징들은 이하의 상세한 설명과 첨부 도면을 참조하면 더욱 잘 이해될 수 있을 것이다.

실시예

- [0024] 도 1A는 동시에 동작하는 주파수 공급원들("동조가능 다중 주파수 공급원")을 채용하고, 이로 인해 동작 중인 상기 주파수 공급원들이 고전류(high current) 모드에서 서로 간섭적으로 동작하는 동조가능 시스템(tunable system)을 도시한다. 상기 시스템 100은 n개의 주파수 공급원들 $130_{1,n}$ 을 포함하고, 특정 실시예에서는 가변 주파수 발진기(variable frequency oscillator) 또는 위상 동기 루프(phase locked loop)와 같은 동조가능 공급원을 적어도 하나 포함한다. 하나 또는 그 이상의 나머지 주파수 공급원들은 동조가능(tunable) 또는 고정 주파수(fixed frequency) 공급원일 수 있다.
- [0025] 동작 중에, 상기 시스템은 상기 동작 중인 주파수 공급원들 $130_{1,n}$ 중 둘 또는 그 이상(도면에는 모든 주파수 공급원들인 것으로 도시됨)에 공급되는 입력 신호 110을 수취한다. 상기 입력 신호 110은 고전류 모드의 동작을 개시하는데, 상기 동작은 출력 신호 $F_{S1,n}$ 을 생성하기 위하여 상기 주파수 공급원을 활성화하는 동작을 포함할 수 있다. 예시적인 실시예에서, 상기 입력 신호 110은 클럭 신호, 기준 신호, 또는 상기 주파수 공급원들을 활성화하거나, 고전류 모드의 동작을 야기하여 상기 주파수 공급원이 상당량의 전류(예를 들면, 최대 전류 처리 용량의 50% 이상)의 인입을 시작하도록 하는 다른 신호일 수 있다.
- [0026] 도 1B는, 도 1A의 상기 동조가능 다중 주파수 공급원 시스템에 대한 시간 영역의 신호 파형 및 피크 전류 소비를 도시한다. 도시된 바와 같이, 다중 주파수 공급원들이 활성화되어 실질적으로 동시에 고전류 모드의 동작으로 진입한다. 그 결과, 전원 버스에 매우 높은 전류 공급 스파이크(spike)가 걸린다. 이러한 상태는, 상기 전원이 전류 소비의 주기 중에 요구된 높은 피크 전류를 공급할 수 있는 용량(capacity)을 보유하지 못하고, 이로 인해, 시스템이 신뢰성 있는 동작을 계속 수행할 수 없는 수준까지 공급 전압을 강하시킬 수 있는, 바람직하지 않은 효과를 발생시킨다. 나아가, 시간 영역에서의 상기 높은 전류 스파이크의 발생은, 주파수 영역에서의 다수의 스퓨리어스 출력(spurious product)을 수반한다. 상기 전원 버스 구조물은 각각의 상기 주파수 공급원 $130_{1,n}$ 으로의 단일한 경로를 제공하고, 여기서 스퍼(spur)는 원하는 출력 신호 $F_{S1,n}$ 과 결합하여 의도된 출력 신호

$F_{s1,n}$ 의 위상 잡음을 열화(degrading)시킬 수 있으므로, 상기 전원 버스 상의 다수의 스푸리어스 출력의 존재는 특히 문제가 된다.

[0027] 도 2A는, 본 발명에 의한, 오프셋 신호 위상 처리를 채용하는 예시적인 동조가능 다중 주파수 공급원 시스템을 도시한다. 상기 시스템은, n 개의 대응 주파수 공급원 신호들 F_{sn} 을 생성하는 n 개의 주파수 공급원들 $230_{1,n}$ 및 $n-1$ 개의 위상 지연 소자 $220_{1,(n-1)}$ 을 포함한다. 입력 신호 210은 연결된 주파수 공급원 $230_{1,n}$ 을 활성화하거나 상기 연결된 주파수 공급원을 고전류 모드로 진입시킨다.

[0028] 도시된 바와 같이, 상기 $n-1$ 개의 위상 지연 소자 $220_{1,n}$ 은 인접한 주파수 공급원들 사이에 삽입되고, 상기 주파수 공급원들 중 하나(주파수 공급원 2, 230_2 로 도시됨)는 지연되지 않은 버전의 상기 입력 신호 210(이하, 기준 입력 신호라고 함)을 수취하고 기준 주파수 공급원으로서 동작한다. 상기 $n-1$ 개의 위상 지연 소자들 220의 각각은, 입력되는 신호에 미리 정의된 특정 위상 오프셋 $\phi_{1,(n-1)}$ 을 인가하고, 이로써 $n-1$ 개의 지연된 입력 신호들 225를 발생시킨다. 상기 미리 정의된 위상 오프셋의 계산은 이하에서 보다 상세히 설명된다. 위상 오프셋을 연산하고 상기 오프셋을 상기 위상 지연 소자들 220을 거쳐 상기 주파수 공급원들에 인가함으로써, 상기 주파수 공급원들의 전류들이 서로 다른 시점에서 소비될 수 있고, 상기 전원 전압의 강하 또는 스푸리어스 출력 생성과 같은 바람직하지 않은 상태가 완화될 수 있다.

[0029] 상기 위상 지연은 전기적으로, 즉, 인버터(inverter)와 같은 특정 구조를 이용함으로써 제공되거나, 또는 물리적으로, 즉, 원하는 위상 지연과 균등한 시간 지연을 제공하는 캐스케이드식으로 연결된(cascaded) 다수의 소자들(예를 들면, 인버터들)을 구현함으로써 제공될 수 있다. 상기 시스템 200은, n 번째 주파수 공급원 230_n 의 입력에서의 위상 지연이 지연소자 220_2 로부터 220_n 까지의 합이 되는 "사다리(ladder)"형 회로망 배열로 구현될 수 있다. 또는, 지연 소자 $220_{1,2}$ 가 각각 상기 시스템 입력 신호 210을 수취하되, 대응 주파수 공급원 230에 상기 신호를 입력하기 이전에 하나의 지연 소자만이 원하는 지연을 인가하도록 이용되는 "방사(star)"형 회로망 배열이 채용될 수도 있다. 또는, 상기 시스템은 도 2A의 도시된 실시예에 나타난 바와 같이, 두 가지의 타입 모두의 구조들의 세그먼트들을 채용할 수도 있다.

[0030] 도 2B는, 본 발명의 일 실시예에 의한, 동조가능 다중 주파수 공급원 시스템을 작동시키는 예시적인 방법을 도시한다. 처음에 단계 262에서, 기준 주파수 공급원(예를 들면, 공급원 230_2)이 복수의 주파수 공급원들로부터 식별된다. 상기 기준 주파수 공급원으로 입력된 신호는, 이하의 위상 오프셋 연산 처리에서 0도의 상대적 위상 오프셋을 갖는 것으로 정의된다.

[0031] 단계 264에서, $n-1$ 개의 대응 주파수 공급원들로 입력되는 $n-1$ 개의 나머지 신호들의 각각에 대한 위상 오프셋이 연산된다. 이 처리의 일 실시예에서, 상기 기준 신호 및 $n-1$ 개의 나머지 입력 신호들은 이하의 계산에 의해 제공된 위상 범위 상에서 서로 동일하게 이격된다:

수학적 식 1

$$\text{위상 범위} = \frac{n-1}{n} \times 360$$

[0032]

여기서, n 은 동시에 동작하는 주파수 공급원들의 개수이다.

[0033]

예를 들면, 세 개의 주파수 공급원들이 구현되는 시스템 실시예에서, 상기 기준 입력 신호는 0도에 위치되고, 제1 및 제2의 위상 지연된 신호들은 120도 및 240도의 위상에 위치된다.

[0034]

다른 실시예에서, 상기 기준 입력 신호 및 $n-1$ 개의 나머지 위상 지연 신호들은 180도의 위상 범위 상에서 서로 동일하게 이격된다. 예를 들면, 세 개의 주파수 공급원들이 구현된 시스템 실시예에서, 상기 기준 공급 신호는 0도에 위치되고, 제1 및 제2의 위상 지연 신호들은 90도 및 180도의 위상에 위치된다.

[0035]

[0036] 단계 266에서, $n-1$ 개의 입력 신호들의 각각에 대해 연산된 상기 위상 오프셋들이, 원하는 위상 지연을 제공하기 위하여 대응 입력 신호에 인가된다. 이 처리의 특정 실시예에서, 상기 $n-1$ 개의 입력 신호들 중 하나 또는 그 이상은, 캐스케이드식으로 연결된 짝수 ($2n$)개의 인버터들에 대하여 180도의 위상 시프트를 제공하도록 캐스케이드식으로 연결된 홀수 ($2n+1$)개의 인버터들을 통해 전송되고, 여기서 상기 짝수 개의 인버터들은 상기 기준

입력 신호를 제공하기 위해 이용될 수 있다. 다른 실시예에서, 상기 $n-1$ 개의 입력 신호들 중 하나 또는 그 이상은, 원하는 위상 지연을 제공하는 물리적 시간 지연을 제공하는, 캐스케이드식으로 연결된 일련의 회로 소자들(예를 들면, 인버터들)을 통해 전송된다. 이하에서 보다 상세히 설명되는 바와 같이, 필요한 위상 지연 소자를 제공하기 위해 이러한 접근 방법들의 조합이 이용될 수 있다.

[0037] 도 2C는, 도 2B의 방법을 이용하는 도 2A의 시스템에 대한, 시간 영역의 신호 파형 및 피크 전류 소비를 도시한다. 동시에 동작하는 세 개의 주파수 공급원들을 채용하는 도 2A의 시스템에 대한 응답이 도시되며, 상기 주파수 공급원들은 출력 주파수 F_{S0} , F_{S1} 및 F_{S2} 를 각각 제공한다. 상기 시스템은 180도 위상 시프트된, 지연된 입력 신호 225₁을 생성하는 제1 위상 지연 소자 ϕ_1 을 포함하며, 여기서 상기 신호 225₁은 출력 파형 F_{S1} 을 발생시키기 위해 대응 주파수 공급원 230₁에 공급된다. 또한, 90도 위상 시프트된, 지연된 입력 신호 225₂를 생성하는 제2 위상 지연 소자 ϕ_2 가 포함되며, 상기 신호 225₂는 출력 파형 F_{S3} 을 발생시키기 위해 대응 주파수 공급원 230₃에 공급된다.

[0038] 시간 영역의 파형이 도시하는 바와 같이, F_{S0} , F_{S1} 및 F_{S2} 의 상승 에지는 서로 90도로 오프셋된다. 상기 오프셋 위상 처리는 도 1의 응답에 비해 분산된 피크 전류 응답을 발생시키고, 이로써 전류 피킹(current peaking) 및 스푸리어스 출력 발생을 감소시킨다.

[0039] 상기한 바와 같이, 상기 동시에 동작하는 주파수 공급원들 230_{1,n} 중 하나 또는 그 이상은 동조가능 공급원일 것이고, 시그마-델타 부분 위상 동기 루프 회로(sigma-delta fractional phase locked loop circuit)가 그 일 예이다. 나머지의 주파수 공급원들은 설계에 의해 지시되는 바에 따라 동조가능 또는 고정 주파수 공급원일 수 있다. 상기 주파수 공급원이 위상 동기 루프인 특정 실시예에서, 그와 연관된 상기 위상 지연 소자는 상기 루프의 기준 신호 F_{Ref} 를 공급하는 신호 경로를 따라 위치될 수 있다.

[0040] 도 3은, 도 2A의 시스템에서 오프셋 신호 위상 처리를 제공하기 위해 이용된 상기 위상 지연 소자들의 예시적인 구현을 도시한다. 상기 위상 지연 소자 ϕ_1 220₁은 세 개의 인버터 소자 310₁, 310₂, 310₃을 포함하며, 이 개수는 상기 기준 입력 신호 225₂에 대해 제공된 인버터 소자 320₁ 및 320₂의 총 개수보다 하나 많은 인버터를 나타낸다. 이 실시예에서, 두 개의 인버터 지연 소자 310₁ 및 310₂는, 상기 기준 입력 신호 225₂를 수취하는 상기 기준 주파수 공급원 230₂의 입력에 대해 입력 버퍼(buffer)를 제공하기 위해 이용되고, 상기 위상 지연 소자 220₁ 내에 공급된 추가적인 인버터 소자 310₃은 상기 기준 입력 신호 225₂에 대하여 180도의 위상을 제공한다. 다른 실시예에서, 보다 적은 인버터 소자가 사용될 수 있고(예를 들면, 상기 기준 입력 신호 225₂에 인버터가 사용되지 않고, 지연된 입력 신호 225₁을 발생시키기 위해 하나의 인버터 소자가 사용됨), 또는 보다 많은 인버터 소자가 사용될 수도 있다(예를 들면, 2n개의 인버터가 상기 지연된 입력 신호 225₁을 생성하도록 사용되고, 2n+1개의 인버터가 상기 기준 입력 신호 225₂를 생성하도록 사용됨).

[0041] 특정 실시예에서, 위상 지연 소자 ϕ_2 220₂는 다수의 직렬 연결된 인버터 소자들 330_{1,n}을 이용하여 실현되며, 상기 인버터 소자들의 집합적 배열은 원하는 시간/위상 지연을 발생시킨다. 일 실시예에서, 상기 원하는 지연은 기존의 기준 입력 신호와 지연된 입력 신호 225₂ 및 225₁의 위상 사이의 실질적으로 중간에 위상이 위치되도록 하는 것이다; 예를 들면, 기준 및 지연된 입력 신호 225₂ 및 225₁이 0도 및 180도의 상대적 위상을 갖도록 위치되는 상기 설명된 실시예에서는, 90도의 위상 지연과 실질적으로 균등한 시간/위상 지연을 공급할 수 있는 수의 인버터 소자들 330_{1,n}이 캐스케이드식으로 연결된다. 예를 들면, 물리적 지연을 제공하기 위해 150 내지 200개의 인버터 소자들의 캐스케이드식 배열이 요구될 수 있다. 상기 인버터 소자는 매우 작은 크기 및 높은 연관 수율을 갖고 용이하게 생산 가능하므로, 집적 회로 내에 다수의 인버터 소자가 용이하게 구현될 수 있다.

[0042] 도 4는, 도 3A의 상기 동조가능 다중 주파수 공급원 시스템을 위한 조정된 전원(regulated power supply)(이하, "레귤레이터(regulator)"라고 함)의 예시적인 블록도를 도시한다. 상기 레귤레이터 400은 연산 증폭기 OP1 410, 트랜지스터 T1 420, 피드백 레지스터 R1 및 R2 430, 레귤레이터 커패시터 C1 440, 및 전원 버스 450을 포함한다. 상기 연산 증폭기 410은 기존의 비반전 증폭기 구성으로 접속되고, 기준 전압을 수취하도록 연결된 비반전 입력단 및 반전 입력단에 연결된 저항기 430a 및 430b에 의해 형성된 저항 분할기를 포함한다. 상기 레귤레이터 커패시터 440은 상기 전원 버스 450을 거쳐 전파되는 AC 신호를 필터링하고, 공급 트랜지스터 420이 컷

오프(cutoff) 모드일 때 상기 전원 버스 450에 전하를 제공한다. 공급 트랜지스터 420(예시적으로 쌍극성 접합 트랜지스터(bipolar junction transistor)로서 도시됨)은 조정되지 않은 전원에 연결된 컬렉터 단자, 상기 연산 증폭기 410의 출력단에 연결된 베이스 단자 및 상기 전원 버스 450에 연결된 이미터 단자를 포함한다.

[0043] 상기 기준 공급원이 토글링(toggling)되면, 상기 공급 트랜지스터 420 및 레귤레이터 커패시터 440은 요구된 전류를 공급한다. 상기 레귤레이터의 제한된 대역폭으로 인해(만약 상기 레귤레이터가 매우 적은 양의 DC 전류를 공급하고 있다면 상기 대역폭은 더욱 제한됨), 피크 전류는 상기 레귤레이터 커패시터 440에 의해 그에 저장된 전하로부터 제공되고, 결과적으로, 조정된 전압의 강하가 발생한다. 상기 레귤레이터 대역폭에 기초한 시간 지연 이후에, 상기 레귤레이터는 상기 레귤레이터 커패시터 440에 전하를 재저장하여 상기 조정된 전압이 정상 상태의 값을 갖도록 한다. 저전류 전도에서, 보다 높은 주파수에서 공급된 상기 피크 전류의 보다 낮은 값은, 고전류 모드에서 공급되어야 하는 상기 피크 전류에 대해 로우 패스 필터의 작용을 한다. 따라서, 상기 조정된 전압에서의 전압 기복(ripple)이 감소된다.

[0044] 본 발명의 기술 분야에서 통상의 지식을 가진 자라면 이미 잘 알고 있듯이, 상기한 프로세스들은 하드웨어, 소프트웨어, 펌웨어(firmware) 또는 필요에 따라 이들의 조합에 의하여 구현될 수 있다. 또한, 상기한 모든 또는 일부의 프로세스들은, 컴퓨터로 판독 가능한 매체(작탈 가능 디스크, 휘발성 또는 비휘발성 메모리, 내장 프로세서(embedded processor) 등) 상에 기록된 컴퓨터로 판독 가능한 명령 코드(instruction code)로서 구현될 수 있으며, 상기 명령 코드들은 상기한 기능들을 수행하도록 기타 프로그램 가능한 장치들의 컴퓨터를 프로그램하도록 동작할 수 있다.

[0045] 여기서, "하나"라는 용어는 하나 또는 하나 이상의 기술된 특성을 지칭하기 위하여 사용되었다. 또한, "연결" 또는 "접속"이라는 용어는, 직접 상호간에 또는 중간에 하나 또는 그 이상의 구조물이나 물체를 경유하여 서로(경우에 따라, 전기적, 기계적, 열적 등으로) 통신하는 특성을 지칭한다. 방법의 흐름도에 도시된 동작이나 행동들의 순서는 예시적인 것일 뿐이며, 이 동작들 및 행동들은 다른 순서로 수행되거나, 이들 중 둘 또는 그 이상의 것들은 동시에 수행될 수도 있다. 여기에서 언급된 모든 간행물, 특허 및 기타 문서들은 그 전체를 참조에 의하여 편입시킨다. 상기 편입된 문서들과 본 명세서 사이에 불일치가 있는 경우에는 본 명세서가 우선한다.

[0046] 상기한 설명은 예시와 설명의 목적으로 개시된 것이다. 본 발명을 그 개시된 형태로 한정시키거나 제한하려는 의도는 없으며, 명백히 다양한 수정과 변경이 본 발명의 조망하에 가능하다. 개시된 실시예들은 본 발명의 원리와 그의 현실적 응용을 설명하기에 가장 적합하도록 선택되었으며, 그리하여 본 발명의 기술 분야에서 통상의 지식을 가진 자들에게, 생각할 수 있는 특정의 용도에 적합하도록 본 발명의 다양한 실시예들과 다양한 수정들을 통해 본 발명을 활용할 수 있도록 한다. 본 발명의 권리 범위는 이하의 특허청구범위에 의하여 정의되어야 한다.

산업상 이용 가능성

[0047] 위상 지연을 이용해서 각각의 주파수 공급원에 대하여 입력 신호들의 인가에 차이가 생기게 함으로써, 다중 주파수 공급원 시스템에서의 높은 피크 전력(전류 또는 전압) 소비를 방지하기 위한 시스템 및 방법이 제공된다.

도면의 간단한 설명

[0016] 도 1A는 다중 주파수 공급원들을 채용하고, 그로 인해, 동작 중인 상기 주파수 공급원들이 서로 간섭적으로 동작하는 동조가능 시스템을 도시한다.

[0017] 도 1B는, 도 1A의 상기 동조가능 다중 주파수 공급원 시스템에 대한 시간 영역의 신호 파형 및 피크 전류 소비를 도시한다.

[0018] 도 2A는, 본 발명에 의한, 오프셋 신호 위상 처리를 채용하는 예시적인 다중 주파수 공급원 시스템을 도시한다.

[0019] 도 2B는, 본 발명의 일 실시예에 의한, 다중 주파수 공급원 시스템을 작동시키는 예시적인 방법을 도시한다.

[0020] 도 2C는, 도 2B의 방법을 이용하는 도 2A의 시스템에 대한 시간 영역의 신호 파형 및 피크 전류 소비를 도시한다.

[0021] 도 3은, 도 2A의 상기 동조가능 다중 주파수 공급원 시스템에서의 오프셋 신호 위상 처리를 제공하기 위해 이용

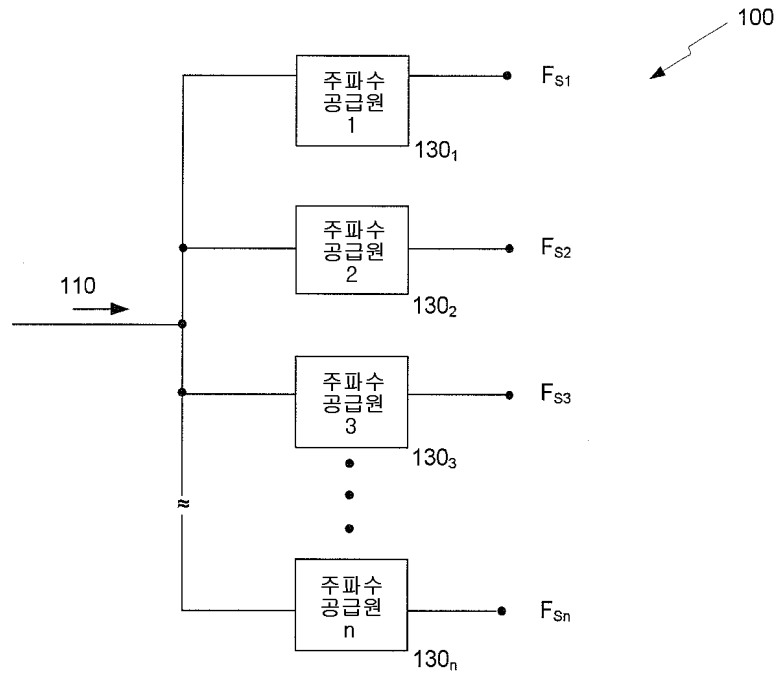
된 위상 지연 소자들의 예시적인 구현을 도시한다.

[0022] 도 4는, 도 3A의 상기 동조가능 다중 주파수 공급원 시스템과 함께 사용되기 위한 조정된 전원의 예시적인 블록도를 도시한다.

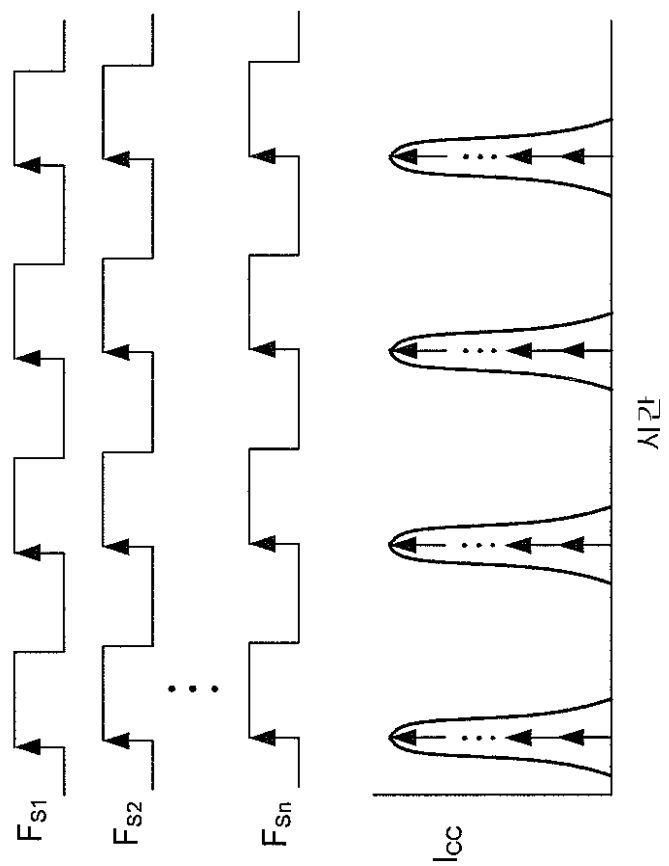
[0023] 명확성을 확보하기 위하여, 이전에 식별되었던 항목들은 이후의 도면에서도 동일한 참조 기호를 유지하도록 하였다.

도면

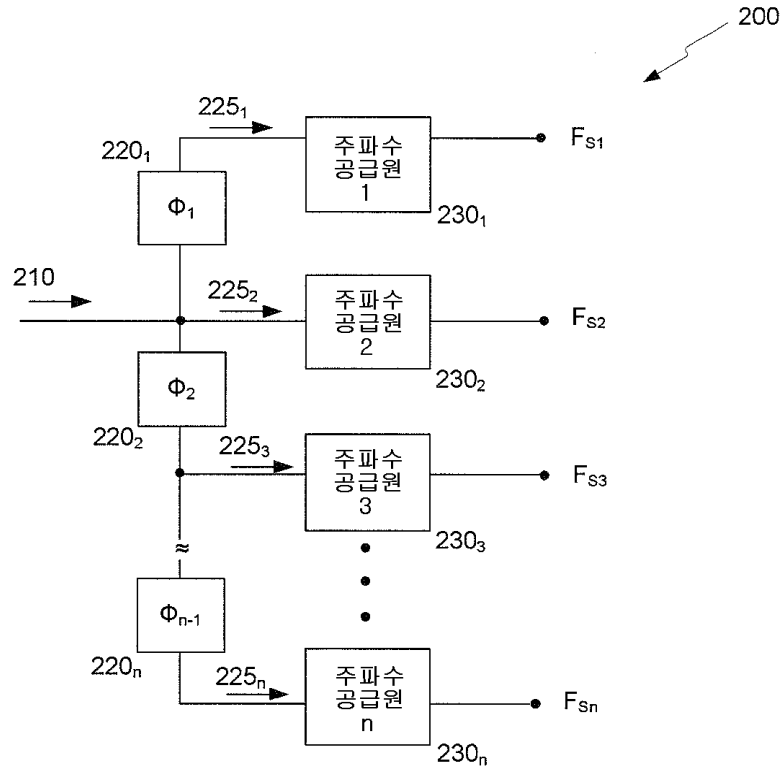
도면1A



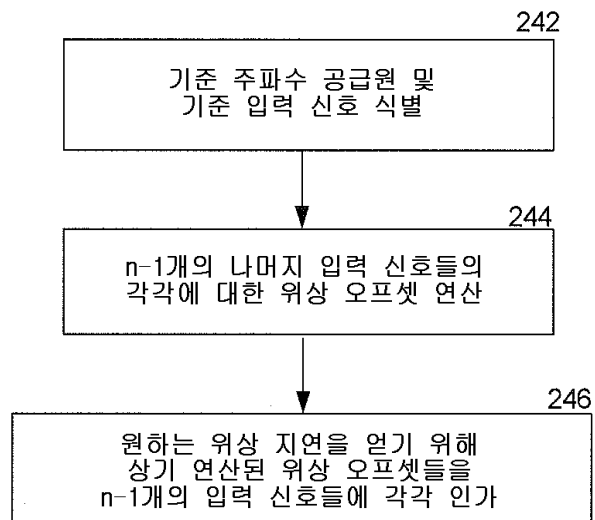
도면1B



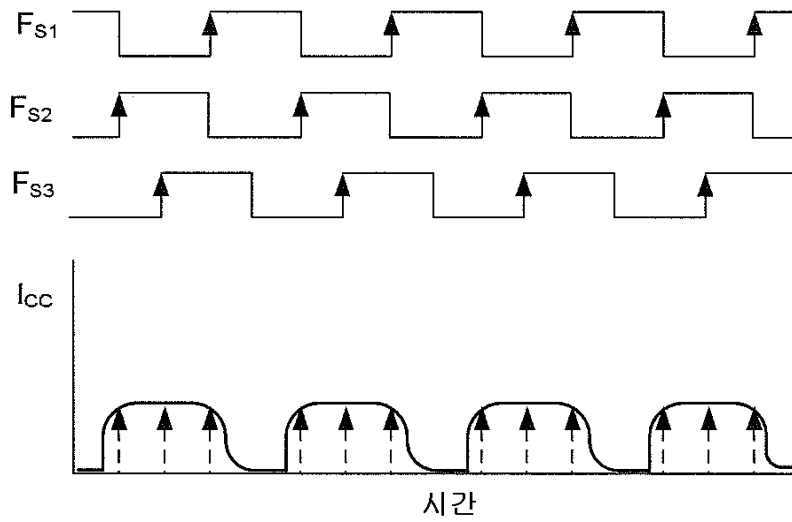
도면2A



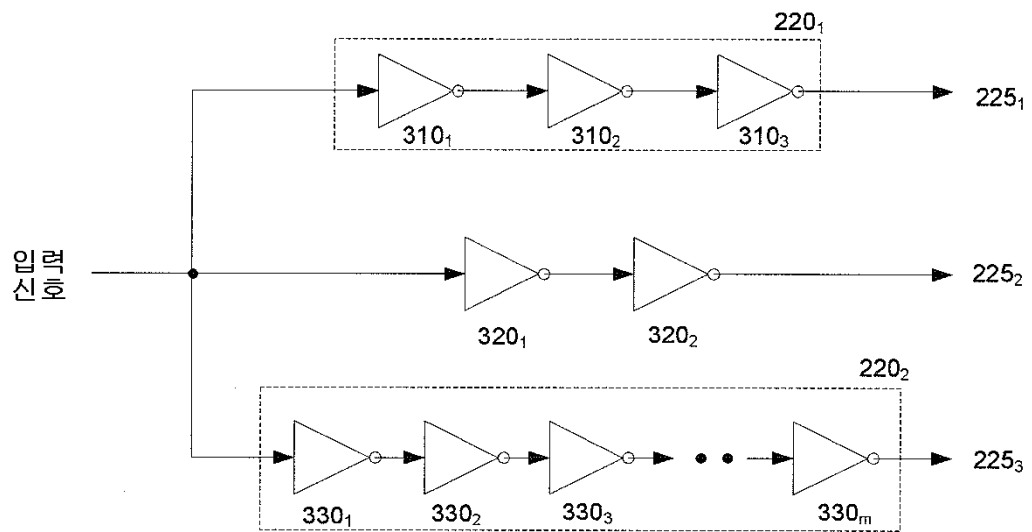
도면2B



도면2C



도면3



도면4

