200812002

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：96116071

※ 申請日期：96 年 5 月 7 日　　**※IPC 分類：** H01L 21/822 (2006.01)

一、發明名稱：（中文/英文）

雙面積體電路晶片

DOUBLE-SIDED INTEGRATED CIRCUIT CHIPS

二、申請人：（共 1 人）

姓名或名稱：（中文/英文）（簽章）

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：（中文/英文）（簽章）

琳奈　D　安德森 / ANDERSON, LYNNE D.

住居所或營業所地址：（中文/英文）

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：（中文/英文）　　美國 / US

三、發明人：（共 7 人）

姓名（中文/英文）

1. 凱莉　伯恩斯坦 / BERNSTEIN, KERRY
2. 堤摩西　喬瑟芬　達頓 / DALTON, TIMOTHY JOSEPH
3. 傑弗瑞　彼得　甘比諾 / GAMBINO, JEFFREY PETER
4. 馬克　大衛　傑夫 / JAFFE, MARK DAVID
5. 保羅　大衛　卡斯克 / KARTSCHOKE, PAUL DAVID
6. 史蒂芬　艾林伍得　露斯 / LUCE, STEPHEN ELLINWOOD
7. 安東尼　坎朵　史坦普 / STAMPER, ANTHONY KENDALL

國籍（中文/英文）

1.-7. 皆為美國 / US

四、 聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

美國、西元 2006 年 5 月 16 日、11/383,586

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明有關積體電路的領域；尤其，本發明有關雙面積體電路晶片及製造雙面積體電路晶片的方法。

【先前技術】

為了發揮積體電路的最大效能，調整製程以提高積體電路晶片不同區域中之不同裝置及電路的效能。這將很難達成且所費不貲，譬如在相同積體電路晶片上一組裝置所需的熱循環對其他裝置有不利的影響時。此外，通常很難同時使製程緊隨著不同類型裝置的各種裝置規格。因此，需要如下的積體電路晶片及製造積體電路晶片的方法：可調整製程以按符合成本效益的方式提高不同裝置類型的效能。

【發明內容】

本發明之第一方面為製造半導體結構的方法，該方法包含：在一矽覆絕緣體第一晶圓中製造一或多個第一裝置，該第一晶圓包含在一第一上方矽層及一第一下方矽層之間的一第一埋藏氧化層及在該第一上方矽層上的一第一最下方介電層；在一矽覆絕緣體第二晶圓中製造一或多個第二裝置，該第二晶圓包含在一第二上方矽層及一第二下方矽層之間的一第二埋藏氧化層及在該第二上方矽層上的一第二最下方介電層；自該第一晶圓移除該第一下方矽層，以暴露該第一埋

藏氧化層之一表面，及自該第二晶圓移除該第二下方矽層，以暴露該第二埋藏氧化層之一表面；接合該第一埋藏氧化層之該表面於該第二埋藏氧化層之該表面；形成至該等第二裝置的導電第一接點，該等第一接點自該第二最下方介電層的一頂面延伸穿過該第二最下方介電層至該等第一裝置；形成至該等第一裝置的導電第二接點，該等第二接點自該第二最下方介電層的該頂面延伸穿過該第二最下方介電層、穿過該等第一及第二埋藏氧化層至該等第二裝置形成於該第二上方矽層的這些部分；及在該第二最下方介電層之上形成一或多個第二線路層，該等第二線路層的每一線路層包含在一對應介電層中的導電線路，該等第二線路層之一最下方線路層的一或多個線路係實體且電性接觸該等第一及第二接點。

本發明之第二方面是更包括以下項目的第一方面：互連該等第一裝置與在第一上方矽層之上形成的一或多個第一線路層，該等第一線路層的每一線路層包含在一對應介電層中的導電線路，該一或多個第一線路層包括在該第一最下方介電層中形成的導電線路。

本發明之第三方面為更包括以下項目的第二方面：形成至該第一最下方介電層中該等線路之一或多個的導電第三接點，該等第三接點自該第二最下方介

電層之該頂面延伸穿過該第二最下方介電層、穿過該等第一及第二埋藏氧化層及穿過該第一上方矽層至該第一最下方介電層中該等線路的一或多個線路，該等第三接點與該第一上方矽層電隔離。

本發明之第四方面為更包括以下項目的第一方面：在該移除該第一下方矽層之前，附著一第一處理晶圓於該第一晶圓離該第一上方矽層最遠的一最上方介電層；在該移除該第二下方矽層之前，附著一第二處理晶圓於該第一最下方介電層；及在該接合之後，移除該第二處理晶圓。

本發明之第五方面為更包括以下項目的第一方面：在該移除該等第一及第二下方矽層之後及在該接合之前，對準該第一晶圓於該第二晶圓。

本發明之第六方面為更包括以下項目的第一方面：將該等接合的第一及第二晶圓切割成一或多個積體電路晶片。

本發明之第七方面為第一方面，其中該等第一裝置為N通道場效電晶體及該等第二裝置為P通道場效電晶體。

本發明之第八方面為第一方面，其中該第一上方

矽層為一具有一<100>晶向的單晶矽層，該等第一裝置為N通道場效電晶體且該等N通道場效電晶體的通道長度係沿該第一上方矽層的[100]晶向，及其中該第二上方矽層為一具有一<110>晶向的單晶矽層，該等第二裝置為P通道場效電晶體且該等P通道場效電晶體的通道長度係沿該第二上方矽層的[110]晶向。

本發明之第九方面為第一方面，其中該等第一裝置為N通道場效電晶體，其源極及汲極處於拉伸中及該等第二裝置為P通道場效電晶體，其源極及汲極處於壓縮中。

本發明之第十方面為第一方面，其中該等第一及第二裝置為場效電晶體，該等第一裝置具有一比該等第二裝置高的臨限電壓；或其中該等第一及第二裝置為場效電晶體，該等第一裝置具有一比該等第二裝置厚的閘電極。

【實施方式】

應明白，本發明具體實施例的積體電路晶片有利地形成於稱為晶圓的積體電路基板上，且多個積體電路可同時製造於相同晶圓上並在製造完成後以切割程序分離。

圖1A至1J為圖解製造本發明第一具體實施例之

積體電路晶片的橫截面圖。在圖 1A 中，製造第一晶圓 100A 至襯墊層。晶圓 100A 包括矽覆絕緣體(SOI)基板 105A，SOI 基板 105A 包括：矽基板 110A、形成於矽基板上的埋藏氧化層(BOX)115、及形成於 BOX 上的單晶矽層 120。形成於矽層 120 中的是溝渠隔離 125 及場效電晶體(FET)130A 的源極/汲極 135 及通道區域 140。亦形成於矽層 120 中的是選擇性矽區域 150。形成於通道區域 140 之上的是閘電極(未顯示)及(在一範例中)FET 130A 的多晶矽閘極 145。在一範例中，矽區域 150 為高摻雜 N 或 P 型(在約 1E19 atm/cm^3 及約 1E21 atm/cm^3 之間)，以將接點電阻減少為小於約 0.5 微歐姆。在形成前金屬介電(PMD)層 155 之前，可在源極/汲極 135、閘極 145、及擴散接點 150 的暴露矽表面上形成選擇性金屬矽化物層 152。藉由以下方式形成金屬矽化物：在矽表面上沈積金屬層、以足夠的高溫加熱矽表面促使金屬層與矽反應、及接著溶解任何未反應的金屬。此時，為完成 FET 130A 製造所需要的高溫退火或快速熱退火(RTA)已完成。

形成於矽層 120 之頂部上的是 PMD 層 155。形成於 PMD 層 155 中的是接點 160。接點 160 可導電且電接觸源極/汲極 135、閘極 145 及矽接點 150、或矽中/矽上的其他主動或被動元件，如雙極接面電晶體、薄膜電阻器、接面電容器、閘極多晶矽電容器、及類似元件。可將 PMD 層 155 及接點 160 視為偽線路層，其

連接矽上的裝置至第一線路層。在一範例中，可以鑲嵌程序形成接點 160。形成於 PMD 層 155 上的是第一(層間介電質)ILD 165，其含有與接點 160 為電接觸的第一線路層導電鑲嵌線路 170。形成於第一 ILD 165 上的是第二 ILD 175，包括與線路 170 為電接觸的導電雙鑲嵌線路 180。形成於第二 ILD 175 上的是第三 ILD 185，包括與線路 180 為電接觸的導電雙鑲嵌 I/O 襯墊 190。或者，線路 170、180 及襯墊 190 可以是結合單鑲嵌通道的單鑲嵌線路或襯墊。

鑲嵌程序如下：其中線路溝渠或通道開口形成於介電層中，填充溝渠之足夠厚度的電導體沈積於介電質的頂面上，及執行化學機械拋光(CMP)程序以移除多餘導體，及使導體表面與介電層表面共面以形成鑲嵌線路(或鑲嵌通道)。僅形成一溝渠及一線路(或一通道開口及通道)時，將此程序稱為「單鑲嵌」。

雙鑲嵌程序如下：其中形成穿過介電層整個厚度的通道開口，接著形成部分穿過任何給定橫截面圖中介電層的溝渠。所有通道開口均與上方的整合線路溝渠及下方的線路溝渠相交，但並非所有溝渠必須與通道開口相交。填充溝渠之足夠厚度的電導體及通道開口沈積於介電質的頂面上，然後執行 CMP 程序，以使溝渠中的導體表面與介電層表面共面，以形成雙鑲嵌線路及具有整合雙鑲嵌通道的雙鑲嵌線路。

單鑲嵌及雙鑲嵌程序中用以形成溝渠的蝕刻有利地是反應性離子蝕刻(RIE)。

在一範例中，PMD 層 155 包含硼磷矽酸鹽玻璃(BPSG)。在一範例中，接點 160 包含雙層的鈦/氮化鈦襯料及鎢芯。在一範例中，ILD 165、175、及 185 包含視情況形成於一層氮化矽、氮碳化矽、或氮氧碳化矽之上之二氧化矽或摻雜碳之氧化物的一或多個。在一範例中，線路 170 及 180 及 I/O 襯墊 190 包含鉭/氮化鉭襯料及銅芯。

在一範例中，第一 ILD 165、第二 ILD 175、及第三 ILD 185 各自包含二氧化矽(SiO_2)、氮化矽(Si_3N_4)、碳化矽(SiC)、氮氧化矽(SiON)、氧碳化矽(SiOC)、有機矽酸鹽玻璃(SiCOH)、電漿增強氮化矽($PSiN_x$)、或 NBLok(SiC(N,H))。

在一範例中，第一 ILD 165、第二 ILD 175、及第三 ILD 185 各自包含低 K(介電質常數)材料，其範例包括但不限於：氫化倍半氧矽烷聚合物(HSQ)、甲基倍半氧矽烷聚合物(MSQ)、陶氏化學公司(Dow Chemical, Midland, TX)製造的 SILK^{TM}(聚苯寡聚物)、美商應用材料公司(Applied Materials, Santa Clara, CA)製造的 Black Diamond^{TM}(摻雜甲基的二氧化矽或 $SiO_x(CH_3)_y$

或 $SiC_xO_yH_y$ 或 SiOCH)、有機矽酸鹽玻璃(SiCOH)、及多孔 SiCOH。在一範例中，低 K 介電材料具有相對電容率約 2.4 或更低。

在圖 1B 中，鈍化層 195 形成於第三 ILD 185 及 I/O 襯墊 190 上，及使用黏著劑(未顯示)或利用本技術已知的其他方法將處理晶圓 200A 附著於鈍化層 195。處理晶圓厚到(如 200-1000 微米)足以在後續處理期間支撐矽晶圓。

在圖 1C 中，移除塊狀基板 110A(見圖 1B)以暴露 BOX 115。在一範例中，利用以下方式移除塊狀基板 110A：研磨操作至大體上薄化塊狀基板的操作，繼而進行如水狀氫氧化鉀之強鹼的化學蝕刻，以移除剩餘塊狀基板。

在圖 1D 中，製造第二晶圓 100B 至 PMD。晶圓 100B 包括矽覆絕緣體(SOI)基板 105B，SOI 基板 105B 包括：矽基板 110B、形成於矽基板上的埋藏氧化層(BOX)115、及形成於 BOX 上的單晶矽層 120。形成於矽層 120 中的是溝渠隔離 125 及場效電晶體(FET)130B 的源極/汲極 136 及通道區域 141。形成於通道區域 141 之上的是閘電極(未顯示)及(在一範例中)FET 130B 的多晶矽閘極 146。同樣地，在形成前金屬介電質(PMD)層 155 之前，可在源極/汲極 136 及閘極 146 的暴露矽

表面上形成選擇性金屬矽化物層 152。形成於矽層 120 之頂部上的是 PMD 層 155。此時，完成製造 FET 130B 所需的高溫退火已經完成。

在圖 1E 中，使用黏著劑(未顯示)或利用本技術中已知的其他方法將處理晶圓 200B 附著於 PMD 層 155。

在圖 1F 中，移除塊狀基板 110B(見圖 1E)以暴露 BOX 115。在一範例中，利用以下方式移除塊狀基板 110B：研磨操作至大體上薄化塊狀基板的操作，繼而進行如水狀氫氧化鉀之強鹼的化學蝕刻，以移除剩餘塊狀基板。

在圖 1G 中，將第一晶圓 110A 的 BOX 115 放在第二晶圓 110B 的 BOX 115 之上，且第一及第二晶圓彼此對準，致使如下文所述製造晶圓 100A 上之裝置及晶圓 110B 上之裝置之間的互連線時，互連線及裝置全部對準。在對準之後，利用本技術中已知的方法，將第一晶圓 100A 的 BOX 115 接合至第二晶圓 110B 的 BOX 115。為達到晶圓間的準確對準，如 0.1-10 微米對位，必須在兩個設計的晶圓上包括對準標記，以便晶圓能夠如本技術中已知對準。

在圖 1H 中，如本技術中已知，移除處理晶圓 200B(見圖 1G)，並在第二晶圓 100B 的 PMD 層 155

中形成導電第一型接點 205。接點 205 自 PMD 層 155 的頂面延伸至源極/汲極 135 及閘極 146(未顯示)的矽化物(若存在)。在一範例中，可以單鑲嵌程序形成接點 205。在一範例中，接點 205 包含鉭/氮化鉭襯料及鎢芯。

在圖 1I 中，形成導電第二型接點 210，其穿過第二晶圓 110B 的 PMD 層 155、第二晶圓 110B 的溝渠隔離 125、第二晶圓 110B 的 BOX 115、及第一晶圓 110A 的 BOX 115，到達第一晶圓 100A 之溝渠隔離 125 中的源極/汲極 135 及矽區域 150。接點 210 亦可形成至通道區域 140。選擇性背面金屬矽化物層 212 可形成於矽層 120(即源極/汲極 135、通道區域 140、及矽區域 150)的暴露表面上，以更減少互連線的電阻。然而，有利地將晶圓 100A 及 100B 在矽化物形成的加熱步驟期間的溫度保持約 400 °C 或更低。在一範例中，金屬矽化物層 212 包含矽化鎳。在一範例中，接點 205 包含鉭/氮化鉭襯料及鎢芯。

此外，在圖 1I 中，第三型接點 215 在形成鄰接(實體且電性地)接點 205 的接點 210 時已形成。這使得第二晶圓 110B 之矽層 120 的矽區域能夠以最直接的方式及最短的可能實體路徑連接至第一晶圓之矽層 120 的矽區域。

注意，第一、第二、及第三(205、210、及 215)型接點可分開或同時使用鑲嵌方法來金屬化。第一及第二型接點 205 及 210 可在分開的操作中單獨製造或同時製造。當同時製造時，第一及第二型接點可藉由使用單一遮罩就地(in situ)蝕刻相應溝渠來形成，或使用微影遮罩及硬遮罩及蝕刻的各種組合來製造，以個別定義溝渠，接著進行單一金屬填充及 CMP 操作。

在圖 1J 中，形成於第二晶圓 100B 之 PMD 層 155 上的是第一 ILD 165，包括與接點 160 為電接觸的導電第一線路層鑲嵌線路 170。形成於第一 ILD 165 上的是第二 ILD 175，包括與線路 170 為電接觸的導電雙鑲嵌線路 180。形成於第二 ILD 175 上的是第三 ILD 185，包括與線路 180 為電接觸的導電雙鑲嵌 I/O 襯墊 190。鈍化層 195 形成於第三 ILD 185 及 I/O 襯墊 190 上。或者，線路 170、180 及襯墊 190 可以是結合單鑲嵌通道的單鑲嵌線路。此完成雙晶圓 100C 的製造。

雖然以單一接觸層、兩個線路層、及一襯墊層圖解每一晶圓 100A 及 100B，但可製造更多或更少的接觸層及線路層，且可以不同數量的接觸層及/或線路層來製造晶圓 100A 及 100B。在製程此時、在其他製造步驟之後、或在將雙晶圓 100C 切割成個別積體電路之後，可將處理晶圓 200A 與雙晶圓 100C 分開。

圖 2 為圖解本發明第一具體實施例之第一修改的橫截面圖。本發明第一具體實施例的第一修改在第一晶圓 100A 中的結構及第一 ILD 165 的第一層線路 170 之間增加接點。圖 2 與圖 1J 相似，但已製造第四型接點 220。接點 220 延伸穿過第二晶圓 110B 的 PMD 層 155、第二晶圓 110B 的溝渠隔離 125、第二晶圓 110B 的 BOX 115、及第一晶圓 110A 的 BOX 115、及第一晶圓 100A 的溝渠隔離 125。第四型接點 220 允許在第二晶圓 110B 之第一線路層的線路 170 及第一晶圓 110A 的接點 160 之間直接進行電連接。在一範例中，可以單鑲嵌程序形成接點 220。在一範例中，接點 220 包含鈦/氮化鈦襯料及鎢芯。或者，當未提供接點 160 時，第四型接點 220 可向下形成至第一線路 170。

第一、第二、及第四型接點 205、210、及 220 可在分開的操作中單獨製造或同時製造。當同時製造時，第一、第二及第四型接點可藉由使用單一遮罩就地蝕刻相應溝渠來形成，或使用微影遮罩及硬遮罩及蝕刻的各種組合來製造，以個別定義溝渠，接著進行單一金屬填充及 CMP 操作。

圖 3A 至 3C 為圖解本發明第一具體實施例之第二修改的橫截面圖。本發明第一具體實施例的第二修改在第一晶圓 100A 的 BOX 層 115 上方增加平台襯墊，以使晶圓 100A 及 100B 彼此對準的臨界值降低。圖 3A

與圖 1C 相似，但在 BOX 115 之上形成晶圓間介電層 225，且在介電層 225 中形成雙鑲嵌平台襯墊 230。平台襯墊 230 自介電層 225 的頂面延伸穿過介電層 225、及 BOX 115 至源極/汲極 135 及矽區域 150。平台襯墊 230 亦可接觸通道區域 140。氧化矽層 235 沈積於介電層 225 的頂部及平台襯墊 230 上。同樣地，選擇性背面金屬矽化物層 212 可形成於矽層 120(即源極/汲極 135、通道區域 140、及矽區域 150)的暴露表面上，以更減少互連線的電阻。

圖 3B 與圖 1G 相似，但第一晶圓 100A 的氧化矽層 235 與第二晶圓 110B 的 BOX 115 接合以取代 BOX 對 BOX 接合。以上文參考圖 1H 至 1J 所述的相似方式繼續製造程序，但在圖 3C 中，所得雙晶圓 100E 包括介電層 225 及 235 及平台襯墊 230，且接點 205 及 210 與平台襯墊 230 直接實體接觸及電接觸，而非與源極/汲極 135、通道區域 140、及矽區域 150 直接實體接觸。可以所述耐火金屬 (Ti/TiN/W) 或銅 (Ta/TanN/Cu)製造平台襯墊 230。

圖 4A 至 4E 為圖解製造本發明第二具體實施例之積體電路晶片的橫截面圖。本發明第二具體實施例與本發明第一具體實施例相似，但第一晶圓不括任何線路層(即不包括第一 ILD 165、第二 ILD 175、及對應線路 170 與 180、及襯墊 190。)因此，在圖 4A 中，晶

圓 100F 包括 SOI 基板 105A，SOI 基板 105A 包括矽塊狀基板 110A、BOX 115、單晶矽層 120、溝渠隔離 125、源極/汲極 135、及 FET 130A 的通道區域 140、選擇性矽區域 150、閘電極(未顯示)及 FET 130A 的閘極 145。雖未在圖 4A 中圖解，但晶圓 100F 可包括互連源極/汲極 135、閘極 145 及矽區域 150 的導電接點。鈍化層 240 形成於 PMD 155 之上。在一範例中，鈍化層 240 包含氮化矽。

在圖 4B 中，處理晶圓 200A 附著於鈍化層 240，及在 4C 圖中，如上述移除塊狀矽基板 110A(見圖 4B)，以暴露 BOX 115。在圖 4D 中，第二晶圓 100B(如上述)附著於第一晶圓 110F，以接合第一晶圓 100F 的 BOX 115 與晶圓 100B 的 BOX 115。以上文參考圖 1H 至 1J 所述的相同方式繼續製造程序，以產生圖 4E 的雙晶圓 100G。

圖 5 為圖解本發明第二具體實施例之修改的橫截面圖。本發明第二具體實施例的修改與第一具體實施例的第二修改相似如下：在第一晶圓 I00H 的 BOX 層 115 上方增加平台襯墊(否則與圖 4E 的晶圓 100F 相同)，以使晶圓 100F 及 100B 彼此對準的臨界值降低。圖 5 與圖 4E 相似，但在 BOX 115 之上形成介電層 225，且在介電層 225 中形成雙鑲嵌平台襯墊 230。平台襯墊 230 自介電層 225 的頂面延伸穿過介電層

225、及 BOX 115 至源極/汲極 135 及矽區域 150。平台襯墊 230 亦可接觸通道區域 140。氧化矽層 235 沈積於介電層 225 的頂部及平台襯墊 230 上。藉由接合晶圓 100B 的 BOX 115 與晶圓 100H 的氧化矽層 235，將晶圓 100H 與晶圓 110B 接合。

圖 6A 為定位圖，及圖 6B 至 6D 根據本發明各種具體實施例，為圖解接觸裝置之閘極之替代方法的橫截面圖。在圖 6A 中，閘極 145 在長度及寬度方向上均重疊源極/汲極 135。通道區域 140 具有通道長度尺寸 L 及通道寬度尺寸 W。源極/汲極 135 及通道區域 140 為溝渠隔離(未顯示)所圍繞。

在圖 6B 中，第一晶圓 100A 中自第二晶圓 100B 至閘極 145 的電連接穿過接點 210、矽區域 150、第一接點 160、線路 170、及第二接點 160。在圖 6C 中，第一晶圓 100A 中自第二晶圓 100B 至閘極 145 的電連接穿過接點 210、矽區域 150、及狹長接點 160。在圖 6D 中，第一晶圓 100A 中自第二晶圓 100B 至閘極 145 的電連接穿過接點 220 及狹長接點 160。

使用兩個晶圓(例如 100A 及 100B)允許在每一晶圓中以不同的方式製造裝置(例如 FET)，以使用不同方式最佳化一晶圓的特定裝置參數、類型、結構及製程，且對第二晶圓的參數、類型、結構、及製程不會

有不利的影響。例如，第一晶圓的熱預算(晶圓在製造期間處於大於約 400°C 之溫度的總時間)小於第二晶圓的熱預算。可能的製造及裝置組合範例包括但不限於表 I 中所說明的製造及裝置組合範例。

表 I

選項	第一晶圓	第二晶圓
1	NFET	PFET
2	處於拉伸的 FET	處於壓縮的 FET
3.	邏輯電路	記憶體電路
4	高臨限值(V_T)FET	低臨限值(V_T)FET
5	厚閘電極 FET	薄閘電極 FET
6	類比電路	數位電路
7	<100>矽晶圓	<110>矽晶圓
8	熱預算 1	熱預算 2
9	CMOS FET	雙極電晶體

應明白，對於任何選項而言，列於第一晶圓下的項目可與列於第二晶圓下的項目交換，及第一晶圓可

包括一或多個選項且第二晶圓可包括一或多個選項；對於兩個晶圓而言，選項的數量及選項本身可以相同或不同，其前提為針對特定晶圓選擇的項目不會互不相容。例如，<100>及<110>晶向即互不相容。

圖 7 根據本發明具體實施例，為製造積體電路晶片期間選擇性對準兩個晶圓的等角視圖。在晶形固體中，組成固體的原子在空間上按稱為晶格的週期方式進行排列。晶格含有容積，其代表整個晶格且在整個晶體中有規律地重複。在說明本揭露內容的晶狀半導體材料時，將沿用以下常規。

將晶格中的方向表示為一組具有相同關係的三個整數，一如該方向中的向量分量。例如，在具有菱形晶格的立方體晶格(如矽)中，對角線主體沿[111]方向存在，其中[ ]方括弧代表特定方向。根據任意選擇的定向軸而定，晶格中的許多方向經對稱轉換皆為均等。例如，立方晶格[100]、[010]、及[001]中的晶向全部在結晶學上為均等。以< >括弧表示某個方向及其所有均等方向。因此，定為<100>方向的方向包括均等的[100]、[010]、及[001]正方向及均等的負方向[-100]、[0-10]、及[00-1]。

晶體中的平面亦可使用一組三個整數來識別。這些數字係用來界定一組平行的平面，且包含在()圓括

弧內的各組整數識別某特定平面。例如，與[100]方向垂直之平面的正確代號是(100)。因此，如果已知立方體晶格的方向或平面，則不必計算即可快速決定其垂直的方向或平面。根據任意選擇的定向軸而定，晶格中的許多平面經對稱轉換皆為均等。例如，(100)、(010)、及(001)平面在結晶學上皆為均等。以{}大括弧表示某個平面及其所有均等平面。因此，定為{100}平面的平面包括均等的(100)、(010)、及(001)正平面及均等的負平面(-100)、(0-10)、及(00-1)。

N 通道 FET(NFET)之通道中的電子(反轉載子)遷移率在{100}平面中幾近其最高值，而在{110}平面中則明顯較低。{110}平面的電子遷移率約為{100}平面中的一半。P 通道 FET(PFET)之通道中的電洞(反轉載子)遷移率在{110}平面中為最高，而在{100}平面中明顯較低。{100}平面的電洞遷移率約低於{110}平面中的一半。

在圖 7 中，在晶圓對晶圓接合之後，晶圓 100A 在穿過每一晶圓中心的共同軸 CL 附近對準晶圓 100B；晶圓 100A 的[100]方向對準晶圓 100B 的[110]方向。PFET 130B 形成於晶圓 100B 中，因此其通道長度係沿[110]方向，以使 PFET 反轉載子遷移率達到最大值；及 NFET 形成於晶圓 100A 中，因此其通道長度係沿[100]方向，以使 NFET 反轉載子遷移率達到最

大值。儘管對準晶圓 100A 的[100]方向與晶圓 100B 的[110]方向係選擇性的，但此對準使 PFET 及 NFET 定位於相同方向(通道長度方向)中，因而有助於對準兩個晶圓中的裝置。

圖 8 根據本發明具體實施例，為製造積體電路晶片期間之選擇性製造步驟的橫截面圖。兩個選擇性製造步驟顯示於圖 8 中。在第一選項中，晶圓 100A 的 FET 130A 為 NFET(源極/汲極 135 摻雜為 N 型，通道區域 140 摻雜為 P 型)，及晶圓 100B 的 FET 130B 為 PFET(源極/汲極 136 摻雜為 P 型，通道區域 141 摻雜為 N 型)。拉伸層 255A 沈積於 FET 130A 之上，及壓縮層 255B 沈積於 FET 130B 之上。藉由相應層 255A 及 255B 在 FET 130A 及 130B 之矽區域中所引起的相應拉伸及壓縮應力可提高 FET 130A 及 130B 的效能。層 255A 及 255B 的合適材料包括但不限於：氮化矽、碳化矽、氫化碳化矽、氫化氮化矽碳、氫化氧碳化矽、氫化氮化氧碳矽及其在單一層及其層組合中的組合。在一範例中，所施加的應力(拉伸或壓縮)量在約 0.5 GPa 及 4 GPa 之間。層 255A 及 255B 亦可用作擴散障壁層。

在第二選項中，利用相應介電層 255A 及 255B，將拉伸及壓縮應力引入相應 FET 130A 及 130B。施予拉伸或壓縮應力於 FET 130A 及 130B 的合適介電質包

括氮化矽、碳化矽、氮化矽碳、及如本技術中已知的類似物。拉伸介電質形成於 NFET 之上，及壓縮介電質形成於 PFET 之上，如本技術中已知。

亦可使用金屬矽化物層 260A 及 260B，以降低能障高度及減少 FET 之源極/汲極的接觸電阻。就 FET 130A 而言，合適矽化物及其能障高度包括矽化鉺(0.22 eV)、矽化鉑(0.26 eV)、及矽化鈀(0.4 eV)。對於 FET 130B，合適矽化物及其能障高度包括矽化鈮(0.50 eV)、矽化鈦(0.60 eV)、矽化鎳(0.65 eV)及矽化鈷(0.65 eV)。

圖 9 根據本發明具體實施例，為製造積體電路晶片之方法的流程圖。在步驟 300 中，製造 SOI 下方晶圓(對應於上述晶圓 100A)至 PMD。在步驟 305 中，決定下方晶圓是否要佈線。如果下方晶圓要佈線，則在步驟 310 中，完成下方晶圓至所有 ILD 層，否則方法進行至步驟 315。在步驟 315 中，選擇性鈍化層沈積於下方晶圓的正面。在步驟 320 中，形成選擇性平台襯墊及沈積氧化矽層。在步驟 325 中，將下方處理晶圓附著於下方晶圓的正面，及在步 330 驟中，自下方晶圓背面移除矽，以暴露下方晶圓的 BOX。在步驟 305 中，選擇性鈍化層沈積於 BOX 上，如果選擇性鈍化層沈積於 BOX 上。

在步驟 335 中，製造 SOI 上方晶圓(對應於上述晶圓 100B)至 PMD。在步驟 340 中，將上方處理晶圓附著於上方晶圓的正面，及在步 345 驟中，自上方晶圓背面移除矽，以暴露上方晶圓的 BOX。在步驟 350 中，反轉下方晶圓，及將上方晶圓的 BOX 置於下方晶圓的 BOX(或在利用平台襯墊時，置於氧化矽層)上，對準晶圓然後接合一起。在步驟 355 中，移除上方處理晶圓。

在步驟 360 中，接觸開口形成於上方晶圓的 PMD 至上方晶圓的裝置及 FET(源極/汲極/閘極)。在步驟 365 中，視情況形成金屬矽化物，及用導電材料填充接觸開口。在步驟 370 中，形成接觸開口穿過上方晶圓的 PMD 及所有中間層至裝置的源極/汲極及下方晶圓的 FET 與其他矽區域。在步驟 375 中，視情況形成金屬矽化物，及用導電材料填充接觸開口。在步驟 380 中，形成接觸開口穿過上方晶圓的 PMD 及所有中間層至平台襯墊及/或接點及/或下方晶圓的第一層線路，並用導電材料填充開口。在步驟 385 中，製造上方晶圓至所有 ILD 層。

因此，本發明具體實施例提供積體電路晶片及製造積體電路晶片的方法，其中可調整製程以按照符合成本效益的方式提高不同類型之裝置的效能。

上述本發明實施例的說明是為了瞭解本發明。應明白，本發明不限於本文所述的特定實施例，而是在不脫離本發明範疇下，能夠進行各種修改、重新配置及替換，正如本技術人士所明白的。因此，以下申請專利範圍是用來涵蓋此種在本發明精神及範疇之內的修改及變更。

【圖式簡單說明】

本發明的特色如隨附的申請專利範圍所述。然而，要完全瞭解本發明本身，請在連同附圖一起閱讀時，參考以下解說性實施例的詳細說明，圖式中：

圖 1A 至 1J 為圖解製造本發明第一具體實施例之積體電路晶片的橫截面圖；

圖 2 為圖解本發明第一具體實施例之第一修改的橫截面圖；

圖 3A 至 3C 為圖解本發明第一具體實施例之第二修改的橫截面圖；

圖 4A 至 4E 為圖解製造本發明第二具體實施例之積體電路晶片的橫截面圖；

圖 5 為圖解本發明第二具體實施例之修改的橫截

面圖；

圖 6A 為定位圖，及圖 6B 至 6D 根據本發明各種具體實施例，為圖解接觸裝置之閘極之替代方法的橫截面圖；

圖 7 根據本發明具體實施例，為製造積體電路晶片期間選擇性對準兩個晶圓的等角視圖；

圖 8 根據本發明具體實施例，為製造積體電路晶片期間之選擇性製造步驟的橫截面圖；及

圖 9 根據本發明具體實施例，為製造積體電路晶片之方法的流程圖。

【主要元件符號說明】

100A、100B、100C、100E、100F、100G、100H、100I	晶圓
105A、105B	矽覆絕緣體(SOI)基板
110A、110B	矽基板
115	埋藏氧化層(BOX)
120	單晶矽層
125	溝渠隔離
130A、130B	場效電晶體(FET)
135、136	源極/汲極

140、141	通道區域
145、146	多晶矽閘極
150	選擇性矽區域
152、212、260A、260B	金屬矽化物層
155	前金屬介電(PMD)層
160、205、210、215、220	接點
165	第一(層間介電質)ILD
170	第一線路層導電鑲嵌線路
175	第二 ILD
180	導電雙鑲嵌線路
185	第三 ILD
190	導電雙鑲嵌 I/O 襯墊
195、240	鈍化層
200A、200B	處理晶圓
225	晶圓間介電層
230	平台襯墊
235	氧化矽層
255A	拉伸層
255B	壓縮層

五、中文發明摘要：

本發明揭示一種半導體結構及製造此結構的方法。該方法包括自兩個具有裝置製造於其中的矽覆絕緣體晶圓移除背面矽，然後利用埋藏氧化層背對背接合兩個矽覆絕緣體(silicon-on-insulator)晶圓。接著在上方晶圓中形成至下方晶圓之裝置的接點並在上方晶圓上形成線路層。下方晶圓可包括線路層。下方晶圓可包括用於接點的平台襯墊。可將下方晶圓之矽層的接點矽化(silicided)。

六、英文發明摘要：

A semiconductor structure and method of fabricating the structure. The method includes removing the backside silicon from two silicon-on-insulator wafers having devices fabricated therein and bonding them back to back utilizing the buried oxide layers. Contacts are then formed in the upper wafer to devices in the lower wafer and wiring levels are formed on the upper wafer. The lower wafer may include wiring levels. The lower wafer may include landing pads for the contacts. Contacts to the silicon layer of the lower wafer may be silicided.

十、申請專利範圍：

1. 一種製造一半導體結構之方法，包含：

在一矽覆絕緣體第一晶圓中製造一或多個第一裝置，該第一晶圓包含在一第一上方矽層及一第一下方矽層之間的一第一埋藏氧化層及在該第一上方矽層上的一第一最下方介電層；

在一矽覆絕緣體第二晶圓中製造一或多個第二裝置，該第二晶圓包含在一第二上方矽層及一第二下方矽層之間的一第二埋藏氧化層及在該第二上方矽層上的一第二最下方介電層；

自該第一晶圓移除該第一下方矽層，以暴露該第一埋藏氧化層之一表面，及自該第二晶圓移除該第二下方矽層，以暴露該第二埋藏氧化層之一表面；

接合該第一埋藏氧化層之該表面於該第二埋藏氧化層之該表面；

形成至該等第二裝置的導電第一接點，該等第一接點自該第二最下方介電層的一頂面延伸穿過該第二最下方介電層至該等第一裝置；

形成至該等第一裝置的導電第二接點，該等第二接點自該第二最下方介電層的該頂面延伸穿過該第二最下方

介電層、穿過該等第一及第二埋藏氧化層至形成於該第二上方矽層的該等第二裝置之那些部分；及

在該第二最下方介電層之上形成一或多個第二線路層，該等第二線路層的每一線路層包含在一對應介電層中的導電線路，該等第二線路層之一最下方線路層的一或多個線路係實體且電性地接觸該等第一及第二接點。

2. 如請求項1之方法，更包括：

互連該等第一裝置與在該第一上方矽層之上形成的一或多個第一線路層，該等第一線路層的每一線路層包含在一對應介電層中的導電線路，該一或多個第一線路層包括在該第一最下方介電層中形成的導電線路。

3. 如請求項2之方法，更包括：

形成至該第一最下方介電層中該等線路之一或多個的導電第三接點，該等第三接點自該第二最下方介電層之該頂面延伸穿過該第二最下方介電層、穿過該等第一及第二埋藏氧化層及穿過該第一上方矽層至該第一最下方介電層中該等線路的一或多個線路，該等第三接點與該第一上方矽層電隔離。

4. 如請求項 1 之方法，更包括：

在該移除該第一下方矽層之前，附著一第一處理晶圓於該第一晶圓離該第一上方矽層最遠的一最上方介電層；

在該移除該第二下方矽層之前，附著一第二處理晶圓於該第一最下方介電層；及

在該接合之後，移除該第二處理晶圓。

5. 如請求項 1 之方法，更包括：

在該移除該等第一及第二下方矽層之後及在該接合之前，對準該第一晶圓與該第二晶圓。

6. 如請求項 1 之方法，更包括：

將該等接合的第一及第二晶圓切割成一或多個積體電路晶片。

7. 如請求項 1 之方法，其中該等第一裝置為 N 通道場效電晶體及該等第二裝置為 P 通道場效電晶體。

8. 如請求項 1 之方法，其中該第一上方矽層為具有一

<100>晶向的單晶矽層，該等第一裝置為 N 通道場效電晶體，及該 N 通道場效電晶體的通道長度係沿該第一上方矽層的[100]晶向；及其中該第二上方矽層為一具有一<110>晶向的單晶矽層，該等第二裝置為 P 通道場效電晶體及該 P 通道場效電晶體的通道長度係沿該第二上方矽層的[110]晶向。

9. 如請求項 1 之方法，其中該等第一裝置為 N 通道場效電晶體，其源極及汲極處於拉伸中；及該等第二裝置為 P 通道場效電晶體，其源極及汲極處於壓縮中。

10. 如請求項 1 之方法，其中該等第一及第二裝置為場效電晶體，該等第一裝置具有一比該等第二裝置高的臨限電壓，或其中該等第一及第二裝置為場效電晶體，該等第一裝置具有一比該等第二裝置厚的閘電極。

11. 一種製造一半導體結構之方法，包含：

在一矽覆絕緣體第一晶圓中製造一或多個第一裝置，該第一晶圓包含在一第一上方矽層及一第一下方矽層之間的一第一埋藏氧化層及在該第一上方矽層上的一第一最下方介電層；

在一矽覆絕緣體第二晶圓中製造一或多個第二裝置，該第二晶圓包含在一第二上方矽層及一第二下方矽層之間的一第二埋藏氧化層及在該第二上方矽層上的一第二最下方介電層；

自該第一晶圓移除該第一下方矽層，以暴露該第一埋藏氧化層之一表面，及自該第二晶圓移除該第二下方矽層，以暴露該第二埋藏氧化層之一表面；

在該第一埋藏氧化層的頂部上形成一晶圓間介電層；

在該晶圓間介電層中形成一導電平台襯墊，該平台襯墊自該晶圓間介電層的一頂面延伸穿過該第一埋藏氧化層至該等第一裝置形成於該第一上方矽層中的那些部分；

在該晶圓間介電層的頂部上形成一氧化矽接合層；

接合該接合層的一頂面於該第二埋藏氧化層的該表面；

形成至該等第二裝置的導電第一接點，該等第一接點自該第二最下方介電層的該頂面延伸穿過該第二最下方介電層至該等第一裝置；

形成至該等平台襯墊的導電第二接點，該等第二接點自該第二最下方介電層的該頂面延伸穿過該第二最下方介電層、穿過該第二埋藏氧化層至該等平台襯墊；及

在該第二最下方介電層之上形成一或多個第二線路層，該等第二線路層的每一線路層包含在一對應介電層中的導電線路，該等第二線路層之一最下方線路層的一或多個線路係實體且電性地接觸該等第一及第二接點為接觸。

12.如請求項 11 之方法，更包括：

互連該等第一裝置與在該第一上方矽層之上形成的一或多個第一線路層，該等第一線路層的每一線路層包含在一對應介電層中的導電線路，該一或多個第一線路層包括在該第一最下方介電層中形成的導電線路。

13.如請求項 12 之方法，更包括：

在該移除該第一下方矽層之前，附著一第一處理晶圓於該第一晶圓離該第一上方矽層最遠的一最上方介電層；

在該移除該第二下方矽層之前，附著一第二處理晶圓於該第一最下方介電層；及

在該接合之後，移除該第二處理晶圓。

14.如請求項 11 之方法，更包括：

在該移除該等第一及第二下方矽層之後及在該接合之前，對準該第一晶圓與該第二晶圓。

15.如請求項 11 之方法，更包括：

將該等接合的第一及第二晶圓切割成一或多個積體電路晶片。

16.如請求項 11 之方法，其中該等第一裝置為 N 通道場效電晶體及該等第二裝置為 P 通道場效電晶體。

17.如請求項 11 之方法，其中該第一上方矽層為具有一<100>晶向的單晶矽層，該等第一裝置為 N 通道場效電晶體，及該 N 通道場效電晶體的通道長度係沿該第一上方矽層的[100]晶向；及其中該第二上方矽層為一具有一<110>晶向的單晶矽層，該等第二裝置為 P 通道場效電晶體及該 P 通道場效電晶體的通道

長度係沿該第二上方矽層的[110]晶向。

18.如請求項 11 之方法，其中該等第一裝置為 N 通道場效電晶體，其源極及汲極處於拉伸中；及該等第二裝置為 P 通道場效電晶體，其源極及汲極處於壓縮中。

19.如請求項 11 之方法，其中該等第一及第二裝置為場效電晶體，該等第一裝置具有一比該等第二裝置高的臨限電壓，或其中該等第一及第二裝置為場效電晶體，該等第一裝置具有一比該等第二裝置厚的閘電極。

20.一種製造一半導體裝置之方法，包含：

在一矽覆絕緣體第一晶圓中製造一或多個第一裝置，該第一晶圓包含在一第一上方矽層及一第一下方矽層之間的一第一埋藏氧化層及在該第一上方矽層上的一第一最下方介電層；

在一矽覆絕緣體第二晶圓中製造一或多個第二裝置，該第二晶圓包含在一第二上方矽層及一第二下方矽層之間的一第二埋藏氧化層及在該第二上方矽層上的一第二最下方介電層；

自該第一晶圓移除該第一下方矽層，以暴露該第一埋藏氧化層之一表面，及自該第二晶圓移除該第二下方矽層，以暴露該第二埋藏氧化層之一表面；

接合該第一埋藏氧化層之該表面於該第二埋藏氧化層之該表面；

形成至該等第二裝置的第一接觸開口及用導電材料填充該等第一接觸開口，以形成至該等第二裝置的第一接點，該等第一接點自該第二最下方介電層的一頂面延伸穿過該第二最下方介電層至該等第一裝置；

形成至該等第一裝置形成於該第一上方矽層之那些區域的第二接觸開口，該等第二接觸開口自該第二最下方介電層的該頂面延伸穿過該第二最下方介電層及該等第一及第二埋藏介電層至該等第一裝置；及

在該第一上方矽層暴露於該等第二接觸開口底部的表面上形成一金屬矽化物層，及用導電材料填充該等第二接觸開口，以形成第二導電接點。

21.如請求項20之方法，其中該形成一金屬矽化物包括：

形成一金屬層在該第一上方矽層暴露於該等第二接觸開口之該等底部的該等表面上；

加熱該金屬層至 400 °C 或更低；及

在該加熱之後移除所有剩餘的該金屬層。

22.如請求項 21 之方法，其中該金屬層包含鎳。

23.一種製造一半導體裝置之方法，包含：

在一矽覆絕緣體第一晶圓中製造一或多個第一裝置，該第一晶圓包含在一第一上方矽層及一第一下方矽層之間的一第一埋藏氧化層及在該第一上方矽層上的一第一最下方介電層；

在一矽覆絕緣體第二晶圓中製造一或多個第二裝置，該第二晶圓包含在一第二上方矽層及一第二下方矽層之間的一第二埋藏氧化層及在該第二上方矽層上的一第二最下方介電層；

自該第一晶圓移除該第一下方矽層，以暴露該第一埋藏氧化層之一表面，及自該第二晶圓移除該第二下方矽層，以暴露該第二埋藏氧化層之一表面；

在該第一埋藏氧化層的頂部上形成一晶圓間介電層；

在該晶圓間介電層中形成一平台襯墊開口，該平台襯墊開口自該晶圓間介電層的一頂面延伸穿過該第一埋藏氧化層至該等第一裝置形成於該第一上方矽層中的那些部分；

在該第一上方矽層暴露於該等第二平台襯墊接觸開口底部的表面上形成一金屬矽化物層，及用導電材料填充該等平台襯墊開口，以形成導電平台襯墊；

在該晶圓間介電層的頂部上形成一氧化矽接合層；

接合該接合層的一頂面於該第二埋藏氧化層的該表面；

形成至該等第二裝置的第一接觸開口及用一導電材料填充該等第一接觸開口，以形成至該等第二裝置的第一接點，該等第一接點自該第二最下方介電層的一頂面延伸穿過該第二最下方介電層至該等第一裝置；及

形成至該等平台襯墊的導電第二接點，該等第二接點自該第二最下方介電層的該頂面延伸穿過該第二

最下方介電層、穿過該第二埋藏氧化層至該等平台襯墊。

24.如請求項23之方法，其中該形成一金屬矽化物包括：

形成一金屬層在該第一上方矽層暴露於該等第二接觸開口之該等底部的該等表面上；

加熱該金屬層至400 °C或更低；及

在該加熱之後移除所有剩餘的該金屬層。

25.如請求項24之方法，其中該金屬層包含鎳。

26.一種半導體結構，包含：

一第一基板的一或多個第一裝置，該第一基板包含一第一氧化層、在該第一氧化層上的一第一矽層、及在該第一矽層上的一第一最下方介電層；

一第二基板的一或多個第二裝置，該第二基板包含一第二氧化層、在該第二氧化層上的一第二矽層、及在該第二矽層上的一第二最下方介電層；

該第一氧化層接合於該第二氧化層之一頂面的一頂

面；

至該等第二裝置的導電第一接點，該等第一接點自該第二最下方介電層的一頂面延伸穿過該第二最下方介電層至該等第一裝置；

至該等第一裝置的導電第二接點，該等第二接點自該第二最下方介電層的該頂面延伸穿過該第二最下方介電層、穿過該等第一及第二氧化層至形成於該第二上方矽層的該等第二裝置之那些部分；及

在該第二最下方介電層之上形成一或多個第二線路層，該等第二線路層的每一線路層包含在一對應介電層中的導電線路，該等第二線路層之一最下方線路層的一或多個線路係實體且電性地接觸該等第一及第二接點。

27.如請求項26之結構，更包括：

在第一上方矽層之上且互連該等第一裝置的一或多個第一線路層，該等第一線路層的每一線路層包含在一對應介電層中的導電線路，該一或多個第一線路層包括在該第一最下方介電層中形成的導電線路。

28.如請求項27之結構，更包括：

導電第三接點，該等第三接點自該第二最下方介電層的該頂面延伸穿過該第二最下方介電層、穿過該等第一及第二氧化層及穿過該第一矽層至該等線路在該第一最下方介電層的一或多個線路，該等第三接點與該第一矽層電隔離。

29.如請求項26之結構，更包括：

附著於該第一基板離該第一矽層最遠之一最上方介電層的一處理基板(handle substrate)。

30.如請求項26之結構，更包括：

該等第一及第二裝置彼此對準。

31.如請求項26之結構，其中該等第一裝置為N通道場效電晶體及該等第二裝置為P通道場效電晶體。

32.如請求項26之結構，其中該第一矽層為具有一<100>晶向的單晶矽層，該等第一裝置為N通道場效電晶體，及該N通道場效電晶體的通道長度係沿該第一上方矽層的[100]晶向；及其中該第二矽層為一具有一<110>晶向的單晶矽層，該等第二裝置為P

通道場效電晶體及該 P 通道場效電晶體的通道長度係沿該第二上方矽層的[110]晶向。

33.如請求項 26 之結構，其中該等第一裝置為 N 通道場效電晶體，其源極及汲極處於拉伸中；及該等第二裝置為 P 通道場效電晶體，其源極及汲極處於壓縮中。

34.如請求項 26 之結構，其中該等第一及第二裝置為場效電晶體，該等第一裝置具有一比該等第二裝置高的臨限電壓，或其中該等第一及第二裝置為場效電晶體，該等第一裝置具有一比該等第二裝置厚的閘電極。

35.一種半導體結構，包含：

一第一基板的一或多個第一裝置，該第一基板包含一第一氧化層、在該第一氧化層上的一第一矽層、及在該第一矽層上的一第一最下方介電層；

一第二基板的一或多個第二裝置，該第二基板包含一第二氧化層、在該第二氧化層上的一第二矽層、及在該第二矽層上的一第二最下方介電層；

在該第一氧化層之頂部上的一基板間介電層；

在該基板間介電層中的導電平台襯墊，該等平台襯墊自該基板間介電層之一頂面延伸穿過該第一氧化層至該等第一裝置形成於該第一矽層的那些部分；

在該基板間介電層之頂部上的一氧化矽接合層，該接合層之一頂面接合於該第二氧化層之一頂面；

自該第二最下方介電層的一頂面延伸穿過該第二最下方介電層至該等第一裝置的導電第一接點；

自該第二最下方介電層的該頂面延伸穿過該第二最下方介電層、穿過該第二氧化層、穿過該接合層至該等平台襯墊的導電第二接點；及

在該第二最下方介電層之上形成一或多個第二線路層，該等第二線路層的每一線路層包含在一對應介電層中的導電線路，該等第二線路層之一最下方線路層的一或多個線路係實體且電性地接觸該等第一及第二接點為。

36.如請求項35之結構，更包括：

在第一上方矽層之上形成且互連該等第一裝置的一或多個第一線路層，該等第一線路層的每一線路層

包含在一對應介電層中的導電線路，該一或多個第一線路層包括在該第一最下方介電層中形成的導電線路。

37.如請求項35之結構，更包括：

附著於該第一基板離該第一矽層最遠之一最上方介電層的一處理基板。

38.如請求項35之結構，更包括：

該第一基板對準於該第二基板。

39.如請求項35之結構，其中該等第一裝置為N通道場效電晶體及該等第二裝置為P通道場效電晶體。

40.如請求項35之結構，其中該第一矽層為具有一<100>晶向的單晶矽層，該等第一裝置為N通道場效電晶體，及該N通道場效電晶體的通道長度係沿該第一上方矽層的[100]晶向；及其中該第二矽層為一具有一<110>晶向的單晶矽層，該等第二裝置為P通道場效電晶體及該P通道場效電晶體的通道長度係沿該第二上方矽層的[110]晶向。

41.如請求項35之結構，其中該等第一裝置為N通道場

效電晶體，其源極及汲極處於拉伸中；及該等第二裝置為 P 通道場效電晶體，其源極及汲極處於壓縮中。

42. 如請求項 35 之結構，其中該等第一及第二裝置為場效電晶體，該等第一裝置具有一比該等第二裝置高的臨限電壓，或其中該等第一及第二裝置為場效電晶體，該等第一裝置具有一比該等第二裝置厚的閘電極。

43. 一種半導體裝置，包含：

一第一基板的一或多個第一裝置，該第一基板包含一第一氧化層、在該第一氧化層上的一第一矽層、及在該第一矽層上的一第一最下方介電層；

一第二基板的一或多個第二裝置，該第二基板包含一第二埋藏氧化物、在該第二氧化層上的一第二矽層、及在該第二矽層上的一第二最下方介電層；

該第一氧化層接合於該第二氧化層之一頂面的一頂面；

至該等第二裝置的第一導電接點，該等第一接點自該第二最下方介電層的一頂面延伸穿過該第二最下

方介電層至該等第一裝置；及

至該第一矽層形成該等第一裝置之部分之區域表面上之金屬矽化物層的第二導電接點，該等第二接點自該第二最下方介電層的一頂面延伸穿過該第二最下方介電層及該等第一及第二埋藏介電層至該金屬矽化物層。

44.如請求項43之結構，其中該金屬矽化物層包含矽化鎳。

45.一種半導體裝置，包含：

一第一基板的一或多個第一裝置，該第一基板包含一第一埋藏氧化物、在該第一氧化層上的一第一矽層、及在該第一矽層上的一第一最下方介電層；

一第二基板的一或多個第二裝置，該第二基板包含一第二埋藏氧化物、在該第二氧化層上的一第二矽層、及在該第二矽層上的一第二最下方介電層；

在該第一氧化層之頂部上的一基板間介電層；

自該基板間介電層之一頂面延伸穿過該第一氧化層至該等第一裝置形成於該第一矽層之那些部分上之

金屬矽化物層的一導電平台襯墊；

在該基板間介電層之頂部上的一氧化矽接合層，該氧化矽層之一頂面接合於該接合層至該第二氧化層之該表面的一頂面；

自該第二最下方介電層的一頂面延伸穿過該第二最下方介電層至該等第二裝置的導電第一接點；及

至該等平台襯墊的導電第二接點，該等第二接點自該第二最下方介電層的該頂面延伸穿過該第二氧化層、穿過該接合層至該等平台襯墊。

46. 如請求項 45 之結構，其中該金屬矽化物層包含矽化鎳。

200812002

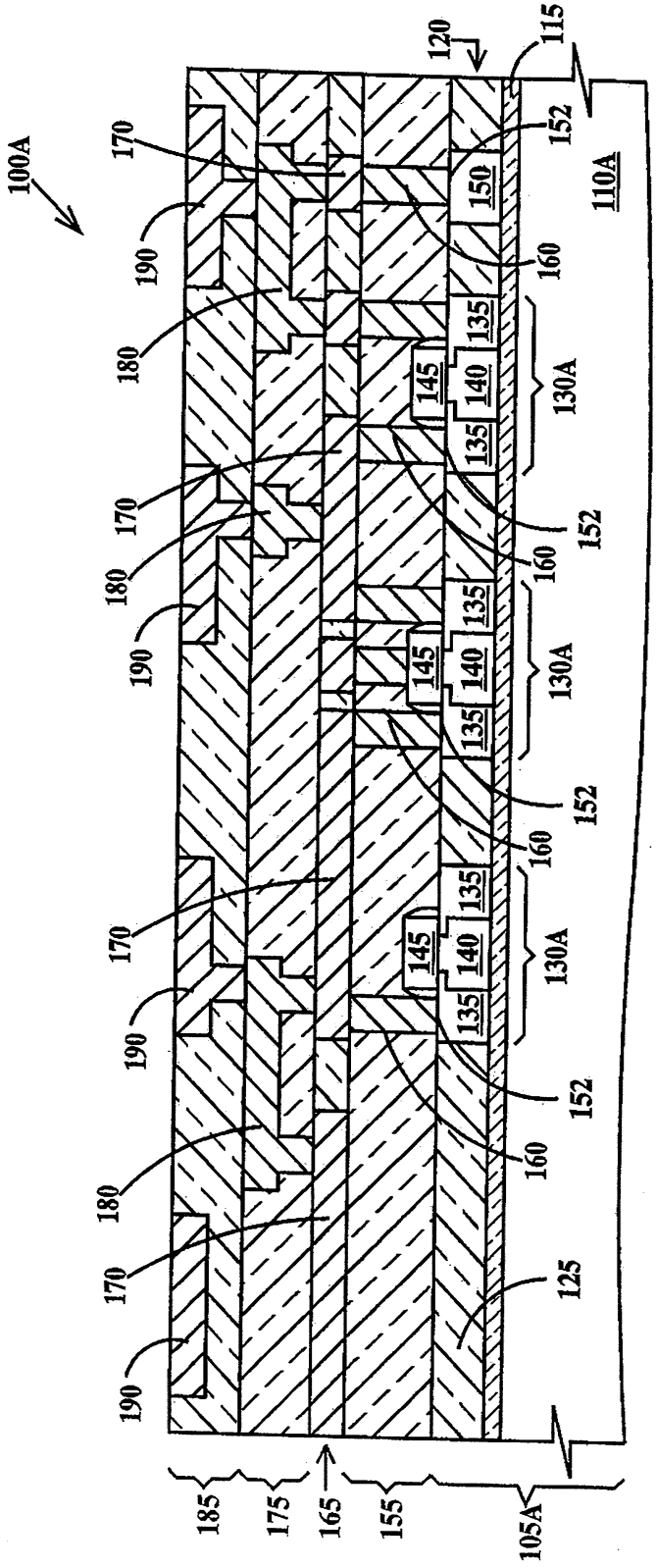


圖1A

200812002

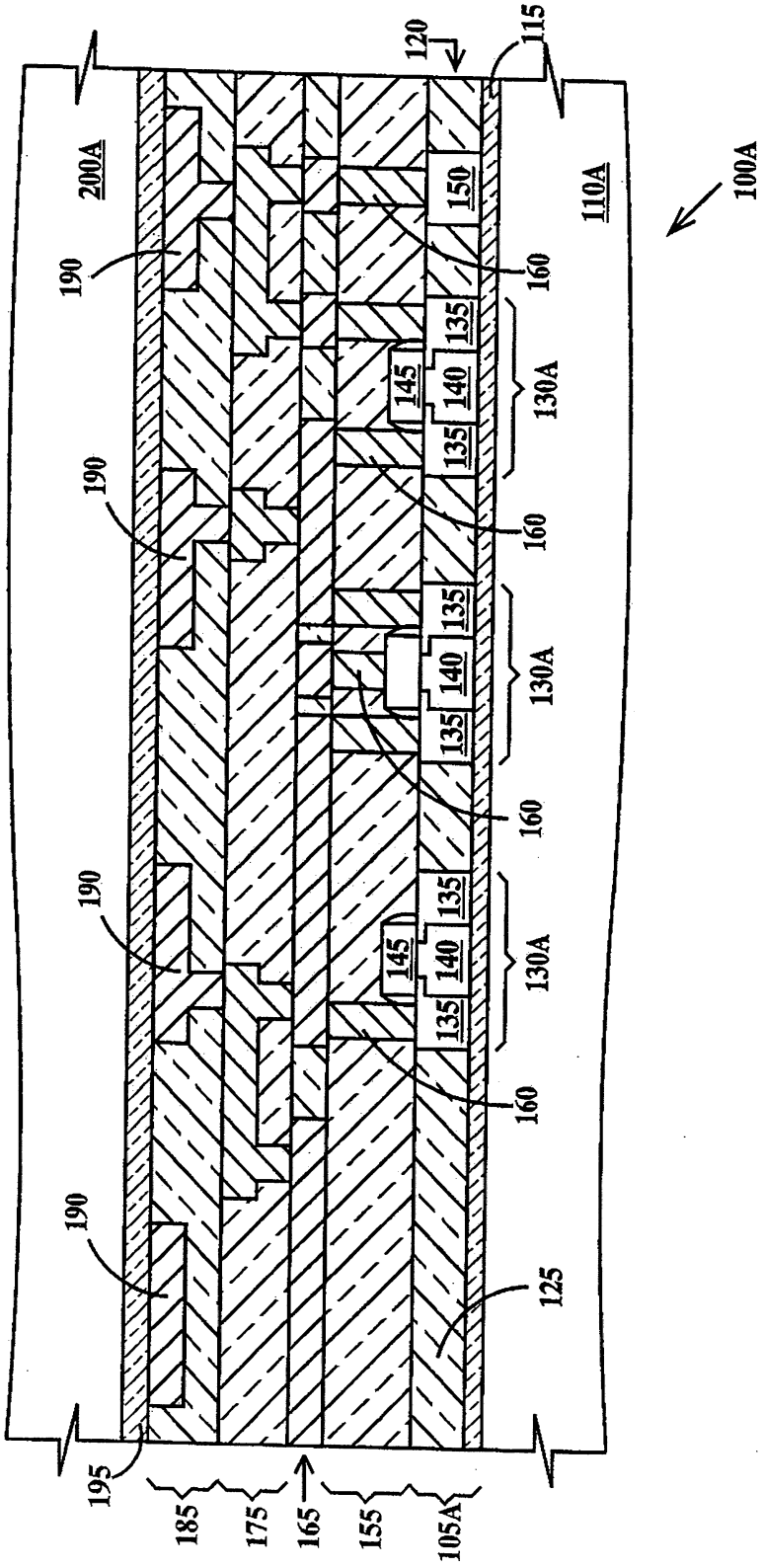


圖1B

200812002

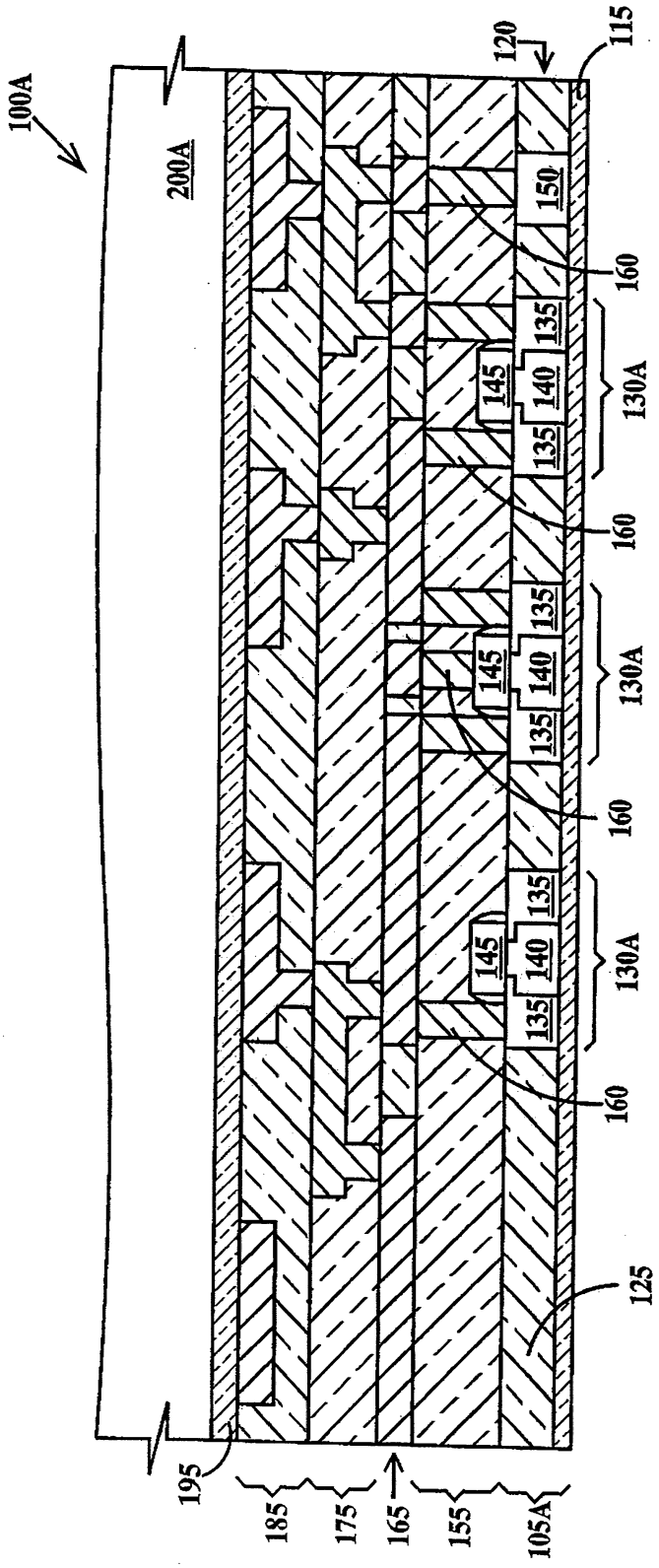


圖1C

200812002

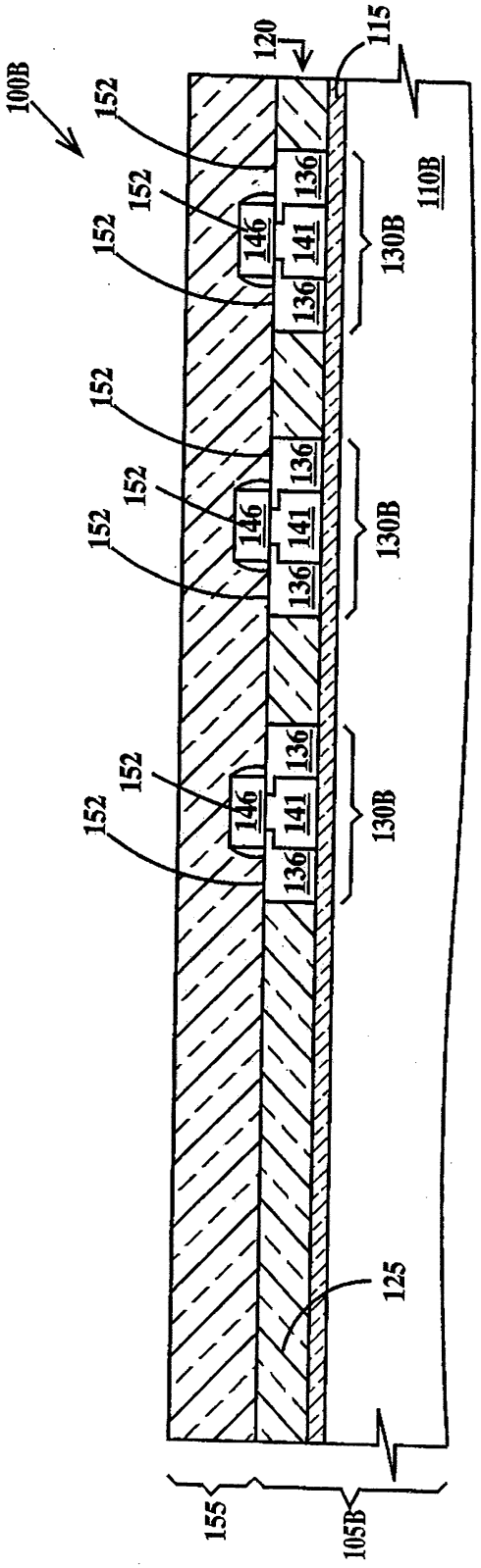


圖1D

200812002

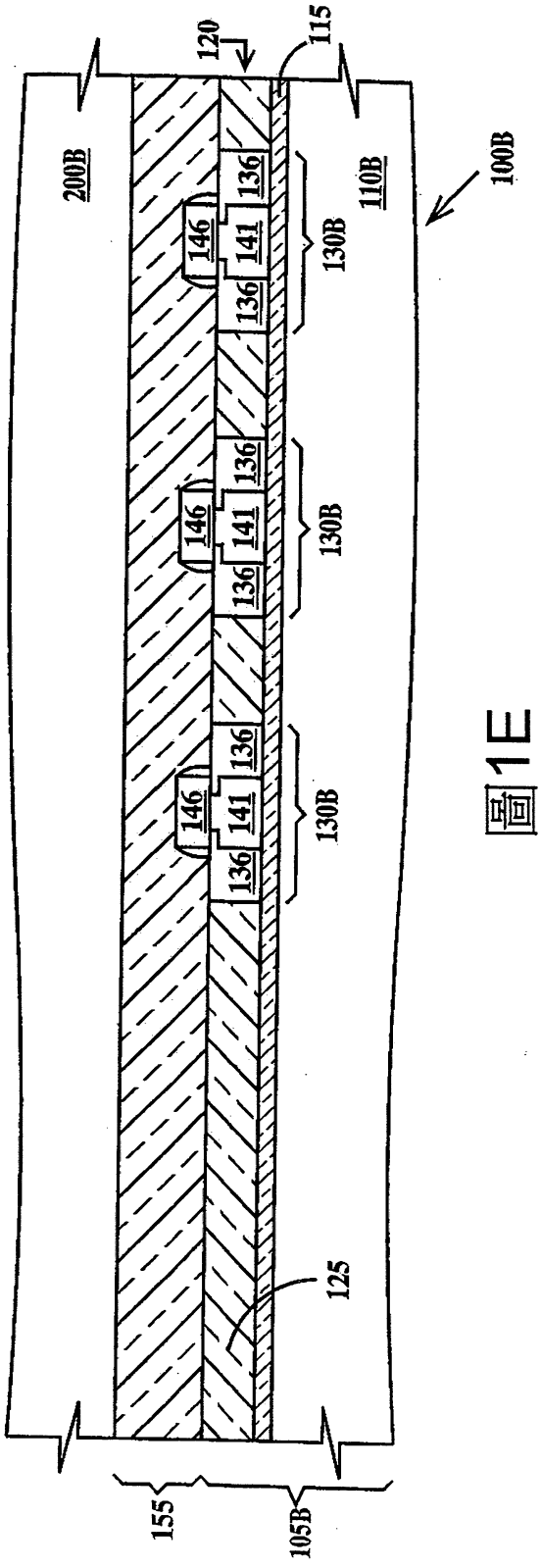


圖1E

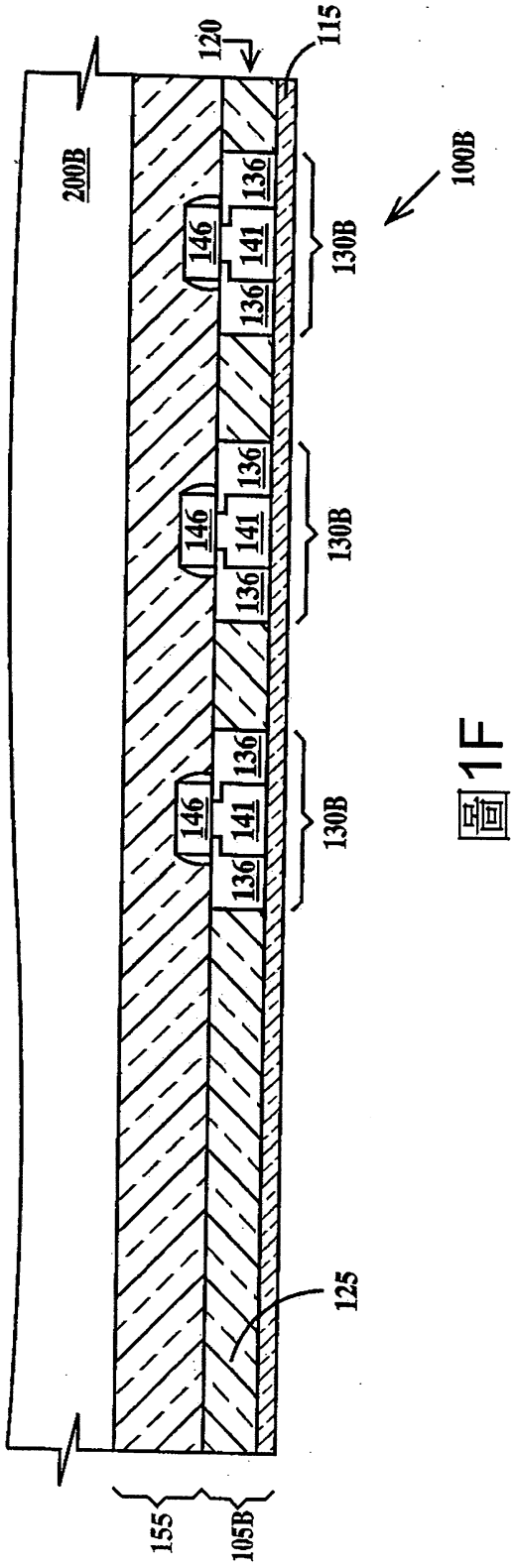


圖1F

200812002

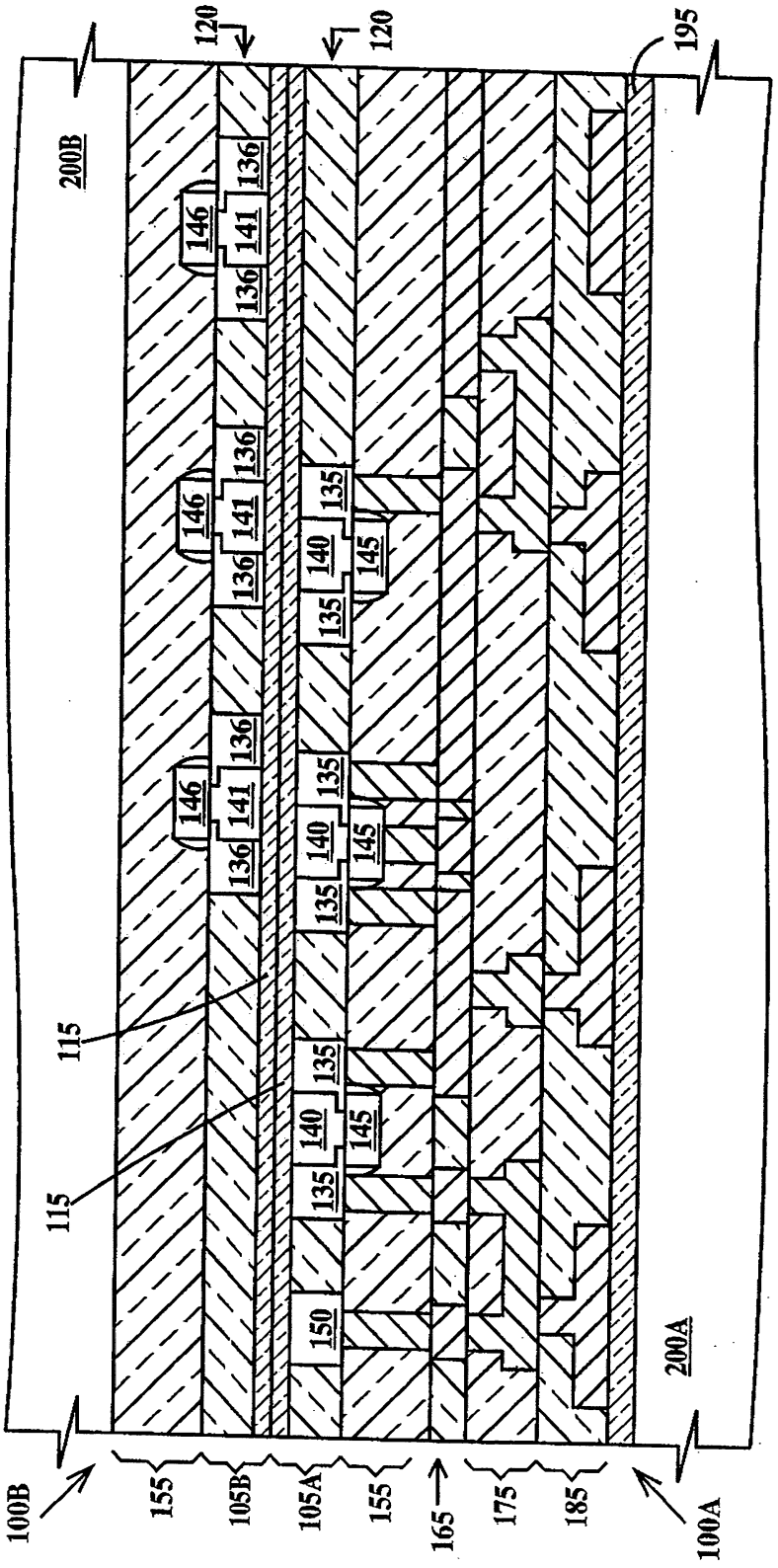


圖1G

200812002

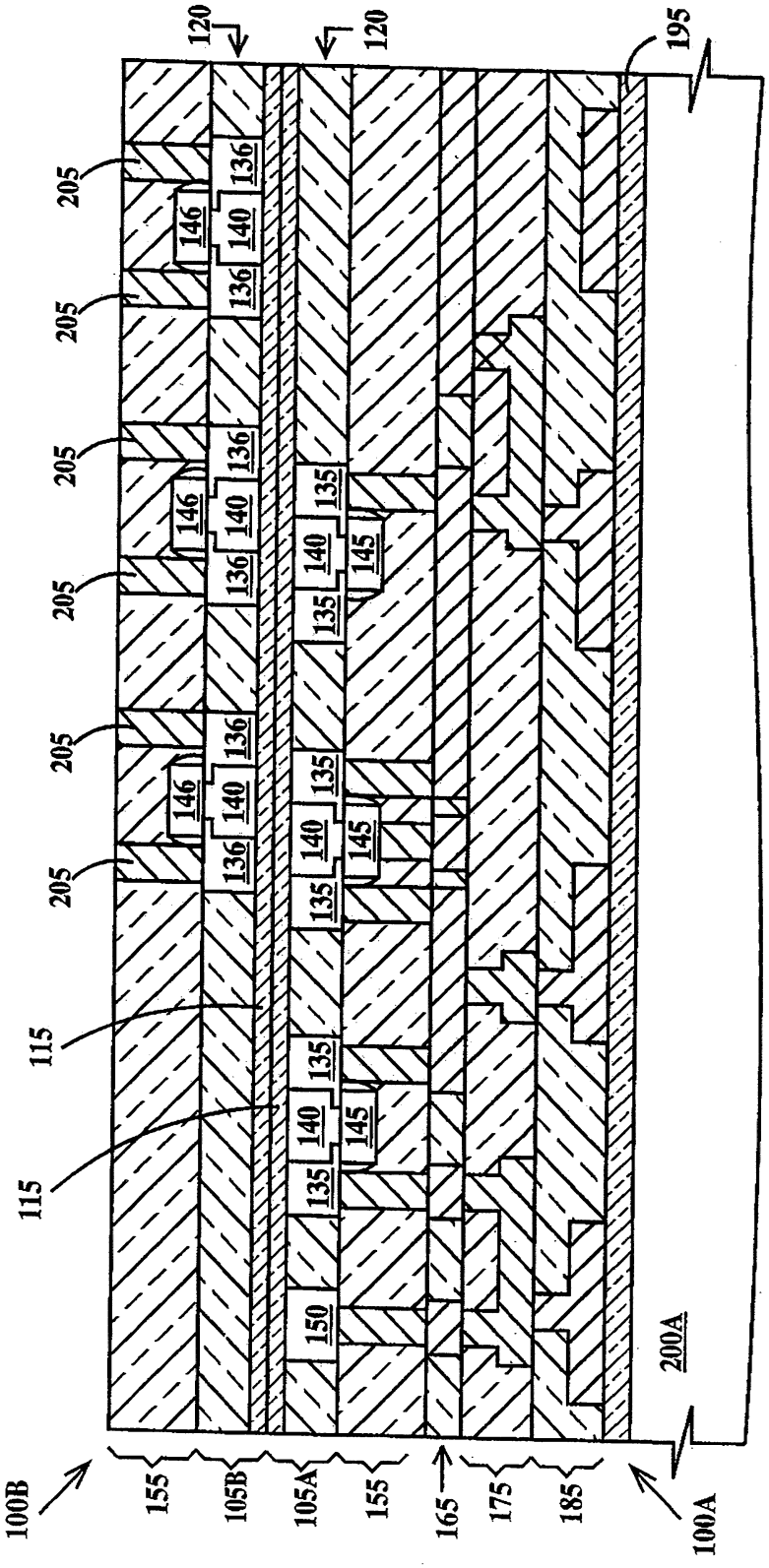


圖1H

200812002

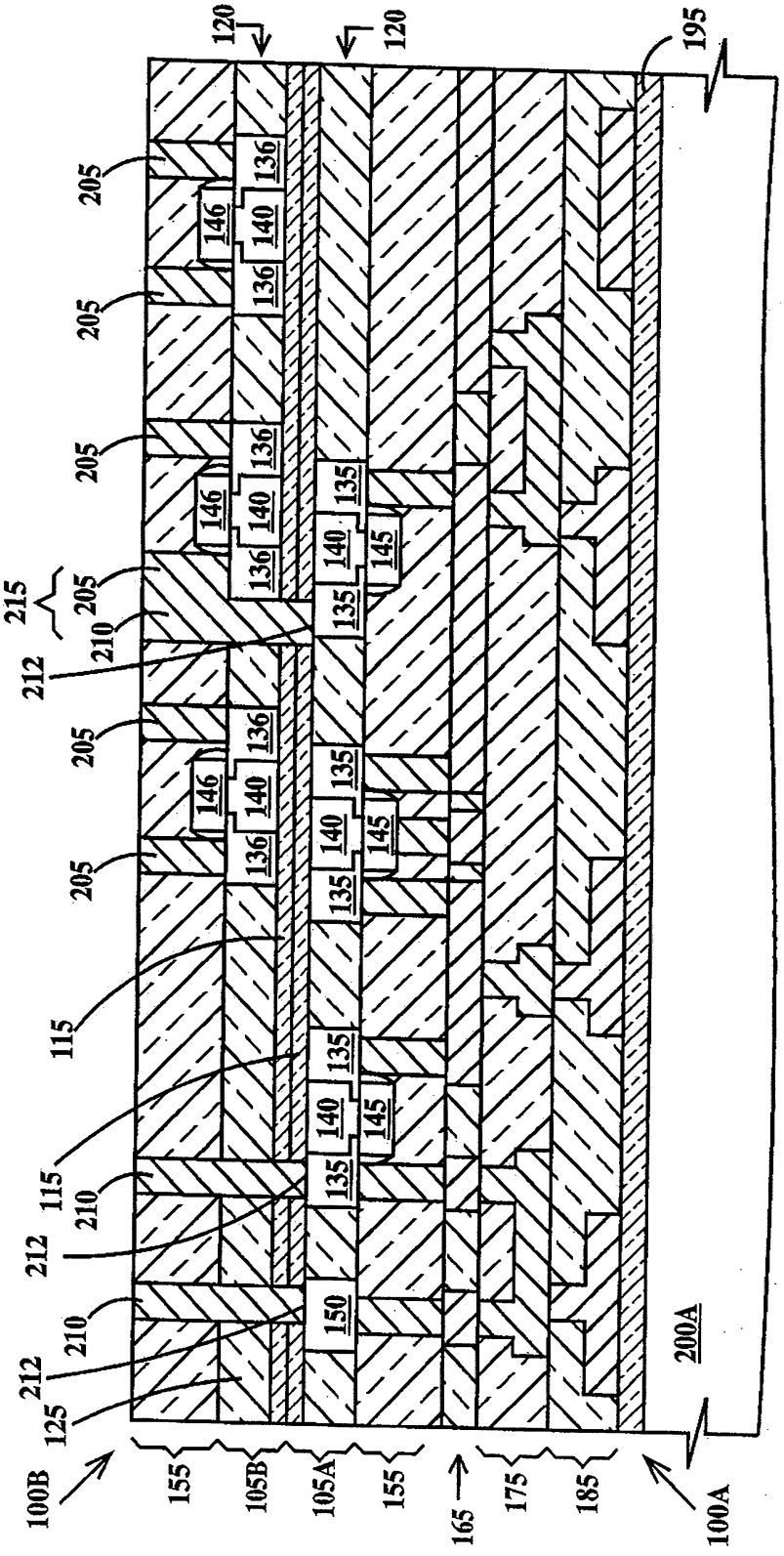


圖11

200812002

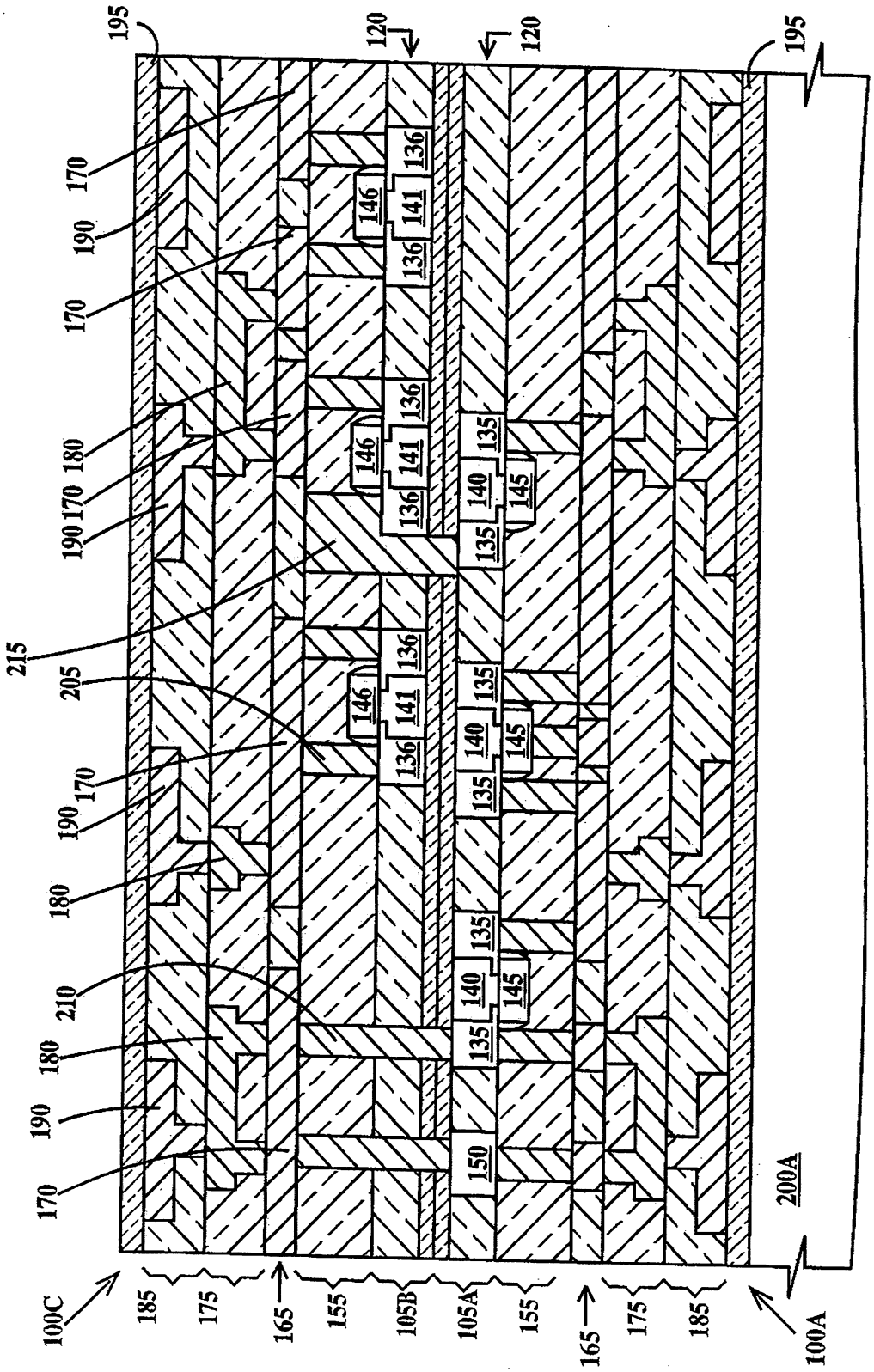


圖1J

200812002

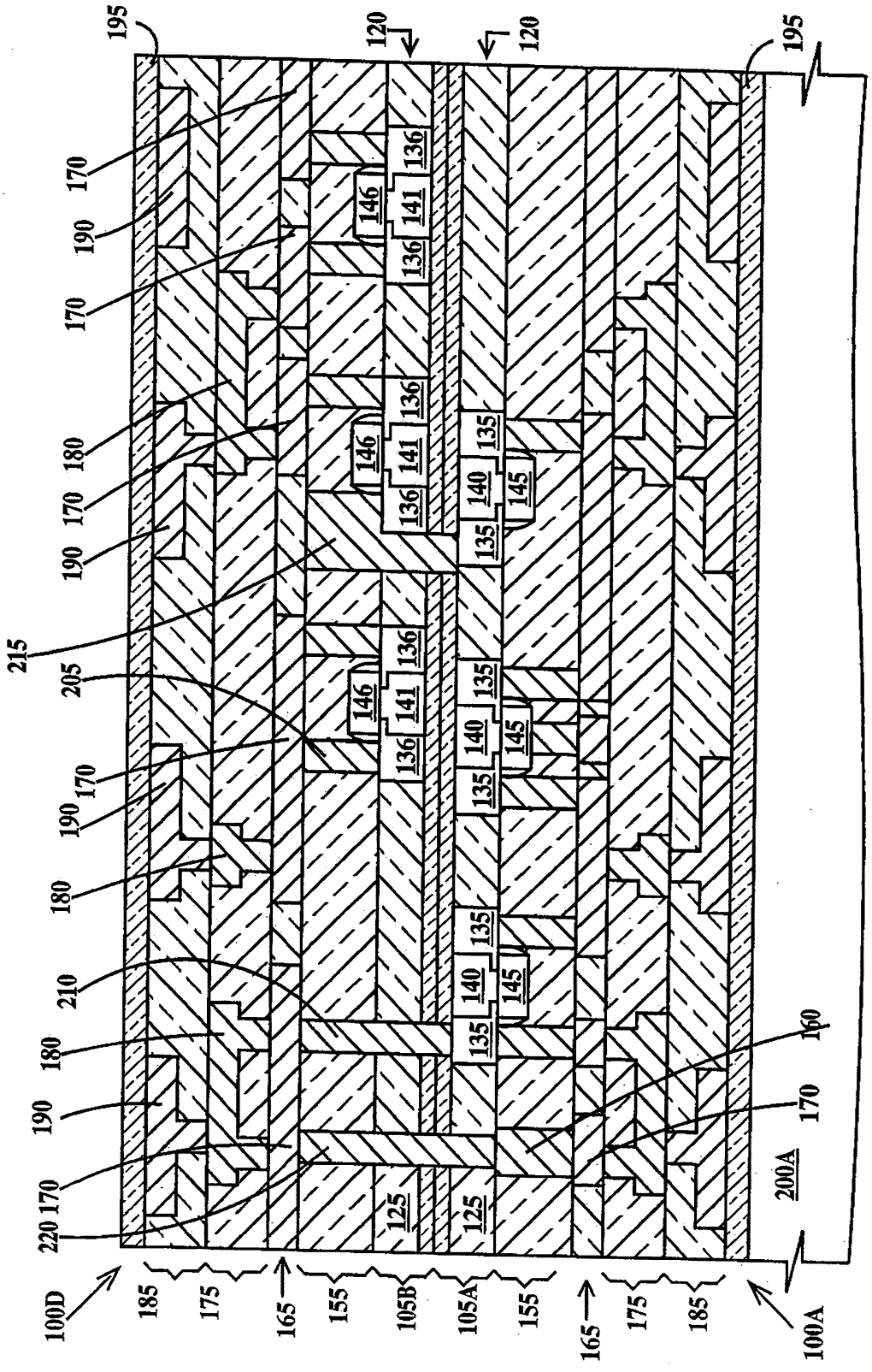


圖2

200812002

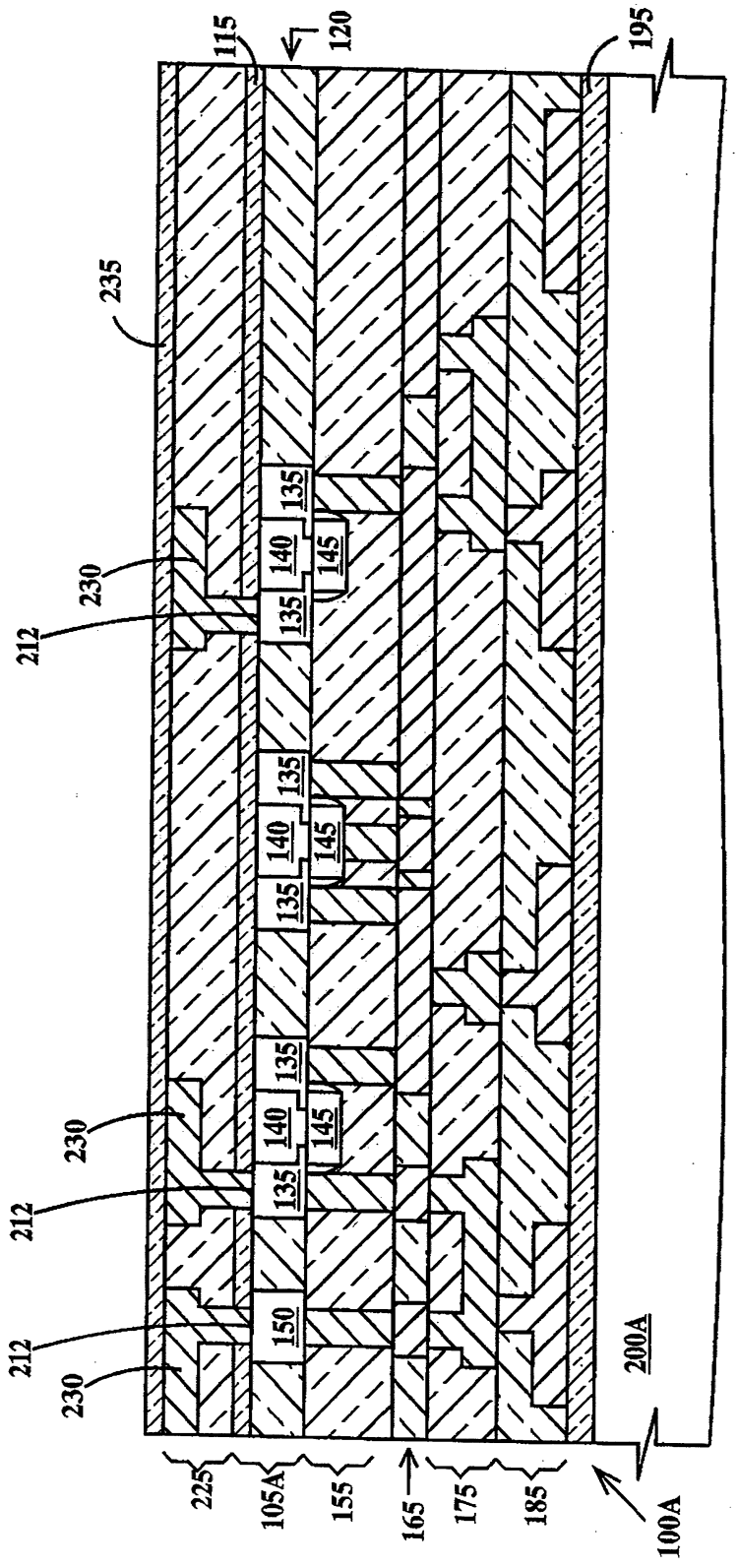


圖3A

200812002

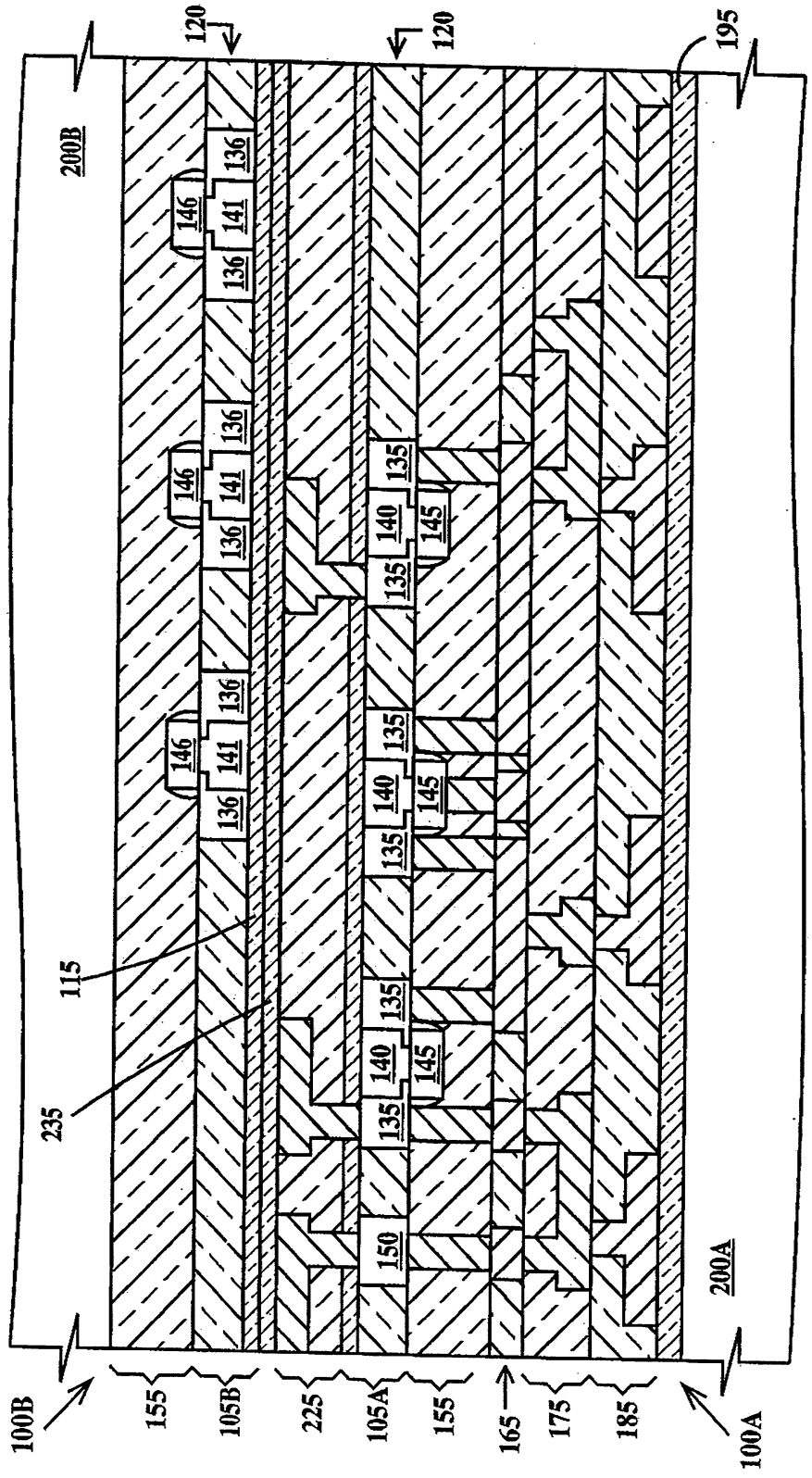


圖3B

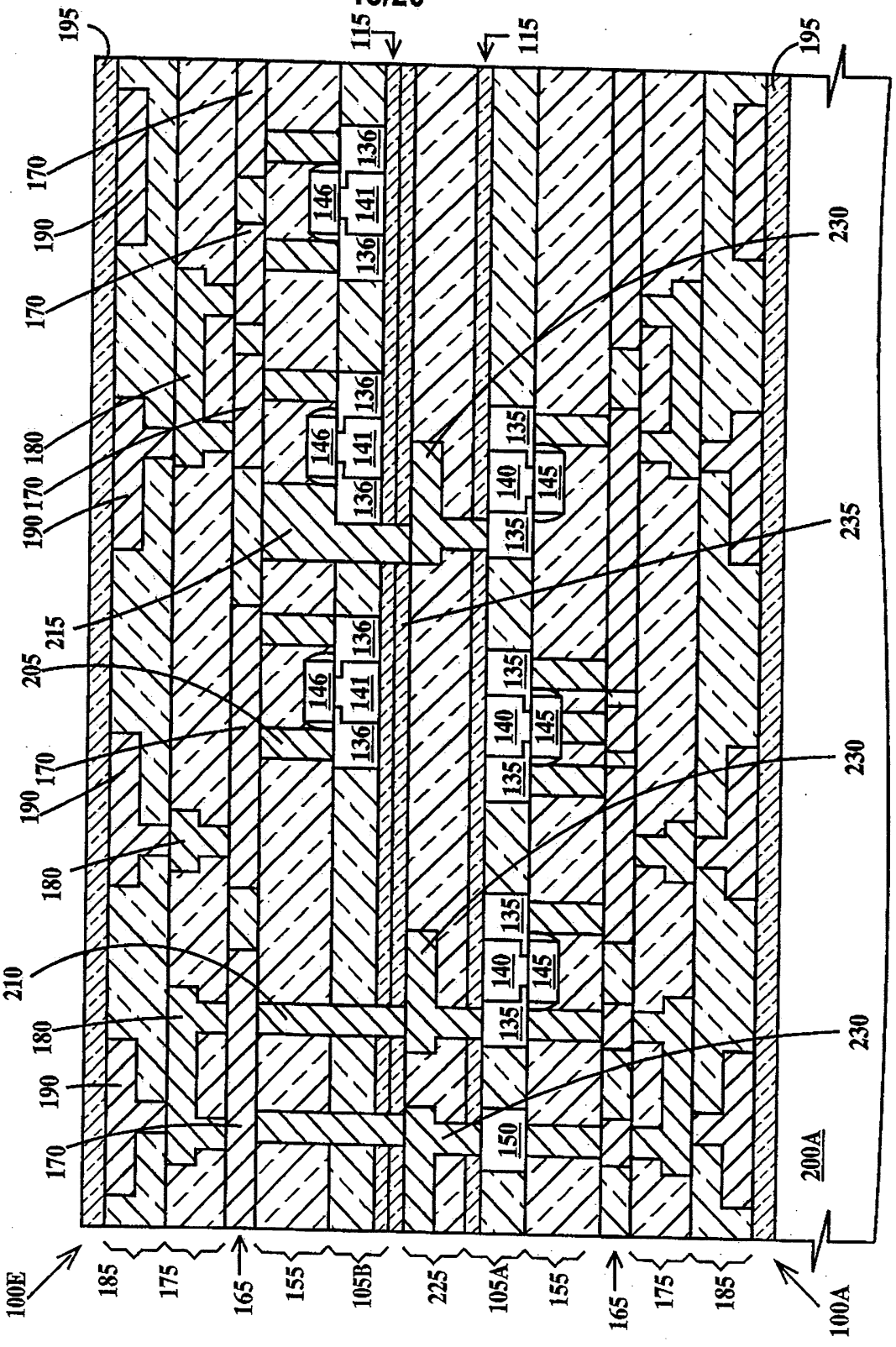

195
115
115
195
170
190
170
180
190
170
205
215
190
170
180
210
180
190
170
230
235
230
230
200A
100E
185
175
165
155
105B
225
105A
155
165
175
185
100A
135
136
140
141
145
146
150

圖3C

200812002

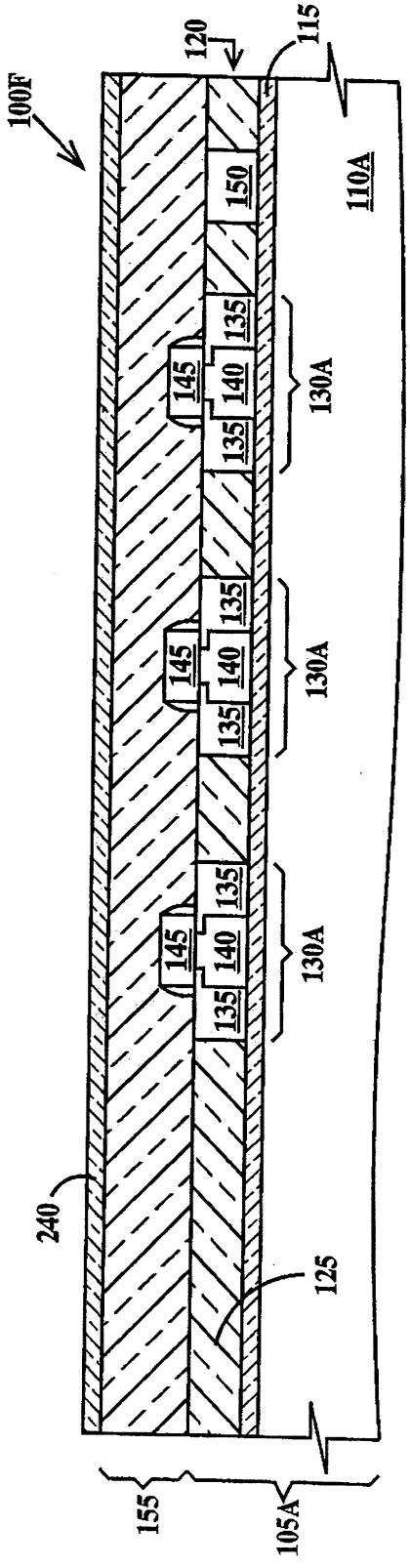


圖 4A

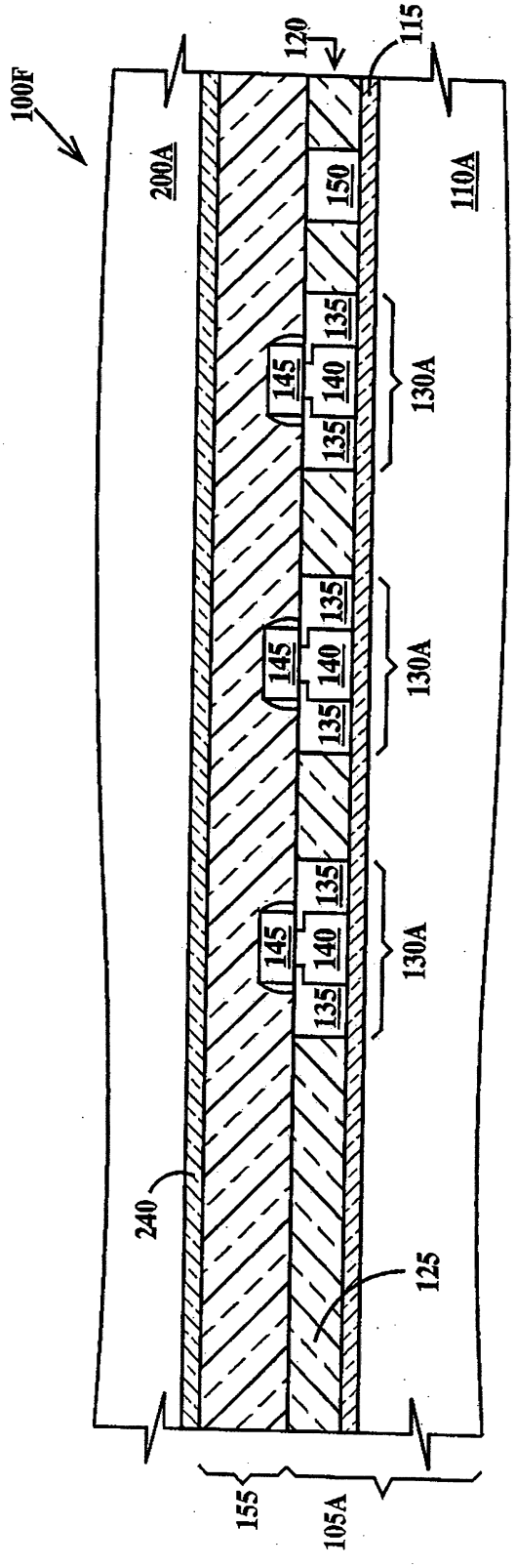


圖 4B

200812002

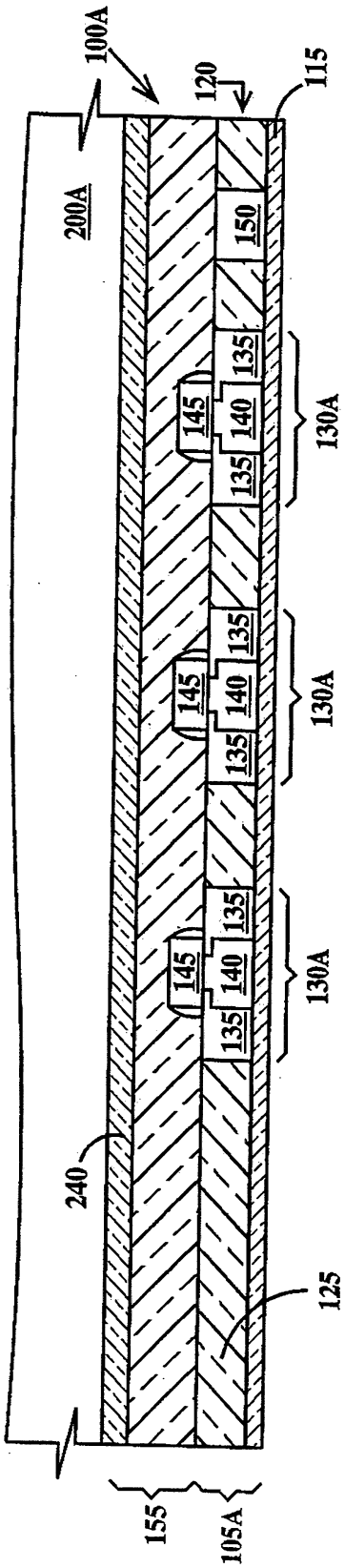


圖 4C

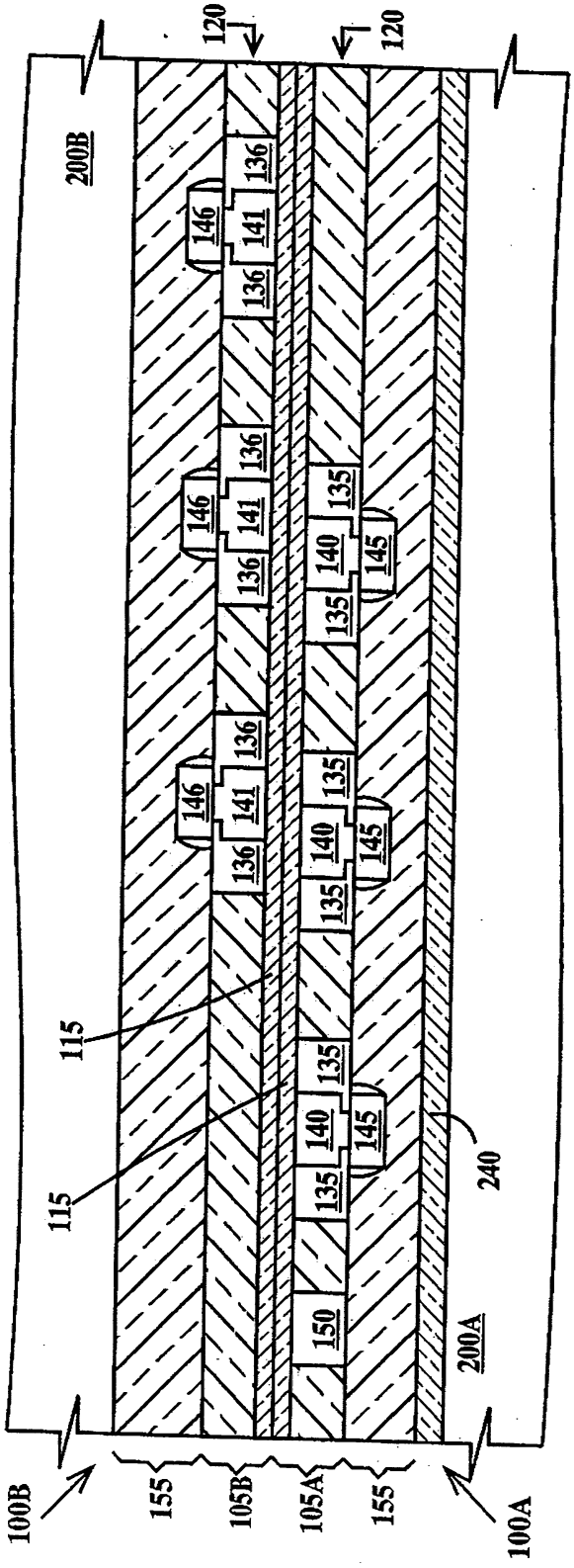


圖 4D

200812002

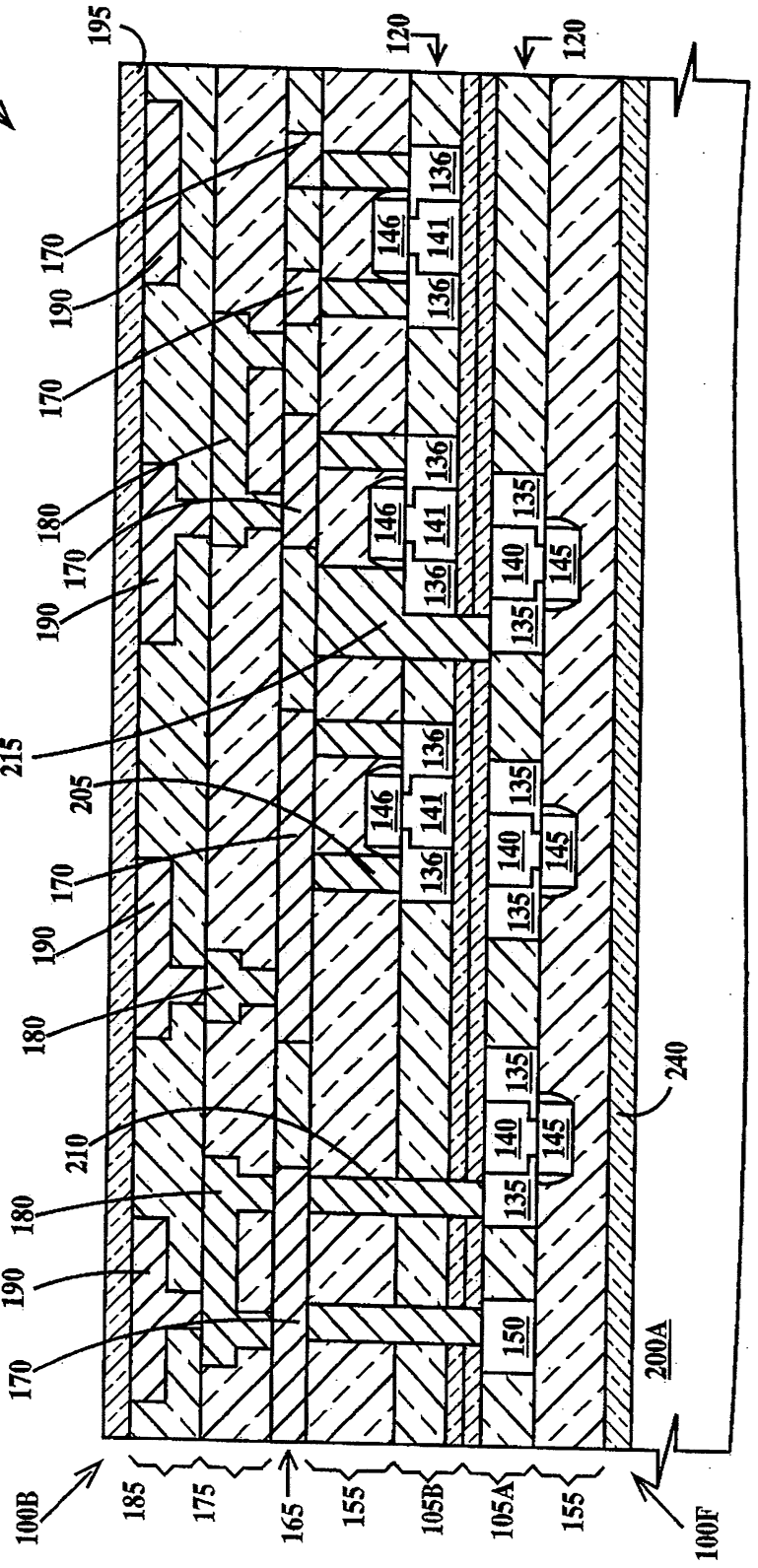


圖4E

200812002

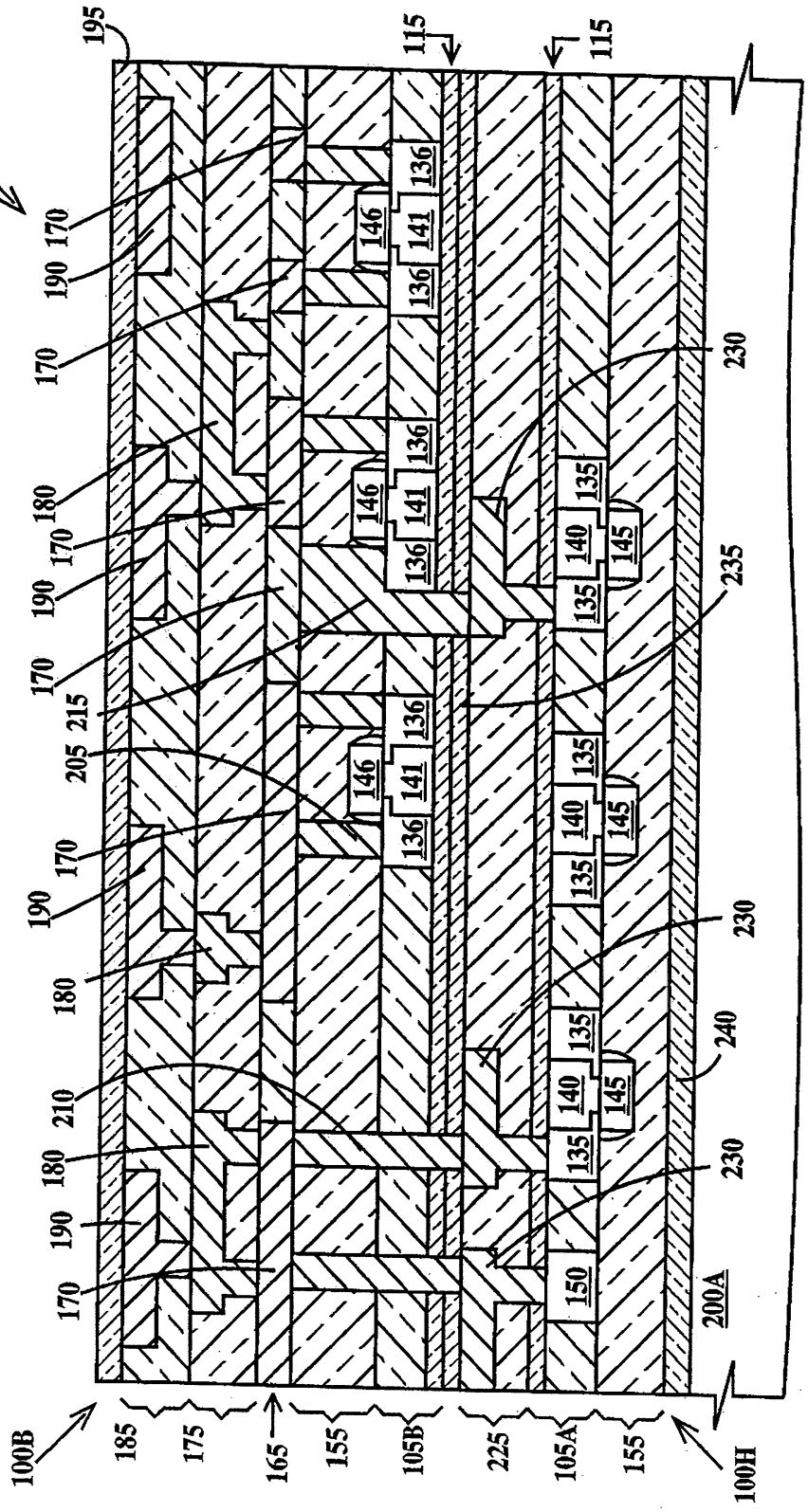


圖 5

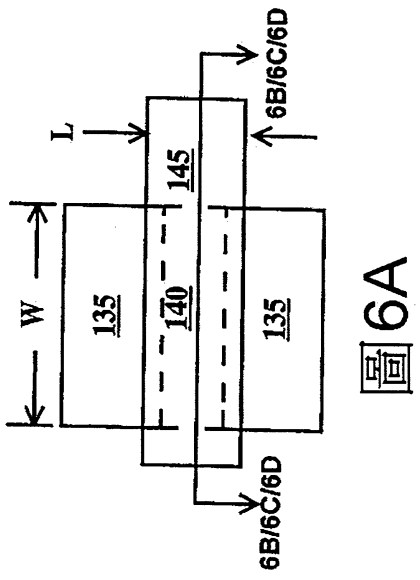


圖 6A

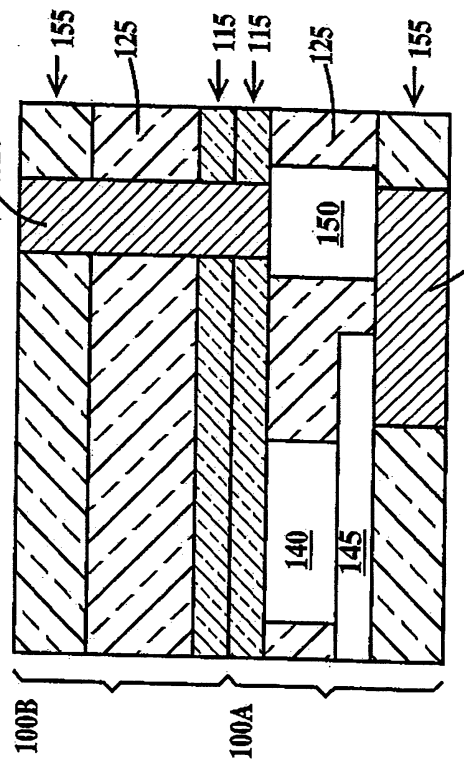


圖 6C

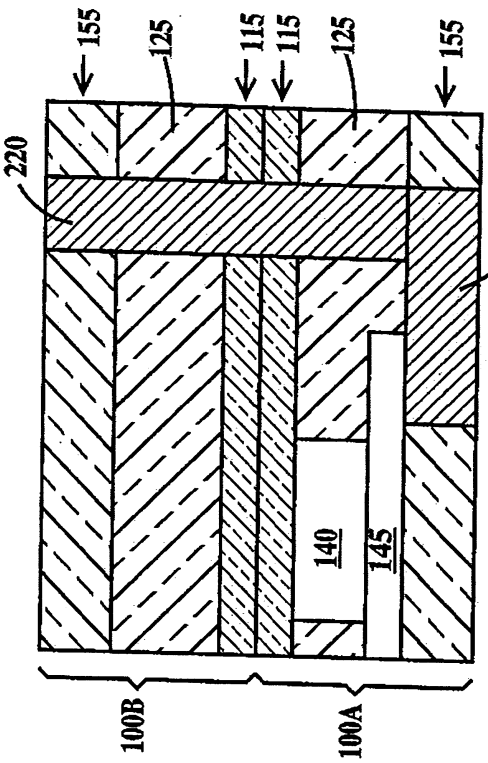


圖 6D

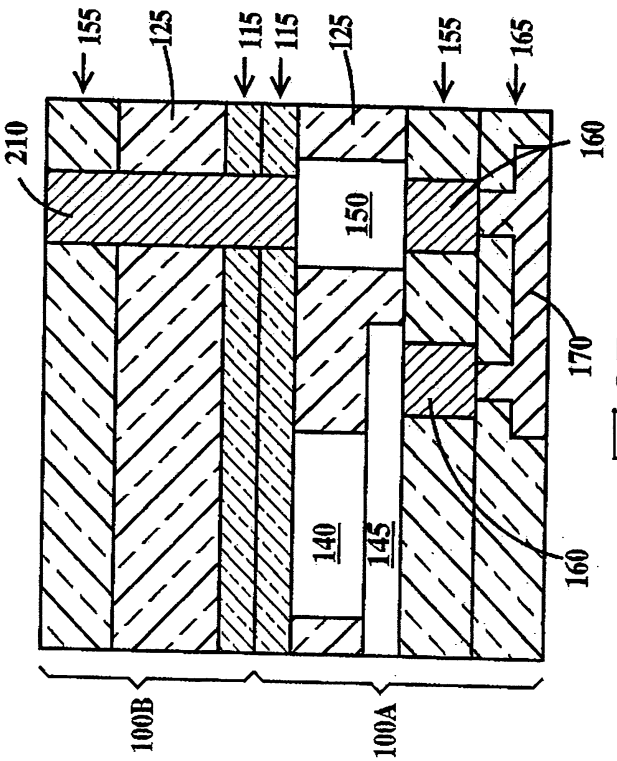


圖 6B

200812002

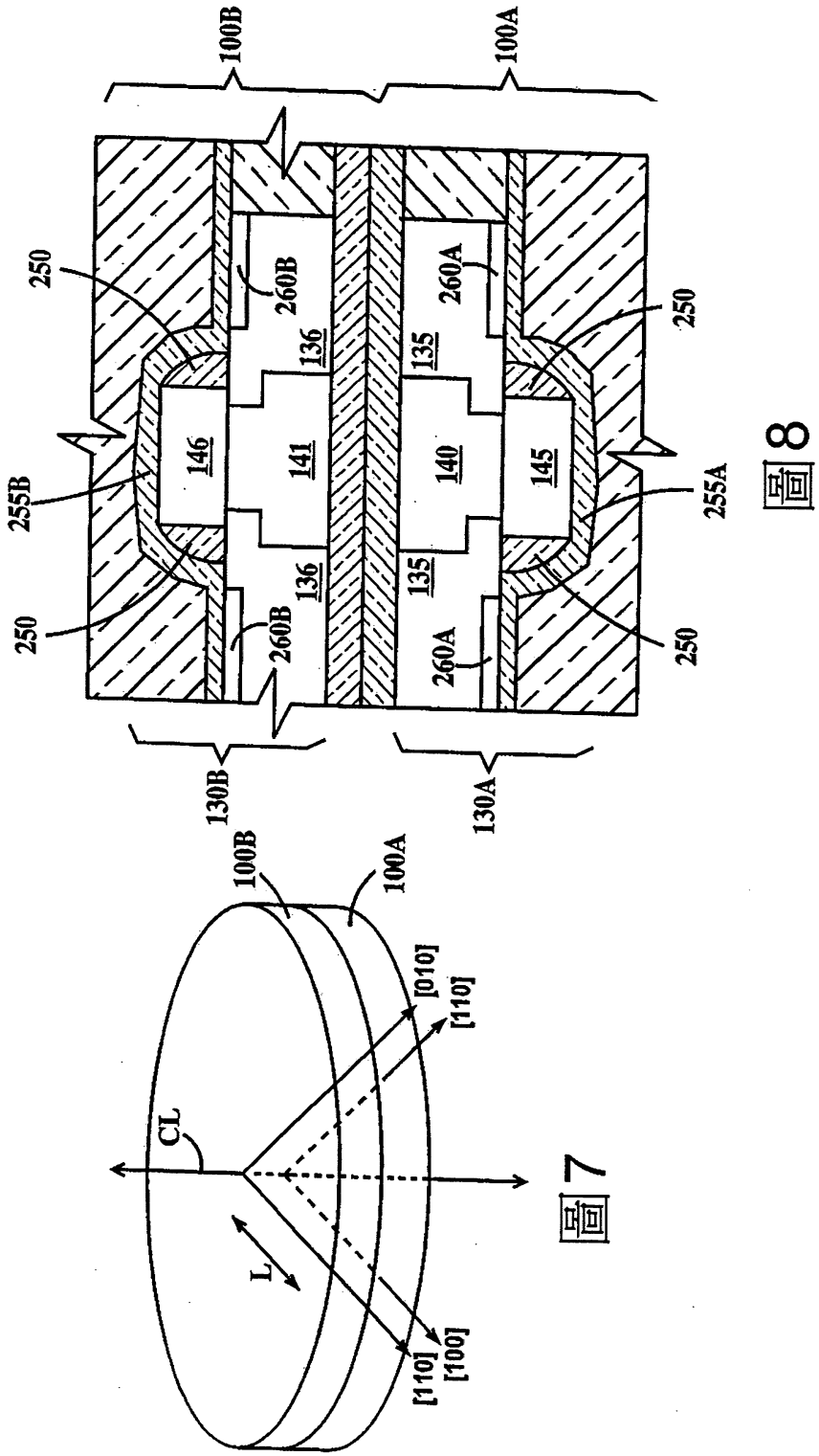


圖8

圖7

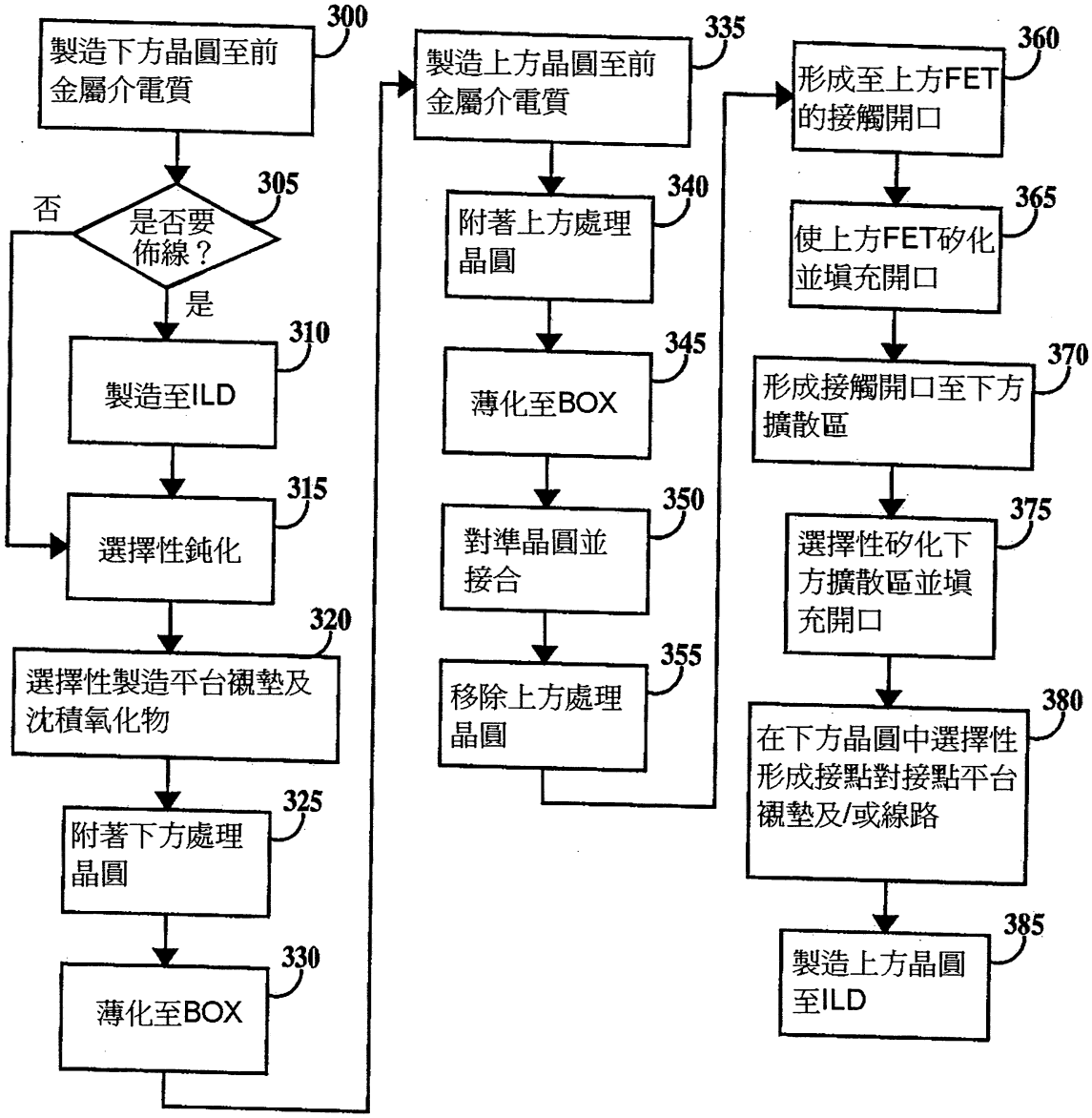

300
製造下方晶圓至前金屬介電質
305
是否要佈線？
否
是
310
製造至ILD
315
選擇性鈍化
320
選擇性製造平台襯墊及沈積氧化物
325
附著下方處理晶圓
330
薄化至BOX
335
製造上方晶圓至前金屬介電質
340
附著上方處理晶圓
345
薄化至BOX
350
對準晶圓並接合
355
移除上方處理晶圓
360
形成至上方FET的接觸開口
365
使上方FET矽化並填充開口
370
形成接觸開口至下方擴散區
375
選擇性矽化下方擴散區並填充開口
380
在下方晶圓中選擇性形成接點對接點平台襯墊及/或線路
385
製造上方晶圓至ILD

圖9

七、指定代表圖：

(一)本案指定代表圖為：圖 1J。

(二)本代表圖之元件符號簡單說明：

100A	第一晶圓	100C	雙晶圓
105A	矽覆絕緣體(SOI)基板		
110A	矽基板	120	單晶矽層
130A	場效電晶體(FET)		
135	源極/汲極	136	源極/汲極
140	通道區域	141	通道區域
145	多晶矽閘極	146	多晶矽閘極
150	選擇性矽區域		
155	前金屬介電(PMD)層		
165	第一(層間介電質)ILD		
170	第一線路層導電鑲嵌線路		
175	第二 ILD	180	導電雙鑲嵌線路
185	第三 ILD	190	導電雙鑲嵌 I/O 襯墊
195	鈍化層	200A	處理晶圓
205、210、215	接點		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。