

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-63995

(P2004-63995A)

(43) 公開日 平成16年2月26日(2004.2.26)

(51) Int. Cl.⁷

H O 1 L 21/3205

H O 1 L 21/304

F I

H O 1 L 21/88

H O 1 L 21/304

H O 1 L 21/304

K

6 2 1 D

6 2 2 X

テーマコード (参考)

5 F O 3 3

審査請求 未請求 請求項の数 18 O L (全 17 頁)

(21) 出願番号 特願2002-223475 (P2002-223475)

(22) 出願日 平成14年7月31日 (2002.7.31)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(74) 代理人 100077931

弁理士 前田 弘

(74) 代理人 100094134

弁理士 小山 廣毅

(74) 代理人 100110939

弁理士 竹内 宏

(74) 代理人 100110940

弁理士 嶋田 高久

(74) 代理人 100113262

弁理士 竹内 祐二

(74) 代理人 100115059

弁理士 今江 克実

最終頁に続く

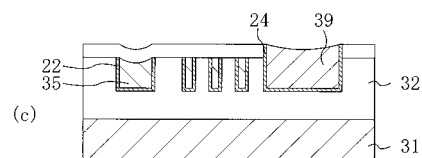
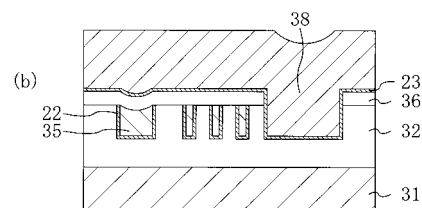
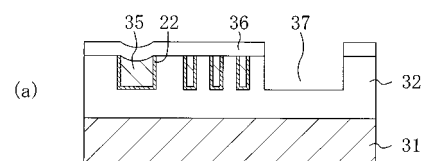
(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】ディッシングの発生を防ぐ手段を講じ、微細化した集積回路においても設計通りの埋め込み配線を実現する。

【解決手段】半導体装置の製造方法は、第1マスクを用いて所定の幅以下の第1トレンチを形成する工程と、第1トレンチを埋める第1埋め込み配線35を形成する工程と、第2マスクを用いて所定の幅を超える第2トレンチ37を形成する工程と、第2トレンチ37を埋め、第1埋め込み配線35と同じ配線層に設けられた第2埋め込み配線39を形成する工程を含む。これにより、埋め込み配線を形成する際のめっき工程や研磨工程を第1、第2埋め込み配線のそれぞれに最適化した条件で行なうことができ、ディッシングの発生を抑制できる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板と、上記半導体基板上に設けられた複数の半導体素子と、上記半導体基板及び上記半導体素子の上方に設けられた第 1 絶縁膜と、複数の配線層とを備える半導体装置であって、

上記配線層は、

上記第 1 絶縁膜に設けられた第 1 トレンチを埋める導電体からなる第 1 の配線と、

上記第 1 絶縁膜に設けられた第 2 トレンチを埋める導電体からなり、上記第 1 の配線とは別工程により設けられた第 2 の配線と

を有している半導体装置。

10

【請求項 2】

請求項 1 に記載の半導体装置において、

上記第 1 絶縁膜及び上記第 1 の配線の上に設けられた第 2 絶縁膜をさらに備え、

上記第 2 トレンチは上記第 1 絶縁膜から上記第 2 絶縁膜に亘って設けられていることを特徴とする半導体装置。

【請求項 3】

請求項 1 または 2 に記載の半導体装置において、

上記第 1 の配線と上記第 2 の配線とは互いに異なる材料から構成されていることを特徴とする半導体装置。

【請求項 4】

20

請求項 1 ～ 3 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 の配線の膜厚と上記第 2 の配線の膜厚とは互いに異なっていることを特徴とする半導体装置。

【請求項 5】

請求項 1 ～ 4 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 絶縁膜を貫通して設けられ、上記第 1 トレンチ及び上記第 2 トレンチの少なくとも 1 つと上記半導体素子とを結ぶ第 1 のスルーホールと、

上記第 1 のスルーホールを埋めるプラグと

をさらに備えていることを特徴とする半導体装置。

【請求項 6】

30

請求項 1 ～ 4 のうちいずれか 1 つに記載の半導体装置において、

上記半導体素子に接続された下層配線と、

上記第 1 絶縁膜を貫通して設けられ、上記第 1 トレンチまたは上記第 2 トレンチと上記下層配線とを結ぶ第 2 のスルーホールと、

上記第 2 のスルーホールを埋めるプラグと

をさらに備えていることを特徴とする半導体装置。

【請求項 7】

請求項 1 ～ 6 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 の配線と上記第 2 の配線とは少なくとも一部が直接接触していることを特徴とする半導体装置。

40

【請求項 8】

請求項 1 ～ 7 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 の配線及び上記第 2 の配線は、タンタル、窒化タンタル、チタン、窒化チタン、タングステン、窒化タングステン、アルミニウム、銅、銀、金、白金のうち少なくとも 1 つを含む金属から構成されていることを特徴とする半導体装置。

【請求項 9】

半導体基板の上方に第 1 絶縁膜を堆積する工程 (a) と、

上記第 1 絶縁膜に第 1 トレンチを形成する工程 (b) と、

上記第 1 トレンチを含む上記第 1 絶縁膜上に第 1 導電体を堆積する工程 (c) と、

化学的機械的研磨により上記第 1 導電体を研磨し、少なくとも上記第 1 トレンチを埋め、

50

且つ配線として機能する第 1 の導電膜を形成する工程 (d) と、
上記第 1 絶縁膜に第 2 トレンチを形成する工程 (e) と、
上記第 2 トレンチを含む上記第 1 絶縁膜上に第 2 導電体を堆積する工程 (f) と、
化学的機械的研磨により上記第 2 導電体を研磨し、少なくとも上記第 2 トレンチを埋め、
且つ上記第 1 の導電膜と同じ配線層内の配線として機能する第 2 の導電膜を形成する工程
(g) と
を含む半導体装置の製造方法。

【請求項 10】

請求項 9 に記載の半導体装置の製造方法において、
上記工程 (d) の後、工程 (e) の前に、上記第 1 絶縁膜及び上記第 1 の導電膜上に第 2 10
絶縁膜を形成する工程をさらに含み、
上記工程 (e) では、上記第 2 トレンチが上記第 1 絶縁膜から上記第 2 絶縁膜に亘って設けられることを特徴とする半導体装置の製造方法。

【請求項 11】

請求項 9 または 10 に記載の半導体装置の製造方法において、
上記半導体基板は下層配線をさらに有し、
上記工程 (b) では上記第 1 トレンチから上記下層配線に至る第 1 のスルーホールをさらに形成し、
上記工程 (d) は、上記第 1 の導電膜が上記第 1 のスルーホールをさらに埋めることにより、
上記下層配線に接続される第 1 のプラグを形成する工程をさらに含むことを特徴とする 20
半導体装置の製造方法。

【請求項 12】

請求項 9 または 10 に記載の半導体装置の製造方法において、
上記半導体基板は下層配線をさらに有し、
上記工程 (e) では上記第 2 トレンチから上記下層配線に至る第 2 のスルーホールをさらに形成し、
上記工程 (g) は、上記第 2 の導電膜が上記第 2 のスルーホールをさらに埋めることにより、
上記下層配線に接続される第 1 のプラグを形成する工程をさらに含むことを特徴とする
半導体装置の製造方法。

【請求項 13】

請求項 9 ~ 12 のうちいずれか 1 つに記載の半導体装置の製造方法において、
上記工程 (e) では、上記第 2 トレンチは上記第 1 トレンチの一部と重なって設けられ、
上記工程 (g) で形成される上記第 2 の導電膜は、上記第 1 の導電膜の一部と直接接触していることを特徴とする半導体装置の製造方法。 30

【請求項 14】

請求項 9 ~ 13 のうちいずれか 1 つに記載の半導体装置の製造方法において、
上記第 1 の導電膜と上記第 2 の導電膜とは、配線幅を基準として分離して形成されることを特徴とする半導体装置の製造方法。

【請求項 15】

請求項 9 ~ 14 のうちいずれか 1 つに記載の半導体装置の製造方法において、
上記第 1 の導電膜と上記第 2 の導電膜とは、配線密度を基準として分離して形成されることを特徴とする半導体装置の製造方法。 40

【請求項 16】

請求項 9 ~ 15 のうちいずれか 1 つに記載の半導体装置の製造方法において、
上記第 1 の導電膜と上記第 2 の導電膜とは互いに膜厚が異なっていることを特徴とする半導体装置の製造方法。

【請求項 17】

請求項 9 ~ 16 のうちいずれか 1 つに記載の半導体装置の製造方法において、
上記第 1 の導電膜と上記第 2 の導電膜を構成する材料は互いに異なっていることを特徴とする半導体装置の製造方法。 50

【請求項 18】

請求項 9 ~ 17 のうちいずれか 1 つに記載の半導体装置の製造方法において、
上記第 1 の導電膜及び上記第 2 の導電膜は、タンタル、窒化タンタル、チタン、窒化チタン、タングステン、窒化タングステン、アルミニウム、銅、銀、金、白金のうち少なくとも 1 つを含む金属から構成されていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置および半導体装置の製造方法に関し、特に、埋め込み配線を形成する技術に関する。

10

【0002】

【従来の技術】

半導体装置の微細化が進むにつれ、配線の抵抗や、エレクトロマイグレーションなどの問題が表面化してきている。エレクトロマイグレーションとは、配線材料の金属原子が電子との衝突により振動し、断線などを起こす現象であり、配線抵抗と同様に、配線の断面積が小さくなるほど顕著になる。

【0003】

このため、微細化した半導体装置では、従来のアルミニウム (Al) に代えてより低抵抗で、マイグレーション耐性のある銅 (Cu) が、配線材料として用いられるようになって

20

【0004】

Cu は Al に比べてエッチングが難しい材料であるので、Cu を配線材料とする場合、あらかじめ形成したトレンチを埋めることによって配線を形成する。従来の埋め込み配線を形成する技術を、図を用いて以下に説明する。

【0005】

図 7 (a) ~ (c) 及び図 8 (a) ~ (c) は、従来の埋め込み配線の形成工程を示す断面図である。

【0006】

まず、図 7 (a) に示す工程で、半導体または絶縁体からなる基板 111 上に例えば SiO₂ からなる絶縁膜 112 を堆積し、次に絶縁膜 112 にリソグラフィー処理及びエッチングを施し、トレンチ 113 を形成する。

30

【0007】

次に、図 7 (b) に示す工程で、トレンチ 113 を含む絶縁膜 112 上にタンタルまたは窒化タンタルからなる金属膜 102 を堆積し、続いて、基板上にシード銅を堆積する。このシード銅を設けることにより、次に銅めっきを行なうことができる。

【0008】

そして、シード銅上に電解めっき法により Cu 膜 114 を堆積する。

【0009】

次に、図 7 (c) に示す工程で、化学的機械的研磨 (CMP) によってトレンチ 113 以外の部分の絶縁膜 112 が露出するまで Cu 膜 114 及び金属膜 102 を研磨し、埋め込み配線 115 を形成する。ここで、埋め込み配線 115 と同時に形成されるバリアメタル 103 は、Cu の拡散防止膜として働く。

40

【0010】

なお、Cu を埋め込み配線材料に用いる場合、CMP は通常 2 段階に分けて行われる。

【0011】

第 1 の研磨では、バリアメタルとなる金属膜 102 が露出するまで Cu 膜 114 の研磨を行なう。この際には、Cu に対して金属膜 102 を構成する窒化タンタルの研磨速度が小さくなるようにするのが一般的である。絶縁膜 112 の一部が露出することもあるので、絶縁膜の研磨速度も小さくなる条件を用いる。次に、第 2 の研磨では、トレンチ 113 を除く領域上の金属膜 102 を除去する。この際の研磨速度は、Cu、窒化タンタル、絶縁

50

膜に差がない選択比の条件を使用することが多い。

【0012】

以上の工程によって、Cuを材料とする埋め込み配線が形成される。この方法により形成された配線は、一般にシングルダマシン配線と呼ばれ、タングステンなどで下層配線や半導体基板とのコンタクトホールを形成する場合に、この下層配線またはコンタクトホールに接続する形で設けられる。また、微細化大規模ロジックデバイスやメモリーデバイス、あるいはそれらを混載したデバイスではCu配線が第1配線層として用いられることが多い。また、例えばパワーデバイスなど、大電流を流す必要のある配線には、最上層の電源ラインなどにCuの埋め込み配線が適用されることもある。

【0013】

次に、埋め込みCu配線上に、Cuプラグと埋め込みCu配線とを一度に形成して多層配線化する従来技術について示す。

【0014】

図8(a)に示す工程は、図7(c)に示す工程の続きを示している。本工程において、基板上に例えばSiO₂を約1000nm堆積し、絶縁膜116を形成する。

【0015】

次に、図8(b)に示す工程で、絶縁膜116にリソグラフィー処理及びドライエッチングを施し、トレンチ117およびスルーホール118を形成する。続いて、絶縁膜116上に順にタンタルまたは窒化タンタルからなる金属膜104を形成した後、厚さ700nmのCu膜119を電解めっき法により形成する。

【0016】

次に、図8(c)に示す工程で、化学的機械的研磨(CMP)によって絶縁膜116が露出するまでCu膜119及び金属膜104を研磨し、トレンチ117を埋める埋め込み配線120とスルーホール118を埋めるプラグ121とを形成する。

【0017】

この方法で形成された配線は、一般にデュアルダマシン配線と呼ばれる。上述したシングルダマシン工程に比べ本工程は、スルーホールとトレンチの両方同時に導電膜を堆積し、埋め込み配線を形成することが特徴であり、最先端の多層集積回路に用いられることが多い。また、上述の例では上層配線をデュアルダマシン配線としたが、基板上に設けられた半導体素子に直接接続される第1層配線をデュアルダマシン配線としてもよい。

【0018】

なお、従来の埋め込み配線の形成方法によれば、シングルダマシン工程、デュアルダマシン工程のいずれを用いても、同層配線は同一の材料から構成され、且つ厚みや層構造も同一となっている。仮に、配線の使用用途において互いに異なる配線材料をもちいる必要がある場合は、配線層を分けて形成する方法が一般に用いられてきた。

【0019】

【発明が解決しようとする課題】

従来用いられてきた埋め込み配線の形成技術では、配線を形成する際にいずれもCMPを用いる。上述のように、Cu膜や金属膜をCMPで研磨する際には、目的とする層だけを選択的に研磨する条件を用いて不必要な研磨が行われないようにしている。

【0020】

しかしながら、実際のCMPにおいては、図7(c)に示す表面段差Bのように、トレンチ部でディッシングと呼ばれる段差が見られることが多い。この段差は、上述の2段階の研磨のうち、第1の研磨時にすでに生じることが分かっている。第2の研磨の選択比を調節することによって、段差は多少平坦化することができるが、完全に平坦化することはできない。

【0021】

一般に、ディッシングは配線幅や配線密度に依存して形成されることが知られている。特に、配線幅が10μmを越える場合には、ディッシングは顕著になり、20μm以上の幅のトレンチで100nm程度以上となる。また、配線幅が狭い場合でも、配線密度が高く

10

20

30

40

50

なると各トレンチを埋めるCuが目減りし、トレンチ間の絶縁膜に応力が集中することによって絶縁膜が削られ、配線及び絶縁膜が共に凹状になるエロージョンという現象を起こす。

【0022】

多層配線の形成時にディッシングが生じた場合、主に次のような不具合が生じる。

【0023】

まず、図8(c)に示すように、ディッシングが生じた配線上に絶縁膜を堆積し、上層の配線を形成する場合、段差が上層にも引き継がれてしまうので、CMPの際に凹状部分に研磨残りが生じてしまう。このため、例えばトレンチに隣接してプラグが設けられる場合、配線材料が残っているために図8(c)に示すような配線間の短絡Dが起こり、装置全体が正常に動作しなくなってしまう。 10

【0024】

また、ディッシングの大きさが上層の埋め込み配線を形成するためのリソグラフィ処理やエッチングの許容範囲を越える場合には、トレンチの寸法不良や開口不良も起こしやすくなる。

【0025】

次に、ディッシングが生じると、配線の断面積が期待される大きさよりも小さくなるので、配線抵抗が大きくなる。微細化した集積回路においては、配線抵抗の増大は信号遅延を起こし、大きな問題となる。

【0026】

また、配線の断面積が小さくなると、マイグレーションの増大も顕著になる。一定の電流が通過する場合、配線の断面積が小さいと、電流密度が大きくなるためである。このため、断線などの不具合のリスクが増大する。 20

【0027】

以上のような不具合を生じるディッシングは、研磨前の段差の存在や、研磨時の配線材料に対する化学的エッチング作用、研磨パッドの物理的な弾性、研磨液中の研磨粒子などの機械的作用との複合作用により生じる。

【0028】

研磨パッドは配線材料に比べて柔らかく、弾性を有するため、ある程度以上の幅を有する配線を形成する場合、研磨パッドが下方へたわんでしまう。このたわみにより、トレンチを埋める金属の中央部がへこんだ形で研磨してしまう。 30

【0029】

また、従来の配線形成方法では、幅の狭いトレンチに空孔が残存するのを防ぐため、埋め込み性能を重視した条件で絶縁膜上に金属膜を形成する。そのため、図7(b)に示すように、幅の狭いトレンチ上の金属膜の膜厚が広いトレンチ上の金属膜の膜厚よりも大きくなり、表面段差Aが生じる。この現象は、一般にオーバーフィルと呼ばれる。

【0030】

この表面段差Aを平坦化するため、金属膜の厚みを一定以上とする他、CMPにおいて絶縁膜が露出してから余分に研磨を続けるオーバー研磨を行なうことが行われている。このオーバー研磨は、初期段差を緩和するためにも用いられるが、研磨速度のばらつきによる影響を抑えるためにも用いられる。 40

【0031】

しかし、このオーバー研磨は、研磨残りを防ぐ反面、ディッシングの原因ともなっている。そのため、めっき工程で生じた研磨前の表面段差が大きいほど研磨時間が長くなるとともにオーバー研磨が必要となり、ディッシングが生じやすくなる。また、金属膜の膜厚が十分でない場合には、研磨前の表面段差がそのままディッシングとして残ってしまう。

【0032】

従来技術では、めっきにより形成される金属膜厚を増加させ、且つ研磨量を増やすことで平坦化性能を補償する方法での対策も検討されてきた。しかし、研磨量が増加するため、研磨時の絶対バラツキ量が増加し結果としてオーバー研磨量を増やさなくてはならず、か 50

えって幅広の配線部でディッシングと呼ばれる凹形状が大きくなってしまっていた。

【0033】

また、ディッシングを防ぐためには、配線を形成した後に絶縁膜を堆積し、上層配線を形成する前に再度CMPを行って基板上面を平坦化することも可能である。しかし、この方法では工程数が増えるので、製造コストの増加につながり、好ましくない。

【0034】

また、従来は絶縁膜に配線機能を果たさないダミー配線を設けたり、設計ルールで、配線幅や配線密度の上限を設けるなどの対応でディッシングの発生を避けていた。しかし、これらは根本的な解決ではなく、余分な工程が必要になったり、設計に余分な制約を加えることになるので、やはり好ましくない。

10

【0035】

本発明の目的は、ディッシングの発生を防ぐ手段を講じ、微細化した集積回路においても設計通りの埋め込み配線を実現することにある。

【0036】

【課題を解決するための手段】

本発明の半導体装置は、半導体基板と、上記半導体基板上に設けられた複数の半導体素子と、上記半導体基板及び上記半導体素子の上方に設けられた第1絶縁膜と、複数の配線層とを備える半導体装置であって、上記配線層は、上記第1絶縁膜に設けられた第1トレンチを埋める導電体からなる第1の配線と、上記第1絶縁膜に設けられた第2トレンチを埋める導電体からなり、上記第1の配線とは別工程により設けられた第2の配線とを有して

20

【0037】

これにより、第1の配線と第2の配線とが、例えば配線幅、配線密度などの基準によって別工程で形成されるので、ディッシングやエロージョンの発生を抑えることができる。このため、配線抵抗の予期せぬ増大、マイグレーション耐性の低下、配線不良などを効果的に防ぐことができる。また、第1の配線と第2の配線の深さを変えたり、材料を変更することも可能になる。

【0038】

上記第1絶縁膜及び上記第1の配線の上に設けられた第2絶縁膜をさらに備え、上記第2トレンチは上記第1絶縁膜から上記第2絶縁膜に亘って設けられていることにより、第1の配線と第2の配線の深さを変えることができる。また、第1の配線と第2の配線の材料が異なる場合には、製造工程中の研磨条件をそれぞれの金属に適した条件に設定することで、ディッシングの発生を抑えることができる。さらに、第1の配線と第2の配線が接触している場合、第1の配線が腐食するのを防ぐことができる。

30

【0039】

上記第1の配線と上記第2の配線とは互いに異なる材料から構成されていることにより、例えばコスト重視の部分と抵抗の低減や断線の防止を重視する部分で配線材料を分けるなど、必要に応じた配線の構成をとることができる。

【0040】

上記第1の配線の膜厚と上記第2の配線の膜厚とは互いに異なっていることにより、例えば抵抗値を下げたい配線では膜厚を厚くするなど、配線幅を変えなくても、必要に応じた配線設計が可能になる。

40

【0041】

本発明の半導体装置は、上記第1絶縁膜を貫通して設けられ、上記第1トレンチ及び上記第2トレンチの少なくとも1つと上記半導体素子とを結ぶ第1のスルーホールと、上記第1のスルーホールを埋めるプラグとをさらに備えていてもよい。

【0042】

上記半導体素子に接続された下層配線と、上記第1絶縁膜を貫通して設けられ、上記第1トレンチまたは上記第2トレンチと上記下層配線とを結ぶ第2のスルーホールと、上記第2のスルーホールを埋めるプラグとをさらに備えていてもよい。

50

【0043】

上記第1の配線と上記第2の配線とは少なくとも一部が直接接触していてもよい。

【0044】

上記第1の配線及び上記第2の配線は、タンタル、窒化タンタル、チタン、窒化チタン、タングステン、窒化タングステン、アルミニウム、銅、銀、金、白金のうち少なくとも1つを含む金属から構成されていることが、電気抵抗やマイグレーション耐性の面から見て好ましい。

【0045】

本発明の半導体装置の製造方法は、半導体基板の上方に第1絶縁膜を堆積する工程(a)と、上記第1絶縁膜に第1トレンチを形成する工程(b)と、上記第1トレンチを含む上記第1絶縁膜上に第1導電体を堆積する工程(c)と、化学的機械的研磨により上記第1導電体を研磨し、少なくとも上記第1トレンチを埋め、且つ配線として機能する第1の導電膜を形成する工程(d)と、上記第1絶縁膜に第2トレンチを形成する工程(e)と、上記第2トレンチを含む上記第1絶縁膜上に第2導電体を堆積する工程(f)と、化学的機械的研磨により上記第2導電体を研磨し、少なくとも上記第2トレンチを埋め、且つ上記第1の導電膜と同じ配線層内の配線として機能する第2の導電膜を形成する工程(g)とを含んでいる。

【0046】

この方法により、第1導電膜と第2導電膜とを形成する工程が分離されているので、それぞれの材料を堆積する条件を最適化することで、工程(c)または工程(f)において生じる表面段差を小さくすることができる。その結果、オーバー研磨を行なう必要がなくなり、研磨後のディッシングの発生を抑えることができる。また、工程(d)及び工程(g)では、それぞれの条件に最適な研磨条件を選択することができるので、これによってもディッシングの発生を抑えることができる。また、第1導電膜と第2導電膜とを形成する工程が分離されていることで、第1の導電膜と第2の導電膜の厚さを互いに異なるものとすることができる他、第1の導電膜と第2の導電膜の材料も異なるものとするすることができる。

【0047】

上記工程(d)の後、工程(e)の前に、上記第1絶縁膜及び上記第1の導電膜上に第2絶縁膜を形成する工程をさらに含み、上記工程(e)では、上記第2トレンチが上記第1絶縁膜から上記第2絶縁膜に亘って設けられることにより、第1の導電膜と第2の導電膜を互いに異なる膜厚とすることができ、配線幅を変えることなく抵抗値を必要に応じて変更することができる。また、第1の導電膜と第2の導電膜の構成材料が異なる場合、それぞれの材料に合わせた研磨条件を選択できるので、ディッシングの発生を抑えることができる。また、工程(g)において、第1の導電膜は研磨液に触れないので、第1の導電膜が第2の導電膜に接続される場合、第1の導電膜の腐食を防ぐことができる。

【0048】

上記半導体基板は下層配線をさらに有し、上記工程(b)では上記第1トレンチから上記下層配線に至る第1のスルーホールをさらに形成し、上記工程(d)は、上記第1の導電膜が上記第1のスルーホールをさらに埋めることにより、上記下層配線に接続される第1のプラグを形成する工程をさらに含むことで、第1の導電膜と第1のプラグを同時に形成することができるので、工程数を減らすことができる。

【0049】

上記半導体基板は下層配線をさらに有し、上記工程(e)では上記第2トレンチから上記下層配線に至る第2のスルーホールをさらに形成し、上記工程(g)は、上記第2の導電膜が上記第2のスルーホールをさらに埋めることにより、上記下層配線に接続される第1のプラグを形成する工程をさらに含むことで、第2の導電膜と第2のプラグを同時に形成することができるので、工程数を減らすことができる。

【0050】

上記工程(e)では、上記第2トレンチは上記第1トレンチの一部と重なって設けられ、

上記工程（g）で形成される上記第2の導電膜は、上記第1の導電膜の一部と直接接触していてもよい。

【0051】

上記第1の導電膜と上記第2の導電膜とは、配線幅を基準として分離して形成されることにより、配線材料を堆積する条件を配線幅に応じて最適化することにより、表面段差を小さくすることができるので、第1の導電膜及び第2の導電膜にディッシングが生じるのを防ぐことができる。また、工程（d）または工程（g）において、研磨条件を最適化することもできるので、ディッシングの発生を効果的に抑制することができる。

【0052】

上記第1の導電膜と上記第2の導電膜とは、配線密度を基準として分離して形成されることにより、導電膜の材料を堆積する際の条件や、配線密度に応じて最適化することができるので、表面段差を小さくすることができ、オーバー研磨する必要がなくなり、配線密度の大きい範囲でエロージョンが発生するのを防ぐことができる。また、研磨条件を配線密度により最適化することもできるので、エロージョンが発生するのを防ぐことができる。

【0053】

上記第1の導電膜と上記第2の導電膜とは互いに膜厚が異なっていることにより、配線幅を変えることなく用途に応じて配線抵抗を変えることができる。

【0054】

上記第1の導電膜と上記第2の導電膜を構成する材料は互いに異なっていることにより、用途に応じた配線設計が可能になる。

【0055】

上記第1の導電膜及び上記第2の導電膜は、タンタル、窒化タンタル、チタン、窒化チタン、タングステン、窒化タングステン、アルミニウム、銅、銀、金、白金のうち少なくとも1つを含む金属から構成されていることが好ましい。

【0056】

【発明の実施の形態】

図1（a）～（c）、図2（a）～（c）、図3（a）～（c）は、本発明の実施形態に係る半導体装置の配線形成工程を示す断面図である。

【0057】

本実施形態の配線形成方法は、同層配線の形成を2回以上に分けて行なうことを特徴としている。以下に、本実施形態に係る配線形成工程を説明する。

【0058】

まず、図1（a）に示す工程で、半導体素子が設けられた半導体基板またはSOI基板である基板31を準備する。この基板31は、半導体素子と上層配線との接続を目的として設けられたタングステンプラグを有している（図示せず）。

【0059】

次に、基板31上にSiO₂を堆積して第1絶縁膜32を形成する。次いで、第1絶縁膜32上にエッチングマスク（図示せず）を堆積し、リソグラフィー処理した後、第1絶縁膜32をエッチングする。これにより、第1絶縁膜32に深さ約350nmの第1トレンチ33が形成される。ここで、エッチングの際にマスクを設けるのは、幅が0.7μmを越えるトレンチを形成するための領域上のみである。すなわち、本工程では、幅が0.7μm以下のトレンチのみを形成する。

【0060】

次に、図1（b）に示す工程で、第1トレンチ33を含む第1絶縁膜32上にタンタルあるいは窒化タンタルからなる金属膜21を薄く堆積し、次いでシード銅を堆積する。その後、電解めっき法により基板上にCuを堆積し、例えば厚さが400nmのCu膜34を形成する。

【0061】

なお、図1（a）に示す工程で、形成するトレンチの幅を0.7μm以下の配線幅に設定するのは、本工程で電解めっき法によるCuのオーバーフィルを起こさないトレンチの条

10

20

30

40

50

件が、深さ350nm、幅0.7μm以下であるためである。また、本工程においてCuを400nm堆積するのは、最大0.7μm幅のトレンチが完全に第1絶縁膜32の最上面よりも高い位置まで堆積可能である条件であるためである。ただし、オーバーフィルが起こる条件は印加電流密度、めっき液組成などによっても変わってくる。また、トレンチの深さを変えると、オーバーフィルが発生する配線幅も変わる。

【0062】

次に、図1(c)に示す工程で、CMPによって第1絶縁膜32が露出するまでCu膜34及び金属膜21を研磨し、バリアメタル22と、第1トレンチ33を埋める第1埋め込み配線35とをそれぞれ形成する。なお、この第1埋め込み配線35は、基板31上に設けられた半導体素子とプラグを介して接続されている。

10

【0063】

次に、図2(a)に示す工程で、基板上に例えばSiO₂を堆積し、厚さ100nmの第2絶縁膜36を形成する。その後、幅が0.7μmを越えるトレンチを設けるための領域を開口したエッチングマスク(図示せず)を設け、これをマスクとして第2絶縁膜36のドライエッチングを行なう。これにより、深さが500nmの第2トレンチ37を形成する。

【0064】

続いて、図2(b)に示す工程で、第2トレンチ37を含む基板上にタンタルまたは窒化タンタルからなる金属膜23と、シード銅を堆積する。そして、電解めっき法により基板上に銅を堆積し、厚さ700nmのCu膜38を形成する。

20

【0065】

次に、図2(c)に示す工程で、CMPを行い、第2絶縁膜26が露出するまでCu膜38及び金属膜23を研磨する。これにより、バリアメタル24と、第2トレンチ37を埋める第2埋め込み配線39とを形成する。配線幅の大きい第2埋め込み配線39は、実際の回路中では電源ラインや接地線、メモリと論理回路とのバスなどによく使用される。

【0066】

なお、第2埋め込み配線39は、第1埋め込み配線35や、半導体素子に接続されたプラグと接続される。また、CMPにおける加工圧力、研磨パッドとウエハとの相対速度、パッド硬度などの条件は、最大幅のトレンチでのディッシングが最小となるように調節する。このようにして形成された第2埋め込み配線39は、ディッシング(表面段差)を例えば30nm程度まで小さくすることが可能であり、従来よりもディッシングが大幅に小さくなっている。

30

【0067】

次いで、図3(a)に示す工程で、基板上にSiO₂などを堆積して厚さ1000nmの第3絶縁膜40を形成する。

【0068】

次に、図3(b)に示す工程で、第3絶縁膜にリソグラフィー処理及びドライエッチングを施し、第3トレンチ41と、第2埋め込み配線39に至るスルーホール42とをそれぞれ形成する。その後、第3トレンチ41とスルーホール42とを含む第3絶縁膜40上にタンタルまたは窒化タンタルからなる金属膜25とシード銅とを堆積する。続いて、シード銅上に厚さ700nm程度のCuを堆積し、Cu膜43を形成する。

40

【0069】

次に、図3(c)に示す工程で、CMPを行って第3絶縁膜40が露出するまで金属膜25及びCu膜43を研磨してバリアメタル26と、第3トレンチを埋める上層配線41と、スルーホール42を埋めるプラグ46とをそれぞれ形成する。従来と異なり、上層配線45とプラグ46とは短絡されずに形成される。

【0070】

以上のようにして、本実施形態の半導体装置において、埋め込み配線が形成される。

【0071】

本実施形態の製造方法によれば、第1埋め込み配線35と第2埋め込み配線39とを別々

50

の工程で形成するため、それぞれの配線幅に最適な条件でめっき工程を行なうことができる。すなわち、第1トレンチを埋める際には埋め込み性能のよい条件でめっきを行い、第2トレンチを埋める際には平坦性の良好な条件でめっきを行なう。これにより、めっきにより生じる段差が小さくなるので、オーバー研磨を行なう必要がなくなり、ディッシングを小さくすることができる。このため、配線の抵抗を設計通りとすることができる。

【0072】

また、本実施形態では第1埋め込み配線35と第2埋め込み配線39の材料を共にCuとしたが、別個の工程で作製するため、互いに異なる材料で形成してもよい。例えば、回路の要請上、ある部分の配線材料がAlで、別の部分の配線材料がCuとしたい場合などに本実施形態の方法は好ましく用いられる。

10

【0073】

また、第1埋め込み配線35と第2埋め込み配線39とを互いに異なる材料から形成する場合には、めっき工程やCMP工程の条件をその材料に最適な条件にすることができるので、ディッシングを極めて小さくすることができる。

【0074】

また、配線ごとに深さを変えることもできるので、特に抵抗を低減したい配線の深さを深くすれば、より配線抵抗を低減することができる。また、所望の配線抵抗値が決まっている場合には、配線深さが深くなり、配線断面積が増加する分を逆に配線幅で縮小化し、半導体チップの微細化をあわせて実施することもできる。

【0075】

20

さらに、本実施形態の例では配線幅によって配線の形成工程を分けたが、配線密度によって形成工程を分けることによって、ディッシングを小さくすると共に、エロージョンの発生を抑えることもできる。なお、よりディッシングを小さくするためには、配線幅や配線密度に応じてさらに細かく配線の形成工程を分ければ良い。この場合、ディッシングの抑制と工程数の増加とがトレードオフの関係になるので、設計に応じて最適な工程を選択すればよい。

【0076】

また、第1埋め込み配線35と第2埋め込み配線39とが互いに接続されている場合、第2埋め込み配線39を形成するためのCMP時に第1埋め込み配線35が露出しないことにより、幅の小さい配線における腐食の発生を抑制できる。この場合には、第1埋め込み配線35と第2埋め込み配線39とを分ける基準を配線の腐食のしやすさに置けばよい。なお、配線の腐食のしやすさは、配線幅だけでなく配線長にも関係する。

30

【0077】

また、第1埋め込み配線35と第2埋め込み配線39の形成工程を分けることで、幅の違うトレンチ内にバリアメタルを確実に形成できるようになる。このため、Cuが基板中に拡散することによる特性劣化を防ぐことができる。

【0078】

このように、本実施形態の配線形成工程によれば、半導体装置が微細化する場合でも、埋め込み配線を良好に形成することができ、所望の設計を行なうことができる。本実施形態の方法は、通常の半導体装置だけでなく、大電流が流れるパワー半導体装置にも好ましく用いられる。

40

【0079】

次に、上記の方法で製造される半導体装置について説明する。

【0080】

本実施形態の半導体装置は、基板31と、基板31上に設けられた半導体素子と、半導体素子に接続されたCuからなる多層の埋め込み配線とを備えている。また、同一配線層内には、幅が0.7μm以下で、深さが350nmの第1埋め込み配線35と、幅が0.7μmを越え、深さが500μmの第2埋め込み配線39とが設けられている。言い換えれば、第1埋め込み配線35と第2埋め込み配線39とは互いに同層配線である。ここで、本明細書における「同層配線」の定義を説明しておく。

50

【0081】

図4(a)~(c)は、同層配線について説明するための断面図である。同図(a)~(c)に示す例において、第1埋め込み配線35と第2埋め込み配線39とは互いに同層配線である。

【0082】

図4(a)に示すように、第1埋め込み配線35の底面と第2埋め込み配線39の底面とが同じ高さであってもよいし、図4(b)に示すように、第1埋め込み配線35の底面が第2埋め込み配線39の底面より下方にあってよい。また、図4(c)に示すように、第1埋め込み配線35の底面が第2埋め込み配線39の底面より上方にあってよい。

【0083】

すなわち、同層配線とは、同一配線層内に設けられた配線であって、少なくとも配線の一部が互いに同じ高さに設けられている配線のことである。なお、本実施形態の方法を用いれば、図4(a)~(c)に示すように、第1埋め込み配線35と第2埋め込み配線39の底面の高さを任意に変えることができる。

【0084】

なお、本実施形態の半導体装置の配線形成工程において、第2絶縁膜36は必ずしも設けなくてもよい。ただし、第1埋め込み配線35と第2埋め込み配線39を構成する材料が異なる場合、第2絶縁膜36を設けることで、それぞれの材料に適したCMPの条件が選択できるようになる。また、第1埋め込み配線35と第2埋め込み配線39を互いに異なる深さにすることができる。加えて、第2絶縁膜36を設けることで、第2埋め込み配線39を形成するためのCMP工程において、第1埋め込み配線35が研磨液に接触するのを防ぐことができるので、第1埋め込み配線35の腐食を防ぐこともできる。さらに、第2絶縁膜36を設けることで、第2埋め込み配線39をボンディングパッドなどパッケージとの接続配線として使用することができるので、カード用途に用いられる薄いLSIなどで使用する場合、チップの薄膜化が可能となる。

【0085】

また、トレンチを埋めるCuはめっき以外にもPVD(Physical Vapor Deposition)を用いてもよいし、トレンチ幅が0.1μm以下の場合には埋め込み性能の高いCVDによって堆積することが好ましい。

【0086】

また、配線材料としては、Cuの他に、Al、Au(金)、Ag(銀)、Pt(白金)、W(タングステン)及びこれらのうちいずれかを含む合金が好ましく用いられる。性能の面からは、抵抗値が低く、マイグレーション耐性が高い材料が好ましい。タングステンはマイグレーション耐性がCu以上に高いので、低抵抗が要求されない場合には好ましく用いられる。

【0087】

なお、これらの合金に少量のIn(インジウム)またはSn(スズ)を加えることによってマイグレーション耐性を向上させることができる。

【0088】

配線材料としてCuを用いる場合は、Si中に拡散しやすい性質があるため、バリアメタルを設けて使用したが、絶縁膜にCu拡散性がない場合など、必ずしもバリアメタルを設ける必要はない。なお、バリアメタルの材料としては、タンタル及び窒化タンタルの他に、チタン、窒化チタン、タングステン、窒化タングステンなどを用いることもできる。

【0089】

なお、本実施形態では、上層配線と第2埋め込み配線との間にCuからなるプラグを設ける例を示したが、半導体素子と第1埋め込み配線とを接続するプラグもデュアルダマシン工程によってCu配線としてもよい。この場合、Cuが素子に直接接しないように、チタン系のバリアメタルを用いることが好ましい。

【0090】

また、本実施形態の方法は、シングルダマシン配線及びデュアルダマシン配線のどちらに

10

20

30

40

50

も適用できるが、トレンチとスルーホールを形成する場合にも互いに異なるマスクを用いて形成してよい。

【0091】

- 本実施形態の変形例 -

本実施形態の半導体装置において、第1埋め込み配線35と第2埋め込み配線39とはいずれかの部分で互いに接続されている。本変形例は、第1埋め込み配線35と第2埋め込み配線39とが互いに直接接触する例である。

【0092】

図5(a)は、本実施形態の変形例に係る半導体装置の一例を示す平面図、(b)は、図5(a)に示すVb-Vb線における断面図である。また、図6(a)~(c)は、本実施形態の変形例に係る半導体装置の一例を示す断面図である。 10

【0093】

図5(a)に示すように、本変形例では、幅の広い第2埋め込み配線39が幅の狭い第1埋め込み配線35と直接接触している。この場合、図5(b)に示すように、両配線の交差部分において第1埋め込み配線35が第2埋め込み配線39を貫通するように形成されていてもよい。

【0094】

また、図6(a)~(c)に示すように、第2埋め込み配線39の端部が第1埋め込み配線35の端部と接するように両配線を設けてもよい。また、図示されていないが、第2埋め込み配線39の底部が第1埋め込み配線の底部より上方にあってもよい。 20

【0095】

【発明の効果】

本発明の半導体装置の製造方法によれば、同層の埋め込み配線を複数のマスクを用いて配線幅や配線密度などに応じて分割して形成するので、めっき工程やCMP工程を各配線に最適な条件に調節することができる。そのため、ディッシングやエロージングの発生が抑制され、配線抵抗の予期せぬ増大や断線などの不具合を防ぐことができる。

【図面の簡単な説明】

【図1】(a)~(c)は、本発明の実施形態に係る半導体装置の配線形成工程のうち、第1トレンチを形成するまでの工程を示す断面図である。

【図2】(a)~(c)は、本発明の実施形態に係る半導体装置の配線形成工程のうち、第2トレンチを形成するまでの工程を示す断面図である。 30

【図3】(a)~(c)は、本発明の実施形態に係る半導体装置の配線形成工程のうち、上層配線及びプラグを形成するまでの工程を示す断面図である。

【図4】(a)~(c)は、同層配線について説明するための断面図である。

【図5】(a)は、本発明の実施形態の変形例に係る半導体装置の一例を示す平面図であり、(b)は、図5(a)に示すVb-Vb線における断面図である。

【図6】(a)~(c)は、本発明の実施形態の変形例に係る半導体装置の一例を示す断面図である。

【図7】(a)~(c)は、従来の埋め込み配線の形成工程のうち、埋め込み配線を形成するまでの工程を示す断面図である。 40

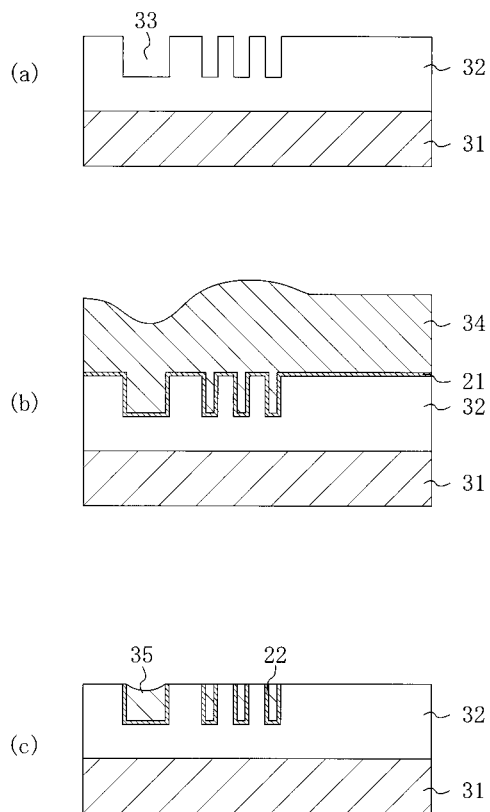
【図8】(a)~(c)は、従来の埋め込み配線の形成工程のうち、上層の埋め込み配線及びプラグを形成するまでの工程を示す断面図である。

【符号の説明】

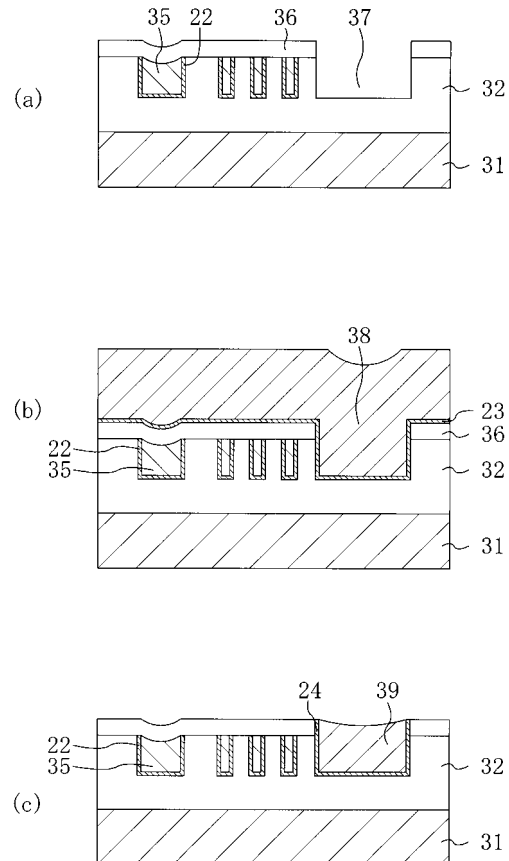
21, 23, 25	金属膜
22, 24, 26	バリアメタル
31	基板
32	第1絶縁膜
33	第1トレンチ
34, 38, 43	Cu膜
35	第1埋め込み配線

3 6	第 2 絶縁膜
3 7	第 2 トレンチ
3 9	第 2 埋め込み配線
4 0	第 3 絶縁膜
4 1	第 3 トレンチ
4 2	スルーホール
4 5	上層配線
4 6	プラグ

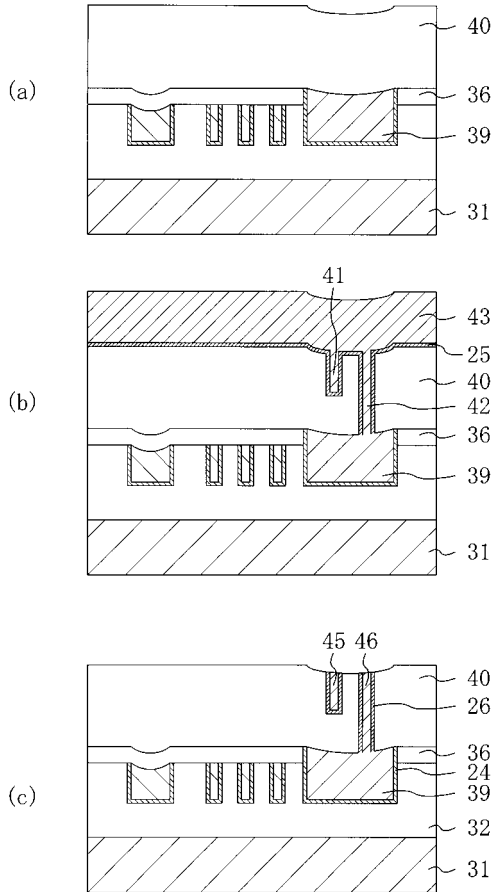
【 図 1 】



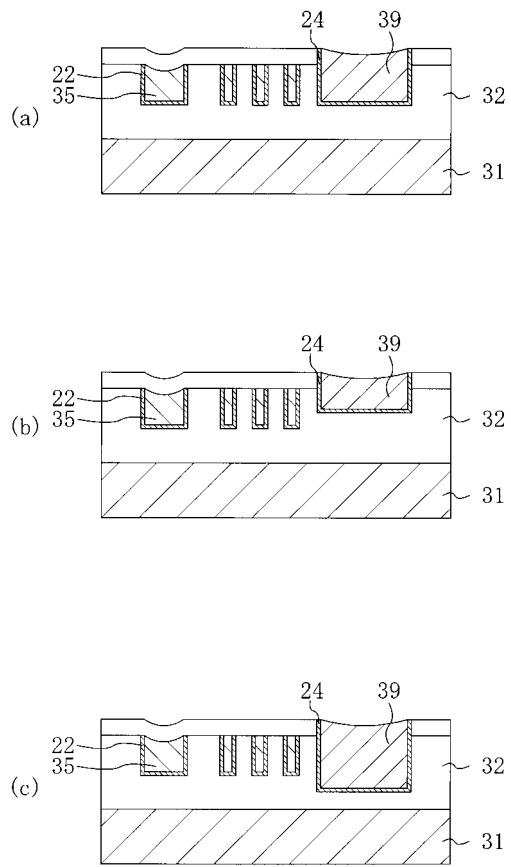
【 図 2 】



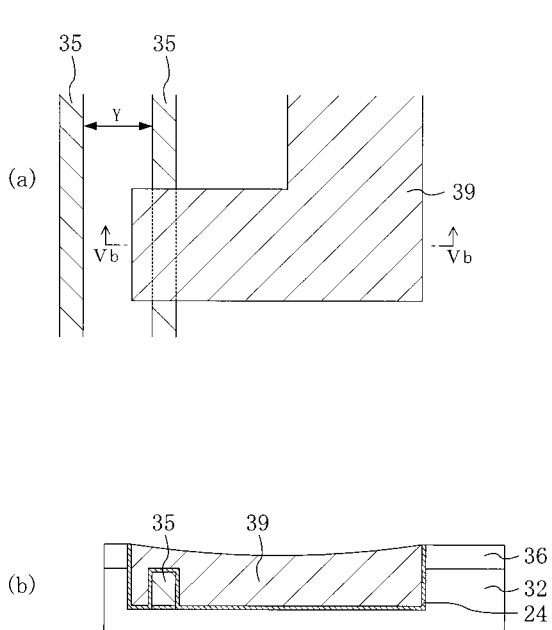
【 図 3 】



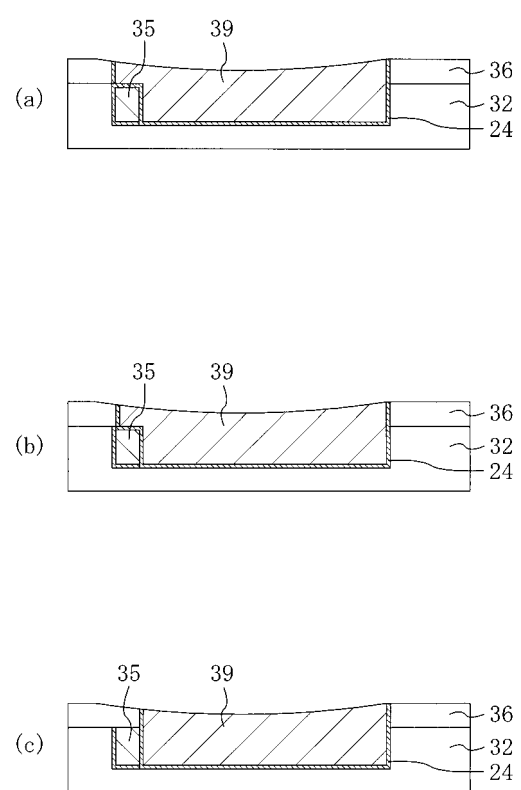
【 図 4 】



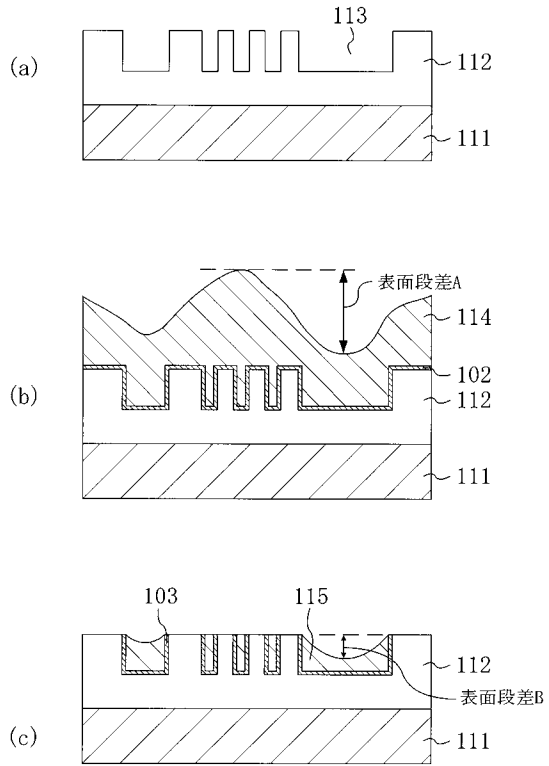
【 図 5 】



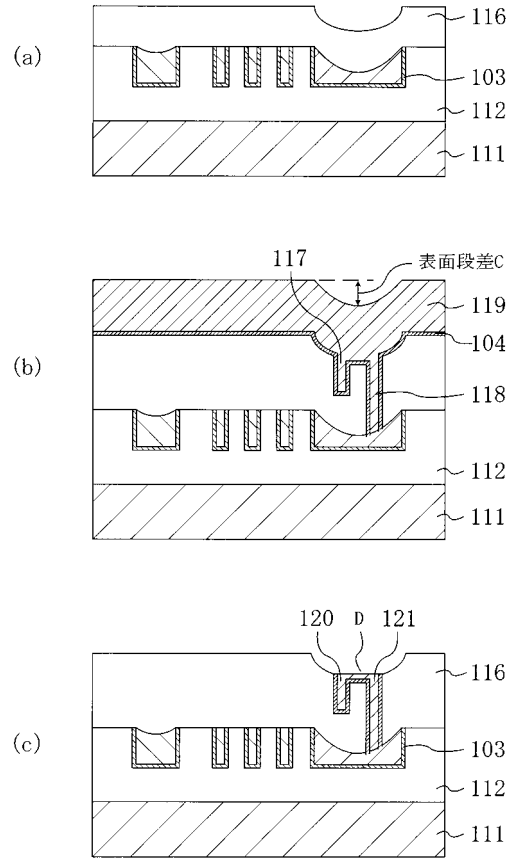
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(74)代理人 100115510

弁理士 手島 勝

(74)代理人 100115691

弁理士 藤田 篤史

(72)発明者 松本 宗之

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 5F033 HH07 HH08 HH10 HH11 HH13 HH14 HH18 HH19 HH21 HH32
HH33 HH34 JJ07 JJ08 JJ10 JJ11 JJ13 JJ14 JJ18 JJ19
JJ21 JJ32 JJ33 JJ34 KK07 KK08 KK10 KK11 KK13 KK14
KK18 KK19 KK21 KK32 KK33 KK34 LL02 MM01 MM02 MM12
MM13 MM28 NN05 NN06 NN07 NN21 PP06 PP14 PP27 QQ09
QQ37 QQ48 RR04 XX00 XX01 XX05 XX18