(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2015 年 1 月 8 日 (08.01.2015)

WIPO | PCT

(10) 国际公布号
WO 2015/000271 A1

(51) 国际专利分类号:
G11C 19/28 (2006.01) *G09G 3/20* (2006.01)

(21) 国际申请号: PCT/CN2013/089640

(22) 国际申请日: 2013 年 12 月 17 日 (17.12.2013)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201310283411.1 2013 年 7 月 3 日 (03.07.2013) CN

(71) 申请人: **京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.)** [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。

(72) 发明人: **姚星 (YAO, Xing)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 **韩承佑 (HAN, Seung Woo)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 **吕敬 (LV, Jing)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: **北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES)**; 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。

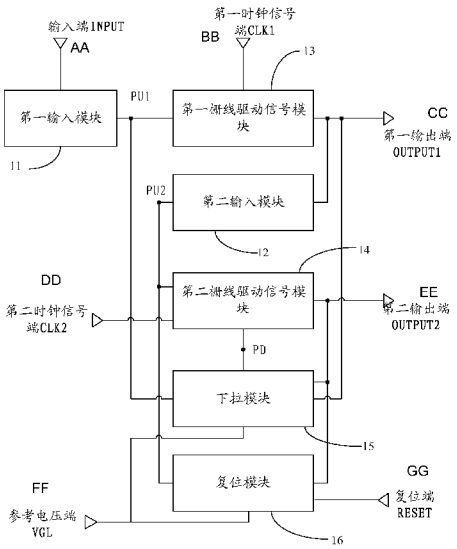
(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) **Title**: SHIFT REGISTER UNIT, DRIVE METHOD, SHIFT REGISTER CIRCUIT, AND DISPLAY DEVICE

(54) **发明名称** : 移位寄存器单元及驱动方法、移位寄存器电路及显示装置



11 First input module
12 Second input module
13 First gate line drive signal module
14 Second gate line drive signal module
15 Pull-down module
16 Reset module
AA Input end
BB First clock signal end
CC First output end
DD Second clock signal end
EE Second output end
FF Reference voltage end
GG Reset end

图 2 / **Fig. 2**

(57) **Abstract**: A shift register unit, a drive method, a shift register circuit, and a display device. Two gate line signals can be output by one shift register unit, which facilitates circuit integration and design of a product, and further facilitates implementation of a narrow frame of the product. The shift register unit comprises a first input module, a second input module, a first gate line drive signal module, a second gate line drive signal module, a pull-down module, and a reset module.

(57) **摘要**: 一种移位寄存器单元及驱动方法、移位寄存器电路及显示装置，能够在一个移位寄存器单元实现两条栅线信号的输出，便于产品的电路集成设计，同时有利于实现产品的窄边框化。该移位寄存器单元包括：第一输入模块、第二输入模块、第一栅线驱动信号模块、第二栅线驱动信号模块、下拉模块和复位模块。

WO 2015/000271 A1

移位寄存器单元及驱动方法、移位寄存器电路及显示装置

技术领域

本发明涉及显示器制造领域，尤其涉及一种移位寄存器单元及驱动方法、移位寄存器电路及显示装置。

背景技术

近些年来显示器的发展呈现出了高集成度，低成本的发展趋势。其中一项非常重要的技术就是 GOA（Gate Driver on Array，阵列基板行驱动）的技术量产化的实现。利用 GOA 技术将栅极开关电路集成在显示面板的阵列基板上，从而可以省掉栅极驱动集成电路部分，以从材料成本和制作工艺两方面降低产品成本。这种利用 GOA 技术集成在阵列基板上的栅极开关电路也称为 GOA 电路或移位寄存器电路。

其中，移位寄存器电路包括若干个移位寄存器单元，每一移位寄存器单元对应一条栅线，具体的每一移位寄存器单元的输出端连接一条栅线；且一移位寄存器单元的输出端连接下一移位寄存器单元的输入端。发明人发现传统的移位寄存器电路中每个移位寄存器单元只对应为一行像素的栅线提供信号输入，此时需要 GOA 单元电路的数量与显示区域栅线的数量一致，因此分辨率越来越高时，需要的 GOA 单元电路的数量也越来越多，因此不利于产品的集成设计，尤其不利于窄边框产品的实现。

发明内容

本发明的实施例提供一种移位寄存器单元及驱动方法、移位寄存器电路及显示装置，能够在一个移位寄存器单元实现两条栅线信号的输出，便于产品的电路集成设计，同时有利于实现产品的窄边框化。

为达到上述目的，本发明的实施例采用如下技术方案：

一方面，提供一种移位寄存器单元，包括：第一输入模块、第二输入模块、第一栅线驱动信号模块、第二栅线驱动信号模块、下拉模块和复位模块；

所述第一输入模块连接输入端和第一节点，用于向所述第一节点输

入第一电压；

所述第一栅线驱动信号模块连接第一时钟信号端、第一输出端和所述第一节点，用于存储所述第一电压，并在所述第一电压和所述第一时钟信号端的时钟信号控制下通过所述第一输出端输出第一栅线驱动信号；

所述第二输入模块连接第二节点和所述第一输出端，用于在所述第一栅线驱动信号的作用下向所述第二节点输出第二电压；

所述第二栅线驱动信号模块连接第三节点、第二输出端、第二时钟信号端和所述第二节点，用于在所述第二电压和所述第二时钟信号端的时钟信号控制下通过所述第二输出端输出第二栅线驱动信号，并在所述第三节点输出第三电压；

所述下拉模块连接参考电压端和所述第一节点、第二节点、第三节点、第一输出端、第二输出端，用于在所述第一输出端输出第一栅线驱动信号时将所述第三节点和第二输出端的电压拉至所述参考电压端的电压；在所述第二输出端输出第二栅线驱动信号时将所述第一节点和所述第一输出端的电压拉至所述参考电压端的电压；

所述复位模块连复位端和所述第二节点、第二输出端和参考电压端，用于在所述复位端的信号控制下，将所述第二节点和所述第二输出端的电压拉至所述参考电压端的电压。

可选的，所述下拉模块包括第一下拉单元、第二下拉单元和复位单元；

所述第一下拉单元，连接所述第一节点、第三节点、第二输出端和所述参考电压端，用于在所述第一电压的控制下，将所述第二输出端和所述第三节点的电压拉至所述参考电压端的电压；

所述第二下拉单元，连接所述第一节点、所述第三节点、第一输出端和所述参考电压端，用于在所述第三电压的控制下将所述第一节点和所述第一输出端的电压拉至所述参考电压端的电压；

复位单元，连接所述第一节点、第一输出端、第二输出端和所述参考电压端，用于在所述第二输出端的第二栅线驱动信号控制下，将所述第一节点和所述第一输出端的电压拉至所述参考电压端的电压。

可选的，所述下拉模块还包括：

第一输出控制单元，连接所述第二节点、所述第一输出端和参考电压端，用于在所述第二节点的电压达到第二电压时，在所述第二电压的控制下将所述第一输出端的电压拉至所述参考电压端的电压。

可选的，所述第一输入模块包括：

第一开关晶体管，所述第一开关晶体管的源极和栅极连接所述输入端，所述第一开关晶体管的漏极连接所述第一节点。

可选的，所述第一栅线驱动信号模块包括：第二开关晶体管和第一电容；

所述第一电容的第一极连接所述第二开关晶体管的栅极和所述第一节点，所述第一电容的第二极连接所述第二开关晶体管的漏极，所述第二开关晶体管的源极连接所述第一时钟信号端；所述第二开关晶体管的漏极连接所述第一输出端。

可选的，所述第二输入模块包括：第三开关晶体管，所述第三开关晶体管的源极和栅极连接所述第一输出端，所述第三开关晶体管的漏极连接所述第二节点。

可选的，所述第二栅线驱动信号模块包括：第四开关晶体管和第二电容；

所述第四开关晶体管的源极连接所述第二时钟信号端，所述第四开关晶体管的栅极连接所述第二节点，所述第四开关晶体管的漏极连接所述第二输出端；

所述第二电容的第一极连接所述第二节点，所述第二电容的第二极连接所述第二输出端，所述第二输出端连接所述第三节点。

可选的，所述第二栅线驱动信号模块包括：第四开关晶体管、第八开关晶体管和第二电容；

所述第四开关晶体管的源极连接所述第二时钟信号端，所述第四开关晶体管的栅极连接所述第二节点，所述第四开关晶体管的漏极连接所述第二输出端；

所述第八开关晶体管的栅极连接所述第二输出端，所述第八开关晶体管的源极连接所述第二时钟信号端，所述第八开关晶体管的漏极连接所述第三节点；

所述第二电容的第一极连接所述第二节点，所述第二电容的第二极

连接所述第二输出端。

可选的，所述第二输出端连接所述第三节点。

可选的，所述复位模块包括：第十三开关晶体管和第十四开关晶体管；

所述第十三开关晶体管的栅极连接所述复位端，所述第十三开关晶体管的源极连接所述第二节点，所述第十三开关晶体管的漏极连接所述参考电压端；

所述第十四开关晶体管的栅极连接所述复位端，所述第十四开关晶体管的源极连接所述第二输出端，所述第十四开关晶体管的漏极连接所述参考电压端。

可选的，所述第一下拉单元包括：第七开关晶体管；

所述第七开关晶体管的栅极连接所述第一节点，所述第七开关晶体管的源极连接所述第三节点，所述第七开关晶体管的漏极连接所述参考电压端。

可选的，所述第一下拉单元还包括：第六开关晶体管，

所述第六开关晶体管的栅极连接所述第一节点，所述第六开关晶体管的源极连接所述第二输出端，所述第六开关晶体管的漏极连接所述参考电压端；

可选的，所述第二下拉单元包括：

第九开关晶体管和第十开关晶体管，其中，

所述第九开关晶体管的栅极连接所述第三节点，所述第九开关晶体管的源极连接所述第一节点，所述第九开关晶体管的漏极连接所述参考电压端；

所述第十开关晶体管的栅极连接所述第三节点，所述第十开关晶体管的源极连接所述第一输出端，所述第十开关晶体管的漏极连接所述参考电压端。

可选的，所述复位单元包括：

第十一开关晶体管和第十二开关晶体管；

所述第十一开关晶体管的栅极连接所述第二输出端，所述第十一开关晶体管的源极连接所述第一节点，所述第十一开关晶体管的漏极连接

所述参考电压端；

所述第十二开关晶体管的栅极连接所述第二输出端，所述第十二开关晶体管的源极连接所述第一输出端，所述第十二开关晶体管的漏极连接所述参考电压端。

可选的，所述第一输出控制单元包括：第五开关晶体管；

所述第五开关晶体管的栅极连接所述第二节点，所述第五开关晶体管的源极连接所述第一输出端，所述第五开关晶体管的漏极连接所述参考电压端。

一方面，提供一种移位寄存器单元的驱动方法，包括：

第一阶段，第一输入模块通过输入端接收输入信号以向第一节点输入第一电压，直至所述第一节点的电位达到所述第一电压，通过第一栅线驱动信号模块将所述第一电压存储，并保持所述第一节点的电位为第一电压；

第二阶段，所述第一电压控制所述第一栅线驱动信号模块通过第一输出端将第一时钟信号端的信号作为第一栅线驱动信号输出，所述第一电压控制下拉模块将第三节点和第二输出端的电压拉至参考电压端的电压，第二输入模块在所述第一栅线驱动信号的作用下向第二节点输入第二电压，直至所述第二节点的电位达到所述第二电压，通过第二栅线驱动信号模块将所述第二电压存储，并保持所述第二节点的电位为第二电压；

第三阶段，所述第二电压控制所述第二栅线驱动信号模块通过第二输出端将第二时钟信号端的信号作为第二栅线驱动信号输出，所述第二栅线驱动信号控制第三节点输出第三电压，所述第三节点控制所述下拉模块将所述第一节点和第一输出端的电压拉至所述参考电压端的电压，所述第二栅线驱动信号控制所述下拉模块将所述第一节点和第一输出端的电压拉至所述参考电压端的电压；

第四阶段，复位模块通过所述复位端接收复位信号将所述第二节点和所述第二输出端的电压拉至所述参考电压端的电压。

可选的，当所述下拉模块包括第一下拉单元、第二下拉单元和复位单元时，

第二阶段还包括：所述第一电压控制所述第一下拉模块将第三节点

和第二输出端的电压拉至参考电压端的电压；

第三阶段还包括：所述第三节点控制所述第二下拉单元将所述第一节点和第一输出端的电压拉至所述参考电压端的电压，并且所述第二栅线驱动信号控制所述复位单元将所述第一节点和第一输出端的电压拉至所述参考电压端的电压。

可选的，当所述下拉模块还包括第一输出控制单元时，

所述第三阶段还包括：所述第二电压控制所述第一输出控制单元将所述第一输出端的电压拉至所述参考电压端的电压。

可选的，当所述移位寄存器单元的第一输入模块包括第一开关晶体管时，

所述第一阶段还包括：所述第一开关晶体管导通。

可选的，当所述移位寄存器单元的第一栅线驱动信号模块包括第二开关晶体管和第一电容时，

所述第一阶段还包括：所述第一电压对所述第一电容充电，直至所述第一节点电压升至所述第一电压，所述第一电容存储所述第一电压，所述第二开关晶体管导通；

所述第二阶段还包括：所述第二开关晶体管导通。

可选的，当所述移位寄存器单元的第二输入模块包括第三开关晶体管时，

所述第二阶段还包括：所述第三开关晶体管导通。

可选的，当所述移位寄存器单元的第二栅线驱动信号模块包括第四开关晶体管和第二电容时，

所述第二阶段还包括：所述第二电压对所述第二电容充电，直至所述第二节点电压升至所述第二电压，所述第二电容存储所述第二电压，所述第四开关晶体管导通；

所述第三阶段还包括：所述第四开关晶体管导通。

可选的，当所述移位寄存器单元的第二栅线驱动信号模块包括第四开关晶体管、第八开关晶体管和第二电容时，

所述第二阶段还包括：所述第二电压对所述第二电容充电，直至所述第二节点电压升至所述第二电压，所述第二电容存储所述第二电压，

所述第四开关晶体管导通;

所述第三阶段还包括:所述第四开关晶体管导通、第八开关晶体管导通。

可选的,当所述移位寄存器单元的复位模块包括第十三开关晶体管和第十四开关晶体管时,

所述第四阶段包括:所述第十三开关晶体管和第十四开关晶体管导通。

可选的,当所述移位寄存器单元的第一下拉单元包括第七开关晶体管时,

所述第二阶段还包括:第七开关晶体管导通。

可选的,当所述移位寄存器单元的第一下拉单元还包括第六开关晶体管时,

所述第二阶段还包括:第六开关晶体管导通。

可选的,当所述移位寄存器单元的第二下拉单元包括第九开关晶体管和第十开关晶体管时,

所述第三阶段还包括:所述第九开关晶体管导通,所述第十开关晶体管导通。

可选的,当所述移位寄存器单元的复位单元包括第十一开关晶体管和第十二开关晶体管时,

所述第三阶段还包括:所述第十一开关晶体管和第十二开关晶体管导通。

可选的,当所述移位寄存器单元的第一输出控制单元包括第五开关晶体管时,

所述第三阶段还包括:所述第五开关晶体管导通。

一方面,提供一种移位寄存器电路,包括级联的多个移位寄存器单元,所述移位寄存器单元为上述任一所述的移位寄存器单元;

除第一个移位寄存器单元和最后一个移位寄存器单元外,每个移位寄存器单元的输入端连接相邻的上一移位寄存器单元的第二输出端,每个移位寄存器单元的第一输出端连接相邻的上一移位寄存器单元的复位端,每个移位寄存器单元的第二输出端连接相邻的下一移位寄存器单

元的输入端，每个移位寄存器单元的复位端连接相邻的下一移位寄存器单元的第一输出端。

一方面，提供一种显示装置，包括上述的移位寄存器电路。

本发明的实施例提供的移位寄存器单元及其驱动方法、移位寄存器电路及显示装置，通过采用双栅线驱动信号模块能够在一个移位寄存器单元实现两条栅线信号的输出，便于产品的电路集成设计，同时有利于实现产品的窄边框化。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍。

图 1 为本发明的实施例提供的一种移位寄存器电路的电路结构示意图；

图 2 为本发明的实施例提供的一种移位寄存器单元的结构示意图；

图 3 为本发明的实施例提供的一种下拉模块的结构示意图；

图 4 为本发明的实施例提供的另一种下拉模块的结构示意图；

图 5 为本发明的实施例提供的一种移位寄存器单元的电路结构示意图；

图 6 为本发明的实施例提供的另一种移位寄存器单元的电路结构示意图；

图 7 为本发明的实施例提供的又一种移位寄存器单元的电路结构示意图；

图 8 为本发明的实施例提供的再一种移位寄存器单元的电路结构示意图；

图 9 为本发明的实施例提供的一种移位寄存器单元的驱动时序信号示意图；

图 10 为本发明的另一实施例提供的一种移位寄存器单元的驱动时序信号示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。

本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件，由于这里采用的晶体管的源极、漏极是对称的，所以其源极、漏极是没有区别的。在本发明实施例中，为区分晶体管除栅极之外的两极，将其中一极称为源极，另一极称为漏极。按附图中的形态规定晶体管的中间端为栅极、信号输入端为源极、信号输出端为漏极。此外本发明实施例所采用的晶体管均为 P 或 N 型晶体管，P 型晶体管在栅极为低电平时导通，N 型晶体管为在栅极为高电平时导通。

本发明实施例提供的一种移位移位寄存器电路，包括串联的多个移位寄存器单元，每个移位寄存器单元包括第一输出端和第二输出端，第一输出端和第二输出端分别连接一条栅线，除第一个移位寄存器单元和最后一个移位寄存器单元外，每个移位寄存器单元的输入端连接相邻的上一移位寄存器单元的第二输出端，每个移位寄存器单元的第一输出端连接相邻的上一移位寄存器单元的复位端，每个移位寄存器单元的第二输出端连接相邻的下一移位寄存器单元的输入端，每个移位寄存器单元的复位端连接相邻的下一移位寄存器单元的第一输出端；此外，第一个移位寄存器单元的输入端接收帧起始信号（STV），第一个移位寄存器单元的第一输出端连接一条栅线，第一个移位寄存器单元的第二输出端连接第二个移位寄存器单元的输入端；最后一个移位寄存器单元的输入端连接其相邻的上一移位寄存器单元的第二输出端，最后一个移位寄存器单元的第一输出端连接其相邻的上一移位寄存器单元的复位端，最后一个移位寄存器单元的复位端闲置或者连接自身的复位端，或者可以连接冗余移位寄存器单元的输出端。

冗余移位寄存器单元，主要是为最后一个移位寄存器单元增加的至少一个移位寄存器单元，但该增加的移位寄存器单元的输出端均不连接栅线进行栅极信号输出，只对最后一个移位寄存器单元起到复位作用，因此该冗余移位寄存器单元可以与本申请的移位寄存器单元结构相同或不同。

具体的，如图 1 所示移位寄存器电路，包括若干个级联的移位寄存

器单元，其中移位寄存器单元 SR1 的第一输出端 OUTPUT1 连接一条栅线 OG1；移位寄存器单元 SR1 的第二输出端 OUTPUT2 连接一条栅线 OG2，同时连接移位寄存器单元 SR2 的输入端 INPUT2；移位寄存器单元 SR2 的第一输出端 OUTPUT3 连接移位寄存器单元 SR1 的复位端 RESET1，并连接一条栅线 OG3；移位寄存器单元 SR2 的第二输出端 OUTPUT4 连接下一移位寄存器单元的的输入端，并连接一条栅线 OG4；移位寄存器单元 SRn 的第一输出端 OUTPUT2n-1 连接上一移位寄存器单元的复位端 RESETn-1，并连接一条栅线 OG2n-1，移位寄存器单元 SRn 的第二输出端 OUTPUT2n 连接一条栅线 OG2n，其他的移位寄存器单元依照此方法连接。

每个移位寄存器单元均包括一个第一时钟信号端 CLK1、一个第二时钟信号端 CLK2 及参考电压端 VGL，其中第一时钟信号端 CLK1 连接系统第一时钟信号 CLOCK1，第二时钟信号端 CLK2 连接系统第二时钟信号 CLOCK2，参考电压端 VGL 连接公共电压 VGL。其中，参照图 9 或 10 所示的信号时序图（包括输入端信号、第一时钟信号、第二时钟信号、第一输出端信号、第二输出端信号、复位信号），系统时钟信号 CLOCK1、CLOCK2 的高电平或低电平占空比均为 1:2（即 CLOCK1 和 CLOCK2 的占空比均为 50%），并且二者相位相反，即：CLOCK1 的低电平信号结束后 CLOCK2 的低电平信号开始，CLOCK2 的所述低电平信号结束后 CLOCK1 的下一个低电平时钟信号开始，以后如此循环，高电平信号的输出同理，不再赘述。在本实施例中，第一个移位寄存器单元为 SR1，则移位寄存器单元 SR1 的输入信号 INPUT1（在图 9 和图 10 中被示出为输入端信号）为一个激活脉冲信号，在一个示例中，该激活脉冲信号可以如帧起始信号 STV，并且系统第一时钟信号 CLOCK1 在 STV 信号结束后开始输出。

图 2 为本发明实施例提供的上述移位寄存器电路中任一移位寄存器单元的结构示意图，包括：第一输入模块 11、第二输入模块 12、第一栅线驱动信号模块 13、第二栅线驱动信号模块 14、下拉模块 15 和复位模块 16；

第一输入模块 11 连接输入端 INPUT 和第一节点 PU1，用于向第一节点 PU1 输入第一电压 V1；

第一栅线驱动信号模块 13 连接第一时钟信号端 CLK1、第一输出

端 OUTPUT1 和第一节点 PU1，用于存储第一电压 V1，并在第一电压 V1 和第一时钟信号端 CLK1 的时钟信号控制下通过第一输出端 OUTPUT1 输出第一栅线驱动信号；

第二输入模块 12 连接第二节点 PU2 和第一输出端 OUTPUT1，用于在第一栅线驱动信号的作用下向第二节点 PU2 输出第二电压 V2；

第二栅线驱动信号模块 14 连接第三节点 PD、第二输出端 OUTPUT2、第二时钟信号端 CLK2 和第二节点 PU2，用于在第二电压 V2 和第二时钟信号端 CLK2 的时钟信号控制下通过第二输出端 OUTPUT2 输出第二栅线驱动信号，并在第三节点 PD 输出第三电压 V3；

下拉模块 15 连接参考电压端 VGL 和第一节点 PU1、第三节点 PD、第一输出端 OUTPUT1、第二输出端 OUTPUT2，用于在第一输出端 OUPUT1 输出第一栅线驱动信号时将第三节点 PD 和第二输出端 OUTPUT2 的电压拉至参考电压端 VGL 的电压；在第二输出端 OUTPUT2 输出第二栅线驱动信号时将第一节点 PU1 和第一输出端 OUTPUT1 的电压拉至参考电压端 VGL 的电压；

复位模块 16 连接复位端 RESET 和第二节点 PU2、第二输出端 OUTPUT2 和参考电压端 VGL，用于在复位端 RESET 的信号控制下，将第二节点 PU2 和第二输出端 OUTPUT2 的电压拉至参考电压端 VGL 的电压。

在一个示例中，参照图 3 所示，下拉模块 15 包括第一下拉单元 151、第二下拉单元 152 和复位单元 153；

第一下拉单元 151，连接第一节点 PU1、第三节点 PD、第二输出端 OUTPUT2 和参考电压端 VGL，用于在第一电压 V1 的控制下，将第二输出端 OUTPUT2 和第三节点 PD 的电压拉至参考电压端 VGL 的电压。

第二下拉单元 152，连接第一节点 PU1、第三节点 PD、第一输出端 OUTPUT1 和参考电压端 VGL，用于在第三电压 V3 的控制下将第一节点 PU1 和第一输出端 OUTPUT1 的电压拉至参考电压端 VGL 的电压。

复位单元 153，连接第一节点 PU1、第一输出端 OUPUT1、第二输出端 OUTPUT2 和参考电压端 VGL，用于在第二输出端 OUTPUT2 的第二栅线驱动信号控制下，将第一节点 PU1 和第一输出端 OUTPUT1 的

电压拉至参考电压端 VGL 的电压。

进一步的参照图 4 所示，下拉模块 15 还包括:

第一输出控制单元 154，连接第二节点 PU2、第一输出端 OUTPUT1 和参考电压端 VGL，用于在第二节点 PU2 的电压达到第二电压 V2 时，在第二电压 V2 的控制下将第一输出端 OUTPUT1 的电压拉至参考电压端 VGL 的电压。

本发明的实施例提供的移位寄存器单元，通过采用双栅线驱动信号模块能够在一个移位寄存器单元实现两条栅线信号的输出，便于产品的电路集成设计，同时有利于实现产品的窄边框化。

参照图 5 所示，本发明的另一实施例提供一种移位寄存器单元的电路结构示意图，包括: 第一输入模块、第二输入模块、第一栅线驱动信号模块、第二栅线驱动信号模块、下拉模块和复位模块; 其中:

第一输入模块包括: 第一开关晶体管 T1，第一开关晶体管 T1 的源极和栅极连接输入端 INPUT，第一开关晶体管 T1 的漏极连接第一节点 PU1。

第一栅线驱动信号模块包括: 第二开关晶体管 T2 和第一电容 C1; 第一电容 C1 的第一极连接第二开关晶体管 T2 的栅极和第一节点 PU1，第一电容 C1 的第二极连接第二开关晶体管 T2 的漏极，第二开关晶体管 T2 的源极连接第一时钟信号端 CLK1; 第一开关晶体管 T2 的漏极连接第一输出端 OUTPUT1。

第二输入模块包括: 第三开关晶体管 T3，第三开关晶体管 T3 的源极和栅极连接第一输出端 OUTPUT1，第三开关晶体管 T3 的漏极连接第二节点 PU2。

第二栅线驱动信号模块包括: 第四开关晶体管 T4 和第二电容 C2; 第四开关晶体管 T4 的源极连接第二时钟信号端 CLK2，第四开关晶体管 T4 的栅极连接第二节点 PU2，第四开关晶体管 T4 的漏极连接第二输出端 OUTPUT2; 第二电容 C2 的第一极连接第二节点 PU2，第二电容 C2 的第二极连接第二输出端 OUTPUT2，第二输出端 OUTPUT2 连接第三节点 PD。

下拉模块包括第一下拉单元、第二下拉单元和复位单元，其中:

第一下拉单元包括: 第七开关晶体管 T7; 第七开关晶体管 T7 的栅

极连接第一节点 PU1，第七开关晶体管 T7 的源极连接第二输出端 OUTPUT2，第七开关晶体管 T7 的漏极连接参考电压端 VGL。

第二下拉单元包括：第九开关晶体管 T9 和第十开关晶体管 T10，其中，第九开关晶体管 T9 的栅极连接第二输出端 OUTPUT2，第九开关晶体管 T9 的源极连接第一节点 PU1，第九开关晶体管 T9 的漏极连接参考电压端 VGL；第十开关晶体管 T10 的栅极连接第二输出端 OUTPUT2，第十开关晶体管 T10 的源极连接第一输出端 OUTPUT1，第十开关晶体管 T10 的漏极连接参考电压端 VGL。

复位单元包括：第十一开关晶体管 T11 和第十二开关晶体管 T12；第十一开关晶体管 T11 的栅极连接第二输出端 OUTPUT2，第十一开关晶体管 T11 的源极连接第一节点 PU1，第十一开关晶体管 T11 的漏极连接参考电压端 VGL；第十二开关晶体管 T12 的栅极连接第二输出端 OUTPUT2，第十二开关晶体管 T12 的源极连接第一输出端 OUTPUT1，第十二开关晶体管 T12 的漏极连接参考电压端 VGL。

复位模块包括：第十三开关晶体管 T13 和第十四开关晶体管 T14；第十三开关晶体管 T13 的栅极连接复位端 RESET，第十三开关晶体管 T13 的源极连接第二节点 PU2，第十三开关晶体管 T13 的漏极连接参考电压端 VGL；第十四开关晶体管 T14 的栅极连接复位端 RESET，第十四开关晶体管 T14 的源极连接第二输出端 OUTPUT2，第十四开关晶体管 T14 的漏极连接参考电压端。

进一步地，在一个示例中，参照图 6 所示，在图 5 的基础上下拉模块还包括：

第一输出控制单元包括：第五开关晶体管 T5；第五开关晶体管 T5 的栅极连接第二节点 PU2，第五开关晶体管 T5 的源极连接第一输出端 OUTPUT1，第五开关晶体管 T5 的漏极连接参考电压端 VGL。

在一个示例中，第一下拉单元还包括：第六开关晶体管 T6，第六开关晶体管 T6 的栅极连接第一节点 PU1，第六开关晶体管 T6 的源极连接第二输出端 OUTPUT2，第六开关晶体管 T6 的漏极连接参考电压端 VGL。

进一步地，在一个示例中，参照图 7 所示，第二栅线驱动信号模块包括：第四开关晶体管 T4、第八开关晶体管 T8 和第二电容 C2；

第四开关晶体管 T4 的源极连接第二时钟信号端 CLK2，第四开关晶体管 T4 的栅极连接第二节点 PU2，第四开关晶体管的漏极连接第二输出端 OUTPUT2；第八开关晶体管 T8 的栅极连接第二输出端 OUTPUT2，第八开关晶体管 T8 的源极连接第二时钟信号端 CLK2，第八开关晶体管 T8 的漏极连接第三节点 PD；第二电容 C2 的第一极连接第二节点 PU2，第二电容 C2 的第二极连接第二输出端 OUTPUT2。

可替代地，在另一个示例中，参照图 8 所示，在图 7 所示的电路结构的基础上，第二输出端 OUTPUT2 连接第三节点 PD。

本发明的实施例提供的移位寄存器单元，通过采用双栅线驱动信号模块能够在一个移位寄存器单元实现两条栅线信号的输出，便于产品的电路集成设计，同时有利于实现产品的窄边框化。

本发明的实施例还提供了一种移位寄存器单元的驱动方法，参照图 2 对应的移位寄存器单元结构示意图、图 9 所示的时序状态图，该方法包括：

第一阶段，第一输入模块通过输入端接收输入信号以向第一节点输入第一电压，直至第一节点的电位达到第一电压，通过第一栅线驱动信号模块将第一电压存储，并保持第一节点的电位为第一电压；

第二阶段，第一电压控制第一栅线驱动信号模块通过第一输出端将第一时钟信号端的信号作为第一栅线驱动信号输出，第一电压控制下拉模块将第三节点和第二输出端的电压拉至参考电压端的电压，第二输入模块在第一栅线驱动信号的作用下向第二节点输入第二电压，直至第二节点的电位达到第二电压，通过第二栅线驱动信号模块将第二电压存储，并保持第二节点的电位为第二电压；

第三阶段，第二电压控制第二栅线驱动信号模块通过第二输出端将第二时钟信号端的信号作为第二栅线驱动信号输出，第二栅线驱动信号控制第三节点输出第三电压，第三节点控制下拉模块将第一节点和第一输出端的电压拉至参考电压端的电压，第二栅线驱动信号控制下拉模块将第一节点和第一输出端的电压拉至参考电压端的电压；

第四阶段，复位模块通过复位端接收复位信号将第二节点和第二输出端的电压拉至参考电压端的电压。

在一个示例中，当所述下拉模块包括第一下拉单元、第二下拉单元

和复位单元时，

第二阶段还包括：所述第一电压控制所述第一下拉模块将第三节点和第二输出端的电压拉至参考电压端的电压；

第三阶段还包括：所述第三节点控制所述第二下拉单元将所述第一节点和第一输出端的电压拉至所述参考电压端的电压，并且所述第二栅线驱动信号控制所述复位单元将所述第一节点和第一输出端的电压进一步拉至所述参考电压端的电压。

在一个示例中，当所述下拉模块还包括第一输出控制单元时，

所述第三阶段：所述第二电压控制所述第一输出控制单元将所述第一输出端的电压拉至所述参考电压端的电压。

在一个示例中，当所述移位寄存器单元的第一输入模块包括第一开关晶体管时，

所述第一阶段还包括：所述第一开关晶体管导通。

在一个示例中，当所述移位寄存器单元的第一栅线驱动信号模块包括第二开关晶体管和第一电容时，

所述第一阶段还包括：所述第一电压对所述第一电容充电，直至所述第一节点电压升至所述第一电压，所述第一电容存储所述第一电压，所述第二开关晶体管导通；

所述第二阶段还包括：所述第二开关晶体管导通。

在一个示例中，当所述移位寄存器单元的第二输入模块包括第三开关晶体管时，

所述第二阶段还包括：所述第三开关晶体管导通。

在一个示例中，当所述移位寄存器单元的第二栅线驱动信号模块包括第四开关晶体管和第二电容时，

所述第二阶段还包括：所述第二电压对所述第二电容充电，直至所述第二节点电压升至所述第二电压，所述第二电容存储所述第二电压，所述第四开关晶体管导通；

所述第三阶段还包括：所述第四开关晶体管导通。

在一个示例中，当所述移位寄存器单元的第二栅线驱动信号模块包括第四开关晶体管、第八开关晶体管和第二电容时，

所述第二阶段还包括：所述第二电压对所述第二电容充电，直至所述第二节点电压升至所述第二电压，所述第二电容存储所述第二电压，所述第四开关晶体管导通；

所述第三阶段还包括：所述第四开关晶体管导通、第八开关晶体管导通。

在一个示例中，当所述移位寄存器单元的复位模块包括第十三开关晶体管和第十四开关晶体管时，

所述第四阶段包括：所述第十三开关晶体管和第十四开关晶体管导通。

在一个示例中，当所述移位寄存器单元的第一下拉单元包括第七开关晶体管时，

所述第二阶段还包括：第七开关晶体管导通。

在一个示例中，当所述移位寄存器单元的第一下拉单元还包括第六开关晶体管时，

所述第二阶段还包括：第六开关晶体管导通。

在一个示例中，当所述移位寄存器单元的第二下拉单元包括第九开关晶体管和第十开关晶体管时，

所述第三阶段还包括：所述第九开关晶体管导通，所述第十开关晶体管导通。

在一个示例中，当所述移位寄存器单元的复位单元包括第十一开关晶体管和第十二开关晶体管时，

所述第三阶段还包括：所述第十一开关晶体管和第十二开关晶体管导通。

在一个示例中，当所述移位寄存器单元的第一输出控制单元包括第五开关晶体管时，

所述第三阶段还包括：所述第五开关晶体管导通。

具体的，以所有晶体管采用 N 型晶体管为例进行说明，即栅极电压为高电平时对应的开关晶体管处于导通状态，此时第一输出端和第二输出端输出的栅线驱动信号均为高电平，而参考电压端可以采用低电平或者直接接地的形式为电路提供下拉电压，参照图 5 所提供的移位寄存

器单元的电路结构示意图及图 9 所示的驱动时序信号示意图，包括以下步骤。

第一阶段，第一开关晶体管 T1 导通，第二开关晶体管 T2 导通，第一输入模块将输入端的第一电压 V1 发送至第一节点 PU1，并在第一栅线驱动信号模块通过第一电容 C1 存储第一电压 V1，保持第一节点 PU1 的电位为第一电压 V1；在该第一阶段中根据电容充电的原理可知，由于第一电容 C1 的存在，第一节点 PU1 的电压需要在第一电容 C1 充电完毕才会保持在第一电压 V1。

第二阶段，第一电压 V1 控制第一栅线驱动信号模块，将第二开关晶体管 T2 保持导通，并通过第一输出端 OUTPT1 将第一时钟信号端 CLK1 的信号作为第一栅线驱动信号输出；第一电压 V1 控制第一下拉单元，将第七开关晶体管 T7 导通，并通过第七开关晶体管 T7 将第三节点 PD 的电压拉至参考电压端的电压；第一栅线驱动信号导通第三开关晶体管 T3，第二输入模块将第一栅线驱动信号输入至第二节点 PU2 并在第二栅线驱动信号模块通过第二电容 C2 存储，保持第二节点 PU2 的电压为第二电压 V2；同理在该第二阶段中根据电容充电的原理可知，由于第二电容 C2 的存在，第二节点 PU2 的电压需要在第二电容 C2 充电完毕才会保持在第二电压 V2。

第三阶段，第二电压 V2 控制第四开关晶体管 T4 导通，第二栅线驱动信号模块通过第二输出端 OUTPUT2 将第二时钟信号端 CLK2 的信号作为第二栅线驱动信号输出。

此时由于第二输出端 OUTPUT2 和第三节点 PD 直接相连，第二栅线驱动信号直接用作第三节点的第三电压 V3，第三节点控制第二下拉单元的第九开关晶体管 T9 导通将第一节点 PU1 的电压拉至参考电压端的电压；第三节点控制第二下拉单元的第十开关晶体管 T10 导通将第一输出端 OUTPUT1 的电压拉至参考电压端的电压；第二栅线驱动信号控制第十一开关晶体管 T11 和第十二开关晶体管 T12 导通，复位单元通过第十一开关晶体管 T11 将第一节点 PU1 的电压拉至参考电压端的电压，复位单元通过第十二开关晶体管 T12 将第一输出端 OUTPUT1 的电压拉至参考电压端的电压。

第四阶段，复位模块通过复位端 RESET 接收复位信号将第十三开关晶体管 T13 和第十四开关晶体管 T14 导通，并通过第十三开关晶体

管 T13 将第二节点 PU2 的电压拉至参考电压端的电压，通过第十四开关晶体管 T14 将第二输出端 OUTPUT2 的电压拉至参考电压端的电压。

在一个示例中，参照图 6 所示的移位寄存器单元电路结构示意图，在图 5 的基础上其还包括第六开关晶体管 T6 和第五开关晶体管 T5，此时，

在第二阶段，第一电压 V1 控制第一下拉模块通过第六开关晶体管 T6 将第二输出端 OUTPUT2 的电压拉至参考电压端的电压，可以避免第二输出端 OUTPUT2 造成多输出，并且此时，由于第二时钟信号端的电平为低电平，参考电压端的电压也为低电平，因此第四开关晶体管 T4 和第六开关晶体管 T6 构成反相器结构，可以对第二输出端 OUTPUT2 的电压形成双下拉结构，良好的避免 OUTPUT2 多输出，此外第四开关晶体管 T4 在第三阶段还用作提供第二栅线驱动信号。

在第三阶段，第二电压 V2 控制第五开关晶体管 T5 导通，第一输出控制单元通过第五开关晶体管 T5 将第一输出端 OUTPUT1 的电压拉至参考电压端的电压；这里 T5 在第三阶段导通在第二阶段不导通的原因在于第二阶段第二电压 V2 对第二电容 C2 进行充电，因此第二阶段第二节点 PU2 有一个电压上升的过程，即可以认为在第二阶段结束之后 PU2 的电压上升至第二电压 V2，此时才能满足 T5 的导通条件。

进一步地，在一个示例中，参照图 7 所示，第二栅线驱动信号模块包括：第四开关晶体管 T4、第八开关晶体管 T8 和第二电容 C2，

则在第三阶段，第二栅线驱动信号控制第八开关晶体管 T8 导通，

第二时钟信号端 CLK2 的信号为第三节点 PD 提供第三电压 V3，第三节点 PD 通过第三电压 V3 控制第二下拉单元的第九开关晶体管 T9 导通将第一节点 PU1 的电压拉至参考电压端的电压；第三节点 PD 通过第三电压 V3 控制第二下拉单元的第十开关晶体管 T10 导通将第一输出端 OUTPUT1 的电压拉至参考电压端的电压。

可替代地，在一个示例中，参照图 8 所示，第二输出模块包括：第四开关晶体管 T4、第八开关晶体管 T8 和第二电容 C2；并且在图 7 的基础上，第二输出端 OUTPUT2 和第三节点 PD 直接连接；

则在第三阶段，第二栅线驱动信号控制第八开关晶体管 T8 导通，

第二时钟信号端 CLK2 的信号和第二栅线驱动信号共同为第三节

点 PD 提供第三电压 V3，第三节点 PD 通过第三电压 V3 控制第二下拉单元的第九开关晶体管 T9 导通将第一节点 PU1 的电压拉至参考电压端的电压；第三节点 PD 通过第三电压 V3 控制第二下拉单元的第十开关晶体管 T10 导通将第一输出端 OUTPUT1 的电压拉至参考电压端的电压。

可以想到的是，以上是基于开关晶体管的导通状态进行描述，当然在开关晶体管的类型固定时，其栅极的控制电压是确定，因此未对时序图中的所反映出的输入或输出的信号的电平的高低进行描述，这是本领域技术人员可以轻易想到的，此外以上由于是采用 N 型晶体管，基于 N 型晶体管栅极高电平导通的特性，为了电路布图设计方便，参考电压端的公共电压可采用接地电压或低电平；当然在采用 P 型晶体管设计时，参考电压端可采用接地电压或高电平。

本发明实施例也可以所采用 P 型晶体管实现，通过调整输入的信号时序即可。当然所有的晶体管采用 P 型晶体管时，亦可实现本发明的实施例所提供的移位寄存器单元的驱动方法，只是此时需要采用如图 10 所示的信号时序，具体的结合上述的实施例可知这只是信号高低电平的转换，这里不再赘述。

本发明实施例还提供了一种阵列基板，在该阵列基板上形成有移位寄存器电路；且移位寄存器电路为上述任一实施例所提供的移位寄存器电路。

本发明实施例还提供了一种显示装置，具体的，该显示装置包括上述阵列基板，在该阵列基板上形成有移位寄存器电路；且移位寄存器电路为上述任一实施例所提供的移位寄存器电路。

例如：该显示装置为液晶显示装置时，包括：显示区域，具有用于显示图像的多个像素；移位寄存器电路，用于将扫描信号送至显示区域；以及，数据驱动电路，用于将数据信号送至显示区域。其中移位寄存器电路为上述任一所述的移位寄存器电路。另外，显示装置还可以为液晶显示面板，有机电致发光器、电子纸、手机、电视、数码相框等任何具有显示功能的显示设备。

本发明的实施例提供的阵列基板及显示装置，通过采用双栅线驱动信号模块能够在一个移位寄存器单元实现两条栅线信号的输出，便于产

品的电路集成设计，同时有利于实现产品的窄边框化。

以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1、一种移位寄存器单元，其特征在于，包括：第一输入模块、第二输入模块、第一栅线驱动信号模块、第二栅线驱动信号模块、下拉模块和复位模块；

所述第一输入模块连接输入端和第一节点，用于向所述第一节点输入第一电压；

所述第一栅线驱动信号模块连接第一时钟信号端、第一输出端和所述第一节点，用于存储所述第一电压，并在所述第一电压和所述第一时钟信号端的时钟信号控制下通过所述第一输出端输出第一栅线驱动信号；

所述第二输入模块连接第二节点和所述第一输出端，用于在所述第一栅线驱动信号的作用下向所述第二节点输出第二电压；

所述第二栅线驱动信号模块连接第三节点、第二输出端、第二时钟信号端和所述第二节点，用于在所述第二电压和所述第二时钟信号端的时钟信号控制下通过所述第二输出端输出第二栅线驱动信号，并在所述第三节点输出第三电压；

所述下拉模块连接参考电压端和所述第一节点、第三节点、第一输出端、第二输出端，用于在所述第一输出端输出第一栅线驱动信号时将所述第三节点和第二输出端的电压拉至所述参考电压端的电压；在所述第二输出端输出第二栅线驱动信号时将所述第一节点和所述第一输出端的电压拉至所述参考电压端的电压；

所述复位模块连接复位端和所述第二节点、第二输出端和参考电压端，用于在所述复位端的信号控制下，将所述第二节点和所述第二输出端的电压拉至所述参考电压端的电压。

2、根据权利要求 1 所述的移位寄存器单元，其特征在于，所述下拉模块包括第一下拉单元、第二下拉单元和复位单元；

所述第一下拉单元，连接所述第一节点、第三节点、第二输出端和所述参考电压端，用于在所述第一电压的控制下，将所述第二输出端和所述第三节点的电压拉至所述参考电压端的电压；

所述第二下拉单元，连接所述第一节点、所述第三节点、第一输出端和所述参考电压端，用于在所述第三电压的控制下将所述第一节点和所述第一输出端的电压拉至所述参考电压端的电压；

复位单元，连接所述第一节点、第一输出端、第二输出端和所述参考电压端，用于在所述第二输出端的第二栅线驱动信号控制下，将所述第一节点和所述第一输出端的电压拉至所述参考电压端的电压。

3、根据权利要求 2 所述的移位寄存器单元，其特征在于，所述下拉模块还包括：

第一输出控制单元，连接所述第二节点、所述第一输出端和参考电压端，用于在所述第二节点的电压达到第二电压时，在所述第二电压的控制下将所述第一输出端的电压拉至所述参考电压端的电压。

4、根据权利要求 1 所述的移位寄存器单元，其特征在于，所述第一输入模块包括：

第一开关晶体管，所述第一开关晶体管的源极和栅极连接所述输入端，所述第一开关晶体管的漏极连接所述第一节点。

5、根据权利要求 1 所述的移位寄存器单元，其特征在于，所述第一栅线驱动信号模块包括：第二开关晶体管和第一电容；

所述第一电容的第一极连接所述第二开关晶体管的栅极和所述第一节点，所述第一电容的第二极连接所述第二开关晶体管的漏极，所述第二开关晶体管的源极连接所述第一时钟信号端；所述第二开关晶体管的漏极连接所述第一输出端。

6、根据权利要求 1 所述的移位寄存器单元，其特征在于，所述第二输入模块包括：第三开关晶体管，所述第三开关晶体管的源极和栅极连接所述第一输出端，所述第三开关晶体管的漏极连接所述第二节点。

7、根据权利要求 1 所述的移位寄存器单元，其特征在于，所述第二栅线驱动信号模块包括：第四开关晶体管和第二电容；

所述第四开关晶体管的源极连接所述第二时钟信号端，所述第四开关晶体管的栅极连接所述第二节点，所述第四开关晶体管的漏极连接所述第二输出端；

所述第二电容的第一极连接所述第二节点，所述第二电容的第二极连接所述第二输出端，所述第二输出端连接所述第三节点。

8、根据权利要求 1 所述的移位寄存器单元，其特征在于，所述第二栅线驱动信号模块包括：第四开关晶体管、第八开关晶体管和第二电容；

所述第四开关晶体管的源极连接所述第二时钟信号端，所述第四开关晶体管的栅极连接所述第二节点，所述第四开关晶体管的漏极连接所述第二输出端；

所述第八开关晶体管的栅极连接所述第二输出端，所述第八开关晶体管的源极连接所述第二时钟信号端，所述第八开关晶体管的漏极连接所述第三节点；

所述第二电容的第一极连接所述第二节点，所述第二电容的第二极连接所述第二输出端。

9、根据权利要求 8 所述的移位寄存器单元，其特征在于，所述第二输出端连接所述第三节点。

10、根据权利要求 1 所述的移位寄存器单元，其特征在于，所述复位模块包括：第十三开关晶体管和第十四开关晶体管；

所述第十三开关晶体管的栅极连接所述复位端，所述第十三开关晶体管的源极连接所述第二节点，所述第十三开关晶体管的漏极连接所述参考电压端；

所述第十四开关晶体管的栅极连接所述复位端，所述第十四开关晶体管的源极连接所述第二输出端，所述第十四开关晶体管的漏极连接所述参考电压端。

11、根据权利要求 2 所述的移位寄存器单元，其特征在于，所述第一下拉单元包括：第七开关晶体管；

所述第七开关晶体管的栅极连接所述第一节点，所述第七开关晶体管的源极连接所述第三节点，所述第七开关晶体管的漏极连接所述参考电压端。

12、根据权利要求 11 所述的移位寄存器单元，其特征在于，所

述第一下拉单元还包括：第六开关晶体管，

所述第六开关晶体管的栅极连接所述第一节点，所述第六开关晶体管的源极连接所述第二输出端，所述第六开关晶体管的漏极连接所述参考电压端。

13、根据权利要求 2 所述的移位寄存器单元，其特征在于，所述第二下拉单元包括：

第九开关晶体管和第十开关晶体管，其中，

所述第九开关晶体管的栅极连接所述第三节点，所述第九开关晶体管的源极连接所述第一节点，所述第九开关晶体管的漏极连接所述参考电压端；

所述第十开关晶体管的栅极连接所述第三节点，所述第十开关晶体管的源极连接所述第一输出端，所述第十开关晶体管的漏极连接所述参考电压端。

14、根据权利要求 2 所述的移位寄存器单元，其特征在于，所述复位单元包括：

第十一开关晶体管和第十二开关晶体管；

所述第十一开关晶体管的栅极连接所述第二输出端，所述第十一开关晶体管的源极连接所述第一节点，所述第十一开关晶体管的漏极连接所述参考电压端；

所述第十二开关晶体管的栅极连接所述第二输出端，所述第十二开关晶体管的源极连接所述第一输出端，所述第十二开关晶体管的漏极连接所述参考电压端。

15、根据权利要求 3 所述的移位寄存器单元，其特征在于，所述第一输出控制单元包括：第五开关晶体管；

所述第五开关晶体管的栅极连接所述第二节点，所述第五开关晶体管的源极连接所述第一输出端，所述第五开关晶体管的漏极连接所述参考电压端。

16、一种移位寄存器单元的驱动方法，其特征在于，包括：

第一阶段，第一输入模块通过输入端接收输入信号以向第一节点

输入第一电压，直至所述第一节点的电位达到所述第一电压，通过第一栅线驱动信号模块将所述第一电压存储，并保持所述第一节点的电位为第一电压；

第二阶段，所述第一电压控制所述第一栅线驱动信号模块通过第一输出端将第一时钟信号端的信号作为第一栅线驱动信号输出，所述第一电压控制下拉模块将第三节点和第二输出端的电压拉至参考电压端的电压，第二输入模块在所述第一栅线驱动信号的作用下向第二节点输入第二电压，直至所述第二节点的电位达到所述第二电压，通过第二栅线驱动信号模块将所述第二电压存储，并保持所述第二节点的电位为第二电压；

第三阶段，所述第二电压控制所述第二栅线驱动信号模块通过第二输出端将第二时钟信号端的信号作为第二栅线驱动信号输出，所述第二栅线驱动信号控制第三节点输出第三电压，所述第三节点控制所述下拉模块将所述第一节点和第一输出端的电压拉至所述参考电压端的电压，所述第二栅线驱动信号控制所述下拉模块将所述第一节点和第一输出端的电压拉至所述参考电压端的电压；

第四阶段，复位模块通过所述复位端接收复位信号将所述第二节点和所述第二输出端的电压拉至所述参考电压端的电压。

17、一种移位寄存器电路，其特征在于，包括级联的多个移位寄存器单元，所述移位寄存器单元为权利要求 1-15 任一项所述的移位寄存器单元；

除第一个移位寄存器单元和最后一个移位寄存器单元外，每个移位寄存器单元的输入端连接相邻的上一移位寄存器单元的第二输出端，每个移位寄存器单元的第一输出端连接相邻的上一移位寄存器单元的复位端，每个移位寄存器单元的第二输出端连接相邻的下一移位寄存器单元的输入端，每个移位寄存器单元的复位端连接相邻的下一移位寄存器单元的第一输出端。

18、一种显示装置，其特征在于，包括权利要求 17 所述的移位寄存器电路。

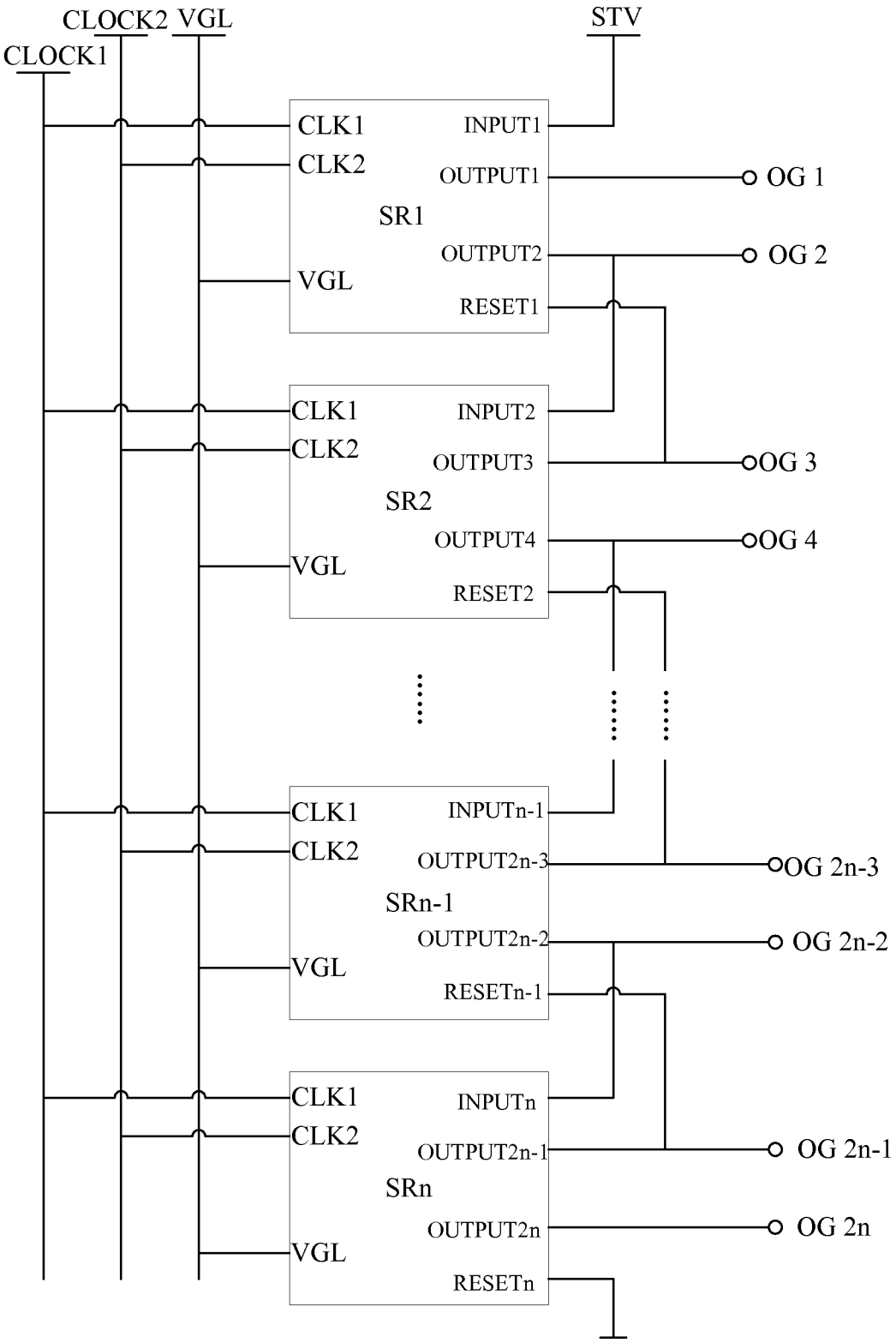

CLOCK2
VGL
STV
CLOCK1
CLK1
CLK2
VGL
INPUT1
OUTPUT1
SR1
OUTPUT2
RESET1
OG 1
OG 2
CLK1
CLK2
VGL
INPUT2
OUTPUT3
SR2
OUTPUT4
RESET2
OG 3
OG 4
CLK1
CLK2
VGL
INPUTn-1
OUTPUT2n-3
SRn-1
OUTPUT2n-2
RESETn-1
OG 2n-3
OG 2n-2
CLK1
CLK2
VGL
INPUTn
OUTPUT2n-1
SRn
OUTPUT2n
RESETn
OG 2n-1
OG 2n

图 1

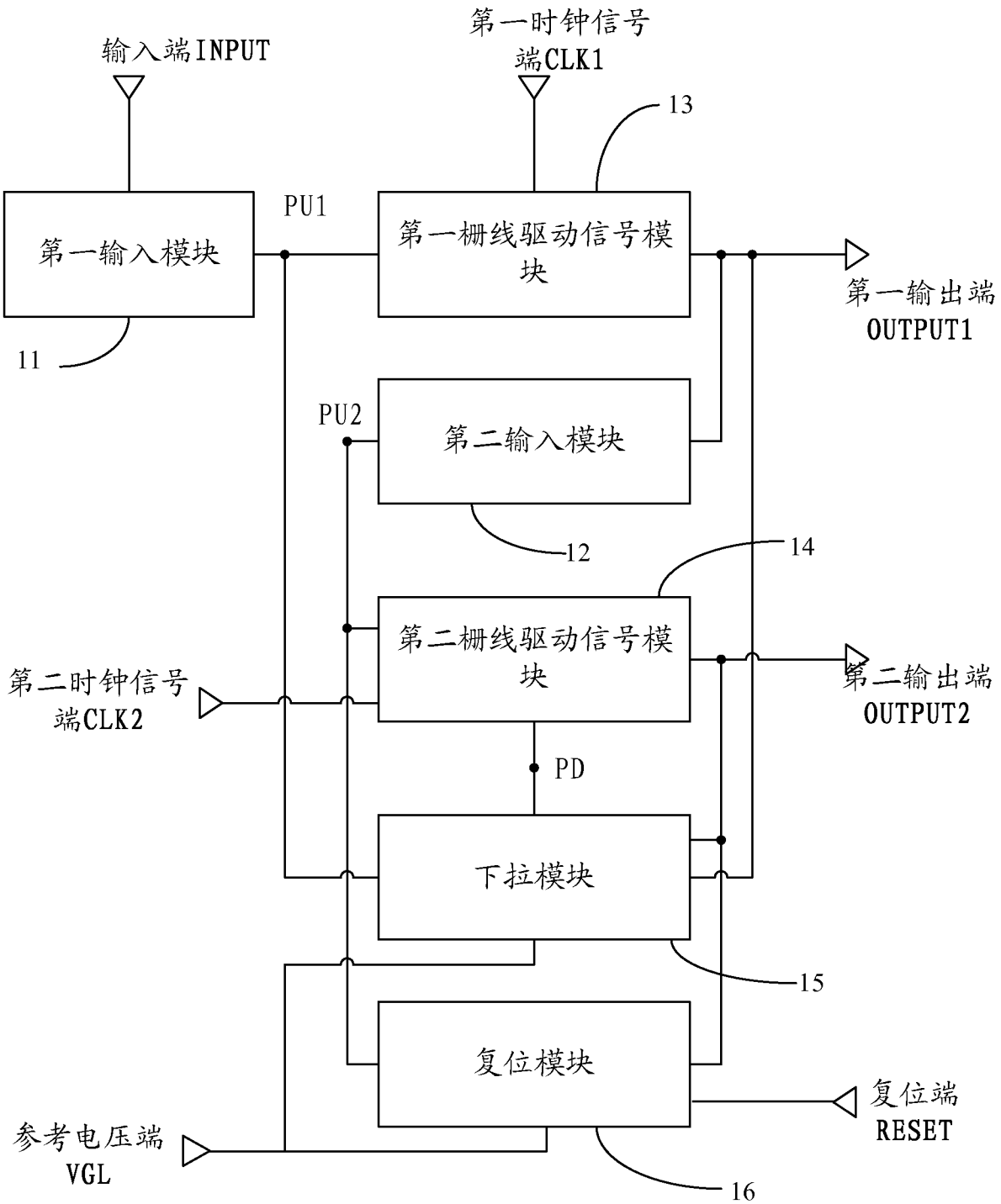

输入端INPUT
第一时钟信号端CLK1
13
第一输入模块
PU1
第一栅线驱动信号模块
第一输出端OUTPUT1
11
PU2
第二输入模块
12
14
第二栅线驱动信号模块
第二时钟信号端CLK2
第二输出端OUTPUT2
PD
下拉模块
15
复位模块
复位端RESET
参考电压端VGL
16

图 2

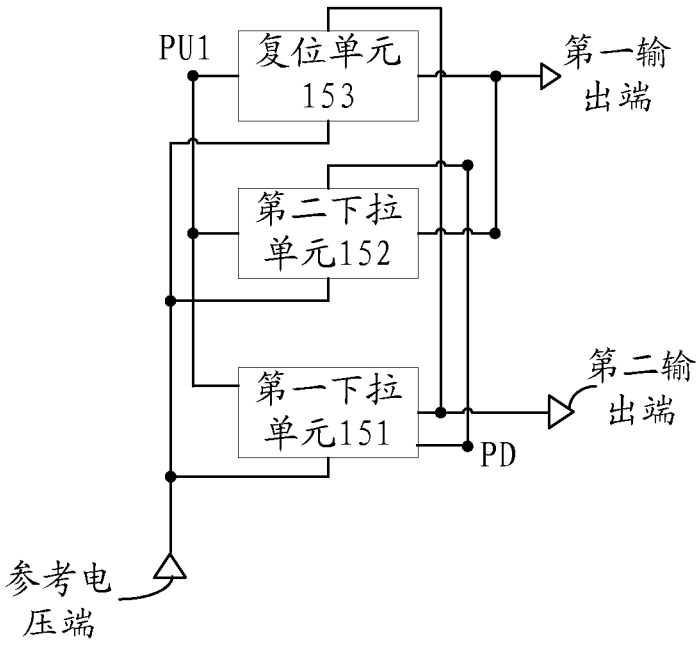

PU1
复位单元
153
第一输
出端
第二下拉
单元152
第一下拉
单元151
第二输
出端
PD
参考电
压端

图 3

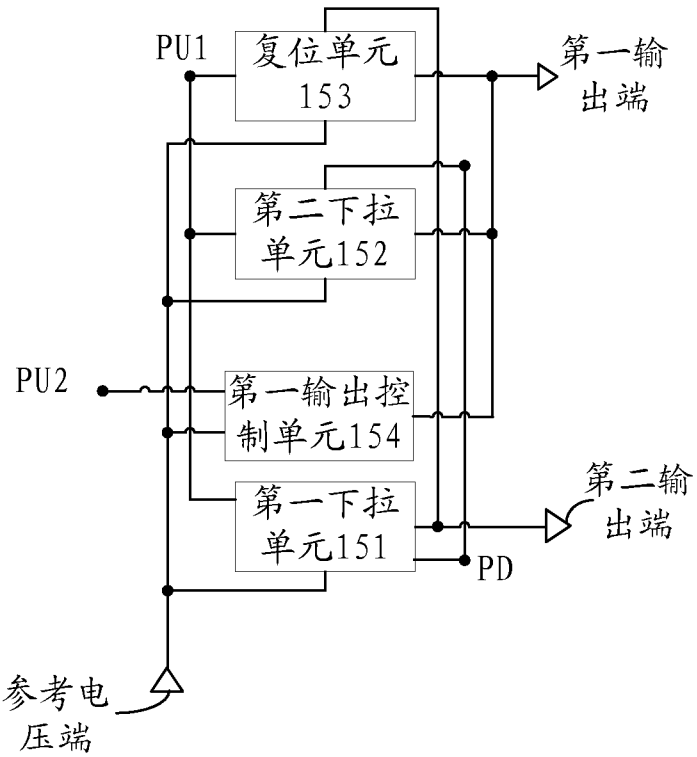

PU1
复位单元
153
第一输
出端
第二下拉
单元152
PU2
第一输出控
制单元154
第一下拉
单元151
第二输
出端
PD
参考电
压端

图 4

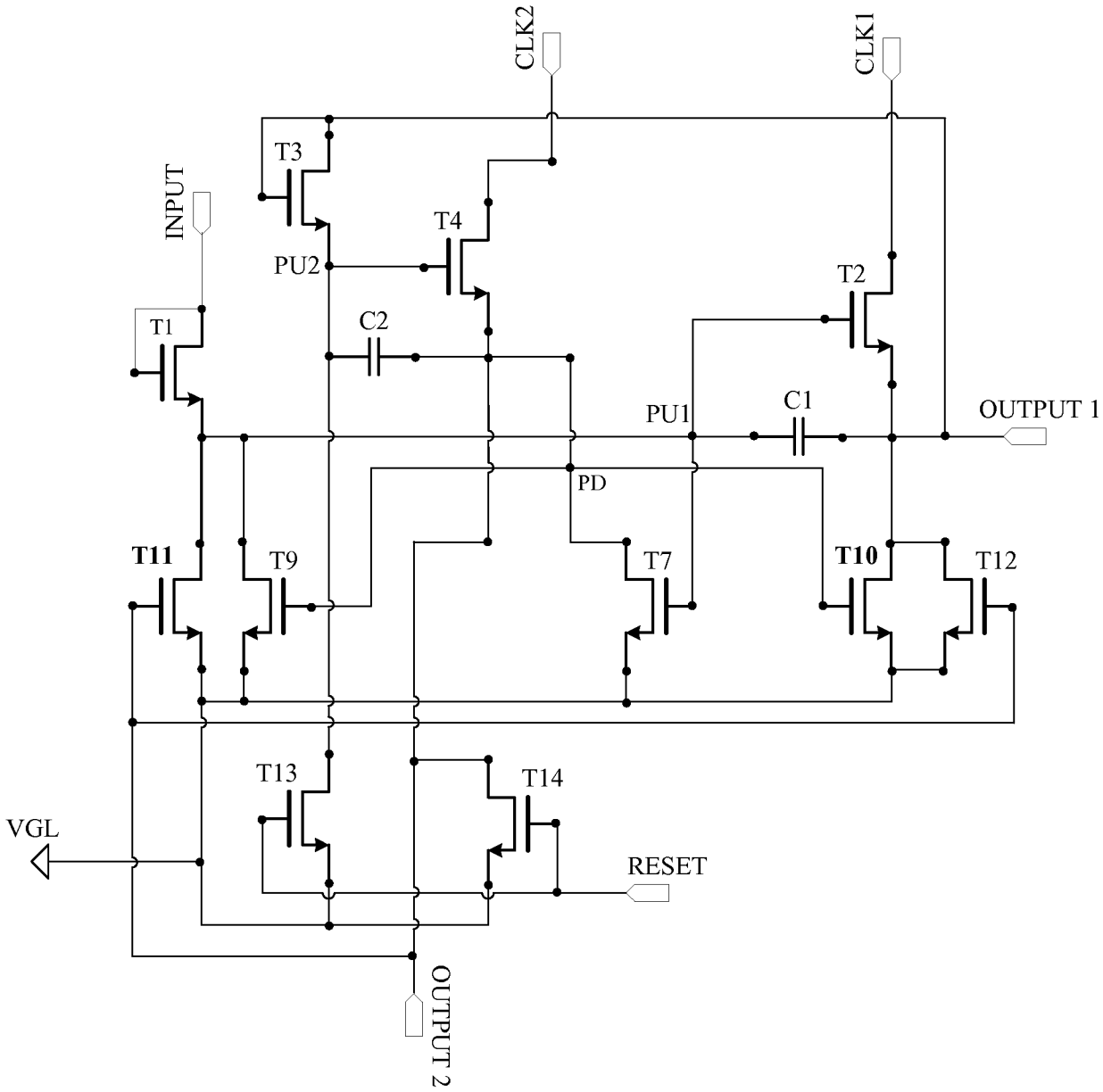

CLK2
CLK1
T3
INPUT
T4
PU2
T2
T1
C2
C1
PU1
OUTPUT 1
PD
T11
T9
T7
T10
T12
T13
T14
VGL
RESET
OUTPUT 2

图 5

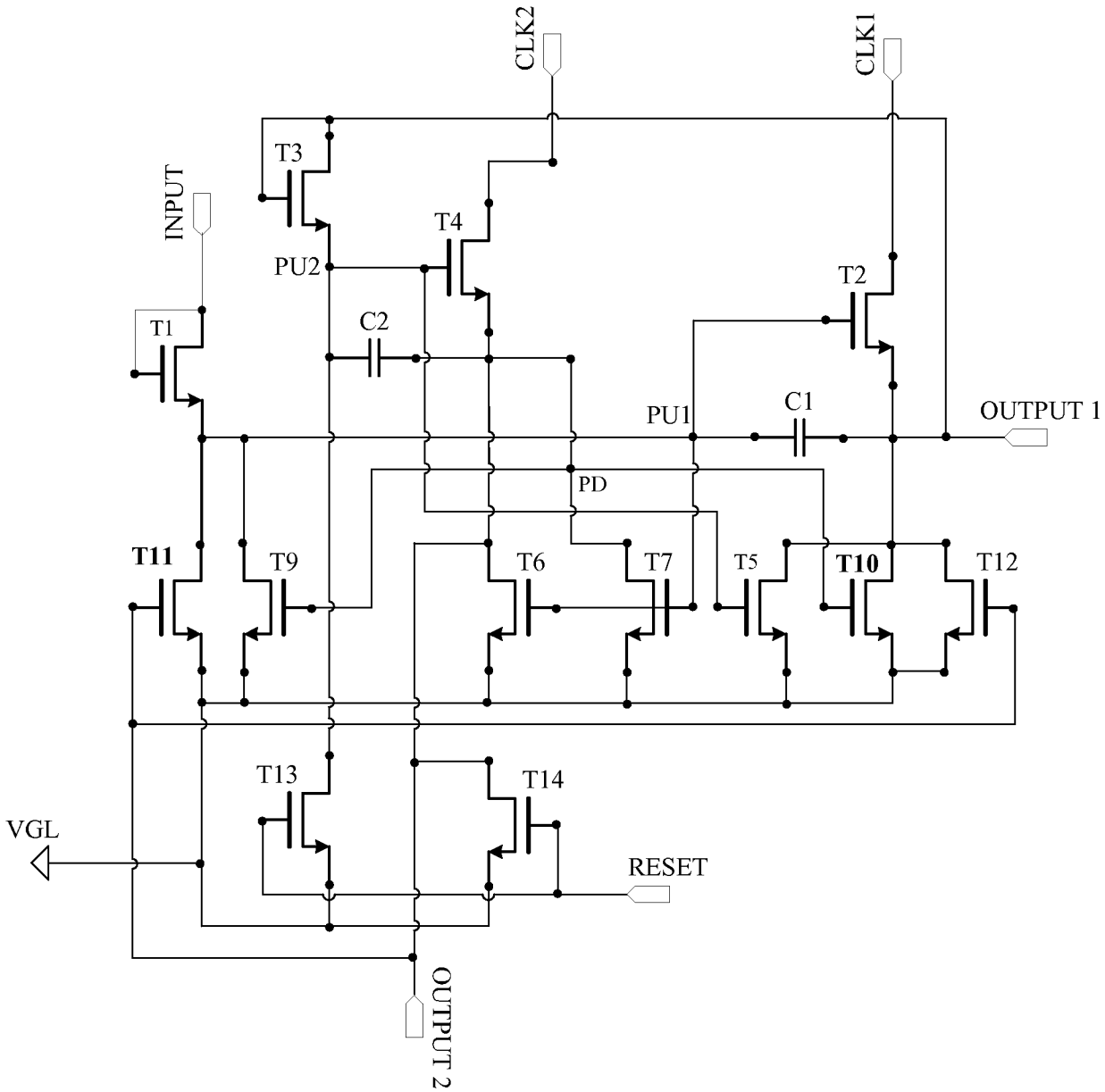

CLK2
CLK1
INPUT
T3
T4
PU2
T2
T1
C2
PU1
C1
OUTPUT 1
PD
T11
T9
T6
T7
T5
T10
T12
T13
T14
VGL
RESET
OUTPUT 2

图 6

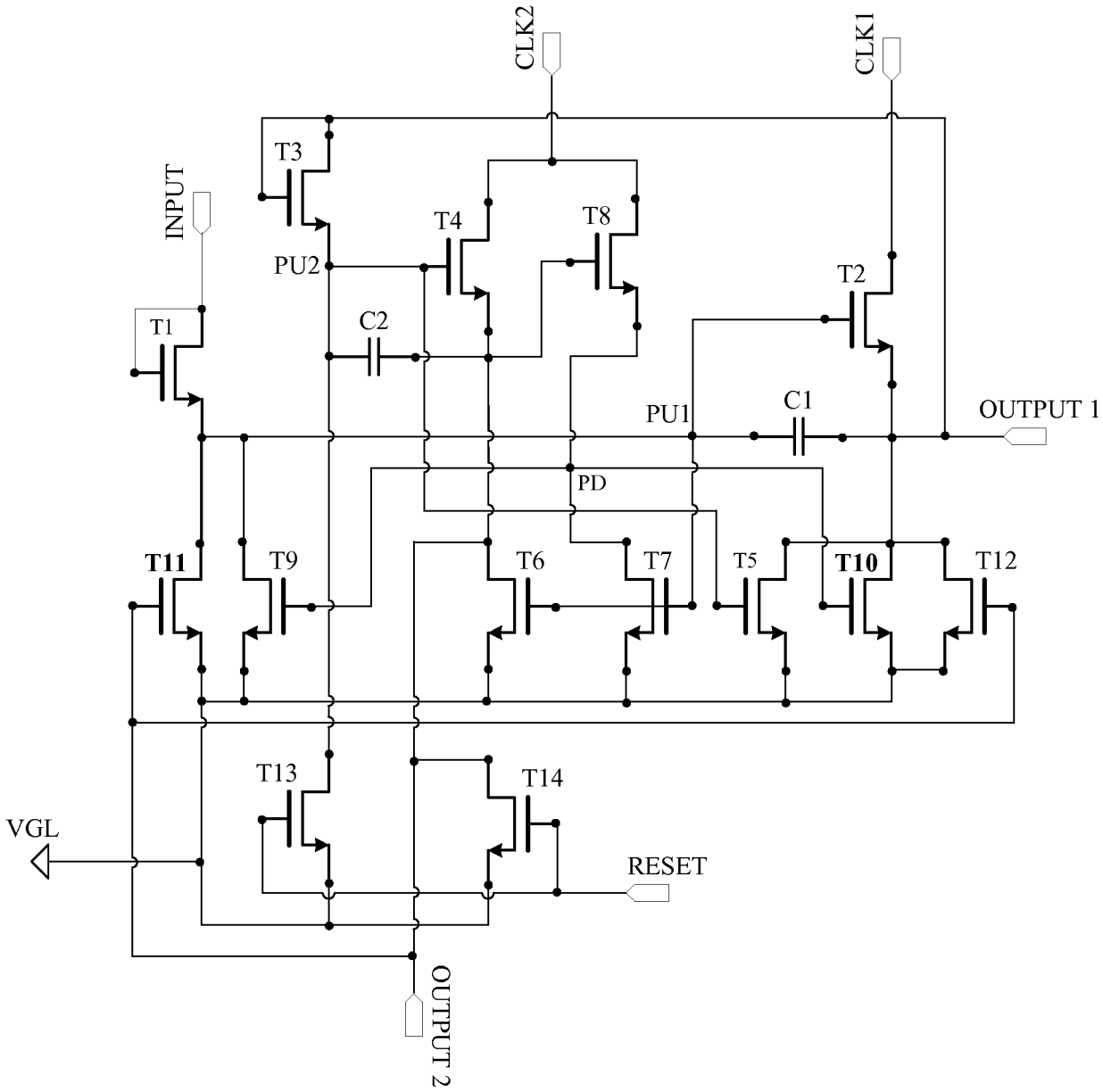

CLK2
CLK1
T3
INPUT
T4
T8
PU2
T2
T1
C2
PU1
C1
OUTPUT 1
PD
T11
T9
T6
T7
T5
T10
T12
T13
T14
VGL
RESET
OUTPUT 2

图 7

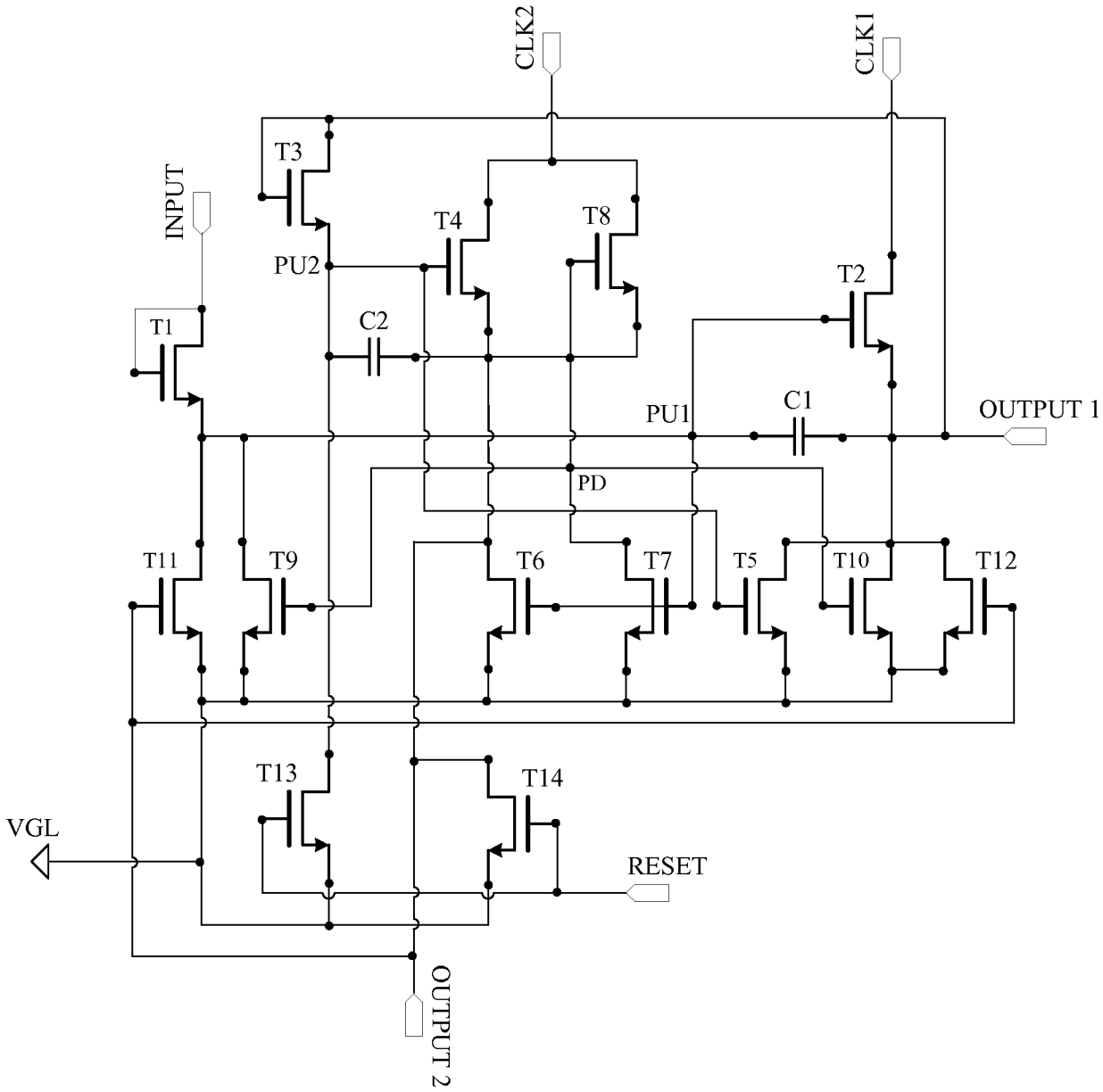

CLK2
CLK1
T3
INPUT
T4
T8
PU2
T2
T1
C2
C1
PU1
OUTPUT 1
PD
T11
T9
T6
T7
T5
T10
T12
T13
T14
VGL
RESET
OUTPUT 2

图 8

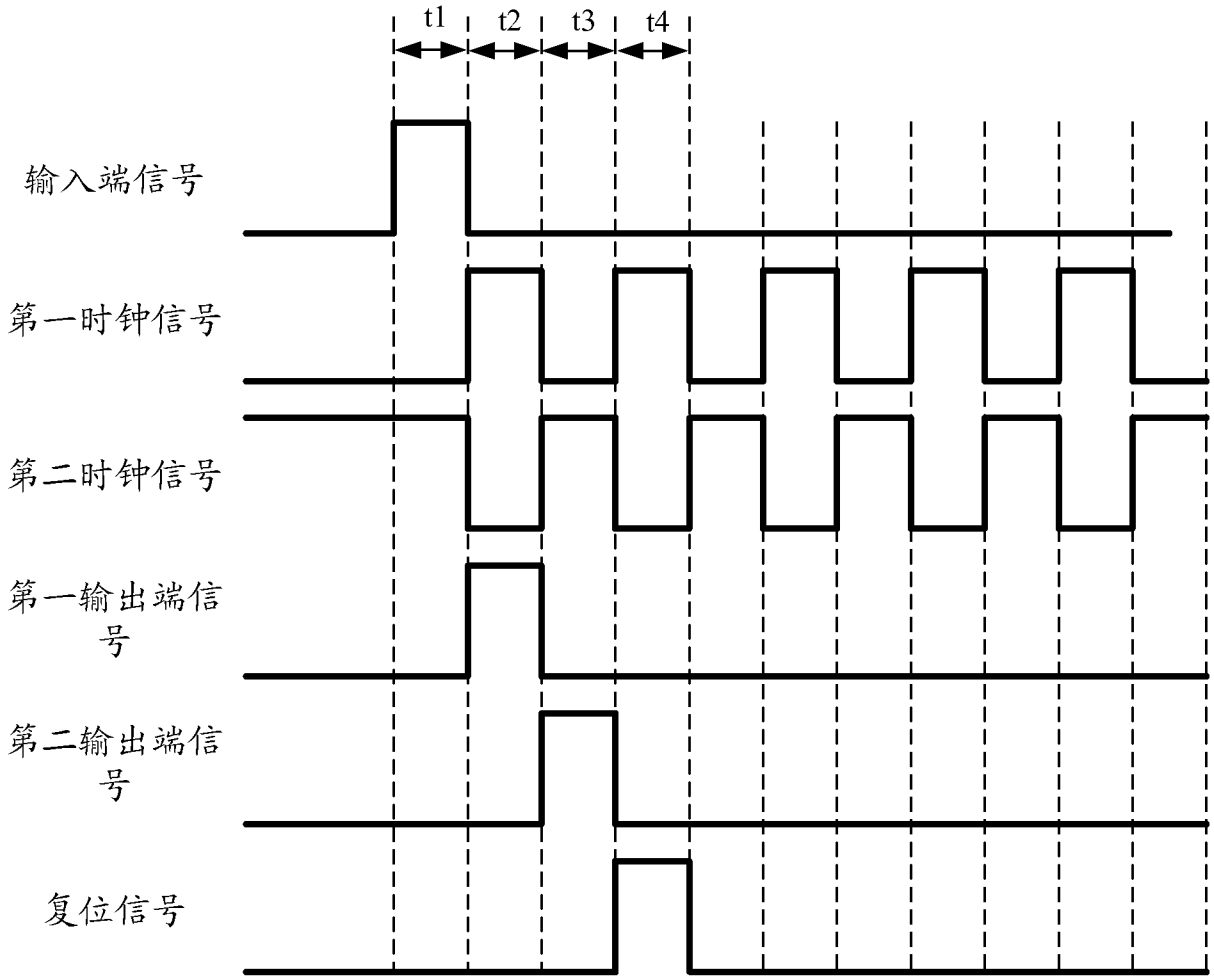


图 9

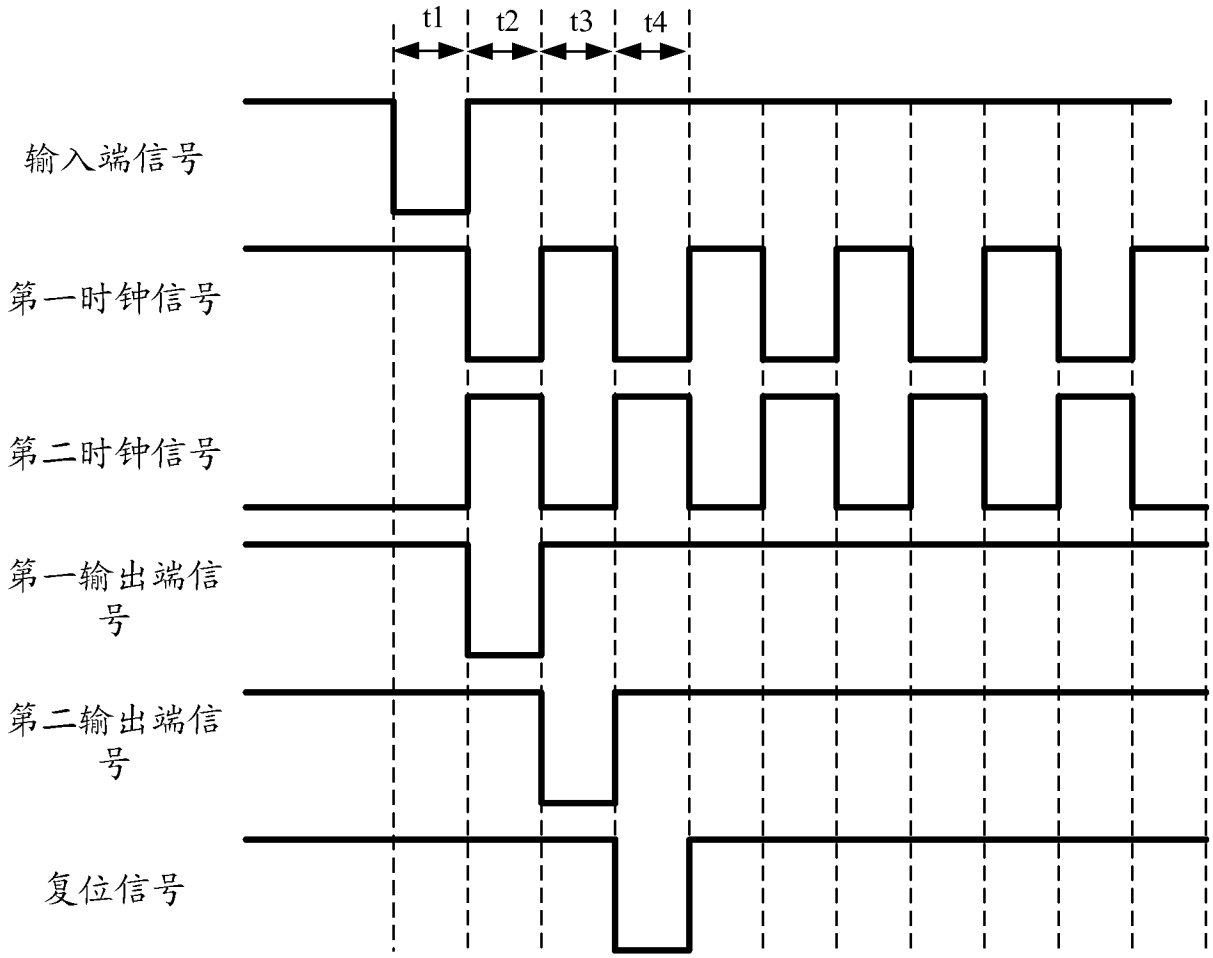


图 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/089640

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G11C; G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CNKI, VEN, USTXT, EPTXT, WOTXT, GBTXT, CATXT: move to, buffer, gate drive, gate line drive, scan drive, display driver, liquid crystal driver, LCD driver, pull up, promote, push up, pull down, grid line, first, second, shift, register, gate, line, driv+, scan, display, pull, up, down two, dual, double, multi+, plur+, output, reset, narrow, border, frame

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 103345941 A (BOE TECHNOLOGY GROUP CO., LTD.), 09 October 2013 (09.10.2013), claims 1-18	1-18
PX	CN 203325406 U (BOE TECHNOLOGY GROUP CO., LTD.), 04 December 2013 (04.12.2013), claims 1-17	1-15, 17-18
X	CN 103035298 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 10 April 2013 (10.04.2013), description, paragraphs 1, 28-32, 36, 39, 60-65, 72, 91, 94-96 and 101-106, and figures 2 and 4-7	1, 4-7, 9, 17-18
A	CN 1941063 A (SAMSUNG ELECTRONICS CO., LTD.), 04 April 2007 (04.04.2007), the whole document	1-18
A	CN 1707589 A (SAMSUNG ELECTRONICS CO., LTD.), 14 December 2005 (14.12.2005), the whole document	1-18

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 March 2014 (20.03.2014)	**03 April 2014 (03.04.2014)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **CHEN, Xueyuan** Telephone No.: (86-10) **62411980**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/089640

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103345941 A	09.10.2013	None	
CN 203325406 U	04.12.2013	None	
CN 103035298 A	10.04.2013	None	
CN 1941063 A	04.04.2007	CN 1941063 B	17.08.2011
		JP 2007094415 A	12.04.2007
		JP 5110680 B2	26.12.2012
		KR 110060836 B1	29.06.2012
		KR 20070035223 A	30.03.2007
		TW 200717412 A	01.05.2007
		US 2007146289 A1	28.06.2007
		US 7911436 B2	22.03.2011
CN 1707589 A	14.12.2005	JP 2005352491 A	22.12.2005
		KR 20050117303 A	14.12.2005
		TW 200605015 A	01.02.2006
		US 2005275614 A1	15.12.2005

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/089640

A. CLASSIFICATION OF SUBJECT MATTER

G11C 19/28 (2006.01) i

G09G 3/20 (2006.01) i

国际检索报告

国际申请号
PCT/CN2013/089640

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G11C; G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNABS,CNTXT,CNKI,VEN,USTXT,EPTXT,WOTXT,GBTXT,CATXT 移位,位移,移向,寄存器,暂存器,缓存器,缓冲器,栅极驱动,栅驱动,闸极驱动,栅极线驱动,栅线驱动,扫描驱动,显示驱动,选通驱动,液晶驱动,LCD 驱动,上拉,提升,上推,下拉,拉低,拉降,复位,重置,双,两,多,输出,驱动,栅线,窄,边框,第一,第二,shift, register, gate, line, driv+, scan, display, pull, up, down, two, dual, double, multi+, plur+, output, reset, narrow, border, frame

C. 相关文件

类　型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 103345941 A (京东方科技集团股份有限公司) 09.10 月 2013 (09.10.2013) 权利要求 1-18	1-18
PX	CN 203325406 U (京东方科技集团股份有限公司) 04.12 月 2013 (04.12.2013) 权利要求 1-17	1-15,17-18
X	CN 103035298 A (京东方科技集团股份有限公司 等) 10.4 月 2013 (10.04.2013) 说明书第 1、28-32、36、39、60-65、72,91、94-96、101-106 段，图 2、4-7	1,4-7,9,17-18
A	CN 1941063 A (三星电子株式会社) 04.4 月 2007 (04.04.2007) 全文	1-18
A	CN 1707589 A (三星电子株式会社) 14.12 月 2005 (14.12.2005) 全文	1-18

☐ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
20.3 月 2014 (20.03.2014)	**03.4 月 2014 (03.04.2014)**
ISA/CN 的名称和邮寄地址： 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号：　(86-10)62019451	受权官员 陈学元 电话号码：(86-10) **62411980**

国际检索报告

关于同族专利的信息

国际申请号
PCT/CN2013/089640

检索报告中引用的专利文件	公布日期	同族专利	公布日期
CN 103345941 A	09.10.2013	无	
CN 203325406 U	04.12.2013	无	
CN 103035298 A	10.04.2013	无	
CN 1941063 A	04.04.2007	CN 1941063 B	17.08.2011
		JP 2007094415 A	12.04.2007
		JP 5110680 B2	26.12.2012
		KR 110060836 B1	29.06.2012
		KR 20070035223 A	30.03.2007
		TW 200717412 A	01.05.2007
		US 2007146289 A1	28.06.2007
		US 7911436 B2	22.03.2011
CN 1707589 A	14.12.2005	JP 2005352491 A	22.12.2005
		KR 20050117303 A	14.12.2005
		TW 200605015 A	01.02.2006
		US 2005275614 A1	15.12.2005

A. 主题的分类

G11C 19/28 (2006.01) i

G09G 3/20 (2006.01) i