



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월12일  
(11) 등록번호 10-0813405  
(24) 등록일자 2008년03월06일

(51) Int. Cl.

H05K 1/18 (2006.01)

(21) 출원번호 10-2006-0059144  
(22) 출원일자 2006년06월29일  
심사청구일자 2006년06월29일  
(65) 공개번호 10-2007-0003617  
(43) 공개일자 2007년01월05일  
(30) 우선권주장

JP-P-2005-00191310 2005년06월30일 일본(JP)

(56) 선행기술조사문현  
US06414246 B1  
US06069323 A  
US05842275 A1

전체 청구항 수 : 총 2 항

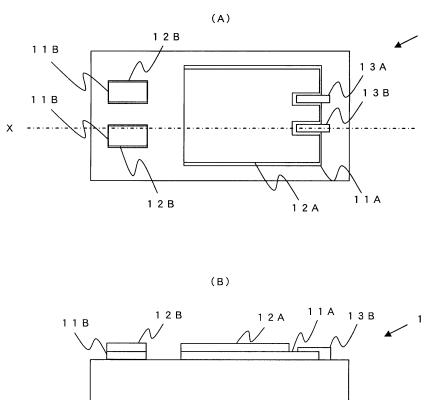
심사관 : 김종희

(54) 회로 기판

### (57) 요 약

본 발명은 패드 전극과 랜드 사이에 발생한 기포를 제거할 수 있는 회로 기판을 제공하기 위한 것으로서, 상기 목적을 달성하기 위한 해결 수단에 있어서, 회로 기판상의 랜드(11A)의 어느 일단에 레지스트(13A), 및 레지스트(13B)를 마련한다. 랜드(11A)상에 솔더 페이스트(12A)를 인쇄하고, 이 위에 전자부품(MOSFET 등)을 올려놓고 가열한다. 솔더 페이스트(12A)가 용융하면, 전자부품의 전극이 회로 기판상의 레지스트(13A), 및 레지스트(13B)에 접한다. 랜드(11A)와 전자부품의 전극 사이에는, 레지스트(13A), 및 레지스트(13B)에 의한 간극이 발생한다. 용융한 솔더 페이스트(12A)는 레지스트(13), 및 레지스트(13B)에 젖지 않기 때문에, 솔더에 발생하는 기포는 이 간극을 통하여 랜드(11A)의 단부로 빠져나간다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

직육면체 형상으로 수지(24)로 밀봉된 전자부품(2)으로 이루어진 밀봉체를 솔더링 실장하는 회로 기판(1)에 있어서,

상기 전자부품(2)은,

상기 밀봉체의 저면에 형성되고, 상기 밀봉체의 한쪽의 단부의 하면측에 상기 수지가 관통하는 앵커 구멍(25)을 갖는 평면 형상의 패드 전극(22)과,

상기 밀봉체의 다른쪽의 단부의 측면으로부터 인출되고, 선단이 상기 패드 전극(22)의 전극면보다도 하방에 위치하는 리드 단자(23)를 구비하고,

상기 회로 기판(1)은,

상기 패드 전극(22)이 실장되는 랜드의, 상기 앵커 구멍(25)에 대향하는 부분과, 상기 패드 전극이 실장되지 않은 부분을 연결하는 솔더 젖음성이 없는 개소(13)를 형성하고,

상기 개소(13)는 상기 패드 전극(22)을 실장하는 상기 랜드(11A)가 형성되는 표면으로부터 돌출하고, 상기 패드 전극(22)이 상기 랜드(11A)에 실장되는 경우에 상기 개소(13)가 상기 랜드(11A)와 상기 패드 전극(22) 사이에서 갭을 형성하도록 채택된 상기 랜드(11A)의 표면으로부터 연장되는 것을 특징을 하는 회로 기판.

### 청구항 2

제 1항에 있어서,

상기 솔더 젖음성이 없는 개소(13)는 솔더 레지스트에 의해 형성한 것을 특징으로 하는 회로 기판.

### 청구항 3

삭제

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

<21>

#### 기술분야

<22>

본 발명은, 전자부품이 접속되는 회로 기판에 관한 것으로서, 특히 전극 사이의 접속성을 향상한 회로 기판에 관한 것이다.

<23>

#### 종래기술

<24>

일반적으로 전자부품은, 회로 기판 표면에 형성된 전극과 솔더링함에 의해 실장된다.

<25>

도 6에 전자부품의 한 예인 MOSFET를 도시한다. 이 MOSFET는 회로 기판에 실장하여 대전류(예를 들면 100A)를 흐르는 PowerMOSFET이고, 실장한 회로 기판을 통하여 방열(放熱)하는 것이다. 동 도(A)는 MOSFET를 위면에서 본 평면도, 동 도(B)는 동 도(A)에 도시한 X-X면의 단면도, 동 도(C)는 하면에서 본 평면도, 동 도(D)는 동 도(C)에 도시한 X-X면의 단면도를 도시하고 있다. 동 도(A), (B), (C), 및 (D)에 도시한 바와 같이, 이 MOSFET(2)는, 반도체 칩(21)과, 반도체 칩(21)의 저면에 접합된 평판 형상의 드레인 패드 전극(22), 반도체 칩(21)에 알루미늄선 등의 금속선을 통하여 전기적으로 접속된 리드 단자(23), 및 MOSFET(2)를 거의 직육면체 형상으로 몰드하는 수지(24)로 구성된다.

<26>

드레인 패드 전극은, 거의 직육면체 형상의 수지(24) 한쪽의 측면에서 외측으로 돌출하고 있다. 이 돌출한 부분을 장출부(張出部)(22A)라고 한다. 또한, 드레인 패드 전극(22)은, 이 장출부(22A)측의 수지(24)의 단부(端部)

에 수지(24)가 관통하는 앵커 구멍(25)을 복수(동 도면에서는 2개) 갖고 있다. 수지(24)는, 드레인 패드 전극(22)의 앵커 구멍(25)에 관입(貫入)하여, 드레인 패드 전극(22)의 전극면에 노출하고 있다.

<27> 리드 단자(23)는, 수지(24)의 측면으로부터 복수 인출되고, 리드 단자(23)의 선단의 하면부는, 드레인 패드 전극(22)의 전극면보다도 높이( $\sigma$ )만큼 하방에 위치하고 있다. 리드 단자(23)의 어느 한쪽이 소스 전극이 되고, 어느 한쪽이 게이트 전극이 된다.

<28> 이 드레인 패드 전극(22), 및 리드 단자(23)를 회로 기판에 솔더링 실장한다. 도 7에 MOSFET와 회로 기판의 실시예를 도시한다. 회로 기판 윗면에는, 구리 등의 전극(랜드)이 형성되고, 회로 기판 실장 공정중에서 이 전극상에 솔더가 인쇄된다. 예를 들면 동 도(A)에 도시한 바와 같이, 회로 기판(3)의 윗면에서 보아 거의 직사각형상의 랜드(31A)와 랜드(31B)가 형성된다. 랜드(31A)는 드레인 패드 전극(22)이 접하도록, 랜드(31B)는 리드 단자(23)의 단면(端面)이 각각 접하도록 형성된다. 랜드(31B)는, 2개의 리드 단자(23)가 대향하는 위치에 형성된다. 랜드(31A)와 랜드(31B)의 윗면에는 솔더 페이스트(32A)와 솔더 페이스트(32B)가 인쇄된다. 이 솔더 페이스트(32A)와 솔더 페이스트(32B)의 위에 MOSFET(2)를 탑재한다.

<29> 동 도(B)는 솔더 페이스트(32A)와 솔더 페이스트(32B)의 위에 MOSFET(2)를 올려 놓은 상태이다. 동 도면에 도시한 바와 같이, 리드 단자(23)의 선단은, MOSFET(2)의 하면보다도  $\sigma$ 만큼 하방에 위치하고 있기 때문에, 리드 단자(23)로부터 드레인 패드 전극(22)의 장출부(22A)측으로 기울어지게 된다. 리드 단자(23)의 선단의 전극면과 드레인 패드 전극(22)의 전극면은, 동일 평면인 것이 이상적이지만, 현실적으로는 MOSFET(2)의 제조 오차에 의해 확실에 동일하게 할 수 없다. 여기서 도 8에 도시한 바와 같이, 리드 단자(23)의 선단의 전극면이 드레인 패드 전극(22)의 전극면보다도 상방에 있으면, 리드 단자(23)가 솔더 페이스트(32B)에 접촉하지 않아 솔더링할 수 없는 상태가 된다. 따라서 리드 단자(23)의 단부는, 제조 오차를 고려하여 드레인 패드 전극(22)의 전극면보다도 하방에 위치하도록 제조되고, 이와 같은 MOSFET(2)를 회로 기판에 올려 놓으면 리드 단자(23)로부터 드레인 패드 전극(22)의 장출부(22A)측으로 기울어지게 된다. 이 상태에서 회로 기판을 가열하면 동 도(C)에 도시한 바와 같이, 솔더 페이스트(32A)와 솔더 페이스트(32B)가 용융하여, 드레인 패드 전극(22)이 랜드(31A)에, 리드 단자(23)가 랜드(31B)에 솔더링되고, 리드 단자(23)로부터 드레인 패드 전극(22)의 장출부(22A)측으로 기울어진 상태로 실장된다.

<30> 이상과 같이, 전자부품이 솔더에 의해 회로 기판에 실장되게 되는데, 솔더링에 의하는 실장을 행하는 경우, 이하와 같은 문제점이 있다.

<31> 즉, 구리 표면에 도포한 산화 방지용의 플러스의 가스나, 용융중에 솔더에 받아들여진 공기(기포)나, 솔더 페이스트 중에 포함되는 플러스의 가스가 랜드와 패드 전극의 사이에 끼워지고, 이 상태로 솔더가 고화되면 랜드와 패드 전극의 앵커 구멍에 노출한 수지와의 사이에 큰 공간(보이드)이 생긴다. 이와 같은 보이드가 발생하면, 랜드와 패드 전극의 접속 강도 저하나, 열전도성의 저하를 초래한다.

<32> 그래서, 기포의 발생을 막기 위해, 접지 패턴에 관통 구멍을 마련하고, 공기를 빼져나가게 하는 회로 기판이 제안되어 있다(예를 들면 특허 문헌 1 참조). 또한, 칩(몰드체)을 임시 고정하기 위한 접착 테이프에 발생하는 기포를 빼져나가게 하기 위해, 접착 테이프를 붙이는 개소에 흄부를 마련하는 칩 실장용 기판이 제안되어 있다(예를 들면 특허 문헌 2 참조).

<33> 특허 문헌 1 : 특개평11-31876호 공보

<34> 특허 문헌 2 : 특개평5-75230호 공보

### 발명이 이루고자 하는 기술적 과제

<35> 도 6에 도시한 MOSFET(2)에서, 수지(24)가 앵커 구멍으로부터 드레인 패드 전극(22)의 전극면에 노출하고 있다. 이 수지(24)의 부분에 대해서는 솔더가 젓지 않기 때문에 기포가 집중하는 경향이 있다. 여기서, MOSFET(2)는 리드 단자(23)로부터 드레인 패드 전극(22)의 장출부(22A)측으로 기울어져 있기 때문에, 드레인 패드 전극(22)의 단부는 랜드(31A)와의 간극이 좁게 되어, 이 부분에 솔더가 응집하여 우선 고화되게 된다. 이 경우, 랜드(31A)와 드레인 패드 전극(22)의 단부가 응집된 솔더에 의해 뚜껑이 되어, 수지(24)의 부분에 집중한 기포의 빠져나갈 곳이 없어진다는 문제가 있다.

<36> 본 발명은, 솔더에 발생한 기포를 제거할 수 있는 회로 기판을 제공하는 것을 목적으로 한다.

<37> 청구항 제 1항에 기재된 발명은, 거의 직육면체 형상으로 수지로 밀봉된 전자부품을 솔더링 실장하는 회로 기판

으로서, 상기 전자부품은, 상기 밀봉체의 저면(底面)에 형성되고, 밀봉체의 한쪽의 단부(端部)의 하면측에 상기 수지가 관통하는 앵커 구멍을 갖는 평면 형상의 패드 전극과, 상기 밀봉체의 다른쪽의 단부의 측면으로부터 인출되고, 선단이 상기 패드 전극의 전극면보다도 하방에 위치하는 리드 단자를 구비하고, 상기 회로 기판은, 상기 패드 전극이 실장되는 랜드의, 상기 앵커 구멍에 대향하는 부분과, 상기 패드 전극이 실장되지 않은 부분을 연결하는 솔더 젓음성이 없는 개소를 형성한 것을 특징으로 한다.

<38> 본 발명에서는, 회로 기판의 랜드의 단부에 솔더 젓음성이 없는 개소를 형성하고 있다. 또한, 전자부품(예를 들면 MOSFET)의 패드 전극면에는 MOSFET를 직육면체 형상으로 몰드하는 절연체의 단부에 앵커 구멍이 형성되고, 이 앵커 구멍에 절연체가 관입하여 패드 전극면의 하방에 노출하고 있다. 이 MOSFET를 솔더링하는 경우, 솔더 젓음성이 없는 개소와 패드 전극면에 노출한 절연체가 대향한다. 회로 기판의 랜드와 MOSFET의 패드 전극 사이의 솔더가 용융한 경우, MOSFET는 이 솔더 젓음성이 없는 개소 위에 올려놓고, 솔더 젓음성이 없는 개소와 패드 전극면으로부터 하방으로 달아낸 절연체가 접하게 된다. 따라서 MOSFET의 패드 전극과 회로 기판의 랜드 사이에 간극이 발생하고, 패드 전극 하방으로 달아낸 절연체 부분에 집중하는 기포는 솔더 젓음성이 없는 개소를 경유하여 랜드와 패드 전극과의 사이로부터 빠져나간다.

<39> 청구항 제 2항에 기재된 발명은, 상기 솔더 젓음성이 없는 개소는, 솔더 레지스트에 의해 형성한 것을 특징으로 한다.

<40> 본 발명에서는, 솔더 젓음성이 없는 개소를, 솔더 레지스트에 의해 형성한다. 회로 기판의 제조 공정에서, 솔더 레지스트를 도포할 때에, 랜드의 단부에 솔더 레지스트가 도포되도록 하면 좋다.

<41> 청구항 제 3항에 기재된 발명은, 상기 솔더 젓음성이 없는 개소는, 상기 랜드의 단부를 노치함으로써 형성한 것을 특징으로 한다.

<42> 본 발명에서는, 솔더 젓음성이 없는 개소를, 회로 기판의 랜드의 단부를 노치함에 의해 형성한다. 회로 기판의 랜드와 MOSFET의 패드 전극 사이의 솔더가 용융한 경우, MOSFET는 이 노치가 형성된 부분의 위에 놓여, MOSFET의 패드 전극과 회로 기판의 랜드 사이에 간극이 발생한다. 따라서 솔더에 발생한 기포는 이 노치를 통과하여 전극 사이로부터 빠져나간다.

<43> 본 발명에 의하면, 패드 전극면과 랜드 사이의 솔더에 발생한 기포를 제거할 수 있다.

### 발명의 구성 및 작용

<44> 이하, 본 발명의 실시 형태에 관한 회로 기판에 관해 상세히 설명한다.

<45> 도 1은 본 발명의 실시 형태에 관한 회로 기판중, 도 6에 도시한 MOSFET(2)를 실장하는 부분을 도시한 도면이다. 동 도(A)는 회로 기판을 윗면에서 본 평면도이고, 동 도(B)는, (A)에 도시한 X-X면의 단면도이다. 동 도면에 도시한 바와 같이, 이 회로 기판(1)은, 랜드(11A), 랜드(11B), 레지스트(13A), 레지스트(13B)가 패터닝되어 있고, 랜드(11A), 및 랜드(11B)상에는 각각 솔더 페이스트(12A), 및 솔더 페이스트(12B)가 인쇄되어 있다.

<46> 랜드(11A)는, 회로 기판상에 거의 직육면체 형상으로 얇게 형성되고, 그 윗면이 도 6에 도시한 드레인 패드 전극(22)의 저면과 겹쳐지도록 패터닝되어 있다. 랜드(11B)는, 회로 기판상에 거의 직육면체 형상으로 복수 개소(동 도면에서는 2개소)에 얇게 형성되고, 도 6에 도시한 리드 단자(23)(소스 전극 및 게이트 전극)의 선단면이 겹쳐지도록, 랜드(11A)로부터 측방으로 리드 단자(23)의 길이 분만큼 떨어진 위치에 패터닝되어 있다. 그리고, 패터닝이란, 의도적으로 어떤 위치에, 어떤 형상으로 전극 등을 형성하는 것을 말한다.

<47> 레지스트(13A)와 레지스트(13B)는, 랜드(11B)와 반대측의 랜드(11A)의 단부에, 랜드(11A) 윗면부터 랜드(11A) 외측에 걸쳐 형성된 솔더 레지스트(이하, 단지 레지스트라고 말한다)이다. 이 레지스트(13A)와 레지스트(13B)는, 랜드(11A)의 외측에 접하도록, 회로 기판 윗면에서 보아 직사각형 형상으로, 단면 L자형으로 형성되어 있다. 레지스트(13A)와 레지스트(13B)는, 도 6에 도시한 MOSFET(2)의 드레인 패드 전극(22)의 2개의 앵커 구멍(25)의 폭과 같은 폭만큼 떨어진 위치에 형성되어 있다.

<48> 솔더 페이스트(12A)와 솔더 페이스트(12B)는, 각각 랜드(11A)와 랜드(11B)의 윗면을 덮도록 얇게 인쇄되어 있다.

<49> 이 회로 기판(1)은, 이른바 프린트 기판으로서, 본 실시 형태에서는 방열성이 좋은 금속판(예를 들면 알루미늄판)상에 절연판(예를 들면 에폭시 수지판)을 형성하고, 또한 그 윗면에 전극(예를 들면 구리)을 형성한 것이다. 또한, 재질은 이 예로 한하는 것은 아니다. 예를 들면 알루미늄판 대신에 유리섬유판을 이용하여도 좋다. 이 회

로 기판(1)의 제조 공정에 관해 설명한다.

- <50> 우선, 회로 기판 전면(全面)에 형성된 전극상에, 감광제(포지 감광 레지스트)를 형성한다. 이 감광제에 자외선을 패턴 노광을 하고, 그 후, 현상을 행하여 배선 패턴 상에만 감광제를 남기고, 다른 부분의 구리를 노출한다. 그 후, 에칭액에 의해 노출한 구리만을 용해한다. 구리를 용해한 후에, 감광제 제거액에 의해 잔류 감광제를 제거한다. 최후로, 구리 위에 산화 방지를 위한 플러스를 도포한다.
- <51> 이와 같이 하여 랜드가 패터닝되고, 상술한 것 같은 랜드(11A), 랜드(11B)가 형성된다. 또한, 회로 기판(1)중, 전자부품이 실장되는 패턴 부분을 제외하고 레지스트를 도포한다. 여기서, 본 실시 형태의 회로 기판(1)은, 도 1(A)에 도시한 바와 같이, 랜드(11A)의 단부의 윗면부터 외측에 걸쳐서 2개소에 레지스트가 도포되도록 한다.
- <52> 또한, 도 1에서는, MOSFET의 전극면의 면적과 회로 기판의 랜드의 면적이 같은 정도로 도시하고 있지만, 랜드는 MOSFET의 전극면의 면적보다 커도 좋고, 작아도 좋다.
- <53> 상기한 바와 같이 형성한 랜드(11A), 랜드(11B)상에 솔더 페이스트(12A), 솔더 페이스트(12B)를 인쇄한다. 도 1에서는, 랜드(11A)의 일단부터 레지스트(13A) 및 레지스트(13B)가 형성되어 있는 부분에 걸쳐서 솔더 페이스트(12A)를 인쇄한다. 또한, 랜드(11B)상의 전면(全面)에 솔더 페이스트(12B)를 인쇄한다.
- <54> 이 회로 기판(1)에 도 6에 도시한 바와 같은 MOSFET(2)를 솔더링 실장한다. 도 2에 회로 기판(1)과 MOSFET(2)의 솔더링 예를 도시한다. 동 도(A)는 솔더 페이스트(12A)와 솔더 페이스트(12B)의 위에 MOSFET(2)를 올려 놓은 상태이다. 동 도면에 도시한 바와 같이, 리드 단자(23)의 단부는, 드레인 패드 전극(22)의 전극면보다도 길이 (σ)만큼 하방으로 달아내어 있기 때문에, 리드 단자(23)로부터 드레인 패드 전극(22)측으로 기울어지게 된다. 이 상태로 회로 기판(1)과 MOSFET(2)를 리플로우로(爐)를 통과시켜 가열한다. 가열하면 동 도(B)에 도시한 바와 같이, 솔더 페이스트(12A)와 솔더 페이스트(12B)가 용융한다.
- <55> 솔더 페이스트(12A)와 솔더 페이스트(12B)가 용융하면, 동 도(B)에 도시한 바와 같이, MOSFET(2)는 하방으로 가라앉아서, 드레인 패드 전극(22)의 전극면의 일부가 레지스트(13A), 및 레지스트(13B)와 접한다. 레지스트(13A), 및 레지스트(13B)는 리플로우로에서 가열하여도 용융하지 않고, 또한, 솔더 페이스트가 젓는 일이 없다. 따라서 동 도(B)에 도시한 바와 같이, 회로 기판(1)의 랜드(11A)와 드레인 패드 전극(22)의 사이, 특히 레지스트(13A) 및 레지스트(13B)가 형성되어 있는 단부측에 간극이 생긴다.
- <56> PowerMOSFET는 대전류를 흐르게 하고, 동작중에 고온 발열하기 때문에, 방열성이 중요하게 된다. 종래의 회로 기판에서는, 도 7에 도시한 바와 같이, 드레인 패드 전극(22)과 랜드의 좁은 부분에 솔더가 응집되고, 드레인 패드 전극(22)의 단부가 응집된 솔더에 의해 뚜껑이 되어, 드레인 패드 전극(22)의 하면에 노출한 수지(24)의 부분에 집중하는 기포의 빠져나갈 곳이 없어진다는 문제가 있었다. 기포가 발생한 채 솔더가 고화되면, 그 부분에 솔더가 존재하지 않게 되기 때문에, 드레인 패드 전극(22)과 랜드와의 열전도성이 저하되고, MOSFET(2)의 방열성이 저하된다. 또한, 기계적 접속 강도도 저하된다.
- <57> 본 발명의 실시 형태에 관한 회로 기판(1)에서는, 드레인 패드 전극(22)의 전극면이 레지스트(13A), 및 레지스트(13B)와 접함으로써, 드레인 패드 전극(22)과 랜드(11A)와의 사이에 간극이 생기고, 용융한 솔더는 레지스트(13A) 및 레지스트(13B)에 젓지 않기 때문에, 솔더에 발생하는 기포가 이 간극을 통과하여 랜드(11A)의 단부로 빠져나가게 된다.
- <58> 또한, 도 2(C)는, 회로 기판(1)에 MOSFET(2)를 올려 놓은 상태를 윗면에서 본 도면이지만, 동 도(C)에 도시한 바와 같이, 드레인 패드 전극(22)의 전극면에 관통한 수지(24)의 2개의 부분이, 각각 레지스트(13A), 레지스트(13B)에 접하도록, 레지스트를 패터닝함으로써, 앵커 구멍(25)으로부터 노출한 수지(24)에 집중하기 쉬운 기포도 레지스트(13A) 및 레지스트(13B)에 의해 생기는 간극으로부터 빠져나가게 된다.
- <59> 이와 같이, 본 발명의 실시 형태에 관한 회로 기판에서는, 랜드상의 단부에 레지스트를 형성하고, 이 레지스트에 전자부품의 전극이 접함으로써, 랜드와 전극 사이에 간극이 생기고, 솔더에 발생하는 기포가 이 간극을 통과하여 랜드 단부로 빠져나가기 때문에, 기계적 강도가 향상하고, MOSFET의 방열성을 향상시킬 수 있다.
- <60> 또한, 상기한 바와 같은 레지스트(13A) 및 레지스트(13B)를 형성하는데는, 레지스트를 도포할 때의 마스크 패턴을 변경하는 것만으로 좋고, 공정수가 늘어나는 것이 아니기 때문에, 간이한 구성이면서 확실하게 솔더의 기포를 제거할 수 있다.
- <61> 또한, 본 발명의 회로 기판은, 이하와 같은 구성으로 실현할 수도 있다. 도 3은, 다른 실시 형태에 관한 회로 기판을 도시한 도면이다. 동 도(A)에 도시한 회로 기판은, 도 1에 도시한 회로 기판(1)의 레지스트(13A), 레지

스트(13B)에 대신하여, 레지스트(14)를 구비한 것이다. 또한, 도 1에 도시한 회로 기판(1)과 같은 구성부에 관해서는, 동일한 부호를 붙이고, 그 설명을 생략한다.

<62> 레지스트(14)는, 레지스트(13A), 레지스트(13B)와 마찬가지로, 랜드(11B)의 반대측의 랜드(11A)의 단부에 형성되어 있다. 레지스트(14)에 대해서도, 마스크 패턴에 의해 도포 형성된다. 레지스트(14)는, 윗면에서 보아 거의 직사각형 형상으로, 단면 L자형으로 형성되고, 레지스트(13A), 및 레지스트(13B)보다도 윗면에서 본 면적이 큰 것이다.

<63> 이 예에서도, 동 도(B)에 도시한 바와 같이, MOSFET(2)를 윗면에 올려놓고, 리플로우로에서 솔더 페이스트를 용융시키면, MOSFET(2)의 드레인 패드 전극(22)의 전극면이 레지스트(14)에 접한다. 따라서, 도 1에 도시한 회로 기판(1)과 마찬가지로, 드레인 패드 전극(22)의 전극면이 레지스트(14)와 접함으로써, 랜드(11A)와 드레인 패드 전극(22)과의 사이에 간극이 생기고, 용융한 용접은 레지스트(14)에 젖지 않기 때문에, 솔더에 발생하는 기포가 이 간극을 통과하여 랜드(11A)의 단부로 빠져나가게 된다.

<64> 이와 같이, 랜드상에 형성하는 레지스트의 형상은 어떠한 것이라도 좋다.

<65> 도 4는, 도 1에 도시한 레지스트(13A), 레지스트(13B)에 대신하여, 레지스트(15A) 및 레지스트(15B)를 구비한 것이다. 또한, 이 예에서도, 도 1에 도시한 회로 기판(1)과 같은 구성부에 대해서는, 동일한 부호를 붙이고, 그 설명을 생략한다.

<66> 레지스트(15A) 및 레지스트(15B)는, 랜드(11A)상의, 도 1에 도시한 레지스트(13A), 레지스트(13B)와는 달리, 랜드(11B)측과 그 반대측의 중간 위치에서의 랜드(11A)의 단부에 형성되어 있다. 레지스트(15A), 및 레지스트(15B)에 대해서도, 마스크 패턴에 의해 도포 형성된다. 레지스트(15A), 레지스트(15B)는, 랜드(11A)상으로부터 단부에 걸쳐서, 윗면에서 보아 거의 직사각형 형상이고, 단면 L자형으로 형성되어 있다.

<67> 이 예에서도, 동 도(B)에 도시한 바와 같이, MOSFET(2)를 윗면에 올려놓고, 리플로우로에서 솔더 페이스트를 용융시키면, MOSFET(2)의 드레인 패드 전극(22)이 레지스트(15A), 및 레지스트(15B)에 접한다. 따라서, 도 1에 도시한 회로 기판(1)과 마찬가지로, 드레인 패드 전극(22)이 레지스트(15A), 및 레지스트(15B)와 접함으로써, 랜드(11A)와 드레인 패드 전극(22) 사이에 간극이 생기고, 솔더에 발생하는 기포는 이 간극을 통과하여 전극 사이로부터 빠져나가게 된다.

<68> 이와 같이, 랜드상에 형성하는 레지스트의 위치는 랜드(11B)와 반대측의 단부로 한하는 것이 아니다.

<69> 도 5는, 또 다른 실시 형태에 관한 회로 기판을 도시한 도면이다. 또한, 이 예에서도, 도 1에 도시한 회로 기판(1)과 같은 구성부에 대해서는, 동일한 부호를 붙이고, 그 설명을 생략한다.

<70> 동 도(A)에 도시한 회로판은, 도 1에 도시한 회로 기판(1)의 랜드(11A)에 대신하여, 랜드(16)를 구비하고, 레지스트(13A), 및 레지스트(13B)를 줄인 것이다. 랜드(16)는, 동 도(A)에 도시한 바와 같이, 랜드(11B)의 반대측의 단부의 2개소가 거의 직사각형 형상으로 노치되어 있고, 동 도(B)에 도시한 바와 같이, 이 노치상에 드레인 패드 전극(22)의 전극면에 관통한 수지(24)의 2개의 부분이 덮이게 된다.

<71> 상술한 바와 같이, 회로 기판의 랜드는, 예칭에 의해 패터닝되기 때문에, 노광 패턴을 동 도(A)에 도시한 랜드(16)의 형상으로 하는 것만으로 좋고, 공정수가 늘어나는 것이 아니다.

<72> 이와 같이, 드레인 패드 전극(22)의 전극면에 관통한 수지(24)의 2개의 부분이 랜드 노치에 겹쳐지도록 랜드(16)를 구성하면, 동 도(C)에 도시한 바와 같이, 수지(24)의 하측에 통기로(通氣路)가 생긴다. 따라서, 수지(24)에 접중하기 쉬운 기포는 이 통기로를 통과하여 랜드의 단부로 빠져나가게 된다. 이와 같이, 랜드상에 레지스트를 형성하는 대신에, 랜드에 노치를 마련하도록 하여도 좋다.

<73> 또한, 본 발명의 회로 기판에 실장되는 전자부품은, 도 6에 도시한 MOSFET로 한하는 것이 아니다. 다른 일반적인 전자부품의 실장에서도 기포를 배제하는 효과를 기대할 수 있다. 또한, 전자부품과의 접속은 솔더를 이용하는 예로 한하지 않고, 도전성 접착제 등이라도 좋다. 도전성 접착제에서도 발생하는 기포를 배제할 수 있다.

### 발명의 효과

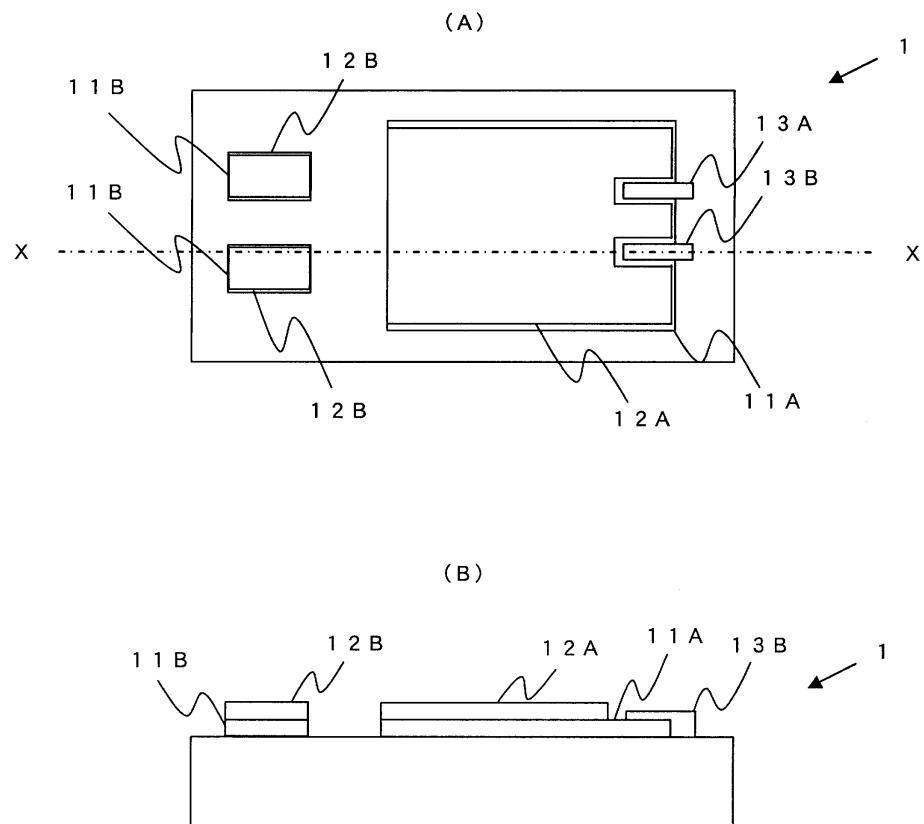
<74> 본 발명에 의하면, 패드 전극면과 랜드 사이의 솔더에 발생한 기포를 제거할 수 있다.

### 도면의 간단한 설명

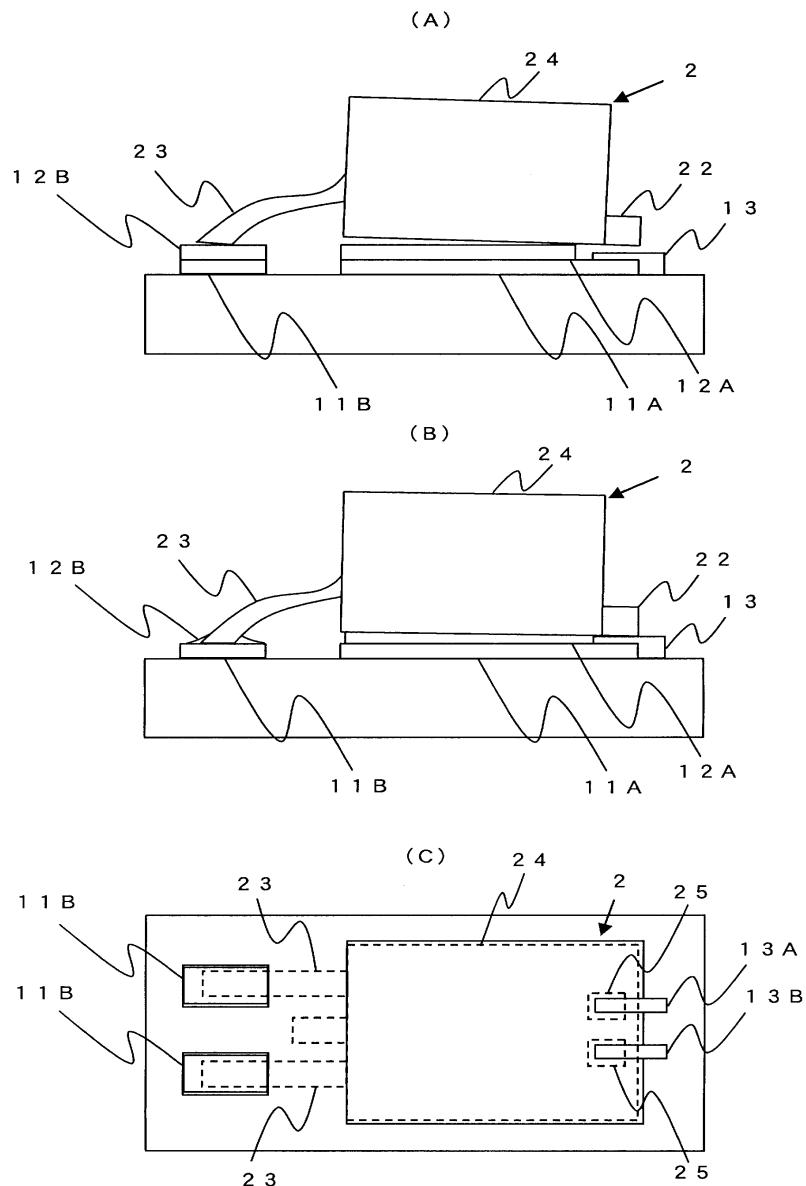
- <1> 도 1은 본 발명의 실시 형태에 관한 회로 기판을 도시한 도면.
- <2> 도 2는 본 발명의 실시 형태에 관한 회로 기판과 MOSFET의 예를 도시한 도면.
- <3> 도 3은 다른 실시 형태에 관한 회로 기판을 도시한 도면.
- <4> 도 4는 다른 실시 형태에 관한 회로 기판을 도시한 도면.
- <5> 도 5는 다른 실시 형태에 관한 회로 기판을 도시한 도면.
- <6> 도 6은 MOSFET를 도시한 도면.
- <7> 도 7은 종래의 회로 기판을 도시한 도면.
- <8> 도 8은 접속 불량의 상태를 도시한 도면.
- <9> (도면의 주요부분에 대한 부호의 설명)
- <10> 1 : 본 발명의 실시 형태에 관한 회로 기판
- <11> 2 : MOSFET
- <12> 3 : 종래의 회로 기판
- <13> 11 : 랜드
- <14> 12 : 솔더 페이스트
- <15> ]13 : 레지스트
- <16> 21 : 반도체 소자
- <17> 22 : 전극
- <18> 23 : 단자
- <19> 24 : 수지
- <20> 25 : 앵커 구멍

도면

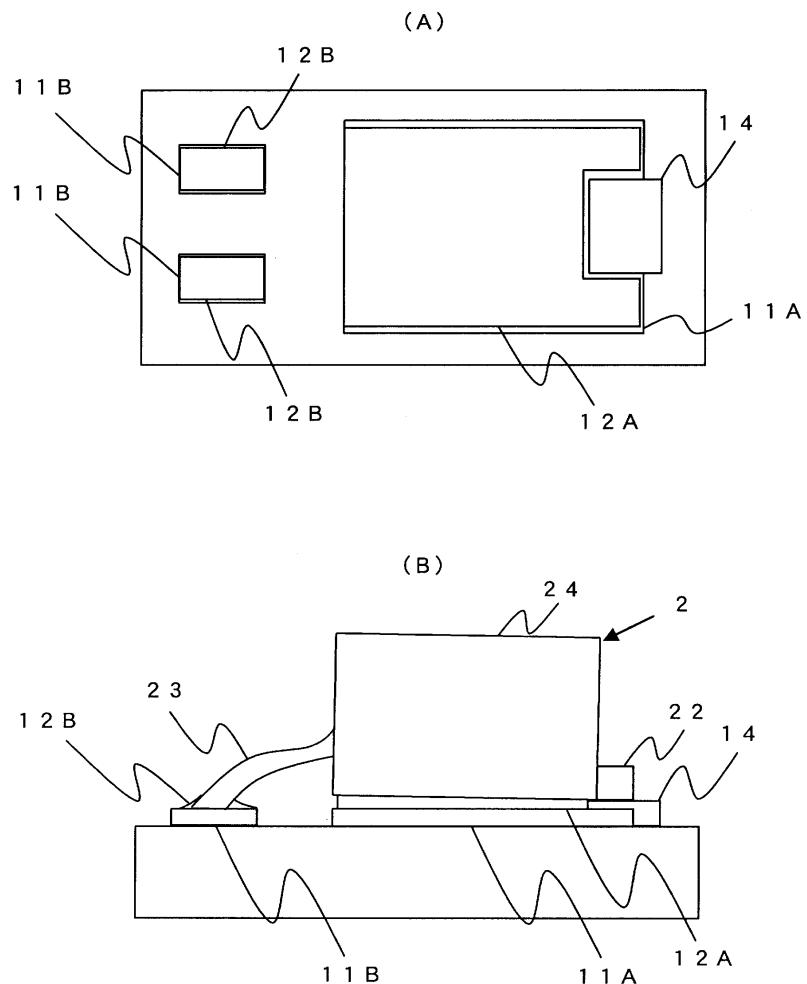
도면1



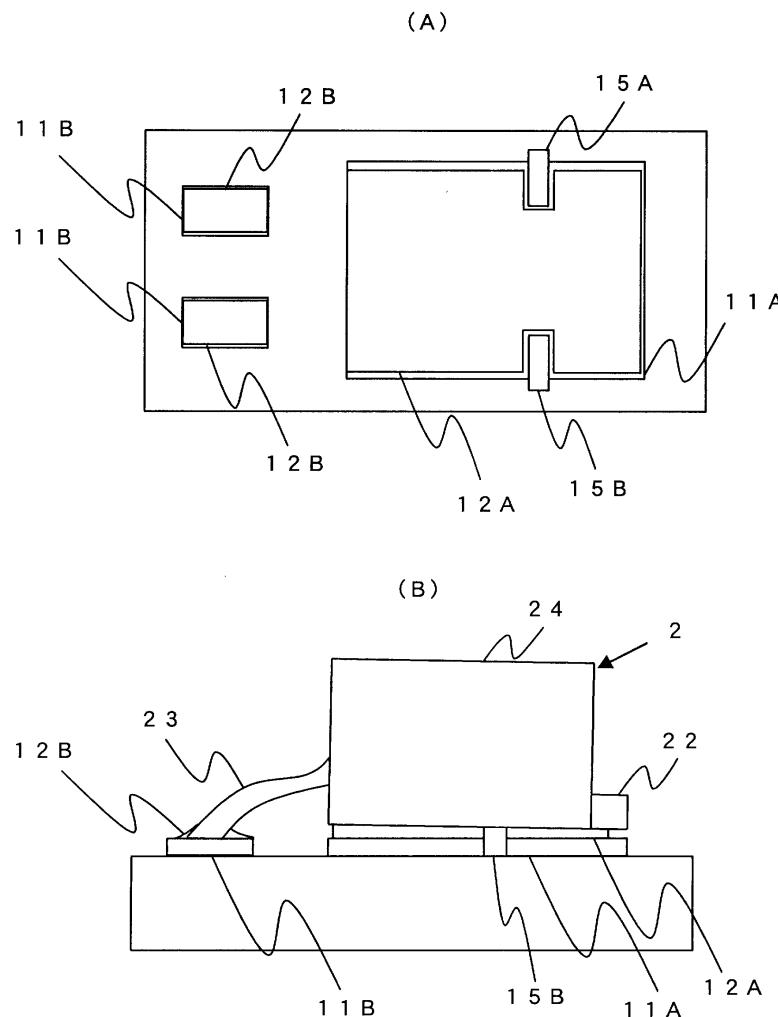
## 도면2



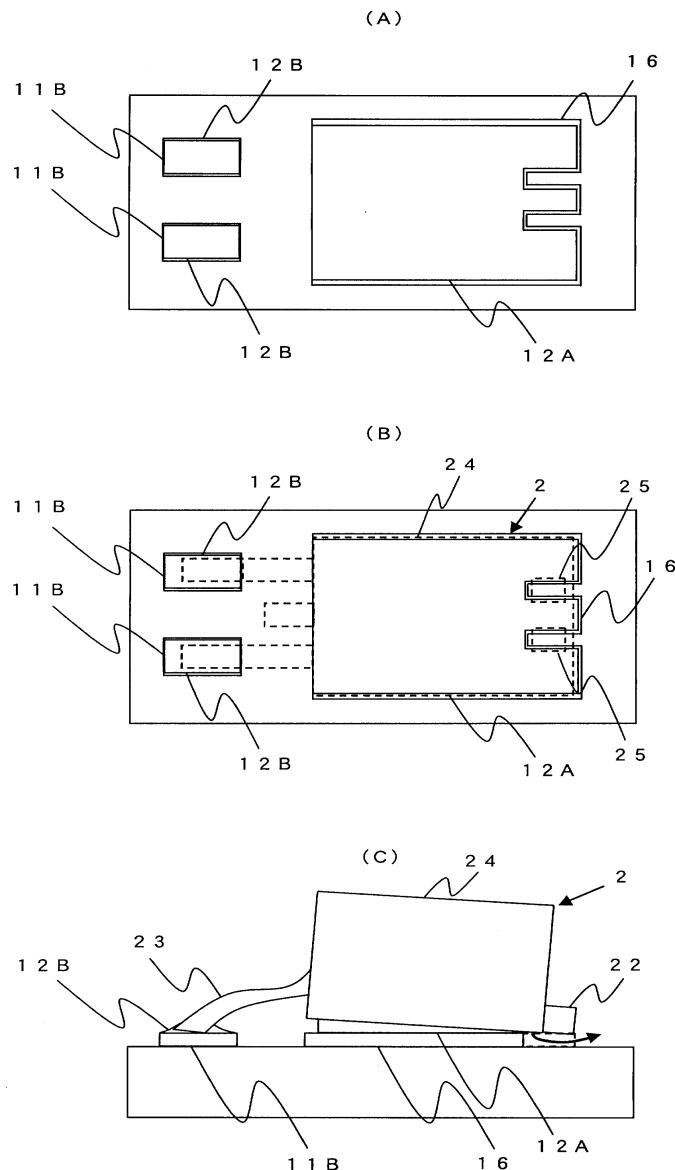
도면3



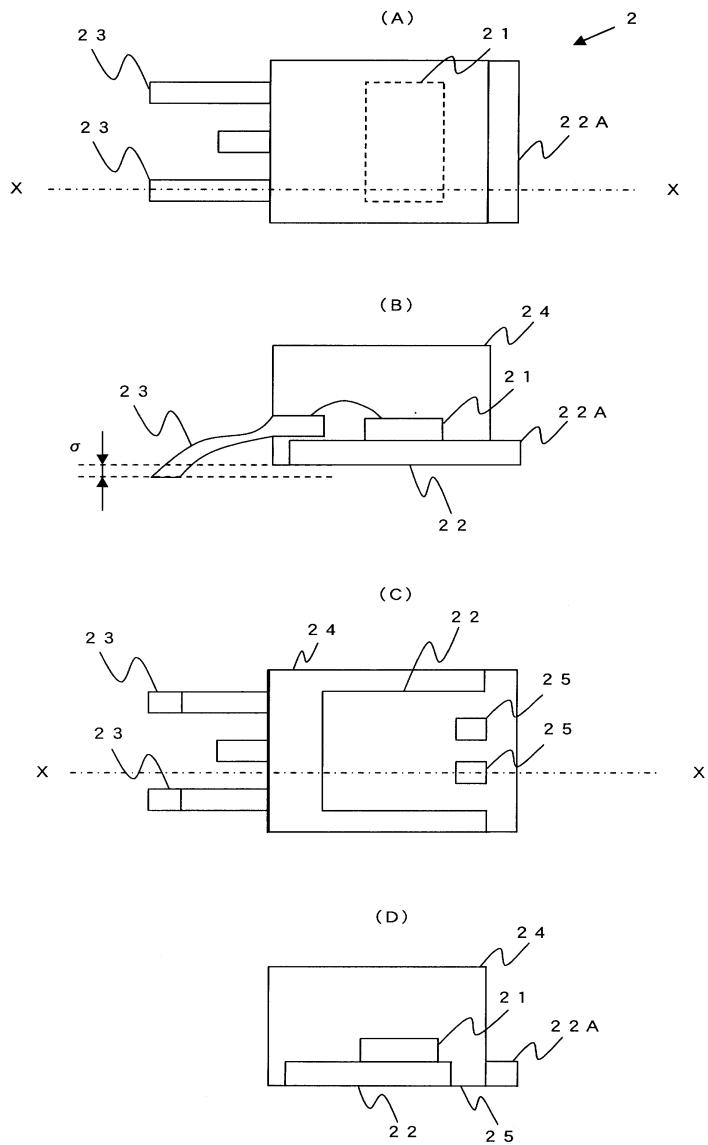
## 도면4



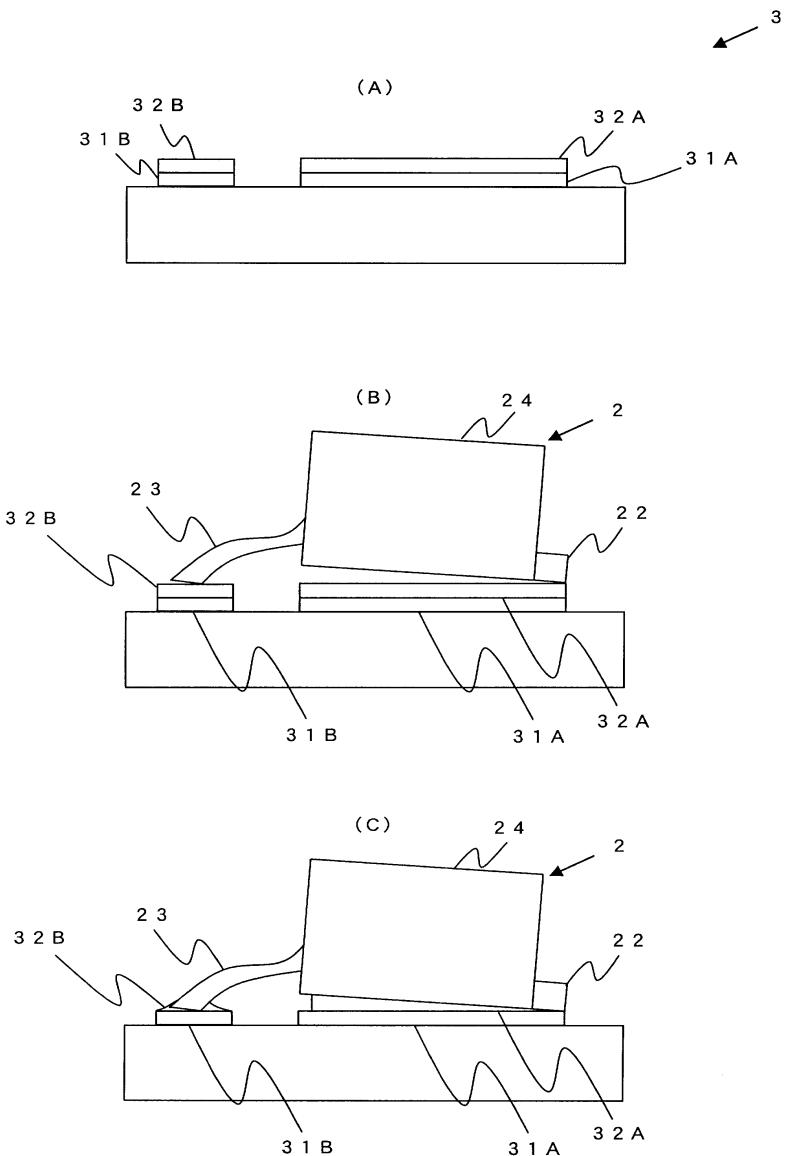
## 도면5



## 도면6



## 도면7



도면8

