

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2007-141971
(P2007-141971A)

(43) 公開日 平成19年6月7日(2007.6.7)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/82 (2006.01)	HO 1 L 21/82 B	5 F O 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 A	5 F O 6 4
HO 1 L 27/04 (2006.01)	HO 1 L 21/82 D	
	HO 1 L 21/82 C	

審査請求 未請求 請求項の数 12 O L (全 14 頁)

(21) 出願番号	特願2005-330757 (P2005-330757)	(71) 出願人	000005821
(22) 出願日	平成17年11月15日 (2005.11.15)		松下電器産業株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100077931
			弁理士 前田 弘
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100115691
			弁理士 藤田 篤史

最終頁に続く

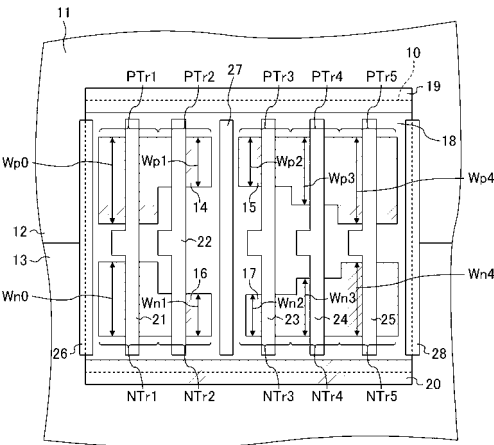
(54) 【発明の名称】 半導体集積回路の設計方法

(57) 【要約】

【課題】 精度の高いシミュレーションを行うことができる半導体集積回路の設計方法を提供することを目的とする。

【解決手段】 活性領域14～17およびゲート配線21～25が配置する標準セルにおいて、活性領域14、15、16、17におけるゲート幅方向の長さを、ゲート長方向の端部において最大にする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ゲート長方向にゲート幅の異なる M I S トランジスタが配置されている第 1 のセルを備えた半導体集積回路の設計方法であって、

前記第 1 のセルは、前記第 1 のセル内のゲート長方向において、少なくとも、前記第 1 のセルの一端側に配置された第 1 の活性領域と、前記第 1 のセルの他端側に配置された第 2 の活性領域と備え、

前記第 1 の活性領域及び前記第 2 の活性領域のゲート幅方向の長さを同じにし、且つ、前記第 1 のセル内においてゲート長方向に配置されている複数の活性領域のうち最大の長さとする特徴とする半導体集積回路の設計方法。

10

【請求項 2】

請求項 1 に記載の半導体集積回路の設計方法であって、

前記第 1 のセルは、前記第 1 の活性領域と前記第 2 の活性領域との間に配置された第 3 の活性領域をさらに備え、

前記第 3 の活性領域のゲート幅方向の長さを、前記第 1 の活性領域及び前記第 2 の活性領域のゲート幅方向の長さよりも小さくすることを特徴とする半導体集積回路の設計方法。

【請求項 3】

請求項 2 に記載の半導体集積回路の設計方法であって、

前記第 3 の活性領域を、前記第 1 の活性領域に隣接して配置させることを特徴とする半導体集積回路の設計方法。

20

【請求項 4】

請求項 3 に記載の半導体集積回路の設計方法であって、

前記第 2 の活性領域を、前記第 3 の活性領域と離間して配置させることを特徴とする半導体集積回路の設計方法。

【請求項 5】

請求項 3 に記載の半導体集積回路の設計方法であって、

前記第 2 の活性領域を、前記第 3 の活性領域に隣接して配置させることを特徴とする半導体集積回路の設計方法。

【請求項 6】

請求項 1 ～ 5 のうちいずれか 1 項に記載の半導体集積回路の設計方法であって、

前記半導体集積回路は、少なくとも一端側に半導体領域が配置されている第 2 のセルをさらに備え、

前記半導体領域のゲート幅方向の長さ及びゲート幅方向の位置を、前記第 1 の活性領域及び前記第 2 の活性領域のゲート幅方向の長さ及びゲート幅方向の位置と同じにし、

前記第 2 のセルを、前記第 1 のセルのゲート長方向の両隣のうち少なくとも一方に隣接して配置させることを特徴とする半導体集積回路の設計方法。

30

【請求項 7】

請求項 6 に記載の半導体集積回路の設計方法であって、

前記半導体領域と、前記半導体領域と対向する前記第 1 の活性領域又は前記第 2 の活性領域との間の距離を一定とすることを特徴とする半導体集積回路の設計方法。

40

【請求項 8】

請求項 6 または 7 に記載の半導体集積回路の設計方法であって、

前記第 2 のセルは、M I S トランジスタを有さないスペーサーセルであって、

前記半導体領域はダミー活性領域であることを特徴とする半導体集積回路の設計方法。

【請求項 9】

請求項 8 に記載の半導体集積回路の設計方法であって、

前記スペーサーセルの広さを調整することにより、前記スペーサーセル内に前記ダミー活性領域を配置可能にすることを特徴とする半導体集積回路の設計方法。

【請求項 10】

50

請求項 6 または 7 に記載の半導体集積回路の設計方法であって、
前記第 2 のセルは、M I S トランジスタを有するセルであって、
前記半導体領域は活性領域であることを特徴とする半導体集積回路の設計方法。

【請求項 1 1】

請求項 6 ～ 1 0 のうちいずれか 1 項に記載の半導体集積回路の設計方法であって、
前記第 1 のセルと前記第 2 のセルとの境界から前記半導体領域までの距離と、前記境界から前記半導体領域と対向する前記第 1 の活性領域又は第 2 の活性領域までの距離とを同じにすることを特徴とする半導体集積回路の設計方法。

【請求項 1 2】

請求項 6 ～ 1 1 のうちいずれか 1 項に記載の半導体集積回路の設計方法であって、
前記第 1 の活性領域、前記第 2 の活性領域および前記半導体領域は、同一導電型の不純物領域を有することを特徴とする半導体集積回路の設計方法。 10

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、多数の M I S トランジスタを集積してなる半導体集積回路の設計方法に関する。

【背景技術】

【0 0 0 2】

近年、システム L S I などの開発において、回路シミュレータのシミュレーション精度のより一層の向上が要求されている。また、半導体プロセスの微細化が進むにつれて、回路素子のレイアウトパターンや配置などがシミュレーションの性能に大きく影響するようになってきている。特に、S T I (Shallow Trench Isolation) などの素子分離用絶縁膜を用いたトランジスタにおいて、素子分離用絶縁膜からトランジスタにかかる機械的応力によりチャネルの移動度が変化する現象が、回路シミュレーションの精度の向上を阻害する要因として注目されている。 20

【0 0 0 3】

従来の回路シミュレーション方法では、素子分離用絶縁膜からトランジスタに加わる応力を考慮に入れたパラメータが存在しなかったために、同じサイズで異なる応力を受けるトランジスタに対して、同じパラメータをあてはめ、回路シミュレーションを実行していた。そのため、応力による特性差が誤差として含まれてしまい、正確な回路シミュレーションを行うのが困難であった。 30

【0 0 0 4】

このような不具合に対して、素子分離絶縁膜からトランジスタに加わる応力をパラメータとして定義し、回路シミュレーションを実行することで精度を上げる手法が提案されている（例えば、特許文献 1 および特許文献 2 参照）。トランジスタに加わる応力の指標として、特許文献 1 では活性領域の長さを、特許文献 2 では素子分離用絶縁膜の幅を定義し、回路シミュレーションを実行している。

【0 0 0 5】

図 5 は、一般的な回路シミュレーションのパラメータを説明するための平面図である。なお、図 5 に示す半導体装置は特許文献 2 に開示される技術である。 40

【0 0 0 6】

図 5 に示す従来の半導体装置では、半導体基板 1 0 0 に、活性領域 1 0 2 と、活性領域 1 0 2 の側方を囲む素子分離領域 1 0 1 とが配置している。活性領域 1 0 2 の上にはゲート電極 1 0 3 が配置している。この半導体装置において、シミュレーション時に応力の指標として考慮される主な事項は、ゲート長 L 1 やゲート幅 W 1 といったトランジスタサイズの他に、活性領域 1 0 2 のうちゲート電極 1 0 3 の側方に位置する部分の幅 O D F L、O D F R、ゲート長方向における素子分離領域 1 0 1 の幅 O D S L、O D S R およびゲート幅方向における素子分離領域 1 0 1 の幅 O D S U、O D S D である。これらの指標のうち幅 O D F L、O D F R をまとめて O D フィンガーと称し、幅 O D S L、O D S R、O D 50

S U、O D S DをまとめてO Dセパレートと称する。

【0007】

同一のトランジスタサイズを有する半導体装置であっても、上記のO DフィンガーおよびO Dセパレートより分類される数種類のモデルパラメータによって最適なモデルパラメータを選択し、そのパラメータを用いて回路シミュレーションを実行することにより、シミュレーション精度が向上する。これにより、微細化された回路の設計に適したシミュレーション結果を用いることが可能になる。

【0008】

ところで、近年のシステムL S Iは、セルベース方式により設計されている。図6は、従来において、システムL S Iを構成するセルのうちの1つの例を示す平面図である。セル内のトランジスタの配置は、そのセルが実現する論理回路の機能および用途によって様々である。そして、図6に示すようなセルを複数組み合わせることでシステムL S Iが設計される。

【0009】

図6に示す従来のセルでは、半導体基板111に形成されたN型ウェル112内に、P型活性領域114、115およびN型基板コンタクト領域119が配置している。また、半導体基板111に形成されたP型ウェル113内に、N型活性領域116、117およびP型基板コンタクト領域120が配置している。なお、図6において、セル同士の境界は破線で示している。P型活性領域114、115およびN型活性領域116、117の上にはゲート配線121～125が形成され、これらで構成されるN型トランジスタN T r 0、N T r 1、N T r 2、N T r 3、N T r 4およびP型トランジスタP T r 0、P T r 1、P T r 2、P T r 3、P T r 4が配置している。

【0010】

半導体基板111のうちN型ウェル112およびP型ウェル113の上に位置する部分には、ダミーゲート電極126、127、128が配置している。

【0011】

図6に示すセル内において、各N型トランジスタN T r 0～N T r 4のゲート幅はW n 0～W n 4で示される。また、各P型トランジスタP T r 0～P T r 4のゲート幅はW p 0～W p 4で示される。

【特許文献1】特開2003-264242号公報

【特許文献2】特開2004-86546号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかしながら、上記従来の方法によりシミュレーションを行っても、十分な精度を得ることができないといった不具合が生じていた。

【0013】

そこで、本発明では、精度の高いシミュレーションを行うことができる半導体集積回路の設計方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明の一態様の半導体集積回路の設計方法は、ゲート長方向にゲート幅の異なるM I Sトランジスタが配置されている第1のセルを備えた半導体集積回路の設計方法であって、前記第1のセルは、前記第1のセル内のゲート長方向において、少なくとも、前記第1のセルの一端側に配置された第1の活性領域と、前記第1のセルの他端側に配置された第2の活性領域とを備え、前記第1の活性領域及び前記第2の活性領域のゲート幅方向の長さを同じにし、且つ、前記第1のセル内においてゲート長方向に配置されている複数の活性領域のうち最大の長さとする。

【0015】

本発明の一態様の半導体集積回路の設計方法では、第1のセルとその周囲のセルとの間

において、活性領域間の距離を一定にすることができる。これにより、隣合うセルによる応力の影響を一定にすることができる。この場合には隣合うセルからの応力の影響を予め予測することが可能となるため、1つのセルのみを用いて、隣合うセルからの影響までも考慮に入れたシミュレーションが可能となる。これにより、シミュレーションの精度を向上することができる。特に、現在主流のセルライブラリを用いたシミュレーションの精度を向上することができる。

【0016】

前記第1のセルは、前記第1の活性領域と前記第2の活性領域との間に配置された第3の活性領域をさらに備え、前記第3の活性領域のゲート幅方向の長さを、前記第1の活性領域及び前記第2の活性領域のゲート幅方向の長さよりも小さくしてもよい。

10

【0017】

前記第3の活性領域を、前記第1の活性領域に隣接して配置させてもよい。

【0018】

前記第2の活性領域を、前記第3の活性領域と離間して配置させてもよい。

【0019】

前記第2の活性領域を、前記第3の活性領域に隣接して配置させてもよい。

【0020】

前記半導体集積回路は、少なくとも一端側に半導体領域が配置されている第2のセルをさらに備え、前記半導体領域のゲート幅方向の長さ及びゲート幅方向の位置を、前記第1の活性領域及び前記第2の活性領域のゲート幅方向の長さ及びゲート幅方向の位置と同じにし、前記第2のセルを、前記第1のセルのゲート長方向の両隣のうち少なくとも一方に隣接して配置させてもよい。

20

【0021】

前記半導体領域と、前記半導体領域と対向する前記第1の活性領域又は前記第2の活性領域との間の距離を一定としてもよい。

【0022】

前記第2のセルは、MISトランジスタを有さないスペーサーセルであって、前記半導体領域はダミー活性領域であってもよい。

【0023】

この場合には、前記スペーサーセルの広さを調整することにより、前記スペーサーセル内に前記ダミー活性領域を配置可能にしてもよい。

30

【0024】

また、前記第2のセルは、トランジスタを有するセルであって、前記半導体領域は活性領域であってもよい。

【0025】

また、前記第1のセルと前記第2のセルとの境界から前記半導体領域までの距離と、前記境界から前記半導体領域と対向する前記第1の活性領域又は第2の活性領域までの距離とを同じにしてもよい。

【0026】

前記第1の活性領域、前記第2の活性領域および前記半導体領域は、同一導電型の不純物領域を有していてもよい。

40

【発明の効果】

【0027】

本発明では、1つのセルで閉じたシミュレーションを行っても隣接するセルからの応力の影響を予測することができるため、シミュレーションの精度を向上することができる。

【発明を実施するための最良の形態】

【0028】

(発明者の考察)

発明者は、従来技術においてシミュレーションの精度を高めることができない理由について以下のような考察を行った。

50

【0029】

従来の文献においてはセル内のモデリングの手法のみが開示され、隣接したセルの影響をどう扱うかについては具体的に開示されていない。しかしながら、実際のLSIではセルはアレー状に配置されるため、セル内のトランジスタでは、隣接するセルの影響を受けて特性が変動すると考えられる。

【0030】

図7(a)、(b)は、複数のセルが配置するアレーを示す平面図である。図7(a)では、同じ配置を有する2つのセル110、120が、同じ向きで横方向に並べられている。そして、図7(b)では、2つのセル110、120が反転した向きで配置している。

10

【0031】

ここで、第5のP型MISトランジスタPT r 5からみた実効的な素子分離幅について、簡単な式を用いて説明する。

【0032】

図7(a)に示す構造では、標準セル110における第5のP型MISトランジスタPT r 5と、標準セル120における第1のP型MISトランジスタPT r 1とが隣り合っている。第5のP型MISトランジスタPT r 5の活性領域の幅(図面における縦方向の幅)Wp 4は第1のP型MISトランジスタPT r 1の幅Wp 0よりも広い。そのため、第5のP型MISトランジスタPT r 5と第1のP型MISトランジスタPT r 1との間の素子分離領域の幅は、幅Dp 10と幅Dp 11との2種類ある。同様に、第5のN型MISトランジスタNT r 5と第1のN型MISトランジスタNT r 1との間の素子分離領域118の幅も、幅Dn 10と幅Dn 11との2種類ある。以上のことから、素子分離領域118の実効分離幅は、非常に簡単には下記近似式(1)で示される。

20

$$Dn10 \times Wn0 / Wn4 + Dn11 \times (Wn4 - Wn0) / Wn4 \quad \dots (1)$$

一方、図7(b)に示す構造では、標準セル110と標準セル120との境界部分において、第5のP型MISトランジスタPT r 5同士が隣り合っている。これらの活性領域115の幅はWp 4で同じであるため、第5のP型MISトランジスタPT r 5同士の間の素子分離領域118の幅は、一様に幅Dp 12となる。同様に、第5のN型MISトランジスタNT r 5同士の素子分離領域118の幅も、一様に幅Dn 12となる。

【0033】

30

このように、素子分離用絶縁膜に起因する応力の影響をモデルパラメータに反映させるためには、標準セル内だけでなく隣の標準セルまでも考慮する必要があり、単体の標準セルのみでなくチップレベルでのシミュレーションが必要となる。しかしながら、チップにおける標準セルの組み合わせには膨大なパターンがあるため、その全てのパターンに対してシミュレーションを行うのは、時間的な観点およびツールの観点から、現実的に困難である。

【0034】

以上の考察により、本発明では、標準セルのみを用いたシミュレーションにより、隣の標準セルからの影響までも特定可能にする方法を考え出した。

【0035】

40

(第1の実施形態)

以下、本発明の第1の実施形態に係る半導体回路装置の設計手法について、図面を参照しながら説明する。図1は、本発明の第1の実施形態に係る標準セルの構造を示す平面図である。なお、本明細書および特許請求の範囲において、標準セル(またはセル)とは、1つ若しくは複数の機能(論理の反転、AND、・・・等)を実現するためにCMISトランジスタが配置、接続された範囲のことをいう。そして、システムLSIでは数百種類の標準セルを配置し、標準セル間を配線する事で設計される。一般的に、システムLSIでは階層を持ってシミュレーションが行われ、数百種類の標準セルで各々遅延情報のテーブルを作成するためのシミュレーションを行い、ブロックレベル、チップレベルのシミュレーションではその遅延情報を引き継いでシミュレーションを行う。

50

【0036】

図1において、標準セル10の境界は破線で示されている。本実施形態の標準セル10では、半導体基板11にN型ウェル12およびP型ウェル13が配置している。そして、標準セル10内においては、活性領域14、15、16、17と、活性領域14、15、16、17を囲む素子分離領域18とが配置している。ここで、活性領域14、15におけるゲート配線21～25の側方領域にはP型ソースドレイン領域となるP型不純物領域が設けられており、活性領域16、17におけるゲート配線21～25の側方領域にはN型ソースドレイン領域となるN型不純物領域が設けられている。

【0037】

活性領域14では、標準セル10の外側に近い側の幅（ゲート幅方向の長さ） W_{p0} が、標準セル10の内側に近い側の幅 W_{p1} よりも広い。 10

【0038】

活性領域15では、ゲート幅方向の長さが、標準セル10の内側から外側に向かう方向に徐々に大きくなっている。つまり、標準セル10の内側から、幅 W_{p2} 、 W_{p3} 、 W_{p4} が順に配置している。そして活性領域14と活性領域15のうち隣合う部分の幅、つまり W_{p1} と W_{p2} とは同じ幅である。

【0039】

活性領域16では、標準セル10の外側に近い側の幅（ゲート幅） W_{n0} が、標準セル10の内側に近い側の幅 W_{n1} よりも広い。

【0040】

活性領域17では、ゲート幅方向の長さが、標準セル10の内側から外側に向かう方向に徐々に大きくなっている。つまり、標準セル10の内側から、幅 W_{n2} 、 W_{n3} 、 W_{n4} が順に配置している。そして活性領域16と活性領域17のうち隣合う部分の幅、つまり W_{n1} と W_{n2} とは同じ幅である。 20

【0041】

半導体基板11の上には、複数のゲート配線21～25が配置している。なお、ゲート配線21～25は、活性領域14～17の上において、ゲート電極として機能する。ゲート配線21は、活性領域14のうち幅 W_{p0} を有する部分の上から、活性領域16のうち幅 W_{n0} を有する部分の上に亘って形成されている。このゲート配線21と活性領域14とにより第1のP型MISトランジスタ $PTr1$ が構成され、ゲート配線21と活性領域16とにより第1のN型MISトランジスタ $NTr1$ が構成されている。また、ゲート配線22は、活性領域14のうち幅 W_{p1} を有する部分の上から、活性領域16のうち幅 W_{n1} を有する部分の上に亘って形成されている。このゲート配線22と活性領域14とにより第2のP型MISトランジスタ $PTr2$ が構成され、ゲート配線22と活性領域16とにより第2のN型MISトランジスタ $NTr2$ が構成されている。また、ゲート配線23は、活性領域15のうち幅 W_{p2} を有する部分の上から、活性領域17のうち幅 W_{n2} を有する部分の上に亘って形成されている。このゲート配線23と活性領域15とにより第3のP型MISトランジスタ $PTr3$ が構成され、ゲート配線23と活性領域17とにより第3のN型MISトランジスタ $NTr3$ が構成されている。また、ゲート配線24は、活性領域15のうち幅 W_{p3} を有する部分の上から、活性領域17のうち幅 W_{n3} を有する部分の上に亘って形成されている。このゲート配線24と活性領域15とにより第4のP型MISトランジスタ $PTr4$ が構成され、ゲート配線24と活性領域17とにより第4のN型MISトランジスタ $NTr4$ が構成されている。また、ゲート配線25は、活性領域15のうち幅 W_{p4} を有する部分の上から、活性領域17のうち幅 W_{n4} を有する部分の上に亘って形成されている。このゲート配線25と活性領域15とにより第5のP型MISトランジスタ $PTr5$ が構成され、ゲート配線25と活性領域17とにより第5のN型MISトランジスタ $NTr5$ が構成されている。 30 40

【0042】

標準セル10の境界部分のうち活性領域14、15の上に位置する部分には、N型不純物を含むN型基板コンタクト領域19が形成されている。N型基板コンタクト領域19の 50

側方は素子分離領域 18 により囲まれている。一方、標準セル 10 の境界部分のうち活性領域 16、17 の下に位置する部分には、P 型不純物を含む P 型基板コンタクト領域 20 が形成されている。P 型基板コンタクト領域 20 の側方は素子分離領域 18 により囲まれている。

【0043】

素子分離領域 18 のうち活性領域 14、16 の横（向かって左側）に位置する部分の上には、ダミーゲート電極 26 が形成されている。ダミーゲート電極 26 は、ゲート配線 21 と同じ長さで形成されている。また、素子分離領域 18 のうち活性領域 14 と活性領域 15 との間に位置する部分および活性領域 16 と活性領域 17 との間に位置する部分の上には、ダミーゲート電極 27 が形成されている。また、素子分離領域 18 のうち活性領域 15、17 の横（向かって右側）に位置する部分の上には、ダミーゲート電極 28 が形成されている。

10

【0044】

図 1 に示す標準セル 10 では、標準セル 10 のゲート長方向の端部において、活性領域 14～17 のゲート幅方向の長さが最大となっている。言い換えると、活性領域 14～17 の長さは、標準セル 10 の中心よりも外側において長くなっている。

【0045】

図 2 は、図 1 に示す標準セルを 2 つ並べた構造を示す平面図である。図 2 に示す構造では、同じ構造を有する標準セル 30、31 が隣り合って配置している。標準セル 30 の活性領域 15 のうち標準セル 31 に最も近い部分の幅 W_{p4} と、標準セル 31 の活性領域 14 のうち標準セル 30 に最も近い部分の幅 W_{p0} とは同一である。また、標準セル 30 内の右端の P 型 MIS トランジスタ $PTr5$ および N 型 MIS トランジスタ $NTr5$ と、標準セル 31 内の左端の P 型 MIS トランジスタ $PTr1$ および N 型 MIS トランジスタ $NTr1$ とは、ゲート幅方向の位置が揃うように形成されている。また、標準セル 30 内の活性領域 15 から標準セル 31 内の活性領域 14 までの距離と、標準セル 30 内の活性領域 17 から標準セル 31 内の活性領域 16 までの距離とは、同一の値 D_{n1} である。なお、幅 D_{n1} は一定の値である。また、標準セル 30 と標準セル 31 との境界から標準セル 30 内の活性領域 15 までの距離と、上記境界から標準セル 31 内の活性領域 14 までの距離とは同一である。

20

【0046】

本実施形態では、標準セル内のゲート長方向の両端部において、活性領域のゲート幅方向の長さを同一かつ最大にすることにより、標準セル同士の間において、活性領域間の距離を一定にすることができる。これにより、隣合うセルによる応力の影響を一定にすることができる。この場合には隣合うセルからの応力の影響を予め予測することが可能となるため、1 つの標準セルのみを用いて、隣合う標準セルからの影響までも考慮に入れたシミュレーションが可能となる。これにより、シミュレーションの精度を向上することができる。特に、現在主流のセルライブラリを用いたシミュレーションの精度を向上することができる。

30

【0047】

なお、図 2 では、同じ構造を有する標準セルを 2 つ並べる場合について説明したが、本発明においては、異なる構造を有する標準セルが隣合って配置していてもよい。この場合にも上述したように設定することにより、同様の効果を得ることができる。

40

【0048】

図 1 および図 2 に示す構造では、最もゲート幅の広いトランジスタを標準セルの端に配置することにより、標準セルの端において活性領域のゲート幅方向の長さを最大にした。しかしながら、最もゲート幅の広いトランジスタを標準セルの端に配置することができない場合もある。そのような場合について、図 3 を参照しながら説明する。

【0049】

図 3 は、第 1 の実施形態における変形例を示す平面図である。図 3 に示す構造では、半導体基板 41 に、N 型ウェル 42 および P 型ウェル 43 が配置している。そして、N 型ウ

50

セル 42 および P 型ウェル 43 内には素子分離領域 48 が形成されている。素子分離領域 48 内には、P 型不純物領域が設けられた活性領域 44 および N 型不純物領域が設けられた活性領域 45 が配置している。活性領域 44 の上から活性領域 45 の上に亘って、ゲート配線 51、52 が形成されている。活性領域 44 は $Wp5$ と $Wp6$ との 2 種類の幅を有している。そして、活性領域 44 の両端部における幅は $Wp5$ であり、活性領域 44 のうち両端部を除く部分の幅は、 $Wp5$ よりも短い $Wp6$ である。一方、活性領域 45 の両端部における幅は $Wn5$ であり、活性領域 45 のうち両端部を除く部分の幅は、 $Wn5$ よりも短い $Wn6$ である。ゲート配線 51 は、活性領域 44 のうち幅 $Wp6$ を有する部分の上から、活性領域 45 のうち幅 $Wn6$ を有する部分の上に亘って形成されている。一方、ゲート配線 52 は、活性領域 44 のうち幅 $Wp5$ を有する部分の上から、活性領域 45 のうち幅 $Wn5$ を有する部分の上に亘って形成されている。ゲート配線 51 および活性領域 44 は第 1 の P 型 MIS トランジスタ $PT r 1$ を構成し、ゲート配線 52 および活性領域 45 は第 2 の P 型 MIS トランジスタ $PT r 2$ を構成している。一方、ゲート配線 51 および活性領域 45 は第 1 の N 型 MIS トランジスタ $NT r 1$ を構成し、ゲート配線 52 および活性領域 45 は第 2 の N 型 MIS トランジスタ $NT r 2$ を構成している。

10

20

30

40

【0050】

図 3 に示す構造では、活性領域 44 の左端部分の幅 $Wp5$ が、第 1 の P 型 MIS トランジスタ $PT r 1$ のゲート幅である $Wp6$ よりも大きくなり、活性領域 45 の左端部分の幅 $Wn6$ が、第 1 の N 型 MIS トランジスタ $NT r 1$ のゲート幅である $Wn5$ よりも大きくなっている。つまり、第 1 の P 型 MIS トランジスタ $PT r 1$ および第 1 の N 型 MIS トランジスタ $NT r 1$ のゲート幅を確保するためには、活性領域 44、45 の向かって左端部分の幅は $Wp6$ 、 $Wn6$ であれば足りるが、本変形例では、それより大きい幅 $Wp5$ 、 $Wn5$ としているのである。

【0051】

標準セル 40 の境界部分のうち活性領域 44 の上に位置する部分には、N 型不純物を含む N 型基板コンタクト領域 46 が形成され、N 型基板コンタクト領域 46 の側方は素子分離領域 48 により囲まれている。一方、標準セル 40 の境界部分のうち活性領域 45 の下に位置する部分には、P 型不純物を含む P 型基板コンタクト領域 47 が形成され、P 型基板コンタクト領域 47 の側方は素子分離領域 48 により囲まれている。

【0052】

素子分離領域 48 のうち活性領域 44、45 の横（向かって左側）に位置する部分の上には、ダミーゲート電極 53 が形成されている。ダミーゲート電極 53 は、ゲート配線 51 と同じ長さで形成されている。また、素子分離領域 48 のうち活性領域 44、45 の横（向かって右側）に位置する部分の上には、ダミーゲート電極 54 が形成されている。

【0053】

本変形例では、ゲート幅の最も大きいトランジスタを標準セルの端に配置することができない場合でも、標準セルの端における活性領域の幅を最大にすることにより、隣の標準セルに与える応力の影響をシミュレーション可能なものとすることができる。つまり、図 3 に示す構造において、活性領域 44 の向かって左端の幅を $Wp5$ とすることにより、第 1 の P 型 MIS トランジスタ $PT r 1$ のチャンネルの実効的な幅は増加することになる。しかしながら、その幅の増加による特性の変化についてはモデリングが可能であるため、より正確なシミュレーション結果を得ることができる。

【0054】

（第 2 の実施形態）

以下、本発明の第 2 の実施形態に係る半導体回路装置の設計手法について、図面を参照しながら説明する。図 4 は、本発明の第 2 の実施形態に係る標準セルの構造を示す平面図である。図 4 に示す構造では、図 1 に示す標準セル 10 が、アレーに複数配置されている。

【0055】

図 4 において、標準セル 10 同士の境界は破線で示されている。なお、標準セル 10 内

50

のゲート配線や活性領域の配置は図 1 と同様であるので、その詳細な説明は省略する。

【0056】

現在の L S I は、一般に、セルベース方式により設計されている。この方法では、格子点にセルを配置して、標準セル 10 内の入出力端子（図示せず）を配線（図示せず）で接続して設計される。この設計は、E D A ツール（セルを配置してセル間を配線で接続するツール）を用いて、自動で行われる。

【0057】

標準セルや配線には様々な種類があるため、標準セルおよび配線を隙間無く敷き詰めることは困難であり、図 4 に示すように、標準セル 10 が配置できないスペーサーセル 60 が存在する。このスペーサーセル 60 内には、素子分離領域 18 とダミー活性領域 61、62、63、64 とが配置している。ダミー活性領域 61、62、63、64 のゲート幅方向（図面における縦方向）の幅は、それぞれ、隣の標準セル 10 内の活性領域 14、15、16、17 の幅と同じである。

10

【0058】

また、ダミー活性領域 61、62 と活性領域 14、15 とは、ゲート幅方向の位置が揃うように形成されている。一方、ダミー活性領域 63、64 と活性領域 16、17 とは、ゲート幅方向の位置が揃うように形成されている。また、活性領域 15 からダミー活性領域 61 までの距離 D_{p2} 、活性領域 14 からダミー活性領域 62 までの距離 D_{p3} 、活性領域 17 からダミー活性領域 63 までの距離 D_{n2} 、活性領域 16 からダミー活性領域 64 までの距離 D_{n3} は、同一の値である。

20

【0059】

なお、このダミー活性領域 61～64 は E D A ツールを用いて配置させてもよいし、予めダミー活性領域が形成されたセルを準備しておき、そのセル幅を格子点の整数倍に設定しておいてもよい。また、一般的なデザインルールでは最小の空きスペースにもダミー活性領域を配置することができるが、デザインルールによってはダミーの拡散領域が配置できない場合があるかもしれない。そのような場合には、セルを配置させる E D A ツールに、スペース幅が小さいスペースを禁止するような機能を付け加えてやればよい。具体的には、アレーの中央部にスペース幅が小さいスペースが空きそうであれば、そのスペースを無くすように両隣の標準セルを詰めて配置させるか、逆に、活性領域が配置できるスペースを生み出すように両隣の標準セルを離間させて配置させればよい。

30

【0060】

また、図 4 に示す構造では、アレーの端部（向かって右側の端部）に配置する標準セル 10 の横に、ダミー活性領域 65～70 が配置している。

【0061】

ダミー活性領域 65～70 のゲート幅方向の幅は、それぞれ、隣の標準セル 10 内の活性領域 15、17 の幅と同じである。また、ダミー活性領域 65、67、69 と活性領域 15 とは、ゲート幅方向の位置が揃うように形成されている。また、ダミー活性領域 66、68、70 と活性領域 17 とは、ゲート幅方向の位置が揃うように形成されている。また、活性領域 15 からダミー活性領域 65、67、69 までの距離 D_{p4} および活性領域 17 からダミー活性領域 66、68、70 までの距離 D_{n4} は、同一の値である。なお、距離 D_{p4} および D_{n4} は、距離 D_{p2} 、 D_{p3} 、 D_{n2} 、 D_{n3} とともに同一の値である。

40

【0062】

なお、このダミー活性領域 65～70 は E D A ツールを用いて配置させてもよいし、予めダミー活性領域が配置されたセルを準備しておき、そのセルをアレーの周辺部に配置させてもよい。

【0063】

本実施形態では、標準セルの横にスペースが空く場合に、そのスペースにダミー活性領域を配置することにより、標準セルの特性が変動するのを防止することができる。これにより、標準セルが外部から受ける影響を予め予測することが可能となるため、1つの標準セルのみを用いて、外部からの影響までも考慮に入れたシミュレーションが可能となる。

50

これにより、シミュレーションの精度を向上することができる。特に、現在主流のセルライブラリを用いたシミュレーションの精度を向上することができる。

【0064】

また、アレーの端に配置する標準セルの横にダミー活性領域を配置することにより、標準セルの特性が変動するのを防止することができる。これにより、標準セルが外部から受ける影響を予め予測することが可能となるため、1つの標準セルのみを用いて、外部からの影響までも考慮に入れたシミュレーションが可能となる。これにより、シミュレーションの精度を向上することができる。特に、現在主流のセルライブラリを用いたシミュレーションの精度を向上することができる。

【産業上の利用可能性】

10

【0065】

本発明では、半導体装置のシミュレーションの精度を高めることができる点で、産業上の利用可能性は高い。

【図面の簡単な説明】

【0066】

【図1】本発明の第1の実施形態に係る標準セルの構造を示す平面図である。

【図2】図1に示す標準セルを2つ並べた構造を示す平面図である。

【図3】第1の実施形態における変形例を示す平面図である。

【図4】本発明の第2の実施形態に係る標準セルの構造を示す平面図である。

【図5】一般的な回路シミュレーションのパラメータを説明するための平面図である。

20

【図6】従来において、システムLSIを構成するセルのうちの1つの例を示す平面図である。

【図7】(a)、(b)は、複数のセルが配置するアレーを示す平面図である。

【符号の説明】

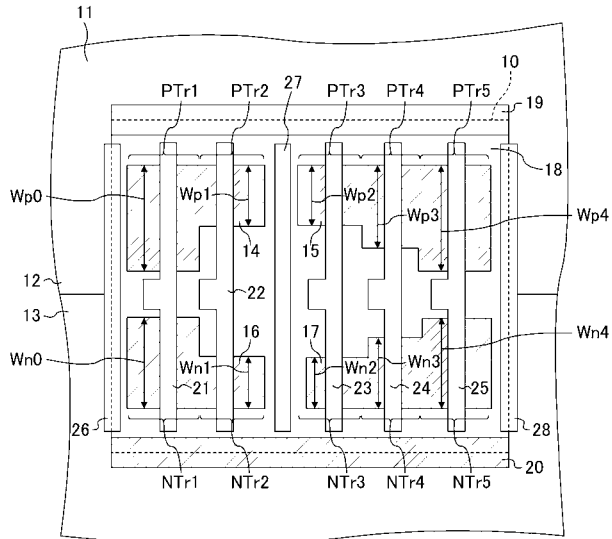
【0067】

10	標準セル
11	半導体基板
12	N型ウェル
13	P型ウェル
14～17	活性領域
18	素子分離領域
19	N型基板コンタクト領域
20	P型基板コンタクト領域
21～25	ゲート配線
26～28	ダミーゲート電極
30、31、40	標準セル
41	半導体基板
42	N型ウェル
43	P型ウェル
44、45	活性領域
46	N型基板コンタクト領域
47	P型基板コンタクト領域
48	素子分離領域
51、52	ゲート配線
53	ダミーゲート電極
54	ダミーゲート電極
60	スペーサーセル
61～70	ダミー活性領域

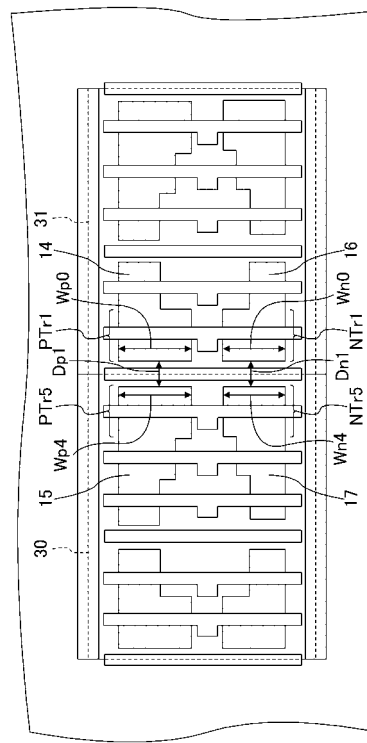
30

40

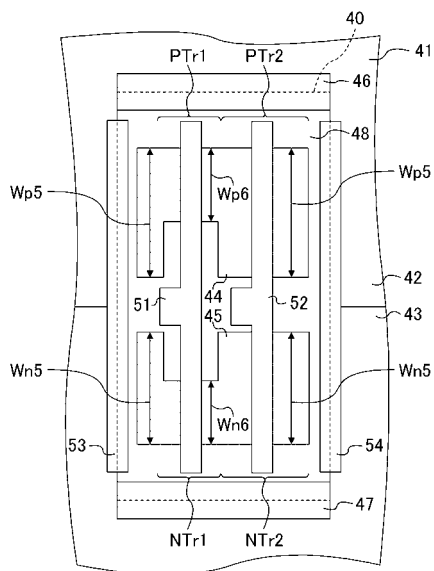
【図 1】



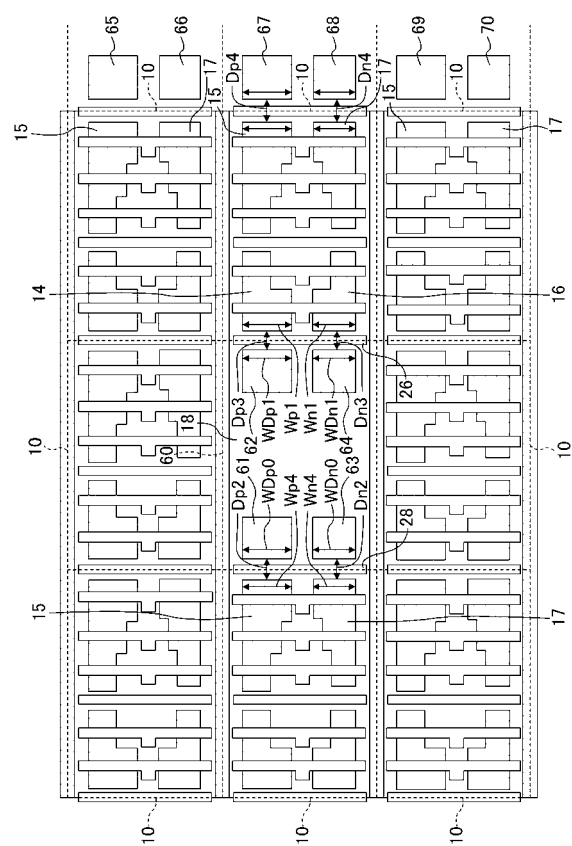
【図 2】



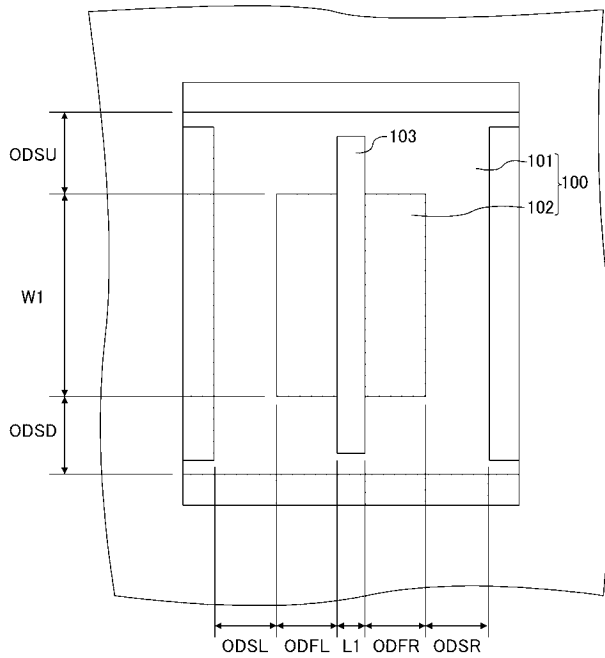
【図 3】



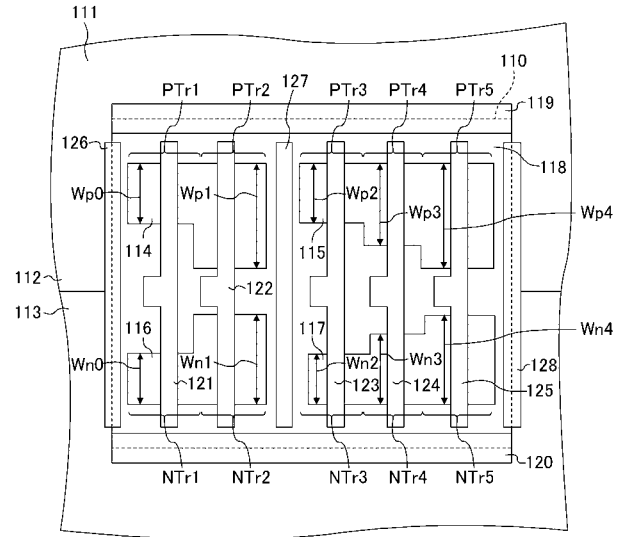
【図 4】



【図 5】

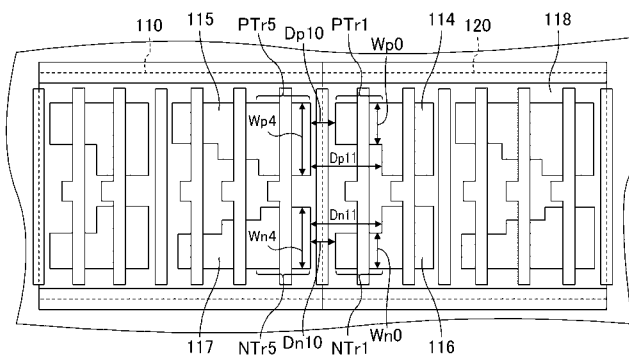


【図 6】

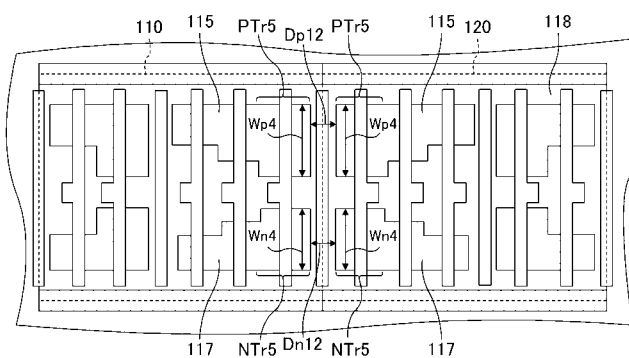


【図 7】

(a)



(b)



フロントページの続き

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 渡邊 慎治

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 山下 恭司

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 大谷 一弘

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 5F038 CA02 CA03 CA05 CA18 EZ08 EZ10 EZ14 EZ15 EZ20

5F064 AA04 AA05 CC12 DD07 DD10 DD14 DD19 DD24 DD26 HH06

HH09 HH10 HH12