



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I786561 B

(45) 公告日：中華民國 111 (2022) 年 12 月 11 日

(21) 申請案號：110107547

(22) 申請日：中華民國 110 (2021) 年 03 月 03 日

(51) Int. Cl. : **H01L27/11 (2006.01)****H01L29/36 (2006.01)****H01L29/78 (2006.01)**

(30) 優先權：2020/03/06 世界智慧財產權組織 PCT/JP2020/009721

(71) 申請人：新加坡商新加坡優尼山帝斯電子私人有限公司 (新加坡) UNISANTIS ELECTRONICS SINGAPORE PTE. LTD. (SG)

新加坡

(72) 發明人：原田望 HARADA, NOZOMU (JP)；金澤賢一 KANAZAWA, KENICHI (JP)；李伊索 LI, YISUO (SG)

(74) 代理人：洪武雄；陳昭誠

(56) 參考文獻：

TW 201306233A

TW 201941435A

EP 2246895A1

US 2016/0197181A1

US 2019/0259876A1

WO 2014/184933A1

審查人員：劉漢胤

申請專利範圍項數：20 項 圖式數：11 共 89 頁

(54) 名稱

柱狀半導體裝置及其製造方法

(57) 摘要

在連接於第一半導體柱之下部的第一雜質區域 3 與連接於第二半導體柱之下部的第二雜質區域 4a、4b 的形成方法中，於各自的縱方向與橫方向的雜質交界區域中，形成濃度比第一雜質區域 3 與第二雜質區域 4a、4b 之兩方之雜質濃度低的半導體層 100。

The present invention provides a pillar-shaped semiconductor device and a manufacturing method thereof, wherein in a forming method for a first impurity region 3 connected to the lower part of a first semiconductor pillar and second impurity regions 4a, 4b connected to the lower part of a second semiconductor pillar, a semiconductor layer 100 is formed in each of the impurity boundary regions in the vertical direction and the horizontal direction, and the semiconductor layer 100 has a impurity concentration lower than the impurity concentrations of both of the first impurity region 3 and the second impurity regions 4a, 4b.

指定代表圖：

符號簡單說明：

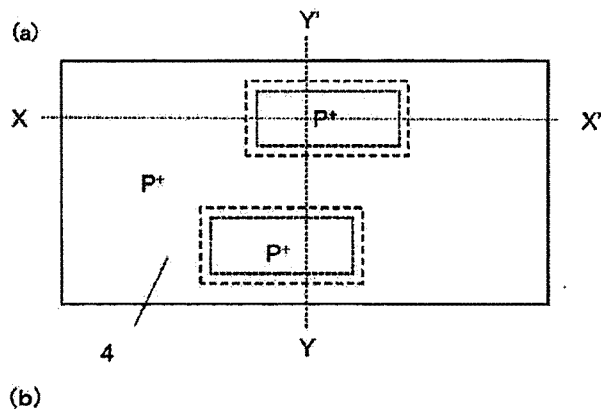
1:P層基板

2:N層基板

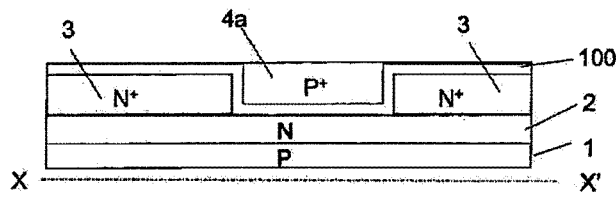
3:N⁺層

4,4a,4b:P⁺層

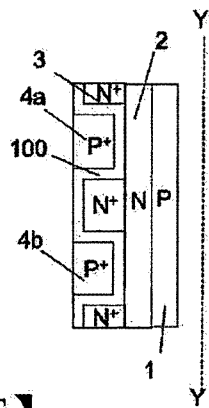
100:半導體層



(b)



(c)



【圖1E】

【發明摘要】

【中文發明名稱】 柱狀半導體裝置及其製造方法

【英文發明名稱】 PILLAR-SHAPED SEMICONDUCTOR DEVICE
AND MANUFACTURING METHOD THEREOF

【中文】

在連接於第一半導體柱之下部的第一雜質區域 3 與連接於第二半導體柱之下部的第二雜質區域 4a、4b 的形成方法中，於各自的縱方向與橫方向的雜質交界區域中，形成濃度比第一雜質區域 3 與第二雜質區域 4a、4b 之兩方之雜質濃度低的半導體層 100。

【英文】

The present invention provides a pillar-shaped semiconductor device and a manufacturing method thereof, wherein in a forming method for a first impurity region 3 connected to the lower part of a first semiconductor pillar and second impurity regions 4a, 4b connected to the lower part of a second semiconductor pillar, a semiconductor layer 100 is formed in each of the impurity boundary regions in the vertical direction and the horizontal direction, and the semiconductor layer 100 has a impurity concentration lower than the impurity concentrations of both of the first impurity region 3 and the second impurity regions 4a, 4b.

【指定代表圖】 圖1E

【代表圖之符號簡單說明】

1:P 層基板

2:N 層基板

3:N⁺層

4,4a,4b:P⁺層

100:半導體層

【特徵化學式】 無。

【發明說明書】

【中文發明名稱】 柱狀半導體裝置及其製造方法

【英文發明名稱】 PILLAR-SHAPED SEMICONDUCTOR DEVICE
AND MANUFACTURING METHOD THEREOF

【技術領域】

【0001】 本發明係關於一種柱狀半導體裝置及其製造方法。

【先前技術】

【0002】 近年來，已於 LSI(Large Scale Integration，大型積體電路)中使用三維構造電晶體(transistor)。其中，屬於柱狀半導體裝置的 SGT(Surrounding Gate Transistor，環繞閘電晶體)，係作為提供高集積度之半導體裝置的半導體元件而受到矚目。此外，亦需求具有 SGT 之半導體裝置之更進一步的高集積化、高性能化。

【0003】 在通常的平面(planar)型 MOS (Metal Oxide semiconductor，金屬氧化物半導體)電晶體中，其通道(channel)係朝著半導體基板之上表面的水平方向延伸。相對於此，SGT 的通道係相對於半導體基板之上表面朝垂直方向延伸(例如，參照專利文獻 1、非專利文獻 1)。因此，相較於平面型 MOS 電晶體，SGT 可達成半導體裝置的高密度化。

【0004】 圖 10 係顯示 N 通道 SGT 的示意構造圖。在具有 P 型或 i 型(本徵型)導電型之 Si 柱 220(以下，將矽半導體柱稱為「Si 柱」)內之上下的位置，形成有當一方成為源極(source)時另一方成為汲極(drain)的 N⁺層

221b、221b(以下，將含有高濃度施體(donor)雜質的半導體區域稱為「N⁺層」)。成為此源極、汲極之 N⁺層 221a、221b 間之 Si 柱 220 的部分即成為通道區域 222。閘極絕緣層 223 係以包圍此通道區域 222 之方式形成。閘極導體層 224 係以包圍此閘極絕緣層 223 之方式形成。在 SGT 中，係由成為源極、汲極的 N⁺層 221a、221b、通道區域 222、閘極絕緣層 223、閘極導體層 224 整體形成為柱狀。因此，於俯視觀察時，SGT 的佔有面積，係相當於平面型 MOS 電晶體之單源極或汲極 N⁺層的佔有面積。因此，具有 SGT 的電路晶片，相較於具有平面型 MOS 電晶體的電路晶片，能夠實現晶片尺寸更進一步的縮小化。再者，若可提高 SGT 的驅動能力，則可減低使用於一晶片的 SGT 數，同樣地有助於晶片尺寸的縮小化。

【0005】然而，當更進一步謀求晶片尺寸的縮小化時，有應要克服的問題。想當然爾鄰接的 Si 柱間隔會變窄，故在例如圖 1U 所示之 6Tr 構成之 SRAM 單元(cell)的上部反相器(inverter)中，6a 與 6b 和 6b 與 6c 的 Si 柱間隔形成為較窄。此將使連接於各個 Si 柱下部之成為源極或汲極之各雜質層 3aa、4aa、3ab 的形成區域變窄，並且實體地接近與各 Si 柱所鄰接之逆導電型之雜質層之交界。藉此使得於 Si 柱下部形成實效上濃度極低的雜質層區域，在最壞情形下，將會於 Si 柱下部形成與所期望為相反的導電型雜質層，結果，將會產生因高電阻源極及汲極之形成所導致的驅動能力降低，或因為逆導電型之源極及汲極之形成所導致之動作不良等問題。因此，為了避免此問題，必須盡可能地抑制成為源極或汲極之各雜質層的擴散，以保持形成高濃度狀態。

【0006】圖 11 係顯示 SRAM(Static Random Access Memory，靜態隨機存取記憶體)單元電路圖。本 SRAM 單元電路係包含二個反相器電路。一個反相器電路係由作為負載電晶體的 P 通道 SGT_Pc1、及作為驅動電晶體的 N 通道 SGT_Nc1 所構成。另一個反相器電路係由作為負載電晶體的 P 通道 SGT_Pc2、及作為驅動電晶體的 N 通道 SGT_Nc2 所構成。P 通道 SGT_Pc1 的閘極與 N 通道 SGT_Nc1 的閘極係連接著。P 通道 SGT_Pc2 的汲極與 N 通道 SGT_Nc2 的汲極係連接著。P 通道 SGT_Pc2 的閘極與 N 通道 SGT_Nc2 的閘極係連接著。P 通道 SGT_Pc1 的汲極與 N 通道 SGT_Nc1 的汲極係連接著。

【0007】如圖 11 所示，P 通道 SGT_Pc1、Pc2 的源極係連接於電源端子 Vdd。再者，N 通道 SGT_Nc1、Nc2 的源極係連接於接地(ground)端子 Vss。選擇 N 通道 SGT_SN1、SN2 係配置於二個反相器電路的兩側。選擇 N 通道 SGT_SN1、SN2 的閘極係連接於字元(word)線端子 WLt。選擇 N 通道 SGT_SN1 的源極、汲極係連接於 N 通道 SGT_Nc1、P 通道 SGT_Pc1 的汲極與位元(bit)線端子 BLt。選擇 N 通道 SGT_SN2 的源極、汲極係連接於 N 通道 SGT_Nc2、P 通道 SGT_Pc2 的汲極與反轉位元線端子 BLRt。如此，具有 SRAM 單元的電路，係由二個 P 通道 SGT_Pc1、Pc2、及四個 N 通道 SGT_Nc1、Nc2、SN1、SN2 所組成的合計共六個 SGT 所構成(例如，參照專利文獻 2)。此外，使驅動用電晶體並聯連接複數個，可謀求 SRAM 電路的高速化。通常，構成 SRAM 之記憶體單元的 SGT，係分別形成於不同的半導體柱。SRAM 單元電路的高集積化，係在於要以何方式才可將複

數個 SGT 高密度地形成於一個單元區域之中。在其他使用了 SGT 之電路形成上的高集積化中亦復相同。

[先前技術文獻]

[專利文獻]

【0008】

專利文獻 1：日本特開平 2-188966 號公報

專利文獻 2：美國專利申請公開第 2010/0219483 號說明書

專利文獻 3：美國註冊 US8530960B2 號說明書

[非專利文獻]

【0009】

非專利文獻 1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非專利文獻 2：C.Y.Ting, V.J.Vivalda, and H.G.Schaefer: "Study of planarized sputter-deposited SiO₂", J.Vac.Sci. Technol. 15(3), p.p.1105-1112, May/June (1978)

非專利文獻 3：A.Raley, S.Thibaut, N. Mohanty, K. Subhadeep, S. Nakamura, et al. : "Self-aligned quadruple patterning integration using spacer on spacer pitch splitting at the resist level for sub-32nm pitch applications" Proc. Of SPIE Vol.9782, 2016

【發明內容】

[發明所欲解決的課題]

【0010】 在使用了 SGT 之電路的高集積化中，會發生在 SGT 離開距離變短時所產生之因為施體型、受體(acceptor)型雜質之相互擴散所導致之驅動能力降低或動作不良。

[用以解決問題的手段]

【0011】 本發明之型態之柱狀半導體裝置的製造方法，該柱狀半導體裝置係在基板上部具有第一半導體柱、以及與前述第一半導體柱鄰接的第二半導體柱，具有包圍前述第一半導體柱的第一閘極絕緣層，具有包圍前述第二半導體柱的第二閘極絕緣層，具有包圍前述第一閘極絕緣層的第一閘極導體層，具有包圍前述第二閘極絕緣層的第二閘極導體層，具有與前述第一半導體柱之下部連接的第一雜質區域，具有與前述第二半導體柱之下部連接之極性不同於前述第一雜質區域的第二雜質區域，具有與前述第一半導體柱之頂部連接的第三雜質區域，具有與前述第二半導體柱之頂部連接之極性不同於前述第三雜質區域的第四雜質區域，並且具備有：以前述第一雜質區域與前述第三雜質區域之間之前述第一半導體柱為通道的第一 SGT，以及以前述第二雜質區域與前述第四雜質區域之間之前述第二半導體柱為通道的第二 SGT；該柱狀半導體裝置的製造方法係具有下列步驟：

在前述基板表面上形成包含有施體或受體雜質之第一雜質層的步驟；

將俯視觀察時將會形成前述第二雜質區域之前述第一雜質層內之一部分的區域予以去除，且將作為前述去除之結果而殘存的前述第一雜質層形成為前述第一雜質區域的步驟；

以覆蓋全面之方式，將第一半導體層以比前述第一雜質層薄的膜厚予以覆蓋的步驟；

以覆蓋全面之方式，將包含有施體或受體雜質的第二雜質層以比前述第一雜質層厚的膜厚予以覆蓋的步驟；

將前述第二雜質層研磨至前述第一雜質層的上表面、或前述第一雜質層上之前述第一半導體層上的表面，且將作為前述研磨之結果而殘存的前述第二雜質層形成為前述第二雜質區域的步驟；

在前述第一雜質區域之上形成前述第一半導體柱，並且在前述第二雜質區域之上形成前述第二半導體柱的步驟；

在前述第一半導體柱之上形成前述第三雜質區域，並且在前述第二半導體柱之上形成前述第二雜質區域的步驟；

形成包圍前述第一半導體柱之前述第一閘極絕緣層，並且形成包圍前述第二半導體柱之第二閘極絕緣層的步驟；及

形成包圍前述第一閘極絕緣層之前述第一閘極導體層，並且形成包圍前述第二閘極絕緣層之前述第二閘極導體層的步驟；

前述第一半導體層的雜質濃度係比前述第一雜質區域及前述第二雜質區域之雜質濃度低。

【0012】 前述製造方法最好是前述第一半導體層所具有的施體或受體雜質擴散係數係比前述第一雜質層和前述第二雜質層所具有的雜質擴散係數小。

【0013】 前述製造方法最好是前述第一半導體層係由相對於前述第二雜質層之蝕刻選擇比或雜質擴散係數或晶格常數為不同之二種以上之半導體層的積層所構成。

【0014】 前述製造方法最好是在前述基板表面上，形成有濃度比前述第一雜質層和前述第二雜質層之雜質濃度低的第二半導體層。

【0015】 前述製造方法最好是前述第二半導體層所具有的施體或受體雜質擴散係數係比前述第一雜質層和前述第二雜質層所具有的雜質擴散係數小。

【0016】 前述製造方法最好是前述第二半導體層係由相對於前述第一雜質層之蝕刻選擇比或雜質擴散係數或晶格常數為不同之二種以上之半導體層的積層所構成。

【0017】 前述製造方法最好是在前述第一雜質層和前述第二雜質層的上部，形成有濃度比前述第一雜質層和前述第二雜質層之雜質濃度低的第三半導體層。

【0018】 前述製造方法最好是前述第三半導體層所具有的施體或受體雜質擴散係數係比前述第一雜質層和前述第二雜質層所具有的雜質擴散係數小。

【0019】 前述製造方法最好是前述第四半導體層係由相對於前述第二雜質層和前述第二半導體層之蝕刻選擇比或雜質擴散係數或晶格常數為不同之二種以上之半導體層的積層所構成。

【0020】 前述製造方法最好是在前述基板上，於形成前述第一半導體柱和前述第二半導體柱之後，依序形成前述第一閘極絕緣層和前述第二閘

極絕緣層、前述第一閘極導體層、前述第二閘極導體層，接著，於俯視觀察時，以與前述第一雜質區域、前述第二雜質區域、和存在於前述第一雜質區域與前述第二雜質區域之交界之前述第一半導體層之三層電性接觸之方式形成第一接觸孔。

【0021】 前述製造方法最好是在前述基板上，於形成前述第一半導體柱和前述第二半導體柱之後，依序形成前述第一閘極絕緣層和前述第二閘極絕緣層、前述第一閘極導體層、前述第二閘極導體層，接著，於俯視觀察時，以至少包含前述第二雜質區域之方式配置前述第一接觸孔，且以在前述第一接觸孔的側壁面與前述第二雜質區域和前述第一半導體層電性接觸，而且在前述第一接觸孔之底面與前述基板電性接觸之方式形成前述第一接觸孔。

【0022】 本發明之另一型態的柱狀半導體裝置係在基板上部具有第一半導體柱、以及與前述第一半導體柱鄰接的第二半導體柱，具有包圍前述第一半導體柱的第一閘極絕緣層，具有包圍前述第二半導體柱的第二閘極絕緣層，具有包圍前述第一閘極絕緣層的第一閘極導體層，具有包圍前述第二閘極絕緣層的第二閘極導體層，具有與前述第一半導體柱之下部連接的第一雜質區域，具有與前述第二半導體柱之下部連接之極性不同於前述第一雜質區域的第二雜質區域，具有與前述第一半導體柱之頂部連接的第三雜質區域，具有與前述第二半導體柱之頂部連接之極性不同於前述第三雜質區域的第四雜質區域，並且具備有：以前述第一雜質區域與前述第三雜質區域之間之前述第一半導體柱為通道的第一 SGT，以及以前述第二雜質區域與前述第四雜質區域之間之前述第二半導體柱為通道的第二 SGT；

該柱狀半導體裝置係具備第一半導體層，該第一半導體層係以薄的膜厚覆蓋在前述第一雜質區域與前述第二雜質區域之間的交界區域；

前述第一半導體層之雜質濃度係比前述第一雜質區域和前述第二雜質區域的雜質濃度低。

【0023】 前述柱狀半導體裝置係具備第二半導體層，該第二半導體層係以薄的膜厚覆蓋在前述第一雜質區域和前述第二雜質區域與前述基板之間的交界區域；

前述第二半導體層之雜質濃度係比前述第一雜質區域和前述第二雜質區域的雜質濃度低。

【0024】 前述柱狀半導體裝置係具備第三半導體層，該第三半導體層係以薄的膜厚覆蓋在前述第一雜質區域與前述第一半導體柱之間的交界區域、及前述第二雜質區域與前述第二半導體柱之間的交界區域上；

前述第三半導體層之雜質濃度係比前述第一雜質區域和前述第二雜質區域的雜質濃度低。

【0025】 前述製造方法最好是前述第一半導體層的膜厚係被規定為前述第一半導體層所具有之由施體或受體之製造步驟完成時之雜質擴散長度所決定之施體與受體之雜質交界會形成於前述第一半導體層膜中者。

【0026】 前述製造方法最好是前述第一半導體層為藉由二種以上的元素所形成的化合物半導體層，其化合物比係被規定為由該化合物比所決定之施體或受體之雜質擴散長度及其雜質交界會形成於前述第一半導體層膜中者。

【0027】 前述製造方法最好是前述第二半導體層的膜厚係被規定為前述第二半導體層所具有之施體或受體之製造步驟完成時之雜質擴散區域會位於前述第二半導體層與前述基板之間之交界者。

【0028】 前述製造方法最好是前述第二半導體層為藉由二種以上的元素所形成的化合物半導體層，其化合物比係被規定為由該化合物比所決定之施體或受體之雜質擴散區域會位於前述第二半導體層與前述基板之間之交界者。

【0029】 前述製造方法最好是前述第三半導體層的膜厚係被規定為前述第三半導體層所具有之施體或受體之製造步驟完成時之雜質擴散區域會位於前述第三半導體層與前述第一半導體柱和前述第二半導體柱之間之交界者。

【0030】 前述製造方法最好是前述第三半導體層為藉由二種以上的元素所形成的化合物半導體層，其化合物比係被規定為由該化合物比所決定之施體或受體之雜質擴散區域會位於前述第三半導體層與前述第一半導體柱和前述第二半導體柱之間之交界者。

【圖式簡單說明】

【0031】

圖 1A 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1B 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1C 係用以說明第一實施型態及第二實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1D 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1E 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1F 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1G 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1H 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1I 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1J 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1K 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1L 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1M 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1N 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1O 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1P 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1Q 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1R 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1S 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1T 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 1U 係用以說明第一實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 2A 係用以說明具有第二實施型態之 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 2B 係用以說明具有第二實施型態之 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 2C 係用以說明具有第二實施型態之 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 3A 係用以說明具有第三實施型態之 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 3B 係用以說明具有第三實施型態之 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 3C 係用以說明第一及第三實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 4A 係用以說明第四實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 4B 係用以說明第四實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 5A 係用以說明第五實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 5B 係用以說明第五實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 5C 係用以說明第一及第五實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 6A 係用以說明第六實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 6B 係用以說明第六實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 6C 係用以說明第六實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 6D 係用以說明第六實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 6E 係用以說明第六實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 7 係用以說明第一實施型態、第三實施型態及第五實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 8 係用以說明第七實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 9 係用以說明第八實施型態之具有 SGT 之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖 10 係顯示習知例之 SGT 的示意構造圖。

圖 11 係使用習知例之 SGT 之 SRAM 單元電路圖。

【實施方式】

【0032】 以下參照圖式說明本發明之實施型態之柱狀半導體裝置的製造方法。

【0033】 (第一實施型態)

以下參照圖 1A 至圖 1U 來說明本發明之第一實施型態之具有 SGT 之例之 SRAM 單元電路的製造方法。(a)係俯視圖，(b)係沿著(a)之 X-X'線的剖面構造圖，(c)係沿著(a)之 Y-Y'線的剖面構造圖。

【0034】 如圖 1A 所示，藉由磊晶(epitaxial)結晶成長法在 P 層 1 上形成 N 層 2，以形成基板。再者，在 N 層 2 之表層亦即基板表面，例如，藉

由磊晶結晶成長法形成摻雜有 N⁺雜質的矽 N⁺層 3。另外，亦可藉由離子注入法形成 N⁺層 3。此外，N⁺層 3 亦可形成屬於逆導電型的 P⁺層 3。

以下說明自本實施型態之後，在本步驟中，將形成於基板表面的雜質層以 N⁺雜質的情形進行說明。

【0035】接著，如圖 1B 所示，以將 P⁺層形成於所期望的位置為目的，將對象位置的 N⁺層 3 藉由光微影(photolithography)形成光阻遮罩(resist mask)(未圖示)，且以該光阻遮罩作為遮罩進行蝕刻。另外，亦可不使用光阻遮罩，而使用可成為蝕刻遮罩的遮罩材。

【0036】接著，如圖 1C 所示，整體藉由 ALD(Atomic Layered Deposition，原子層堆積)法，以比 N⁺層 3 或 P⁺層 4 之雜質濃度低的雜質濃度將半導體層 100 形成為比 N⁺層 3 薄的膜厚。另外，該半導體層 100 較佳為不含雜質的本徵半導體。此外，該半導體層 100 所具有之施體或受體雜質擴散係數，較佳為比 N⁺層 3 與 P⁺層 4 各者所具有之施體或受體雜質擴散係數小。

【0037】再者，該半導體層 100 的膜厚，較佳係被規定為該半導體層 100 所具有之由施體或受體之製造步驟完成時之雜質擴散長度所決定之施體與受體的雜質交界會形成於該半導體層 100 膜中者。

【0038】此外，該半導體層 100 較佳為藉由二種以上的元素所形成的化合物半導體層，例如為矽鍺或碳化矽，此外，該化合物比較佳係被規定為由該化合物比所決定之施體或受體之雜質擴散長度及其雜質交界會形成於該半導體層 100 膜中者。

【0039】接如，如圖 1D 所示，整體藉由磊晶結晶成長法，以填滿既已形成之段差之程度之充分的膜厚來形成與 N⁺層 3 為逆導電型之 P⁺層 4。

【0040】接著，如圖 1E 所示，藉由 CMP (Chemical Mechanical Polish, 化學機械研磨) 法將 P⁺層 4 研磨至 N⁺層 3 上之半導體層 100 上的表面為止。另外，雖未圖示，但亦可研磨至 N⁺層 3 上表面為止。

【0041】接著，形成 i 層 6，例如，形成由 SiO₂ 層、氧化鋁 (Al₂O₃，以下稱 AlO) 層、SiO₂ 層所構成的遮罩半導體層 7。再者，例如，堆積矽鍺 (SiGe) 層 8。再者，堆積由 SiO₂ 層所構成的遮罩半導體層 9。再者，如圖 1F 所示，堆積由 SiN_x 層所構成的遮罩半導體層 10。另外，i 層 6 亦可由包含少量施體或受體雜質原子的 N 型、或 P 型的 Si 所形成。

【0042】接著，以藉由微影法所形成之俯視觀察時朝 Y 方向延伸的帶狀阻劑 (resist) 層 (未圖示) 為遮罩，將遮罩半導體層 10 進行蝕刻。藉此，形成於俯視觀察時朝 Y 方向延伸的帶狀遮罩半導體層 (未圖示)。此外，以阻劑層為遮罩，將該帶狀遮罩半導體層進行等向性蝕刻，藉此將帶狀遮罩半導體層的寬度形成為較阻劑層的寬度更窄。藉此，形成具有較藉由微影法所可形成之最小之阻劑層之寬度更小寬度的帶狀遮罩半導體層 10a、10b。再者，以帶狀遮罩半導體層 10a、10b 作為蝕刻遮罩，將遮罩半導體層 9 例如藉由 RIE (Reactive Ion Etching, 反應離子蝕刻) 進行蝕刻而形成帶狀遮罩半導體層 9a、9b。接著，以帶狀遮罩半導體層 9a、9b 為遮罩，將 SiGe 層 8 例如藉由 RIE 法進行蝕刻，藉此如圖 1G 所示，形成帶狀 SiGe 層 8a、8b。前述之帶狀遮罩半導體層 9a、9b 上之帶狀遮罩半導體層 10a、10b，係可在 SiGe 層 8 之蝕刻之前去除，或者使之殘存。

【0043】接著，整體藉由 ALD(Atomic Layered Deposition，原子層堆積)法，以覆蓋遮罩半導體層 7、帶狀 SiGe 層 8a、8b、帶狀遮罩半導體層 9a、9b 之方式形成 SiN_x 層(未圖示)。再者，將整體以例如藉由流動化學氣相沈積(Flow Chemical Vapor Deposition)法之 SiO₂ 層(未圖示)覆蓋，然後，藉由 CMP(Chemical Mechanical Polishing，化學機械研磨)研磨 SiO₂ 層、SiN_x 層以使上表面位置成為帶狀遮罩半導體層 9a、9b 上表面位置，而形成 SiN_x 層 13a、13b、13c。再者，將 SiN_x 層 13a、13b、13c 的頂部進行蝕刻而形成凹部。此凹部的底部位置，形成為位於帶狀遮罩半導體層 9a、9b 的下部位置。再者，整體覆蓋 SiN_x 層(未圖示)，且將整體藉由 CMP 法研磨 SiN_x 層以使上表面位置成為遮罩半導體層 9a、9b 上表面位置。再者，將藉由流動 CVD 所形成的 SiO₂ 層予以去除。藉此，如圖 1H 所示，在帶狀遮罩半導體層 9a、9b 的兩側，形成俯視觀察時具有與 SiN_x 層 13a、13b、13c 之頂部形狀相同形狀的帶狀遮罩半導體層 12aa、12ab、12ba、12bb。

【0044】接著，如圖 1I 所示，以帶狀遮罩半導體層 9a、9b、12aa、12ab、12ba、12bb 為遮罩而將 SiN_x 層 13a、13b、13c 進行蝕刻，而形成帶狀 SiN_x 層 13aa、13ab、13ba、13bb。此時，於俯視觀察時，帶狀 SiN_x 層 13aa、13ab、13ba、13bb 的寬度變為相同。

【0045】接著，將帶狀遮罩半導體層 9a、9b、帶狀 SiGe 層 8a、8b 予以去除。藉此，如圖 1J 所示，在遮罩半導體層 7 上，形成在各者的頂部上具有俯視觀察時朝 Y 方向延伸而且彼此平行排列的帶狀半導體層 12aa、12ab、12ba、12bb 的帶狀 SiN_x 層 13aa、13ab、13ba、13bb。

【0046】接著，以覆蓋整體之方式形成藉由 FCVD 法所形成的 SiO_2 層 (未圖示)。再者，藉由 CMP 法將 SiO_2 層進行研磨以使其上表面位置與帶狀遮罩半導體層 12aa、12ab、12ba、12bb 的上表面位置相同，如第 1K 圖所示，形成 SiO_2 層 15。再者，在 SiO_2 層 15、帶狀遮罩半導體層 12aa、12ab、12ba、12bb 上形成 SiN_x 層 16。再者，使用與形成帶狀 SiN_x 層 13aa、13ab、13ba、13bb 之方法相同之基本的方法，而在 SiN_x 層 16 上形成朝 X 方向延伸而且彼此平行排列的帶狀遮罩半導體層 17a、17b。

【0047】接著，如圖 1L 所示，以帶狀遮罩材料層 17a、17b 為遮罩，將 SiN_x 層 16、帶狀遮罩半導體層 12aa、12ab、12ba、12bb、帶狀 SiN_x 層 13aa、13ab、13ba、13bb、遮罩半導體層 7 進行 RIE 蝕刻。再者，將殘存的 SiN_x 層 16、 SiO_2 層 15 予以去除。藉此，形成於俯視觀察時頂部具有矩形之遮罩半導體層 19a、19b、19c、19d、19e、19f、19g、19h 的 SiN_x 柱 20a、20b、20c、20d、20e、20f、20g、20h。

【0048】接著，如第 1M 圖所示，將矩形的遮罩半導體層 19b、19g、 SiN_x 柱 20b、20g 予以去除。

【0049】接著，以遮罩半導體層 19a、19c、19d、19e、19f、19h 和 SiN_x 柱 20a、20c、20d、20e、20f、20h 為遮罩將遮罩半導體層 7 進行蝕刻，而形成遮罩半導體層 7a、7b、7c、7d、7e、7f。再者，將遮罩半導體層 19a、19c、19d、19e、19f、19h 和 SiN_x 柱 20a、20c、20d、20e、20f、20h 予以去除。再者，以遮罩半導體層 7a、7b、7c、7d、7e、7f 為遮罩將 i 層 6 進行蝕刻，如圖 1N 所示，在 N^+ 層 3、 P^+ 層 4a、4b 上形成 Si 柱 6a、6b、6c、6d、6e、6f。另外，遮罩半導體層 7a、7b、7c、7d、7e、7f 亦可為在垂直

方向上去除遮罩半導體層 7 的上部層而成者。遮罩半導體層 7 的材料構成，係為了獲得具有精確度之遮罩半導體層 7a、7b、7c、7d、7e、7f 而進行選擇。

【0050】接著，如第 10 圖所示，將相連於 Si 柱 6a、6b、6c 之底部的 N⁺層 3、P⁺層 4a、N 層 2、P 層基板 1 進行蝕刻，而形成由 P 層基板 1 之上部、N 層 21a、N⁺層 3aa、3ab(第三雜質層與第四雜質層的一方)、P⁺層 4aa(若 N⁺層 3ab 為第三雜質層則為第四雜質層，若 N⁺層 3ab 為第四雜質層則為第三雜質層)所構成的 Si 柱台 21a。同時，將相連於 Si 柱 6d、6e、6f 之底部的 N⁺層 3、P⁺層 4b、N 層 2、P 層基板 1 進行蝕刻，而形成由 P 層基板 1 之上部、N 層 2b、N⁺層 3ba(未圖示，第三雜質層和第四雜質層的一方)、3bb(未圖示)、P⁺層 4bb(若 N⁺層 3ba 為第三雜質層則為第四雜質層，若 N⁺層 3ba 為第四雜質層則為第三雜質層)所構成的 Si 柱台 21b。再者，在 N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb、N 層 2a、2b 的外周部、及 P 層基板 1 上形成 SiO₂ 層 22。再者，藉由 ALD 法，以覆蓋整體之方式形成 HfO₂ 層 23、TiN 層(未圖示)。此時，在 Si 柱 6b、6c 間與 Si 柱 6d、6e 間，係由 TiN 層以側面彼此接觸著。再者，形成包圍著在 Si 柱 6a 之外周所形成之 HfO₂ 層 23 的 TiN 層 24a、包圍著在 Si 柱 6b、6c 之外周所形成之 HfO₂ 層 23 的 TiN 層 24b、包圍著在 Si 柱 6d、6e 之外周所形成之 HfO₂ 層 23 的 TiN 層 24c、及包圍著在 Si 柱 6f 之外周所形成之 HfO₂ 層 23 的 TiN 層 24d。再者，整體覆蓋 SiO₂ 層(未圖示)，之後，藉由 CMP 法而將整體進行研磨以使其上表面位置成為遮罩半導體層 7a、7b、7c、7d、7e、7f 的上表面位置。再者，將經由 RIE 法平坦化後的 SiO₂ 層(未圖示)進

行蝕刻，而形成 SiO₂ 層 25。接著，以遮罩半導體層 7a、7b、7c、7d、7e、7f、SiO₂ 層 25 為遮罩，而將該 HfO₂ 層 23、TiN 層 24a、24b、24c、24d 的頂部去除。TiN 層 24a、24b(第一閘極導體層、第二閘極導體層)、24c(第一閘極導體層、第二閘極導體層)、24d 係成為 SGT 的閘極導體層。

【0051】接著，如圖 1P 所示，將遮罩半導體層 7a 至 7f 予以去除，在 Si 柱 6a 至 6f 之外周部的 SiO₂ 層 25 上，整體形成 SiN_x 層 27(第一絕緣層)，且藉由 CMP 法將整體研磨為使 Si 柱 6a 至 6f 的上部露出。

【0052】接著，如圖 1Q 所示，在 SiN_x 層 27 上，以覆蓋整體之方式覆蓋藉由 FCVD 法所形成的 SiO 層 28，之後，例如藉由 RIE(Reactive Ion Etching)法將該 SiO 層 28 進行蝕刻以使 Si 柱 6b、6e、SiN_x 層露出，且於俯視觀察時形成帶狀溝部 28c、帶狀覆蓋部 28a、28b，及藉由選擇磊晶結晶成長法，在露出之 Si 柱 6b、6e 頂部，形成含有受體雜質之 P⁺層 32b(第一雜質層和第二雜質層的一方)、32e(第一雜質層和第二雜質層的一方)。

【0053】接著，以覆蓋整體之方式覆蓋藉由 FCVD 法所形成的 SiO 層 29，之後，於俯視觀察時，以使 Si 柱 6a、6c、6d、6f、SiN_x 層 27 露出之方式藉由例如 RIE 法形成與帶狀溝部 28c 為相反圖案之帶狀溝部 29a、29b。接著，如圖 1R 所示，藉由選擇磊晶結晶成長法，在露出之 Si 柱 6a、6c、6d、6f 頂部，形成含有受體雜質的 N⁺層 32a(第一雜質層和第二雜質層的一方)、32c(第一雜質層和第二雜質層的一方)、32d(第一雜質層和第二雜質層的一方)、32f(第一雜質層和第二雜質層的一方)。

【0054】接著，藉由例如等向性蝕刻將 SiO 層 29 去除，且藉由 CVD 法整體覆蓋 SiO₂ 層 30，且如圖 1S 所示，以使各 32a 至 32f 的至少一部分

· 露出的方式藉由微影法、RIE 法進行蝕刻，從而形成 30a、30b、30c、30d、
· 30e、30f。

【0055】接著，覆蓋薄的 TiN 層(未圖示)、W 層(未圖示)，且如圖 1T 所示，以使 SiO₂ 層 30 的表面充分露出的方式藉由 CMP 法將整體進行研磨，從而形成 33a、33b、33c、33d、33e、33f。

另外，本步驟亦可在 SiO₂ 層 30 前先覆蓋薄的 TiN 層、W 層，且以使 TiN 層、W 層殘存於各 32a 至 32f 的至少一部分的方式藉由微影法、RIE 法進行蝕刻，且於形成 33a、33b、33c、33d、33e、33f 之後，藉由 CVD 法整體覆蓋 SiO₂ 層 30，且藉由 CMP 法將整體進行研磨。此時，研磨量係可進行至 W 層表面露出，亦可使 W 層上仍然殘存著 SiO₂ 層 30。

【0056】接著，如圖 1U 所示，以覆蓋整體之方式形成上表面為平坦的 SiO₂ 層 35。再者，經由在 N⁺層 3aa 與 P⁺層 4aa 之俯視觀察時的交界上、和 TiN 層 24c 上所形成的接觸孔 C1 而形成連接配線金屬層 XC1(未圖示)。同時，經由在 N⁺層 3bb 與 P⁺層 4bb 之俯視觀察時的交界上、和 TiN 層 24b 之上所形成的接觸孔 C2 而形成連接配線金屬層 XC2。以覆蓋整體之方式形成上表面為平坦的 SiO₂ 層 36。再者，經由在 TiN 層 24a、24d 上所形成的接觸孔 C3、C4 而形成字元配線金屬層 WL。以覆蓋整體之方式形成上表面為平坦的 SiO₂ 層 37。再者，經由在 P⁺層 32b、32e 上之 W 層 33b、33e 上所形成的接觸孔 C5、C6 而形成電源配線金屬層 Vdd。再者，經由在 N⁺層 32c 上之 W 層 33c 上所形成的接觸孔 C7 而形成接地配線金屬層 Vss1。同時，經由在 N⁺層 32d 上之 W 層 33d 上所形成的接觸孔 C8 而形成接地配線金屬層 Vss2。再者，以覆蓋整體之方式形成上表面為平坦

的 SiO₂ 層 39。再者，經由在 N⁺層 32a、32f 上之 W 層 33a、33f 所形成的接觸孔 C9、C10 而形成位元輸出配線金屬層 BL、反轉位元輸出配線金屬層 RBL。藉此，在 P 層基板 1 上形成 SRAM 單元電路。在本 SRAM 電路中，係於 Si 柱 6b、6e 形成負載 SGT，且於 Si 柱 6c、6d 形成驅動 SGT，及於 Si 柱 6a、6f 形成選擇 SGT。

【0057】另外，藉由圖 1N、圖 1O 所示之 N⁺層 32a、32c、32d、32f、P⁺層 32b、32e 之形成後的熱步驟，利用從 N⁺層 32a、32c、32d、32f、P⁺層 32b、32e 至 Si 柱 6a 至 6f 之頂部的施體或受體雜質的擴散，而形成 N⁺層 40a、40c、40d、40f(未圖示)、P⁺層 40b、40e(未圖示)。N⁺層 40a、40c、40d、40f、P⁺層 40b、40e 的分布形狀，係藉由熱步驟的歷程及 Si 柱 6a 至 6f 的直徑，而形成於 Si 柱 6a 至 6f 的表層或內部整體。N⁺層 32a、32c、32d、32f、40a、40c、40d、40f、P⁺層 32b、32e、40b、40e(當 P⁺層 32b、32e、40b、40e 為第一雜質層的情形下，N⁺層 32c、32d、40c、40d 係第二雜質層，當 P⁺層 32b、32e、40b、40e 為第二雜質層的情形下，N⁺層 32c、32d、40c、40d 為第一雜質層)係相連於 Si 柱 6a 至 6f 的頂部而形成。

【0058】此外，如圖 1Q 所示，在 Si 柱 6a 至 6f 的下部，於 N 層 2ca、2cb 上相連地形成有成為 SGT 之源極或汲極之 N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb。相對於此，亦可將 N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb 形成於 Si 柱 6a 至 6f 的底部，而且將 N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb 間經由金屬層、合金層來連接。此外，N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb，亦可連接於 Si 柱 6a 至 6f 的底部側面來形成。綜上所述，成為 SGT 之源極或汲極之 N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、

4bb 亦可相接於 Si 柱 6a 至 6f 之底部的內部或側面外側，而形成於其外周，再者，各者亦可用其他導體材料電性連接。此點在本發明的其他實施型態中亦復相同。

【0059】 在藉由使用 SGT 的電路謀求高集積化時，半導體柱間的離開距離必定會變小。例如在本實施型態中，半導體柱 6a、6b、6c 各者的間隔會變小。由此之故，會產生下列課題。

[課題 1]

與鄰接於高濃度 N⁺層 3aa、3ab 之高濃度 P⁺層 4aa 相接之交界區域，因為製程步驟之熱所導致之各者之雜質的相互擴散，而使施體雜質與受體雜質彼此抵銷，雜質濃度顯著降低，而造成高電阻。結果，驅動能力降低。

[課題 2]

當前述之相互擴散較大時，N⁺層 3aa、3ab 變為逆導電型的 P⁺層，或 P⁺層變為逆導電型的 N⁺層，結果引起動作不良。

【0060】 [特徵 1]

依據第一實施型態的製造方法，對於上述問題具有下列特徵。在與鄰接於 N⁺層 3aa、3ab 之 P⁺層 4aa 的交界區域，藉由形成雜質濃度比 N⁺層 3aa、N⁺層 3ab、P⁺層 4aa 之雜質濃度低的半導體層 100，高濃度雜質層彼此即不會相接，而不會產生施體雜質與受體雜質彼此抵銷的現象。因此，可避免課題 1 的驅動能力降低與課題 2 的動作不良。另外，藉由將半導體層 100 以不含施體雜質和受體雜質之本徵半導體來形成，此外以半導體層 100 所具有之雜質擴散係數比 N⁺層 3aa、N⁺層 3ab、P⁺層 4aa 所具有之雜質擴散係數小的材料來形成，可獲得更進一步的效果。

[特徵 2]

在本實施型態中，已說明了由六個 SGT 所構成的 SRAM 單元。相對於此，本發明亦可適用於由八個 SGT 所構成的 SRAM 單元。在由八個 SGT 所構成的 SRAM 單元中，係朝 Y 方向排列的二列分別由四個 SGT 所構成。再者，此四個 SGT 之中，係負荷用或驅動用的 SGT 二個鄰接地排列。此時，三個排列的負荷用與驅動用之 SGT 的閘極電極係連接著，再者，鄰接的負荷用與驅動用之 SGT 之上部的雜質層係必須離開地形成。鄰接之負荷用與驅動用之 SGT 的關係，係與由六個 SGT 所構成之 SRAM 單元相同，故藉由應用本實施型態的方法，可形成由高密度之八個 SGT 所構成的 SRAM 單元。本發明亦可適用於其他由複數個 SGT 所構成的 SRAM 單元形成。

[特徵 3]

在本實施型態中，係已說明了將本發明應用於 SRAM 單元之例。在形成於相同晶片上的邏輯電路中最多被使用的反相器電路，係由至少二個 N 通道 SGT 與 P 通道 SGT 所構成，N 通道 SGT 與 P 通道 SGT 的閘極電極係連接著。再者，二個 N 通道 SGT 與 P 通道 SGT 之各者之上部的雜質區域必須離開。如此，SRAM 單元的負荷 SGT 與驅動 SGT 的關係、和反相器電路之 N 通道 SGT 與 P 通道 SGT 的關係係相同。此係顯示例如藉由使本發明應用於包含有 SRAM 單元區域與邏輯電路區域之微處理器電路，即可實現高密度微處理器電路。

[特徵 4]

在本實施型態中，係形成俯視觀察時圓形的 Si 柱 6a 至 6f。Si 柱 6a 至 6f 之一部分或所有俯視觀察時的形狀，係易於形成圓形、橢圓、朝一方向延伸較長之形狀等形狀。再者，在從 SRAM 區域離開地形成之邏輯電路區域中，亦可依據邏輯電路設計，而於邏輯電路區域中，混合地形成俯視觀察時形狀不同的 Si 柱。藉此，即可實現高密度而且高性能的微處理器電路。

【0061】 (第二實施型態)

以下參照圖 2A 至圖 2C 來說明本發明之第二實施型態之具有 SGT 之 SRAM 電路的製造方法。(a)係俯視圖，(b)係(a)之沿著 X-X'線的剖面構造圖，(c)係(a)之沿著 Y-Y'線的剖面構造圖。

【0062】 進行至圖 1A、圖 1B 為止的步驟，接著，如圖 2A 所示，在覆蓋半導體層 100 之後，整體藉由 ALD 法覆蓋半導體層 101，該半導體層 101 的雜質濃度比 N⁺層 3 或 P⁺層 4 之雜質濃度更低且晶格常數、蝕刻選擇比、雜質擴散係數係與半導體層 100 不同。另外，該半導體層 101 較佳為不含雜質的本徵半導體。此外，在本實施型態中，雖積層有二種半導體層，但亦可積層有二種以上的積層數。

【0063】 接著，如圖 2B 所示，整體藉由磊晶結晶成長法以填滿既已形成之段差之程度之充分的膜厚來形成與 N⁺層 3 為逆導電型的 P⁺層 4。

【0064】 接著，如圖 2C 所示，藉由 CMP 法將 P⁺層 4 研磨至 N⁺層 3 上部之半導體層 100 上的表面為止。另外，雖未圖示，但亦可研磨至 N⁺層 3 上之半導體層 101 上的表面、或 N⁺層 3 上表面為止。

【0065】 之後的步驟，係與第一實施例的圖 1F 之後相同。

【0066】 本實施型態係具有下列特徵。

[特徵 1]

如圖 2B 所示，在以磊晶層形成雜質 P⁺層 4 於半導體層 101 正上方時，藉由將例如本徵非晶矽(amorphous silicon)使用於半導體層 101，即可比形成磊晶層於半導體層 100 正上方，形成缺陷更少之良質的磊晶層。

[特徵 2]

如圖 2C 所示，在以 CMP 法研磨雜質 P⁺層 4 時，藉由使用研磨率慢的材料於半導體層 101，即可有助於作為使研磨在半導體層 101 表面上停止，不會研磨去除至下層的蝕刻擋止部(etching stopper)。

【0067】 (第三實施型態)

以下參照圖 3A、圖 3B 來說明本發明之第三實施型態之具有 SGT 之 SRAM 電路的製造方法。(a)係俯視圖，(b)係(a)之沿著 X-X'線的剖面構造圖，(c)係(a)之沿著 Y-Y'線的剖面構造圖。

【0068】 在由 P 層 1 與整面覆蓋於該 P 層 1 上表面的 N 層 2 所構成的基板上，如圖 3A 所示，整體以比 N⁺層 3 或 P⁺層 4 之雜質濃度低的雜質濃度覆蓋半導體層 110，接著，整體覆蓋 N⁺層 3。另外，該半導體層 110 較佳為不含雜質的本徵半導體。此外，該半導體層 110 所具有之施體或受體雜質擴散係數，較佳為比 N⁺層 3 與 P⁺層 4 各者所具有之施體或受體雜質擴散係數小。

【0069】 再者，該半導體層 110 的膜厚，較佳為被規定為該半導體層 110 所具有之施體或受體之製造步驟完成時之雜質擴散區域會位於該半導體層 110 與前述基板之間之交界者。

【0070】此外，該半導體層 110 較佳為藉由二種以上的元素所形成之化合物半導體層，例如為矽鍺或碳化矽，此外，該化合物比較佳為被規定為由該化合物比所決定之施體或受體之雜質擴散區域會位於該半導體層 110 與前述基板之間的交界者。

【0071】接著，如圖 3B 所示，以形成 P⁺層於所期望的位置為目的，藉由光微影形成光阻遮罩(未圖示)，且以該光阻遮罩作為遮罩將對象位置的 N⁺層 3 及半導體層 110 進行蝕刻。另外，本實施型態之情形，亦可僅將 N⁺層 3 進行蝕刻，使半導體層 110 殘存。

【0072】之後的實施型態，係與第一實施型態之圖 1C 之後相同。

【0073】本實施型態係具有下列特徵。

藉由在基板與雜質 N⁺層 3 的交界，形成雜質濃度比 N⁺層 3 或 P⁺層 4 之雜質濃度低的半導體層 110，即可抑制雜質從雜質 N⁺層 3 往基板方向擴散，而避免課題 1 的驅動能力降低和課題 2 的動作不良。

【0074】實施第一實施型態和本第三實施型態時的最終構造圖為圖 3C，首先，在圖 3A、圖 3B 形成第三實施型態，接著，實施圖 1C 至圖 1U，藉此形成第一實施型態，結果，可獲得圖 3C 的構造。本構造係兼具第一及第三實施型態之兩型態的特徵，對於本發明所欲解決的課題，具有更大的功效。

【0075】(第四實施型態)

以下參照圖 4A、圖 4B 來說明本發明之第四實施型態之具有 SGT 之 SRAM 電路的製造方法。(a)係俯視圖，(b)係(a)之沿著 X-X'線的剖面構造圖，(c)係(a)之沿著 Y-Y'線的剖面構造圖。

【0076】 在由 P 層 1 與整面覆蓋於該 P 層 1 上表面的 N 層 2 所構成的基板上，於覆蓋半導體層 110 之後，如圖 4 所示，整體覆蓋半導體層 111，該半導體層 111 的雜質濃度比 N⁺層 3 或 P⁺層 4 之雜質濃度低而且晶格常數、蝕刻選擇比、雜質擴散係數係與半導體層 110 不同。另外，該半導體層 111 較佳為不含雜質的本徵半導體。此外，在本實施型態中，雖積層有二種半導體層，但亦可積層有二種以上的積層數。

【0077】 接著，如圖 4B 所示，以形成 P⁺層於所期望的位置為目的，藉由光微影形成光阻遮罩(未圖示)，且以該光阻遮罩作為遮罩將對象位置的 N⁺層 3 及半導體層 110 與 111 進行蝕刻。另外，本實施型態之情形，亦可僅將 N⁺層 3 進行蝕刻，使半導體層 110 與 111 殘存，亦可將 N⁺層 3 與半導體層 111 進行蝕刻，使半導體層 110 殘存。

【0078】 之後的實施型態係與第一實施型態之圖 1C 之後相同。

【0079】 本實施型態係具有下列特徵。

[特徵 1]

如圖 4A 所示，在以磊晶層形成雜質 N⁺層 3 於半導體層 111 正上方時，藉由將例如本徵非晶矽(amorphous silicon)使用於半導體層 111，即可比形成磊晶層於半導體層 110 正上方，形成缺陷更少之良質的磊晶層。

[特徵 2]

如圖 4B 所示，在將雜質 N⁺層 3 進行蝕刻時，藉由使用研磨率慢的材料於半導體層 111，即可有助於作為使蝕刻在半導體層 111 表面上或 111 膜中停止，不會研磨去除至下層的蝕刻擋止部。

【0080】 (第五實施型態)

以下參照圖 5A、圖 5B 來說明本發明之第五實施型態之具有 SGT 之 SRAM 電路的製造方法。(a)係俯視圖，(b)係(a)之沿著 X-X'線的剖面構造圖，(c)係(a)之沿著 Y-Y'線的剖面構造圖。

【0081】在進行至第一實施形態的圖 1D 之後，如圖 5A 所示，藉由 CMP 法將 P⁺層 4 研磨至 N⁺層 3 上表面為止。

【0082】接著，如圖 5B 所示，整體覆蓋雜質濃度比 N⁺層 3 或 P⁺層 4 之雜質濃度低的半導體層 120。另外，該半導體層 120 較佳為不含雜質的本徵半導體。此外，該半導體層 120 所具有之施體或受體雜質擴散係數，較佳為比 N⁺層 3 與 P⁺層 4 各者所具有之施體或受體雜質擴散係數小。

【0083】再者，該半導體層 120 的膜厚，較佳為被規定為該半導體層 120 所具有之施體或受體之製造步驟完成時之雜質擴散區域會位於該半導體層 120 與前述 i 層 6 之間之交界者。

【0084】此外，該半導體層 120 較佳為藉由二種以上的元素所形成之化合物半導體層，例如為矽鍺或碳化矽，此外，該化合物比較佳為被規定為由該化合物比所決定之施體或受體之雜質擴散區域會位於該半導體層 120 與前述 i 層 6 之間的交界者。

【0085】之後的實施型態，係與第一實施型態之圖 1F 之後相同。

【0086】本實施型態係具有下列特徵。

[特徵 1]

藉由在雜質 N⁺層 3、P⁺層 4 與 i 層 6 的交界，形成雜質濃度比 N⁺層 3 或 P⁺層 4 之雜質濃度低的半導體層 120，即可抑制雜質從雜質 N⁺層 3 及 P⁺層 4 往半導體柱方向擴散，而避免課題 1 的驅動能力降低和課題 2 的動

作不良。當半導體層 120 為本徵半導體，而且所具有之施體或受體雜質擴散係數，比 N⁺層 3 與 P⁺層 4 各者所具有之施體或受體雜質擴散係數小時，所獲得的功效更大。

[特徵 2]

藉由前項 1 之抑制雜質往半導體方向擴散的功效，不再需要將半導體柱增高相應於雜質擴散程度，而可將半導體柱高度抑制為較低，可使半導體柱不易崩壞。

【0087】 實施第一實施型態和本第五實施型態時的最終構造圖為圖 5C，首先，在圖 1A 至圖 1C 形成第一實施型態，接著，在圖 5A、圖 5B 形成第五實施型態，接著，實施圖 1F 至圖 1U，結果，可獲得圖 5C 的構造。本構造係兼具第一及第五實施型態之兩型態的特徵，對於本發明所欲解決的課題，具有更大的功效。

【0088】 (第六實施型態)

以下參照圖 6A 至圖 6D 來說明本發明之第六實施型態之具有 SGT 之 SRAM 電路的製造方法。(a)係俯視圖，(b)係(a)之沿著 X-X'線的剖面構造圖，(c)係(a)之沿著 Y-Y'線的剖面構造圖。

【0089】 在進行至第五實施形態的圖 5B 之後，如圖 6A 所示，在半導體層 120 的整面，整體覆蓋半導體層 121，該半導體層 121 的雜質濃度比 N⁺層 3 或 P⁺層 4 之雜質濃度低而且晶格常數、蝕刻選擇比、雜質擴散係數係與半導體層 120 不同。

【0090】 接著，形成 i 層 6，例如，形成由 SiO₂ 層、氧化鋁(Al₂O₃，以下稱為 AlO)層、SiO₂ 層所構成的遮罩半導體層 7。再者，例如，堆積矽

鍺(SiGe)層 8。再者，堆積由 SiO₂ 層所構成的遮罩半導體層 9。再者，如圖 6B 所示，堆積由 SiN_x 層所構成的遮罩半導體層 10。另外，i 層 6 係可由包含少量施體或受體雜質原子的 N 型、或 P 型的 Si 所形成。

【0091】接著，經過與第一實施型態之圖 1G 至圖 1L 完全相同的步驟而到達圖 6C。

【0092】接著，以遮罩半導體層 19a、19c、19d、19e、19f、19h、SiN_x 柱 20a、20c、20d、20e、20f、20h 為遮罩，將遮罩半導體層 7 進行蝕刻，而形成遮罩半導體層 7a、7b、7c、7d、7e、7f。再者，將遮罩半導體層 19a、19c、19d、19e、19f、19h、與 SiN_x 柱 20a、20c、20d、20e、20f、20h 予以去除。再者，以遮罩半導體層 7a、7b、7c、7d、7e、7f 為遮罩，如圖 6D 所示，將 i 層 6 蝕刻至半導體層 121 上為止。

【0093】接著，進一步以遮罩半導體層 7a、7b、7c、7d、7e、7f 為遮罩，依序蝕刻半導體層 121 與 120。再者，如圖 6E 所示，在 N⁺層 3、P⁺層 4a、4b 上形成 Si 柱 6a、6b、6c、6d、6e、6f。另外，遮罩半導體層 7a、7b、7c、7d、7e、7f 亦可為在垂直方向上將遮罩半導體層 7 的上部層予以去除而得者。遮罩半導體層 7 的材料構成，係為了獲得具有精確度之遮罩半導體層 7a、7b、7c、7d、7e、7f 而進行選擇。

【0094】本實施型態係具有下列特徵。

[特徵 1]

如圖 6B 所示，在以磊晶層形成 i 層 6 於半導體層 121 正上方時，藉由將例如本徵非晶矽使用於半導體層 121，即可比形成磊晶層於半導體層 120 正上方，形成缺陷更少之良質的磊晶層。

[特徵 2]

如圖 6D 所示，在蝕刻 i 層 6 時，藉由使用研磨率慢的材料於半導體層 121，即可使蝕刻暫時在半導體層 121 上停止，抑制在本步驟中之蝕刻量的參差不齊。接著，如圖 6E 所示，可依序蝕刻半導體層 121、120，在 N⁺層 3、P⁺層 4a、4b 上形成柱高之參差不齊較少之 Si 柱 6a、6b、6c、6d、6e、6f。

【0095】 實施第一實施型態、第三實施型態、第五實施型態時之最終構造圖為圖 7，首先，在圖 3A、圖 3B 形成第三實施型態，接著，實施圖 1C，藉此形成第一實施型態，接著，在圖 5A、圖 5B 形成第五實施型態，接著，實施圖 1F 至圖 1U，結果，可獲得圖 7 的構造。本構造係兼具第一及第三及第五實施型態的特徵，對於本發明所欲解決的課題，具有更大的功效。

【0096】 (第七實施型態)

以下參照圖 8 來說明本發明之第七實施型態之具有 SGT 之 SRAM 電路的製造方法。(a)係俯視圖，(b)係(a)之沿著 X-X'線的剖面構造圖，(c)係(a)之沿著 Y-Y'線的剖面構造圖，(d)係(b)之主要部分的剖面構造放大圖。

【0097】 圖 8 係與第一實施例之圖 1U 的步驟相同，(b)的位置為通過(a)之俯視觀察時之接觸孔頂部 C1 之剖面的構造圖，顯示接觸孔頂部 C1 與下部雜質擴散層之連接配線金屬層 XC1 的剖面。

【0098】 如圖 8 之(b)、(d)所示，其特徵為：在 XC1 底部內，以電性連接於 N⁺層 3aa、P⁺層 4aa、及位於該二層之交界之半導體層 100a 的三層之方式形成有 XC1。

【0099】 本實施型態係具有下列特徵。

由於藉由施體雜質自 N⁺層 3aa 之擴散與受體雜質從 P⁺層 4aa 之擴散之兩方，而於半導體層 100a 的膜中形成陡峭的 PN 接合，且至少包含該半導體層 100a，以與 N⁺層 3aa、P⁺層 4aa 電性連接之方式形成有 XC1，故可獲得充分低的接觸電阻。

【0100】 (第八實施型態)

以下參照圖 9 來說明本發明之第八實施型態之具有 SGT 之 SRAM 電路的製造方法。(a)係俯視圖，(b)係(a)之沿著 X-X'線的剖面構造圖，(c)係(a)之沿著 Y-Y'線的剖面構造圖，(d)係(b)中之主要部分的剖面構造放大圖。

【0101】 圖 9 係與第一實施例之圖 1U 的步驟相同，(b)的位置為通過(a)之俯視觀察時之接觸孔頂部 C1 之剖面的構造圖，顯示接觸孔頂部 C1 與下部雜質擴散層之連接配線金屬層 XC1 的剖面。

【0102】 如圖 9 之(b)、(d)所示，其特徵為：以 XC1 底部電性連接於 N 層 2，且 XC1 側壁部電性連接於 P⁺層 4aa 與半導體層 100a 之方式形成有 XC1。

【0103】 本實施型態係具有下列特徵。

來自 N⁺層 3aa 的施體雜質，係擴散於半導體層 100a 之下部所包含之 N 層 2 的上表面，且 XC1 底部電性連接於施體雜質為高濃度的 N 層 2 區域。而且，XC1 側壁部係電性連接於半導體層 100a 與 P⁺層 4aa。在此型態中，亦與第七實施型態同樣地可獲得充分低的接觸電阻。

【0104】 另外，在本發明的實施型態中，雖於一個半導體柱形成有一個 SGT，但本發明亦可應用於形成二個以上 SGT 的電路形成中。在形成二

個以上 SGT 的電路形成中，本發明所述的 SGT，係位於半導體柱之最下部的 SGT。

【0105】此外，在第一實施型態中，雖形成了 Si 柱 6a 至 6f，但亦可為由其他半導體材料所構成的半導體柱。此點在本發明的其他實施型態中亦復相同。

【0106】此外，第一實施型態中之 N⁺層 3aa、3ab、3ba、3bb、32a、32c、32d、32f、P⁺層 4aa、4bb、32b、32e，亦可由含有施體或受體雜質的 Si、或其他半導體材料層所形成。此點在本發明的其他實施型態中亦復相同。

【0107】此外，在第一實施型態中，N⁺層 32a、32c、32d、32f、P⁺層 32b、32e 係使用選擇磊晶結晶成長法而形成。包含重複 CDE(Chemical Dry Etching，化學乾蝕刻)與通常的磊晶結晶成長法，而於凹部 30a 至 30f 內的 Si 柱 6a 至 6f 的頂部上形成 N⁺層 32a、32c、32d、32f、P⁺層 32b、32e 的方法，亦可藉由其他方法選擇地形成 N⁺層 32a、32c、32d、32f、P⁺層 32b、32e。此點在本發明的其他實施型態中亦復相同。

【0108】此外，第一實施型態中之 Si 柱 6a 至 6f 之外周部的 SiN_x 層 27，若為符合本發明之目的的材料，亦可使用含有由單層或複數層所構成之有機材料或無機材料的其他材料層。此點在本發明的其他實施型態中亦復相同。

【0109】此外，在第一實施型態中，遮罩材料層 7 係由 SiO₂ 層、氧化鋁(Al₂O₃，以下稱為 AlO)層、SiO₂ 層所形成。遮罩材料層 7 若為符合本發

明的材料，亦可使用含有由單層或複數層所構成之有機材料或無機材料的其他材料層。此點在本發明的其他實施型態中亦復相同。

【0110】此外，在第一實施型態中之各種配線金屬層 XC1、XC2、WL、Vdd、Vss、BL、RBL 的材料，不僅為金屬，亦可為合金、包含有較多施體或受體雜質之半導體層等的導電材料層，再者，亦可將此等以單層、或組合複數層來構成。此點在本發明的其他實施型態中亦復相同。

【0111】此外，在第一實施型態中，如圖 10 所示，係使用了 TiN 層 24a、24b、24c、24d 作為閘極金屬層。此 TiN 層 24a、24b、24c、24d 若為符合本發明之目的的材料，可使用由單層或複數層所構成的材料層。TiN 層 24a、24b、24c、24d 係可由至少具有所期望的工作函數之單層或複數層的金屬層等導體層所形成。亦可在此外側，形成例如 W 層等其他導電層。此時，W 層係進行連接閘極金屬層之金屬配線層的作用。亦可在 W 層以外，使用單層或複數層的金屬層。此外，雖使用了 HfO₂ 層 23 作為閘極絕緣層，但亦可分別使用由單層或複數層所構成的其他材料層。此點在本發明的其他實施型態中亦復相同。

【0112】在第一實施型態中，Si 柱 6a 至 6f 之俯視觀察時的形狀係圓形。再者，Si 柱 6a 至 6f 之一部分或所有俯視觀察時的形狀，係可容易地形成圓形、橢圓、朝一方向延伸較長之形狀等形狀。再者，在從 SRAM 區域離開地形成的邏輯電路區域中，亦可依據邏輯電路設計而在邏輯電路區域上混合地形成俯視觀察時形狀不同的 Si 柱。此等各點在本發明的其他實施型態中亦復相同。

【0113】此外，在第一實施型態中，係連接於 Si 柱 6a 至 6f 的底部而形成了 N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb。亦可在 N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb 上表面形成金屬、矽化物等合金層。綜上所述，相連於 Si 柱 6a 至 6f 之底部的雜質區域、和連接此等雜質層的雜質層結合區域的形成，係可從設計乃至製造上的觀點來決定。N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb，係兼用為雜質層、及雜質層結合區域。此點在本發明的其他實施型態中亦復相同。

【0114】此外，在第一實施型態中，雖於 P 層基板 1 上形成了 SGT，但亦可使用 SOI(Silicon On Insulator，絕緣體上矽薄膜)基板以取代 P 層基板 1。或者，若為發揮作為基板的作用者，亦可使用其他材料基板。此點在本發明的其他實施型態中亦復相同。

【0115】此外，在第一實施型態中，雖已說明了在 Si 柱 6a 至 6f 的上下，使用具有相同極性之導電性的 N⁺層 3aa、3ab、3ba、3bb、3aa、3ab、3ba、3bb、P⁺層 44b、44g、N⁺層 32a、32c、3d、3f、P⁺層 32b、32e 而構成源極、汲極的 SGT，但本發明亦可適用於具有極性不同之源極、汲極的通道型 SGT。此點在本發明的其他實施型態中亦復相同。

【0116】此外，在第一實施型態中，係於形成了閘極 HfO₂ 層 23、閘極 TiN 層 24a、24b、24c、24d 之後，形成 N⁺層 43a、43c、43d、43e、43f、44a、44c、44d、44e、44f、44h、P⁺層 43b、43g、44b、44g。相對於此，亦可在形成了 N⁺層 32a、32c、32d、32f、P⁺層 32b、32e 之後，形成閘極 HfO₂ 層 23、閘極 TiN 層 24a、24b、24c、24d。此點在本發明的其他實施型態中亦復相同。

【0117】此外，在縱型 NAND(反及)型快閃記憶體(flash memory)電路中，係以半導體柱為通道，朝垂直方向形成複數段由包圍該半導體柱之通道氧化層、電荷蓄積層、層間絕緣層、控制導體層所構成的記憶體單元。在此等記憶體單元之兩端的半導體柱中，具有對應源極的源極線雜質層、及對應汲極的位元線雜質層。此外，相對於一個記憶體單元，若該兩側之記憶體單元的一方為源極，則另一方則發揮作為汲極的作用。如此，縱型 NAND 型快閃記憶體電路係 SGT 電路的一種。因此，本發明亦可應用於與 NAND 型快閃記憶體電路混合的電路。

【0118】同樣地，在磁性記憶體電路或強電介體記憶體電路中，對於在記憶體單元區域內外所使用的反相器或邏輯電路亦可適用。

【0119】本發明在不脫離本發明之廣義的精神與範圍下，亦可進行各種實施型態及變更。此外，上述的實施型態，係用以說明本發明之一實施例者，非限定本發明的範圍。上述實施例及變形例係可任意地組合。再者，即使視需要而去除上述實施型態之構成要件的一部分，亦均屬本發明之技術思想的範圍內。

[產業上的可利用性]

【0120】依據本發明之柱狀半導體裝置的製造方法，可獲得高密度的柱狀半導體裝置。

【符號說明】

【0121】

1:P 層基板

2,2a,2b:N 層基板

3,3aa,3ab,3ba,3bb,32a,32c,32d,32f:N⁺層

3a,3b,28c,29a,29b,30a,30b,30c,30d,30e,30f:凹部

4,4a,4b,32b,32e:P⁺層

6:i 層

6a,6b,6c,6d,6e,6f:Si 柱

7,7a,7b,7c,7d,7e,7f,9,10:遮罩半導體層

8:SiGe 層

8a,8b:帶狀 SiGe 層

9a,9b,10a,10b,12aa,12ab,12ba,12bb,17a,17b:帶狀遮罩半導體層

19a,19b,19c,19d,19e,19f,19g,19h:矩形的遮罩半導體層

12,13a,13b,13c,16,27:SiN_x 層

13aa,13ab,13ba,13bb:帶狀 SiN_x 層

15,22,25,28,28a,28b,29,30,35,36,37,38,39:SiO₂ 層

20a,20b,20c,20d,20e,20f,20g,20h:SiN_x 柱

21a,21b:Si 柱台

23:HfO₂ 層

24a,24b,24c,24d:TiN 層

33a,33b,33c,33d,33e,33f:W 層

100,101,110,111,120,121:半導體層

C1,C2,C3,C4,C5,C6,C7,C8,C9,C10:接觸孔

WL:字元配線金屬層

BL:位元配線金屬層

RBL:反轉位元配線金屬層

Vss1,Vss2:接地配線金屬層

Vdd:電源配線金屬層

XC1,XC2:連接配線金屬層

【發明申請專利範圍】

【請求項1】一種柱狀半導體裝置的製造方法，該柱狀半導體裝置係在基板上部具有第一半導體柱、以及與前述第一半導體柱鄰接的第二半導體柱，具有包圍前述第一半導體柱的第一閘極絕緣層，具有包圍前述第二半導體柱的第二閘極絕緣層，具有包圍前述第一閘極絕緣層的第一閘極導體層，具有包圍前述第二閘極絕緣層的第二閘極導體層，具有與前述第一半導體柱之下部連接的第一雜質區域，具有與前述第二半導體柱之下部連接之極性不同於前述第一雜質區域的第二雜質區域，具有與前述第一半導體柱之頂部連接的第三雜質區域，具有與前述第二半導體柱之頂部連接之極性不同於前述第三雜質區域的第四雜質區域，並且具備有：以前述第一雜質區域與前述第三雜質區域之間之前述第一半導體柱為通道的第一 SGT，以及以前述第二雜質區域與前述第四雜質區域之間之前述第二半導體柱為通道的第二 SGT；該柱狀半導體裝置的製造方法係具有下列步驟：

在前述基板表面上形成包含有施體或受體雜質之第一雜質層的步驟；

將俯視觀察時將會形成前述第二雜質區域之前述第一雜質層內之一部分的區域予以去除，且將作為前述去除之結果而殘存的前述第一雜質層形成為前述第一雜質區域的步驟；

在形成前述第一雜質區域之後，以覆蓋全面之方式，將第一半導體層以比前述第一雜質層薄的膜厚予以覆蓋的步驟；

在形成前述第一半導體層之後，以覆蓋全面之方式，將包含有施體或受體雜質的第二雜質層以比前述第一雜質層厚的膜厚予以覆蓋，藉此使前述第一雜質區域與前述第二雜質區域不會相接的步驟；

將前述第二雜質層研磨至前述第一雜質層的上表面、或前述第一雜質層上之前述第一半導體層上的表面，且將作為前述研磨之結果而殘存的前述第二雜質層形成為前述第二雜質區域的步驟；

在前述第一雜質區域之上形成前述第一半導體柱，並且在前述第二雜質區域之上形成前述第二半導體柱的步驟；

在前述第一半導體柱之上形成前述第三雜質區域，並且在前述第二半導體柱之上形成前述第二雜質區域的步驟；

形成包圍前述第一半導體柱之前述第一閘極絕緣層，並且形成包圍前述第二半導體柱之第二閘極絕緣層的步驟；及

形成包圍前述第一閘極絕緣層之前述第一閘極導體層，並且形成包圍前述第二閘極絕緣層之前述第二閘極導體層的步驟；

前述第一半導體層的雜質濃度係比前述第一雜質區域及前述第二雜質區域之雜質濃度低。

【請求項2】 如請求項 1 所述之柱狀半導體裝置的製造方法，其中，前述第一半導體層所具有的施體或受體雜質擴散係數係比前述第一雜質層和前述第二雜質層所具有的雜質擴散係數小。

【請求項3】 如請求項 1 所述之柱狀半導體裝置的製造方法，其中，前述第一半導體層係由相對於前述第二雜質層之蝕刻選擇比或雜質擴散係數或晶格常數為不同之二種以上之半導體層的積層所構成。

【請求項4】 如請求項 1 所述之柱狀半導體裝置的製造方法，其中，在前述基板表面上，形成有濃度比前述第一雜質層和前述第二雜質層之雜質濃度低的第二半導體層。

【請求項5】如請求項 4 所述之柱狀半導體裝置的製造方法，其中，前述第二半導體層所具有的施體或受體雜質擴散係數係比前述第一雜質層和前述第二雜質層所具有的雜質擴散係數小。

【請求項6】如請求項 4 所述之柱狀半導體裝置的製造方法，其中，前述第二半導體層係由相對於前述第一雜質層之蝕刻選擇比或雜質擴散係數或晶格常數為不同之二種以上之半導體層的積層所構成。

【請求項7】如請求項 1 所述之柱狀半導體裝置的製造方法，其中，在前述第一雜質層和前述第二雜質層的上部，形成有濃度比前述第一雜質層和前述第二雜質層之雜質濃度低的第三半導體層。

【請求項8】如請求項 7 所述之柱狀半導體裝置的製造方法，其中，前述第三半導體層所具有的施體或受體雜質擴散係數係比前述第一雜質層和前述第二雜質層所具有的雜質擴散係數小。

【請求項9】如請求項 7 所述之柱狀半導體裝置的製造方法，其中，前述第三半導體層係由相對於前述第二雜質層和前述第二半導體層之蝕刻選擇比或雜質擴散係數或晶格常數為不同之二種以上之半導體層的積層所構成。

【請求項10】如請求項 1 所述之柱狀半導體裝置的製造方法，其中，在前述基板上，於形成前述第一半導體柱和前述第二半導體柱之後，依序形成前述第一閘極絕緣層和前述第二閘極絕緣層、前述第一閘極導體層、前述第二閘極導體層，接著，於俯視觀察時，以與前述第一雜質區域、前述第二雜質區域、和存在於前述第一雜質區域與前述第二雜質區域之交界之前述第一半導體層之三層電性接觸之方式形成第一接觸孔。

【請求項11】如請求項 1 所述之柱狀半導體裝置的製造方法，其中，在前述基板上，於形成前述第一半導體柱和前述第二半導體柱之後，依序形成前述第一閘極絕緣層和前述第二閘極絕緣層、前述第一閘極導體層、前述第二閘極導體層，接著，於俯視觀察時，以至少包含前述第二雜質區域之方式配置前述第一接觸孔，且以在前述第一接觸孔的側壁面與前述第二雜質區域和前述第一半導體層電性接觸，而且在前述第一接觸孔之底面與前述基板電性接觸之方式形成前述第一接觸孔。

【請求項12】如請求項 1 所述之柱狀半導體裝置的製造方法，其中，前述第一半導體層的膜厚係被規定為前述第一半導體層所具有之由施體或受體之製造步驟完成時之雜質擴散長度所決定之施體與受體之雜質交界會形成於前述第一半導體層膜中者。

【請求項13】如請求項 1 所述之柱狀半導體裝置的製造方法，其中，前述第一半導體層為藉由二種以上的元素所形成的化合物半導體層，其化合物比係被規定為由該化合物比所決定之施體或受體之雜質擴散長度及其雜質交界會形成於前述第一半導體層膜中者。

【請求項14】如請求項 4 所述之柱狀半導體裝置的製造方法，其中，前述第二半導體層的膜厚係被規定為前述第二半導體層所具有之施體或受體之製造步驟完成時之雜質擴散區域會位於前述第二半導體層與前述基板之間之交界者。

【請求項15】如請求項 4 所述之柱狀半導體裝置的製造方法，其中，前述第二半導體層為藉由二種以上的元素所形成的化合物半導體層，其化合

物比係被規定為由該化合物比所決定之施體或受體之雜質擴散區域會位於前述第二半導體層與前述基板之間之交界者。

【請求項16】如請求項 7 所述之柱狀半導體裝置的製造方法，其中，前述第三半導體層的膜厚係被規定為前述第三半導體層所具有之施體或受體之製造步驟完成時之雜質擴散區域會位於前述第三半導體層與前述第一半導體柱和前述第二半導體柱之間之交界者。

【請求項17】如請求項 7 所述之柱狀半導體裝置的製造方法，其中，前述第三半導體層為藉由二種以上的元素所形成的化合物半導體層，其化合物比係被規定為由該化合物比所決定之施體或受體之雜質擴散區域會位於前述第三半導體層與前述第一半導體柱和前述第二半導體柱之間之交界者。

【請求項18】一種柱狀半導體裝置，係在基板上部具有第一半導體柱、以及與前述第一半導體柱鄰接的第二半導體柱，具有包圍前述第一半導體柱的第一閘極絕緣層，具有包圍前述第二半導體柱的第二閘極絕緣層，具有包圍前述第一閘極絕緣層的第一閘極導體層，具有包圍前述第二閘極絕緣層的第二閘極導體層，具有與前述第一半導體柱之下部連接的第一雜質區域，具有與前述第二半導體柱之下部連接之極性不同於前述第一雜質區域的第二雜質區域，具有與前述第一半導體柱之頂部連接的第三雜質區域，具有與前述第二半導體柱之頂部連接之極性不同於前述第三雜質區域的第四雜質區域，並且具備有：以前述第一雜質區域與前述第三雜質區域之間之前述第一半導體柱為通道的第一 SGT，以及以前述第二雜質區域與前述第四雜質區域之間之前述第二半導體柱為通道的第二 SGT；

該柱狀半導體裝置係具備第一半導體層，該第一半導體層係以薄的膜厚形成在前述第一雜質區域與前述第二雜質區域之間的交界區域，而使前述第一雜質區域與前述第二雜質區域不相接；

前述第一半導體層之雜質濃度係比前述第一雜質區域和前述第二雜質區域的雜質濃度低。

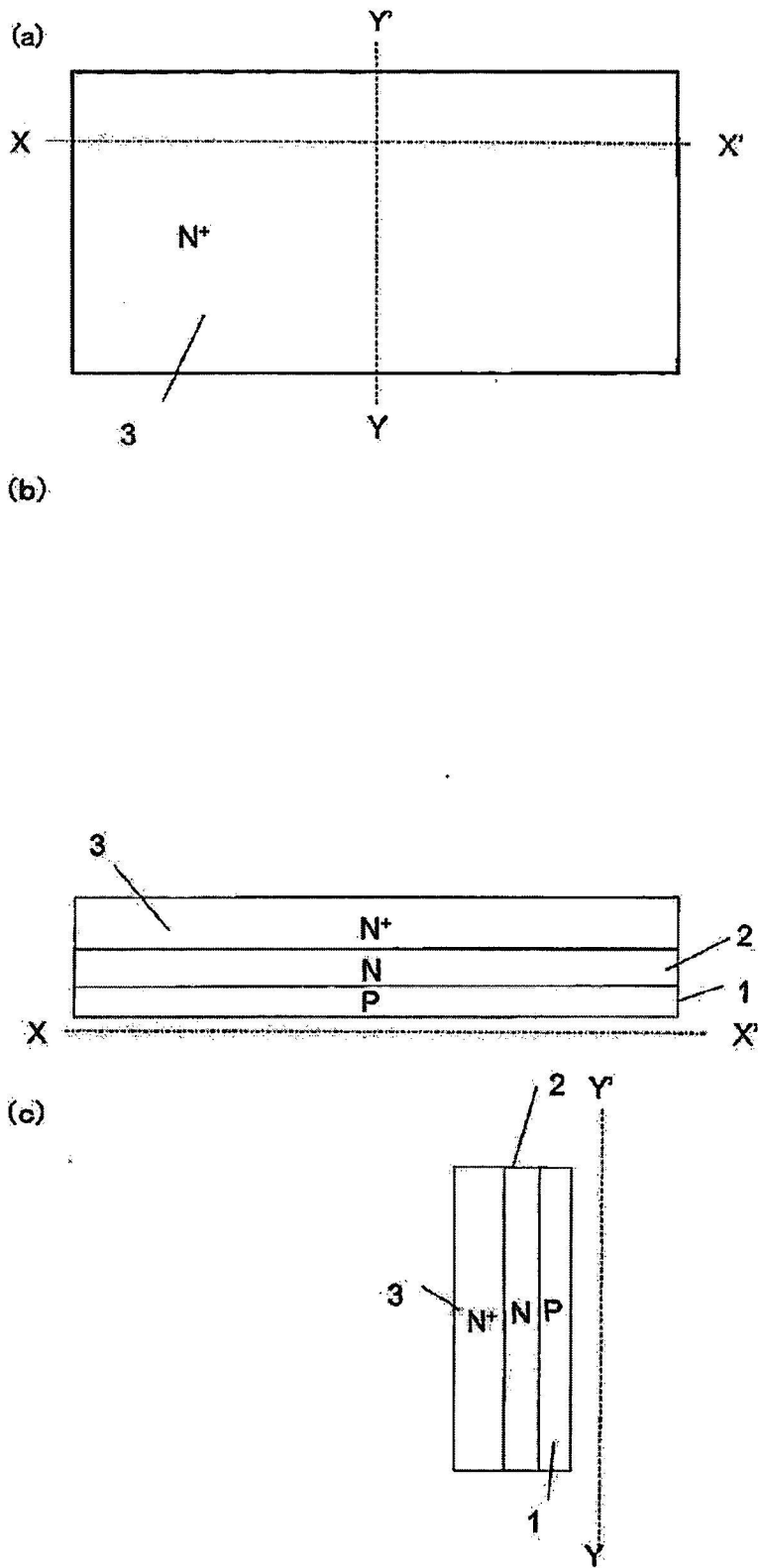
【請求項19】如請求項 18 所述之柱狀半導體裝置，係具備第二半導體層，該第二半導體層係以薄的膜厚覆蓋在前述第一雜質區域和前述第二雜質區域與前述基板之間的交界區域；

前述第二半導體層之雜質濃度係比前述第一雜質區域和前述第二雜質區域的雜質濃度低。

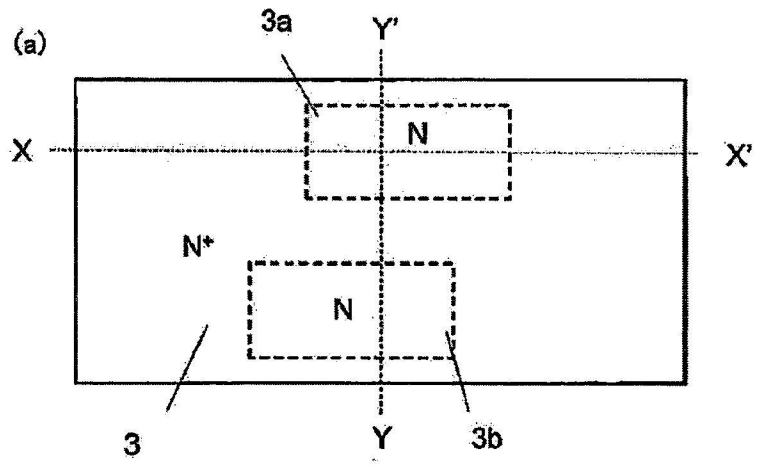
【請求項20】如請求項 18 所述之柱狀半導體裝置，係具備第三半導體層，該第三半導體層係以薄的膜厚覆蓋在前述第一雜質區域與前述第一半導體柱之間的交界區域、及前述第二雜質區域與前述第二半導體柱之間的交界區域上；

前述第三半導體層之雜質濃度係比前述第一雜質區域和前述第二雜質區域的雜質濃度低。

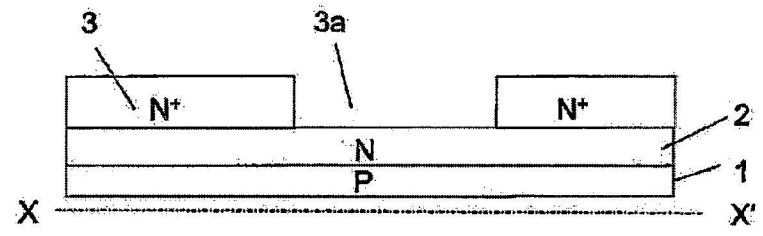
【發明圖式】



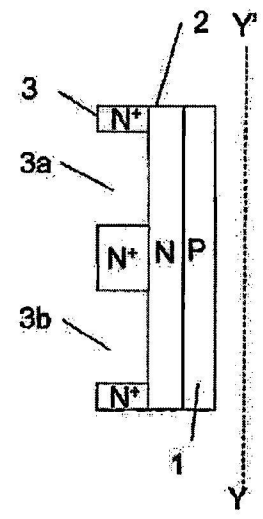
【圖1A】



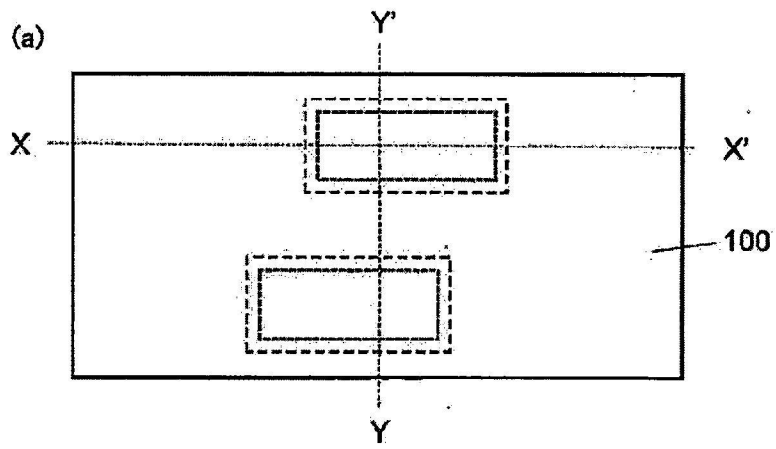
(b)



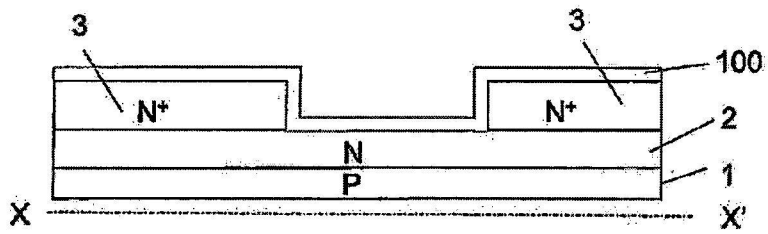
(c)



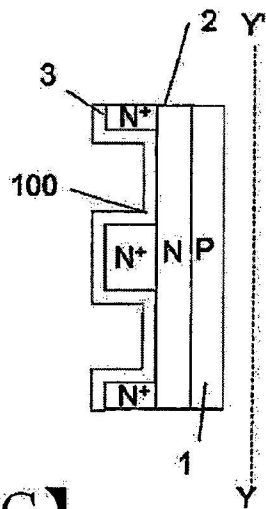
【圖1B】



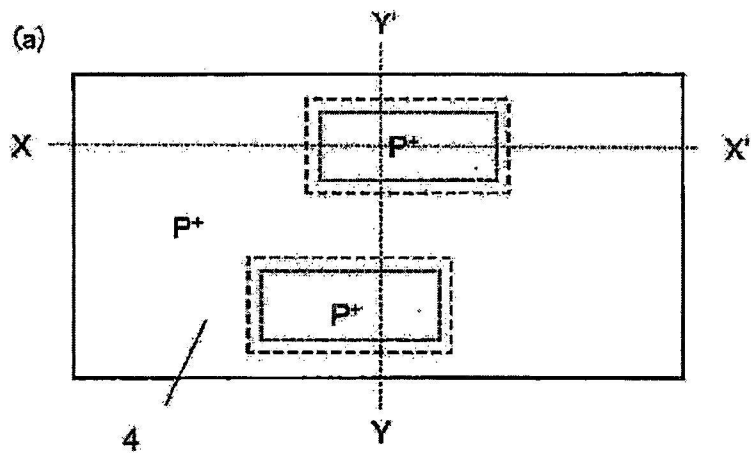
(b)



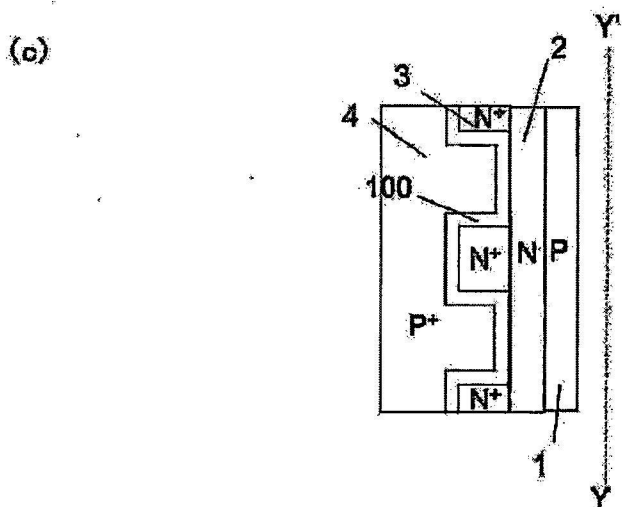
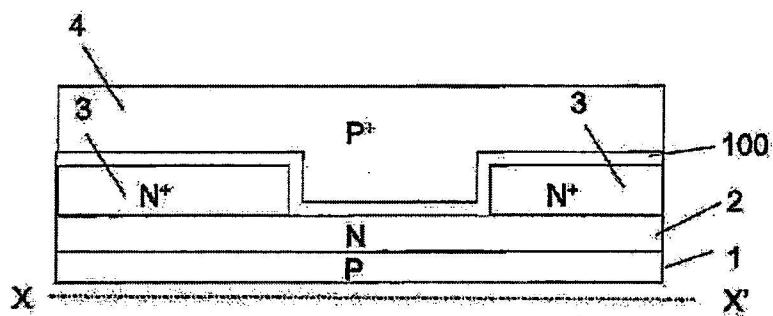
(c)



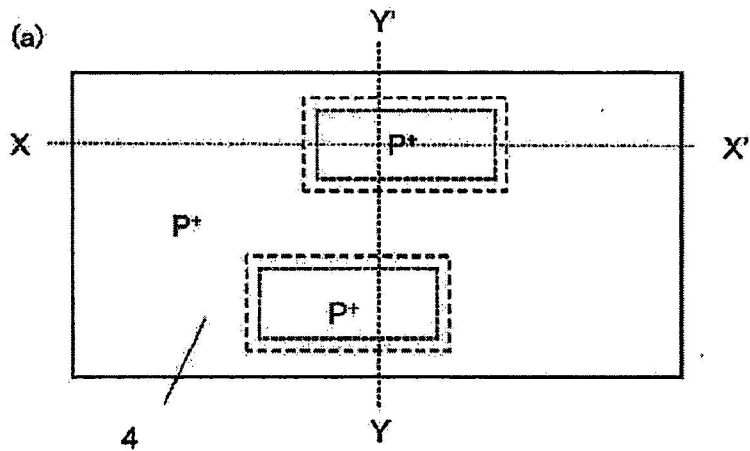
【圖1C】



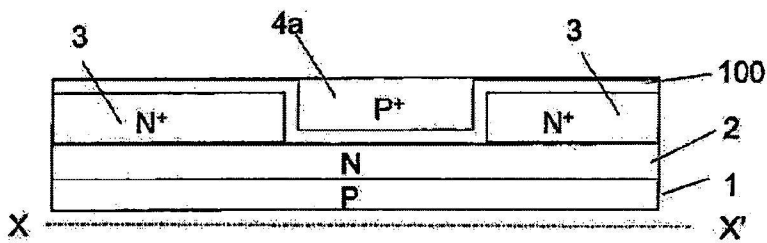
(b)



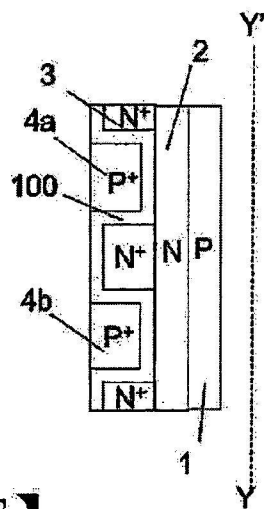
【圖1D】



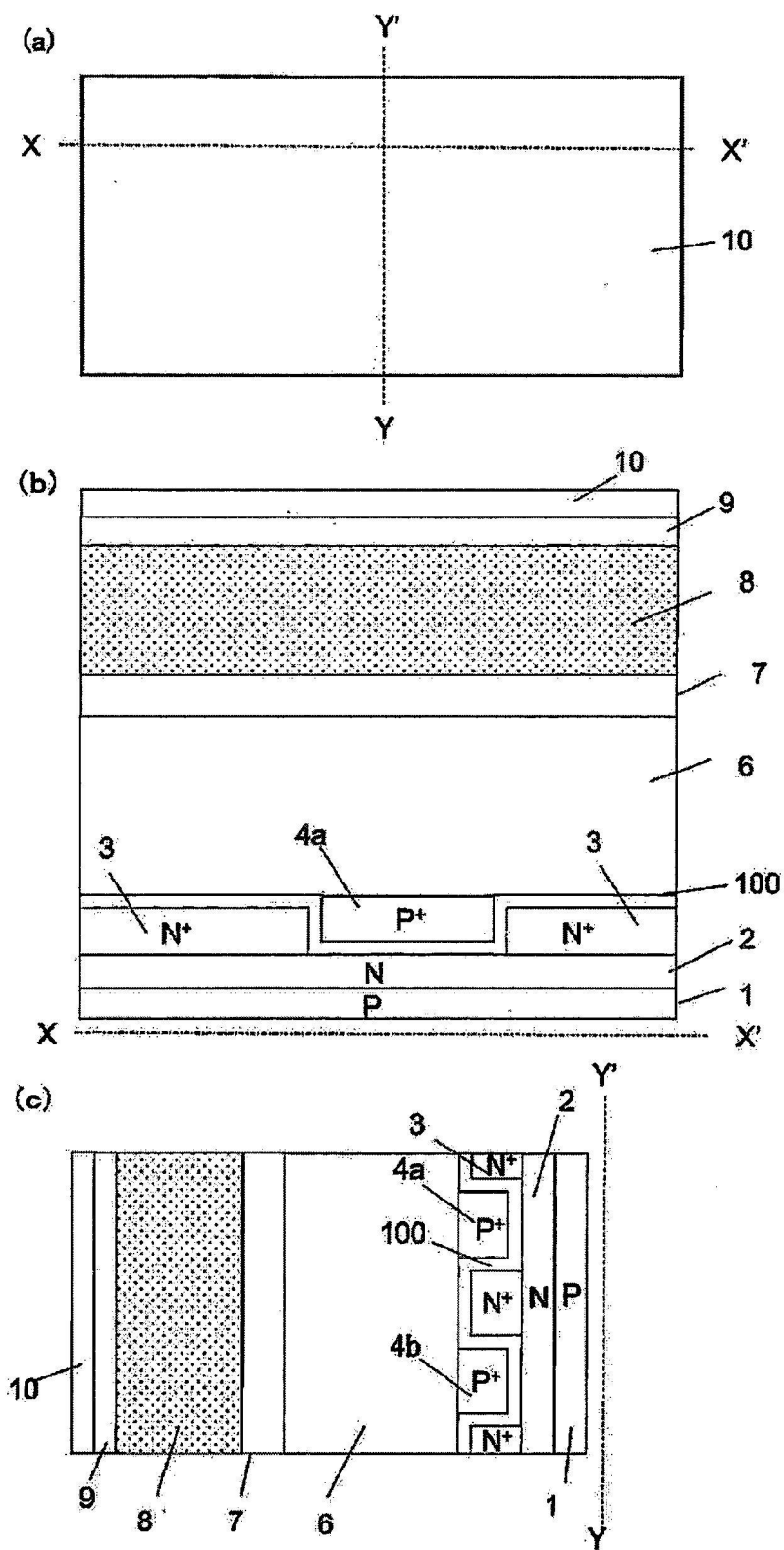
(b)



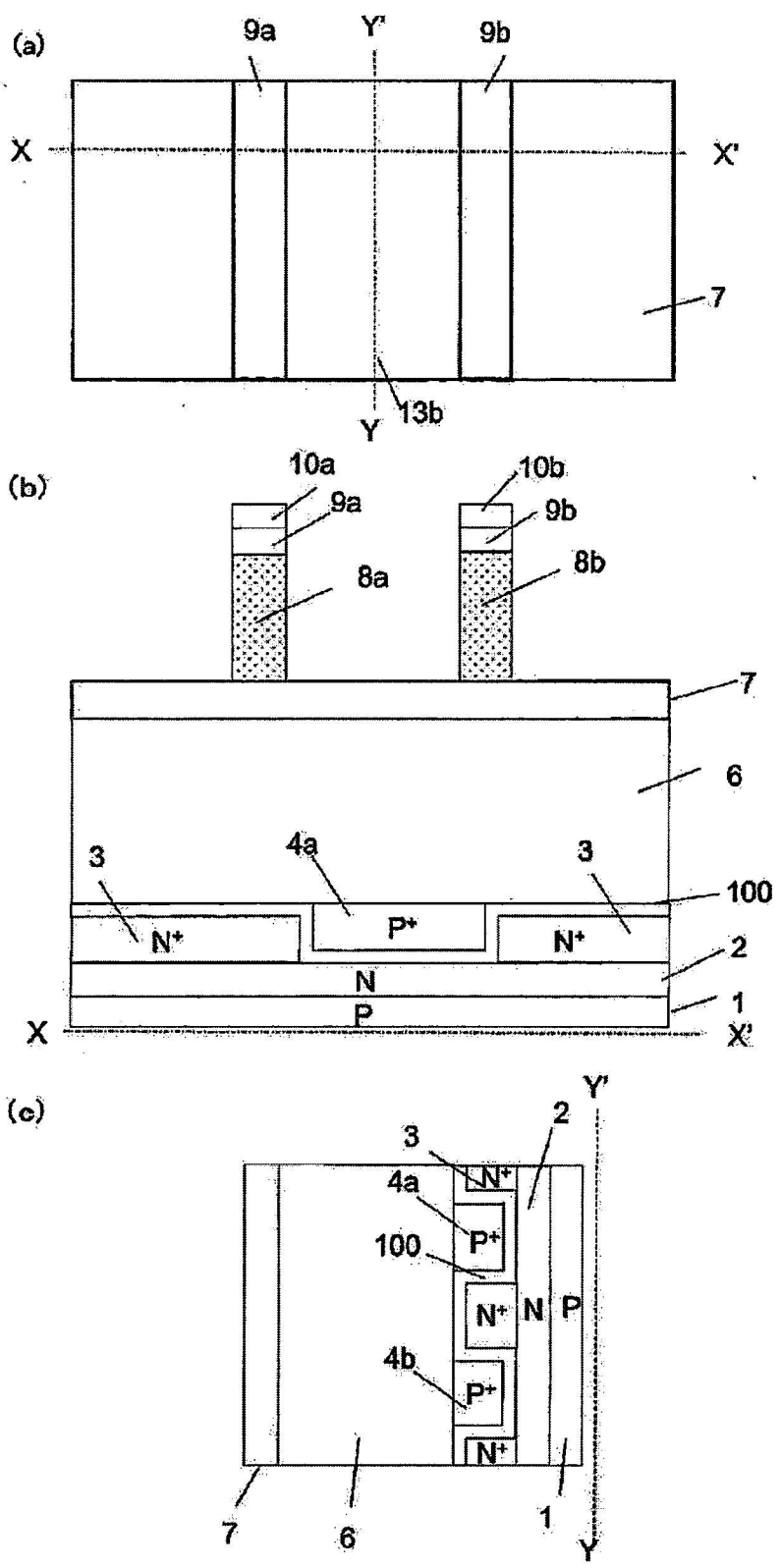
(c)



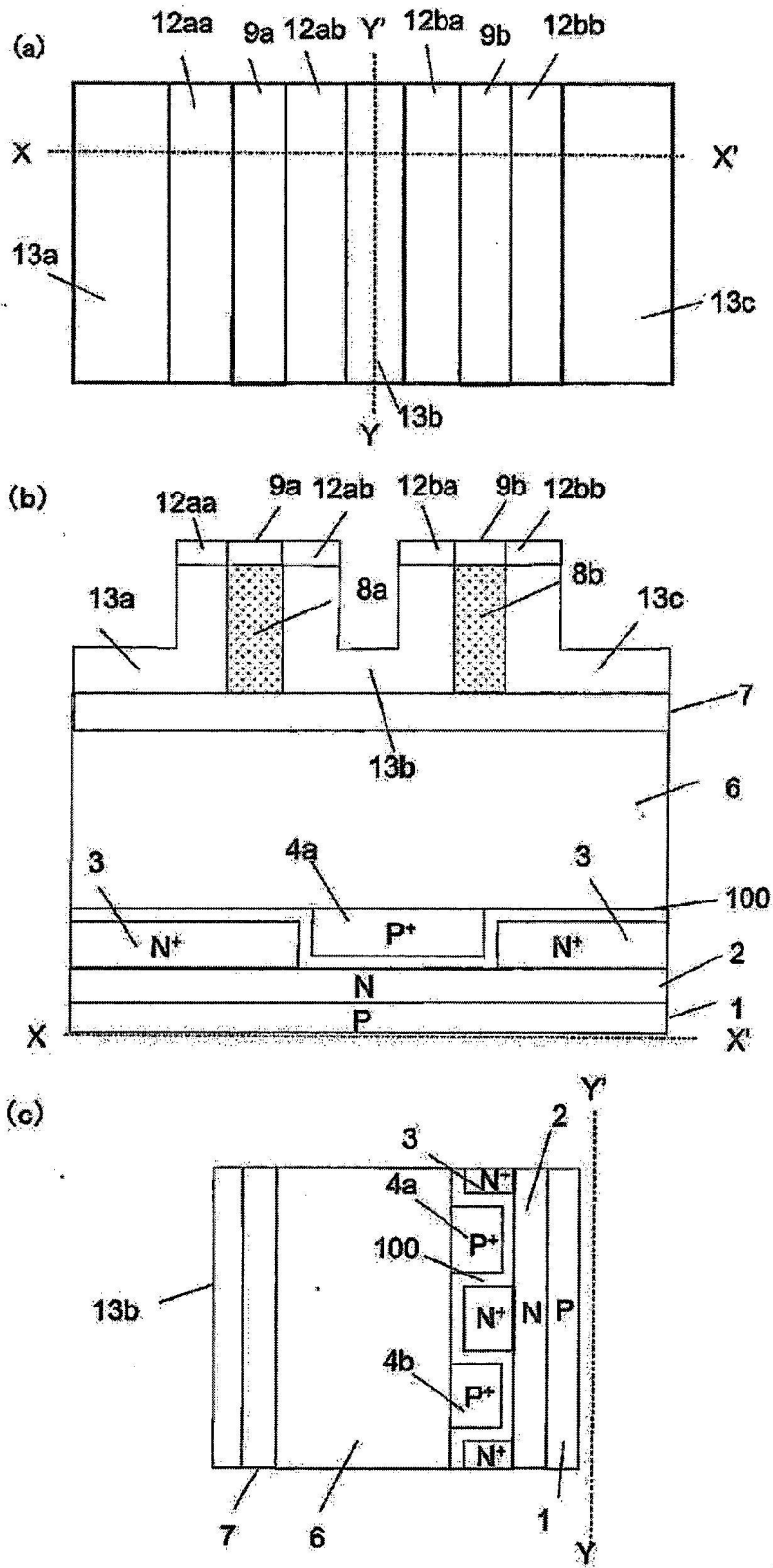
【圖1E】



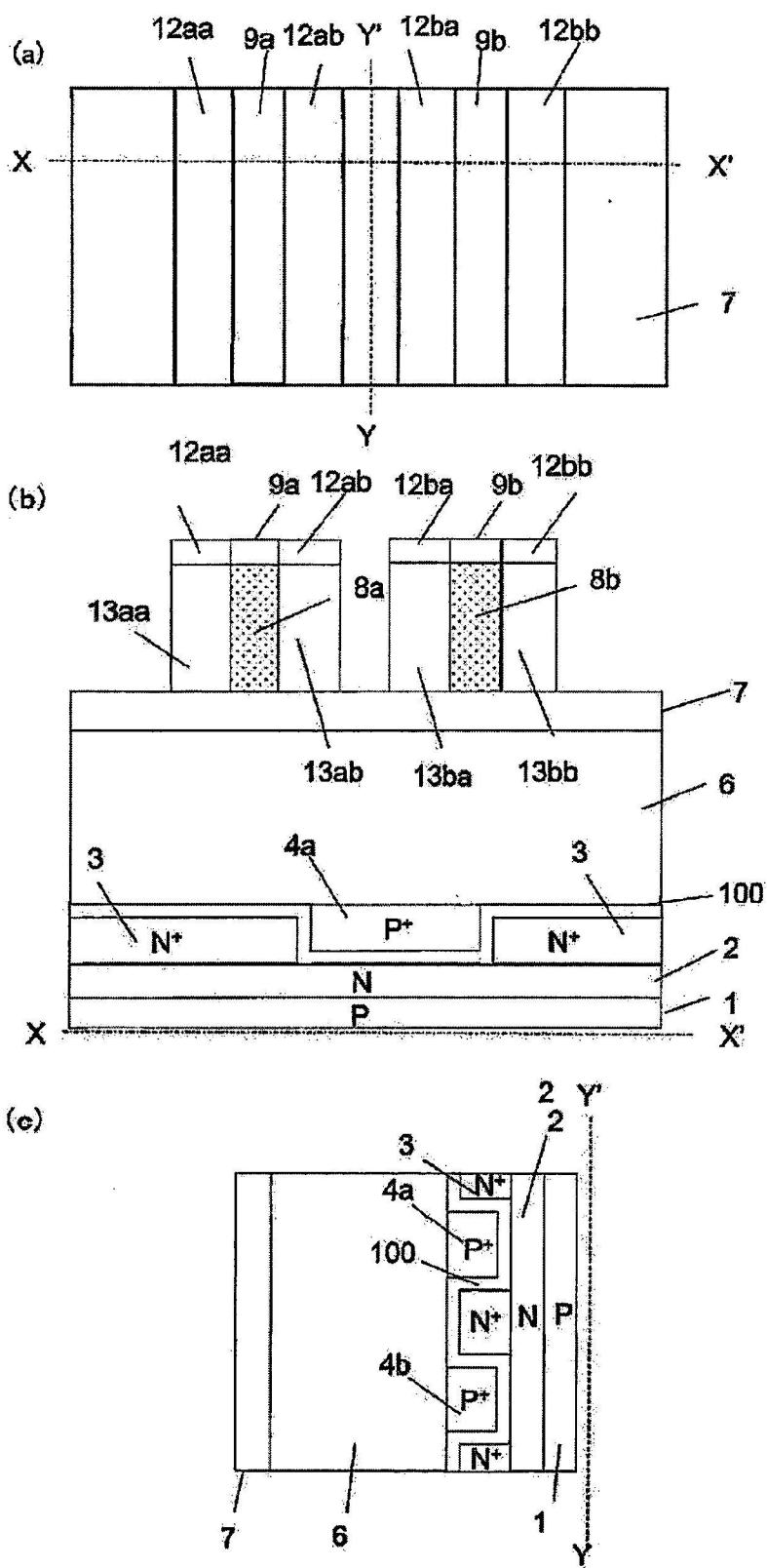
【圖1F】



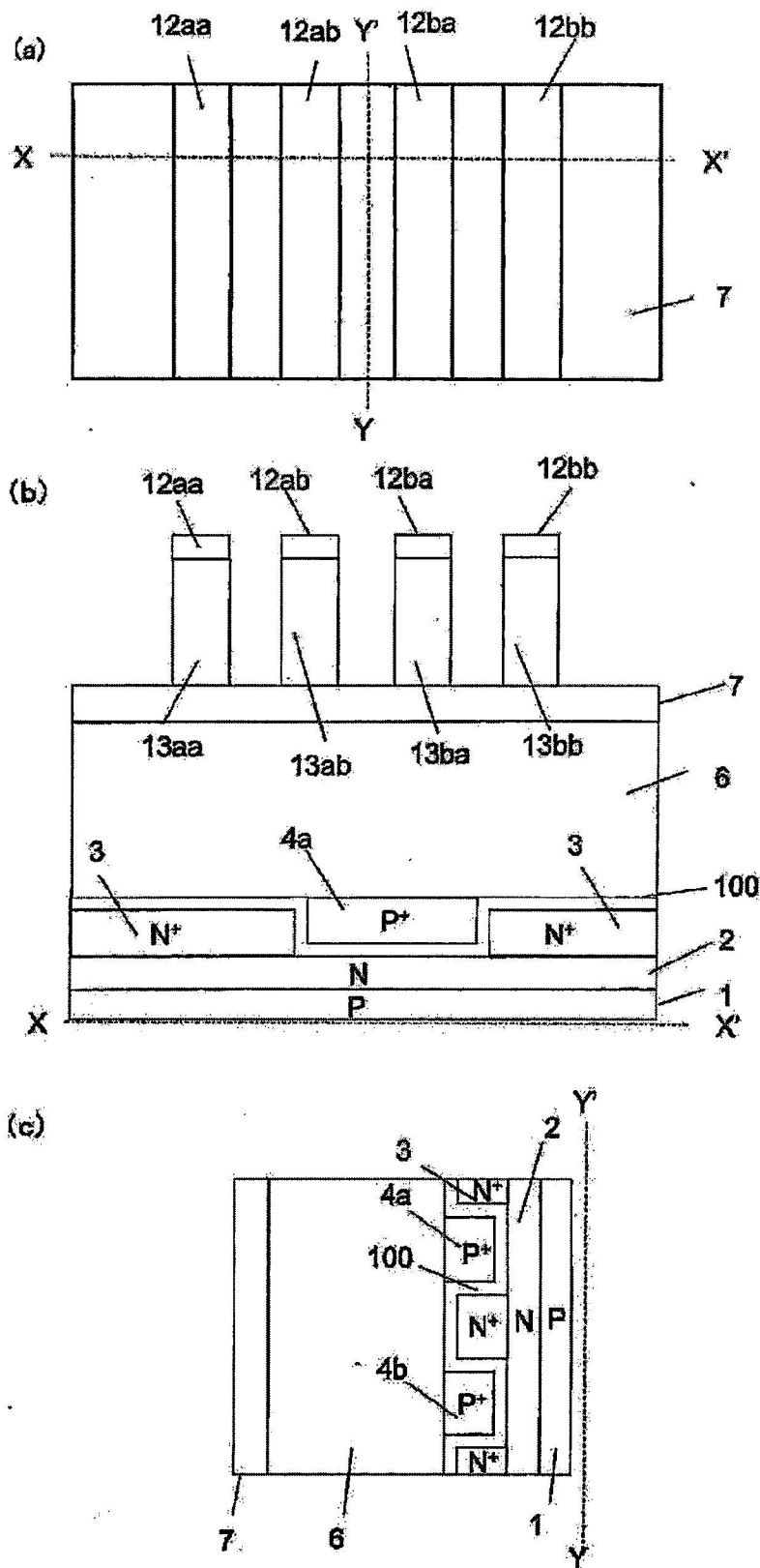
【圖1G】



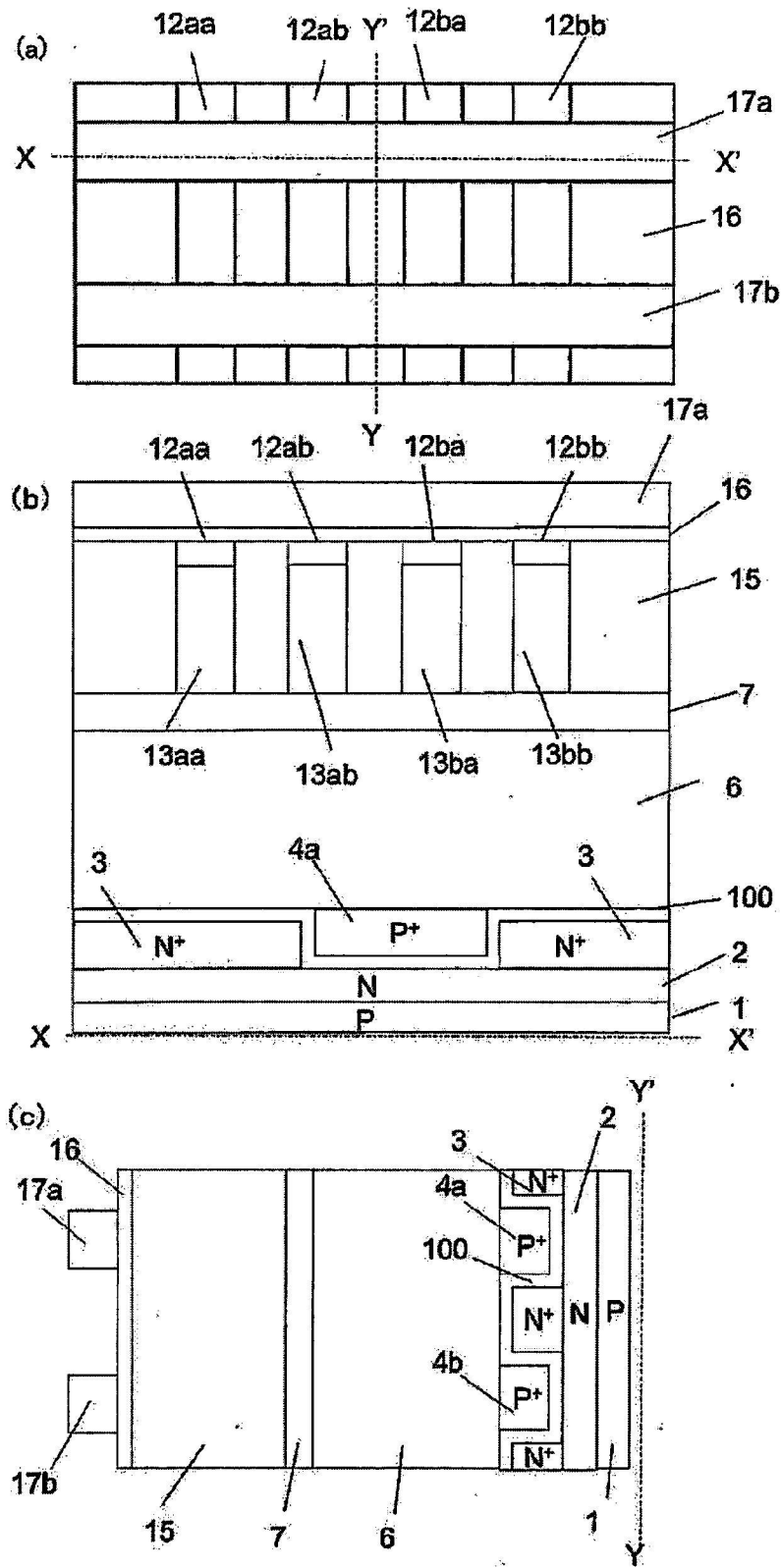
【圖1H】



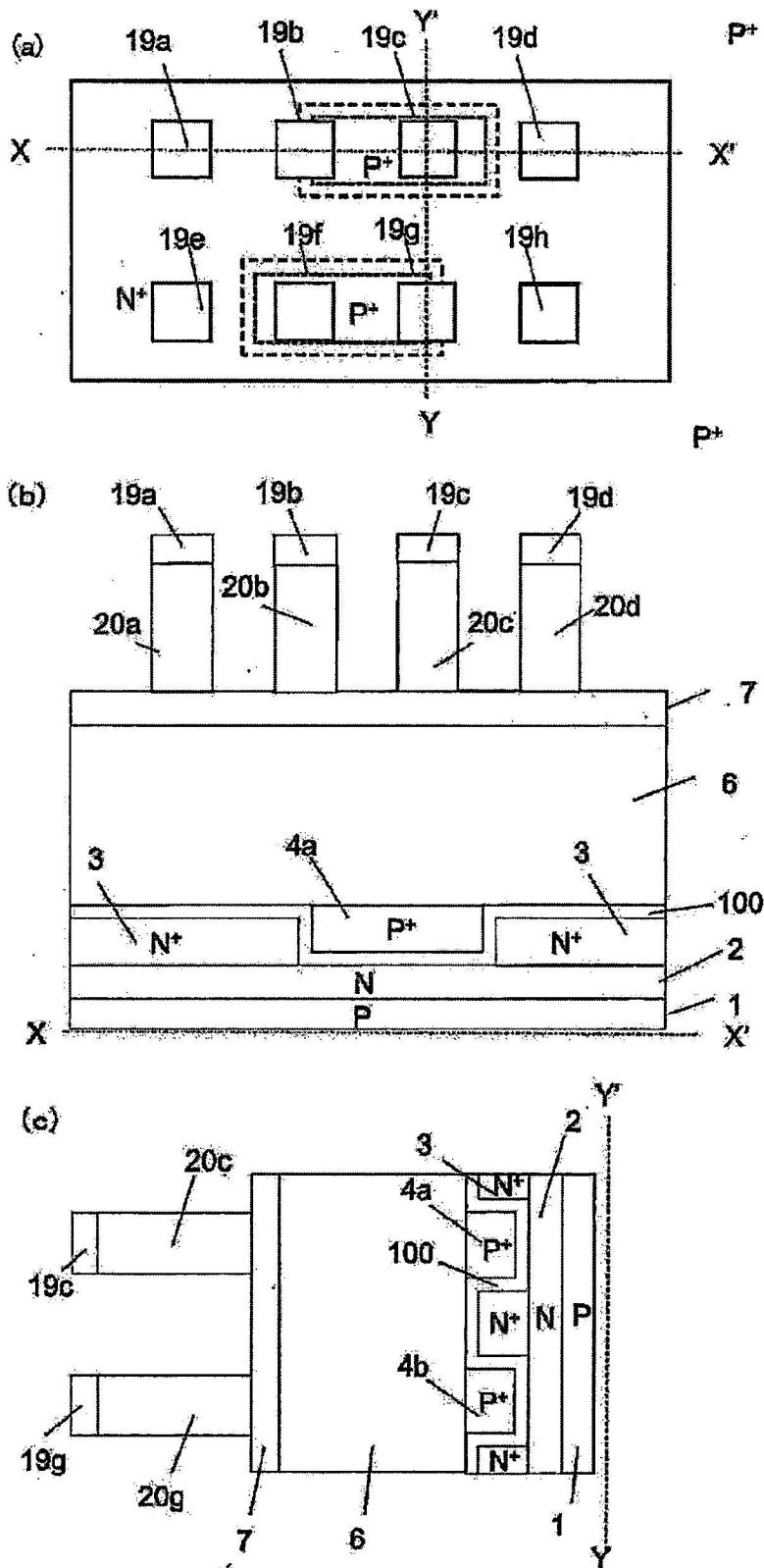
【圖1I】



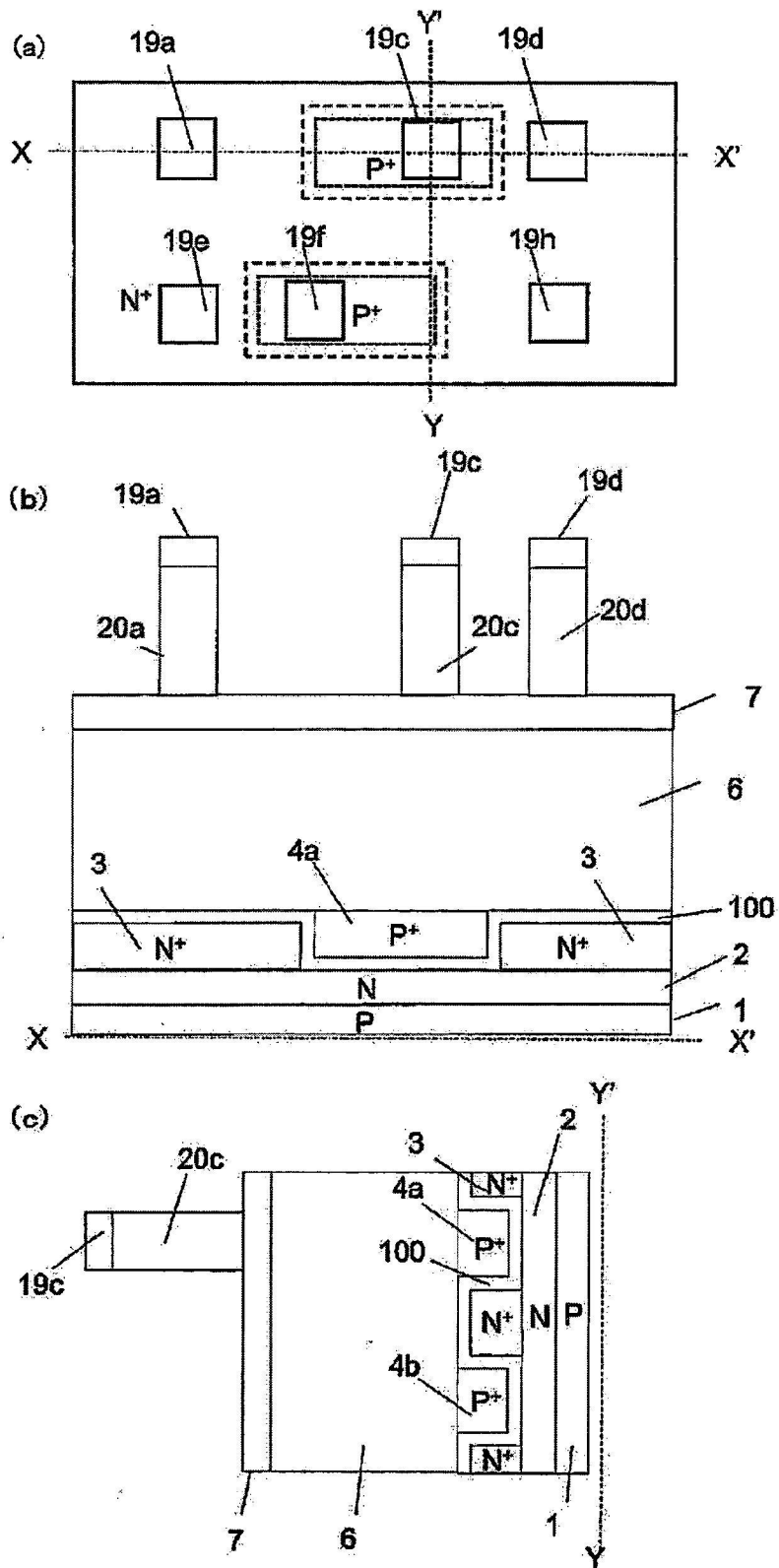
【圖1J】



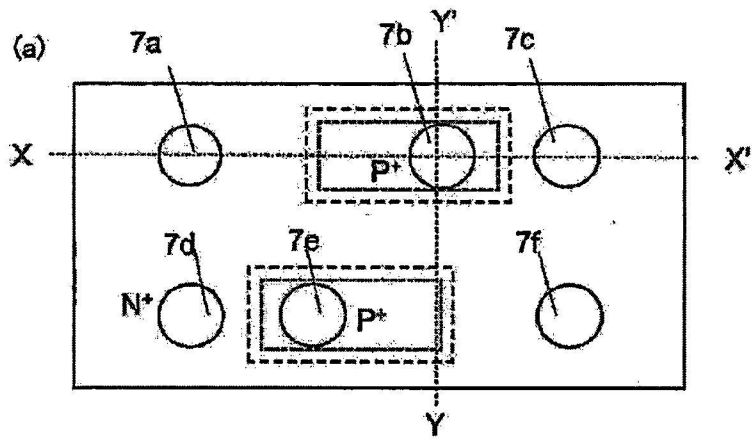
【圖1K】



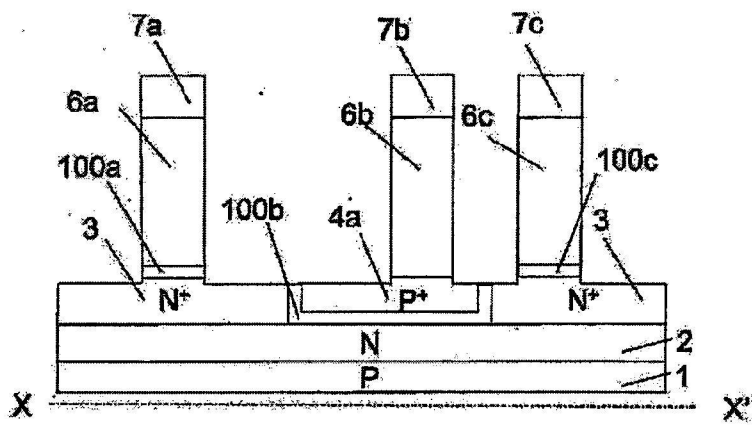
【圖1L】



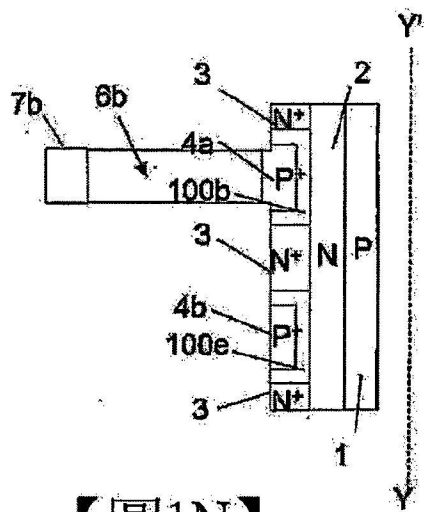
【圖1M】



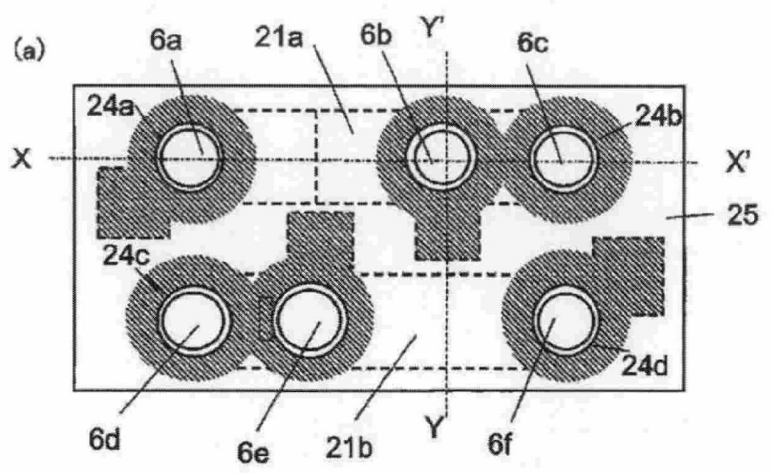
(b)



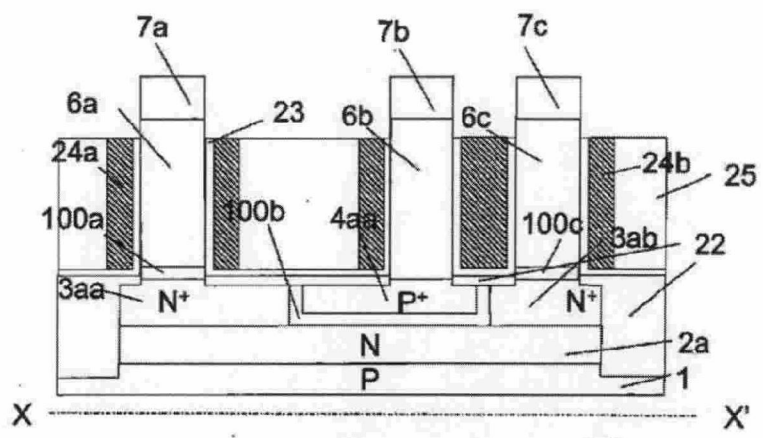
(c)



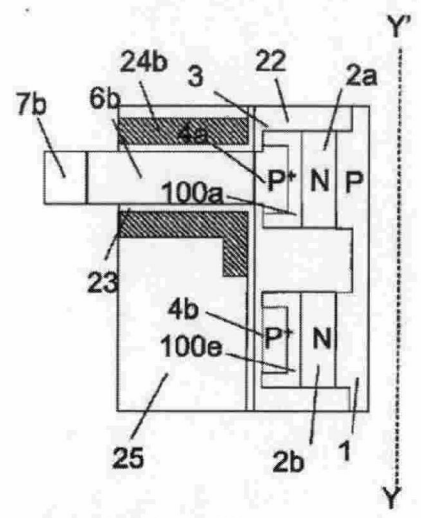
【圖1N】



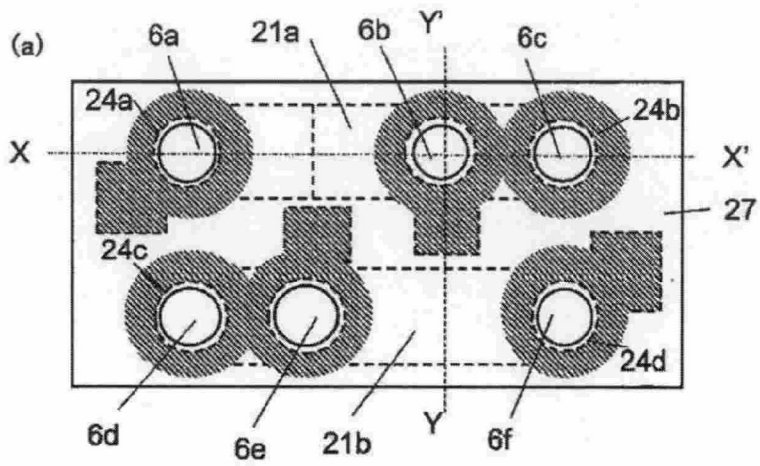
(b)



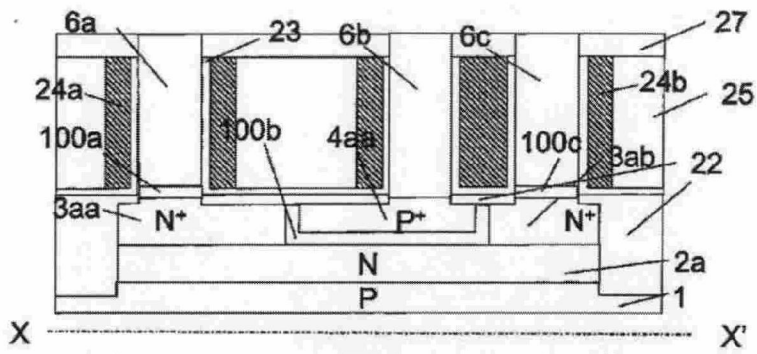
(c)



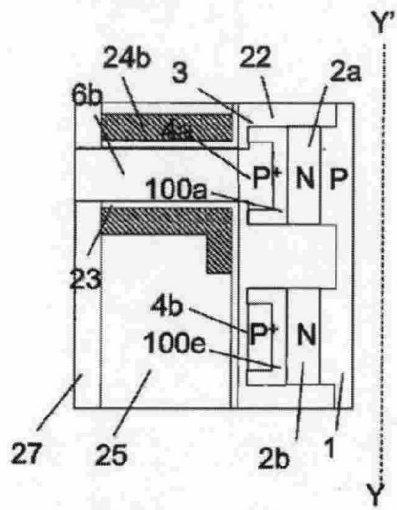
【圖10】



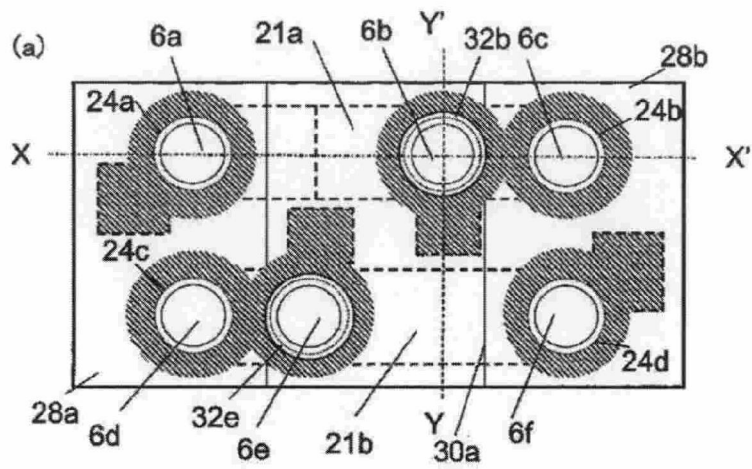
(b)



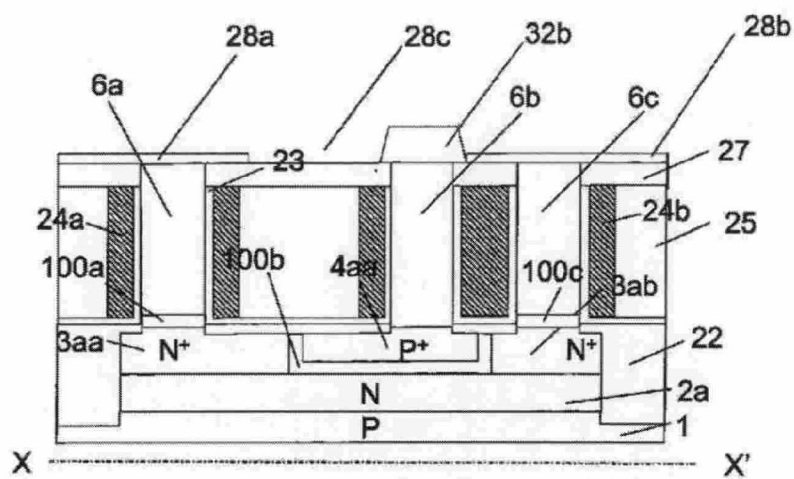
(c)



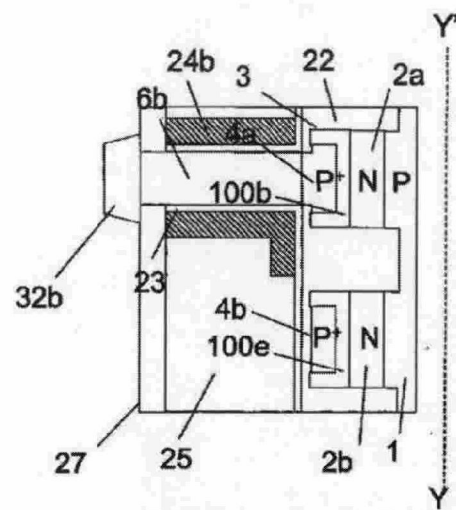
【圖1P】



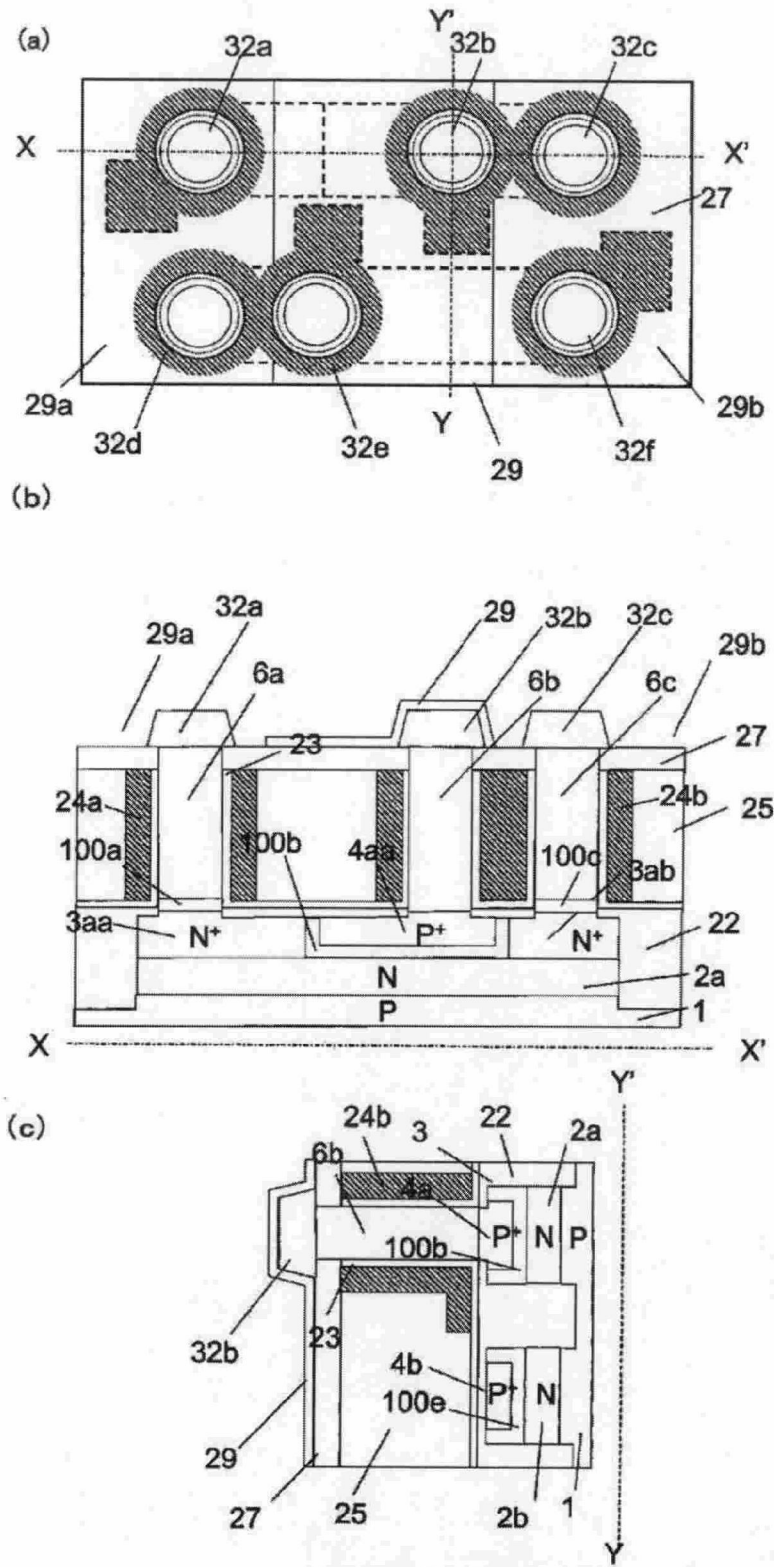
(b)



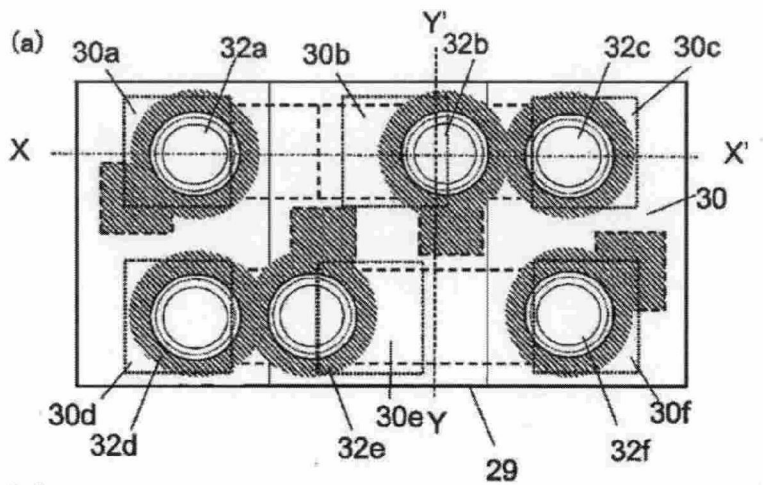
(c)



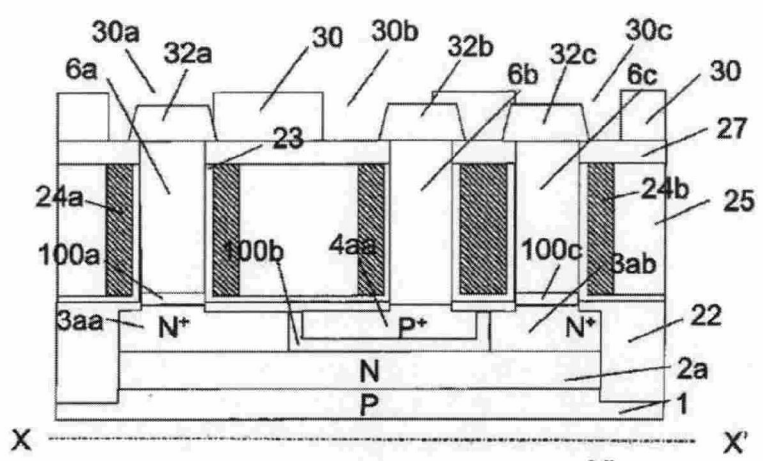
【圖1Q】



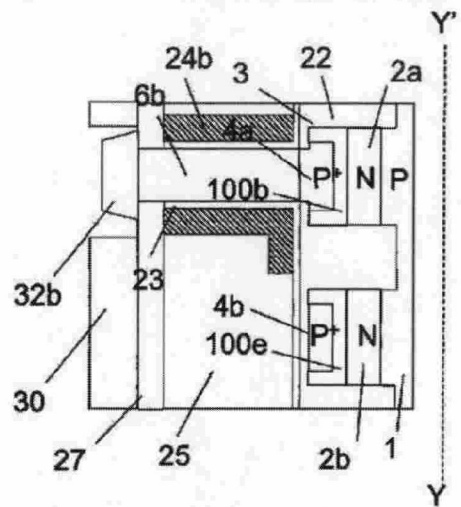
【圖1R】



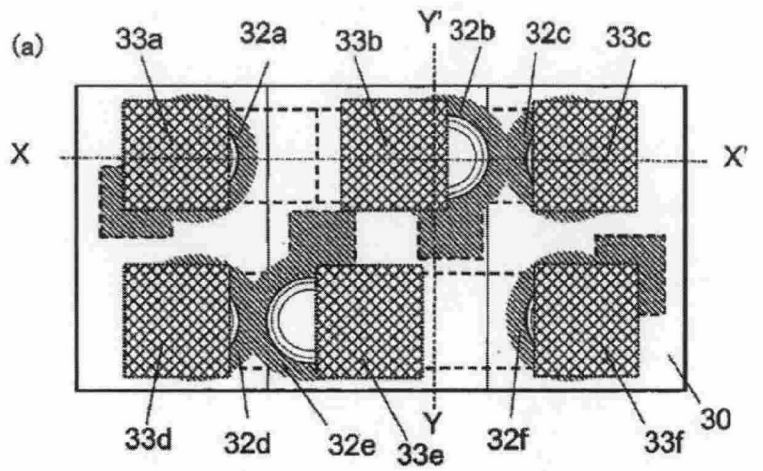
(b)



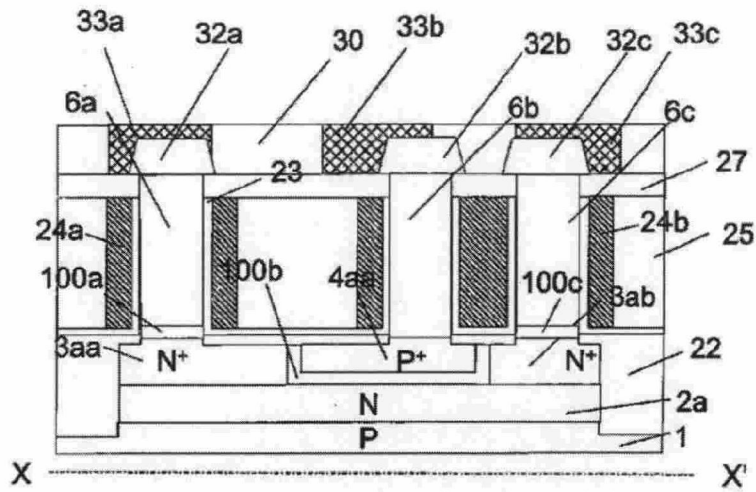
(c)



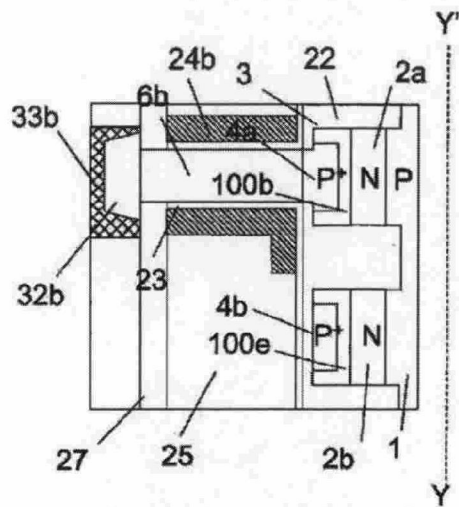
【圖1S】



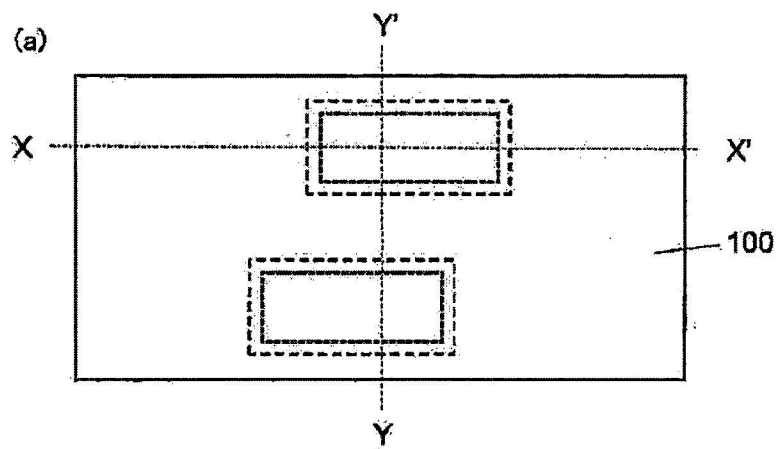
(b)



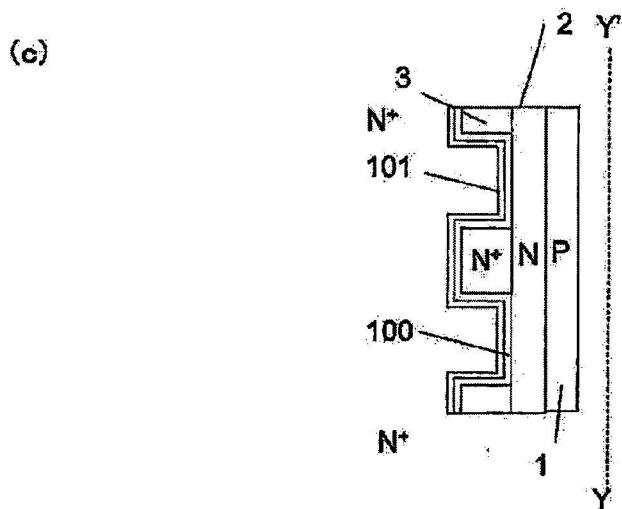
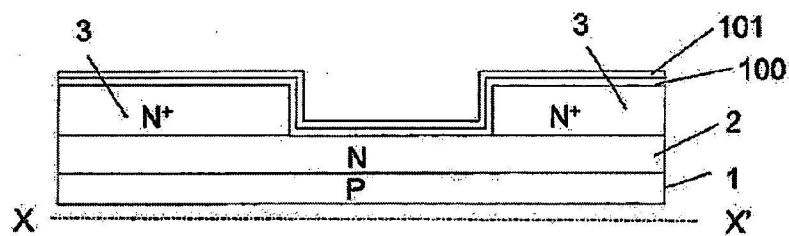
(c)



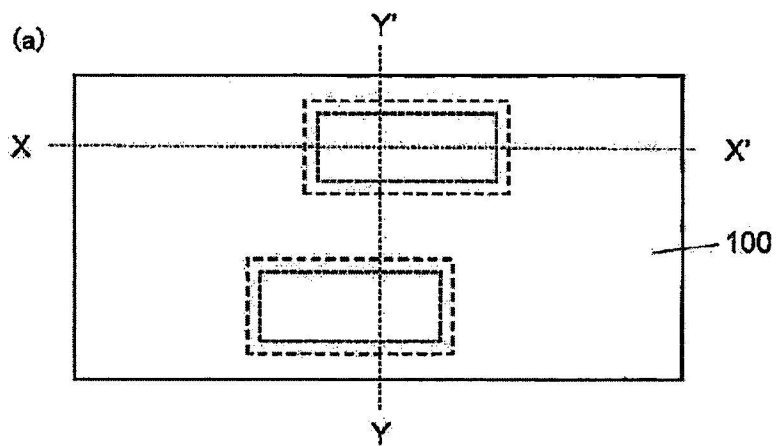
【圖1T】



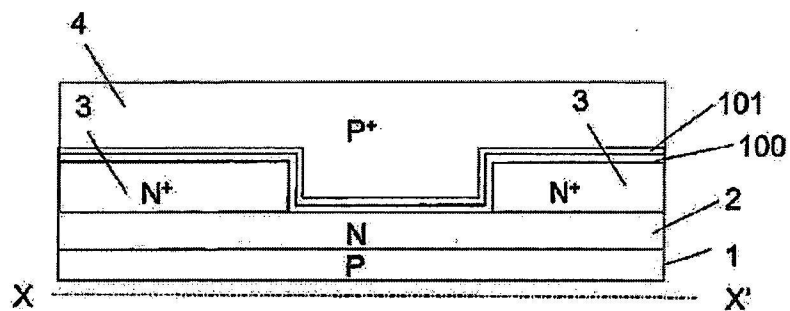
(b)



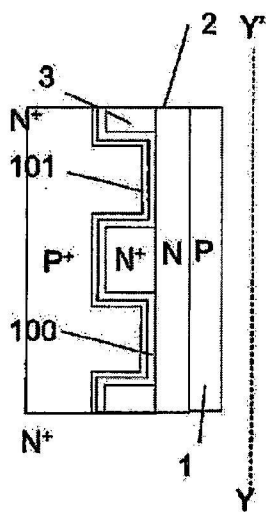
【圖2A】



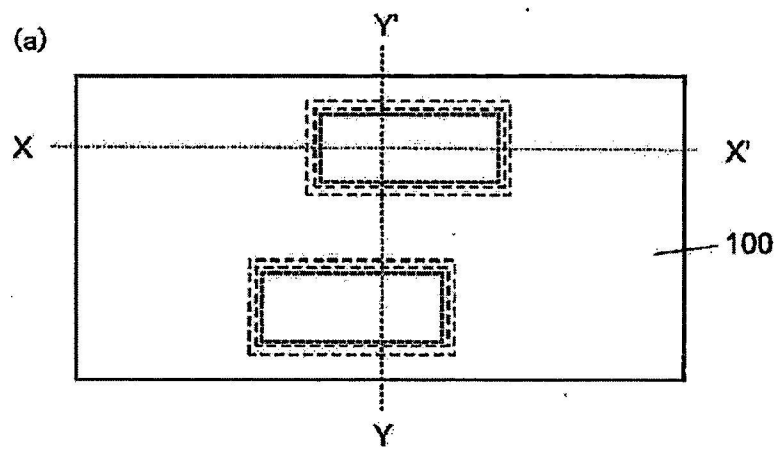
(b)



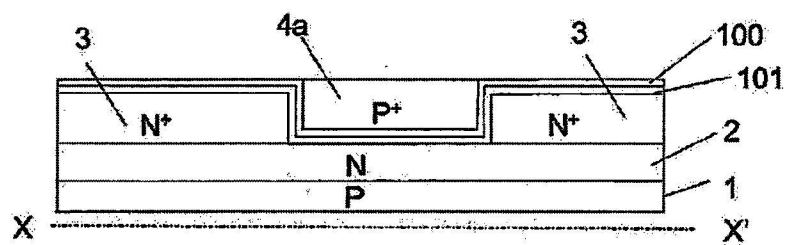
(c)



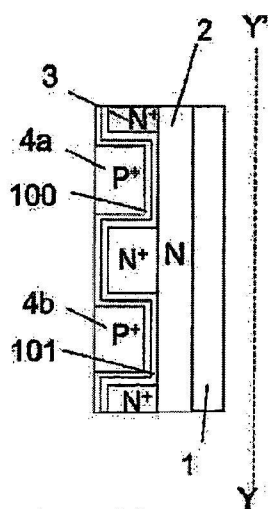
【圖2B】



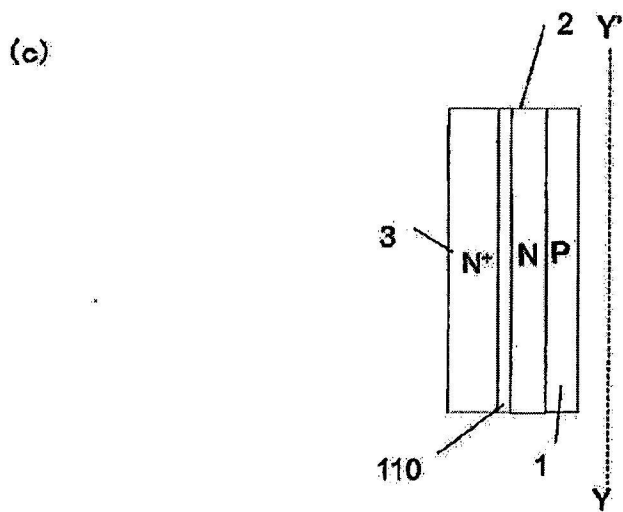
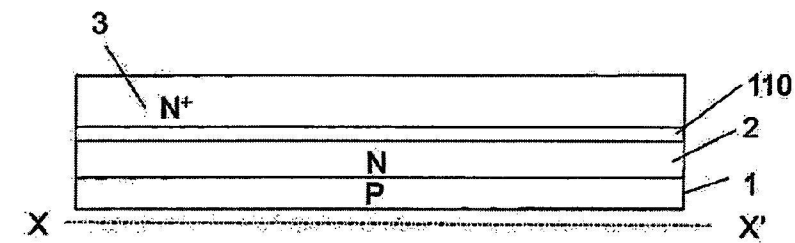
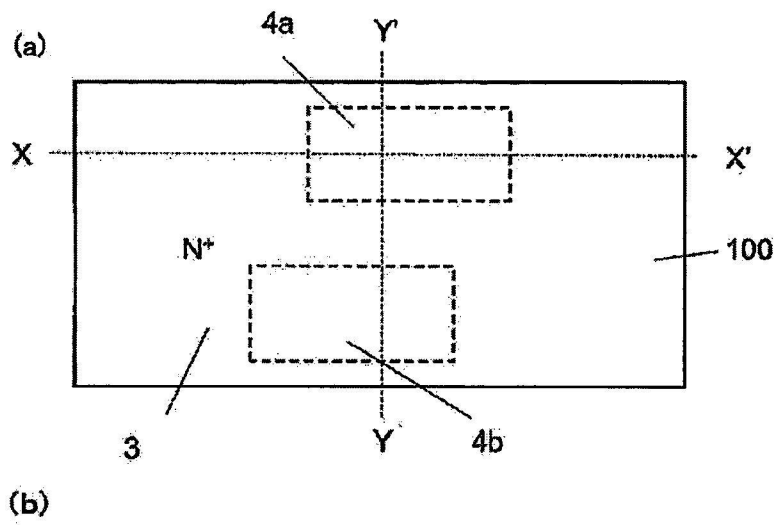
(b)



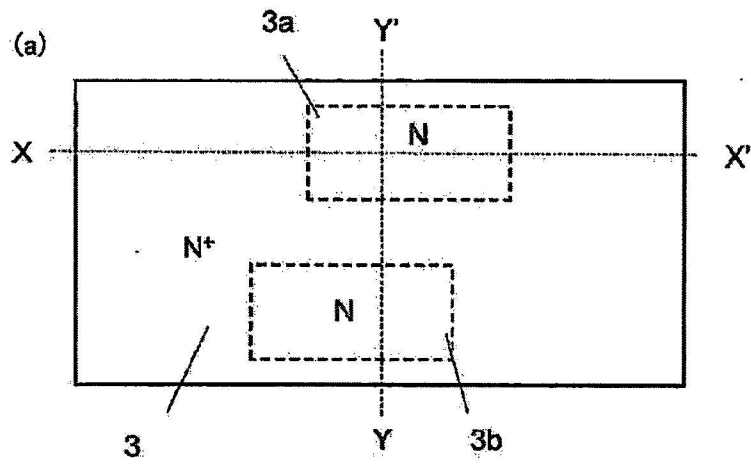
(c)



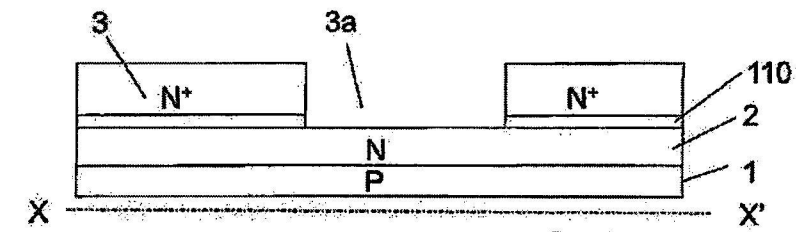
【圖2C】



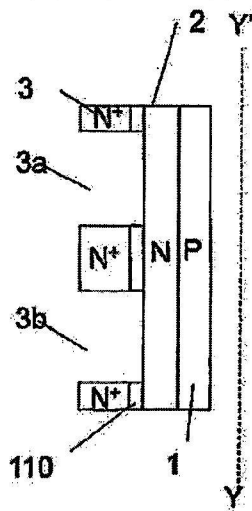
【圖3A】



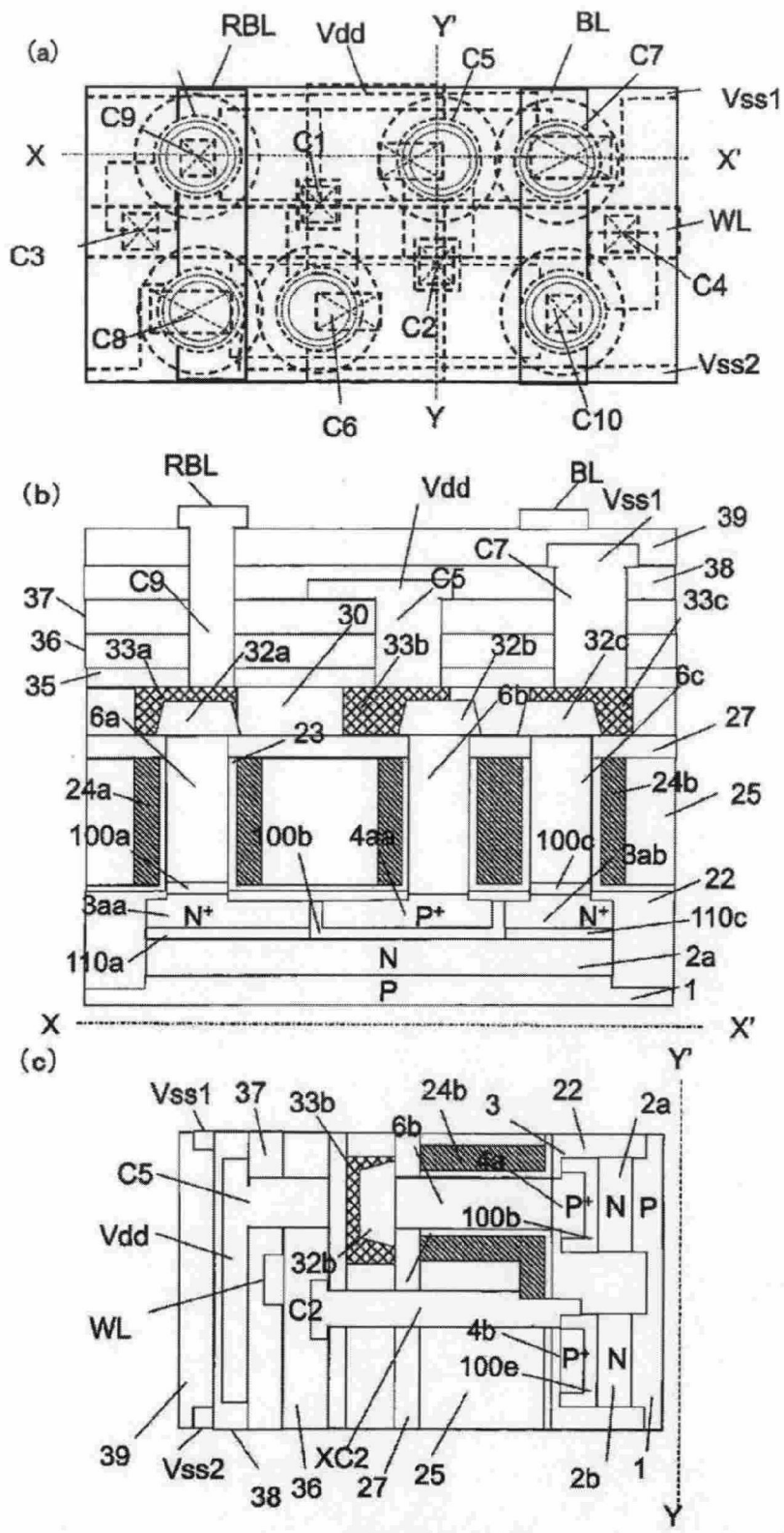
(b)



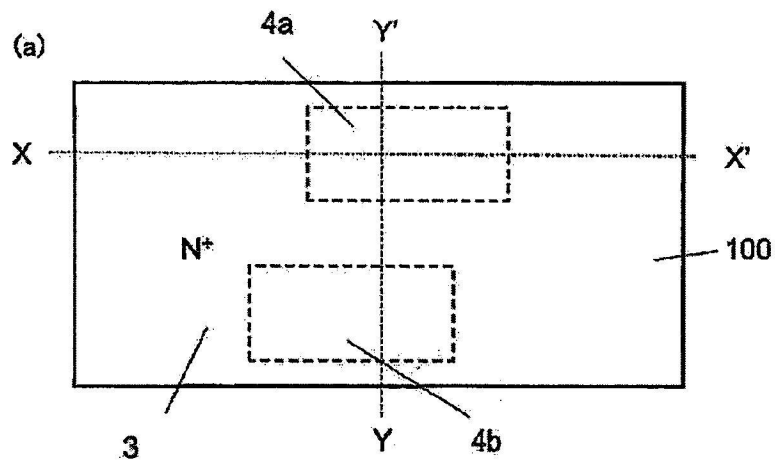
(c)



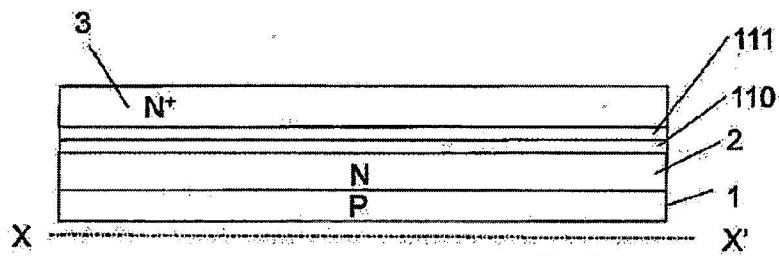
【圖3B】



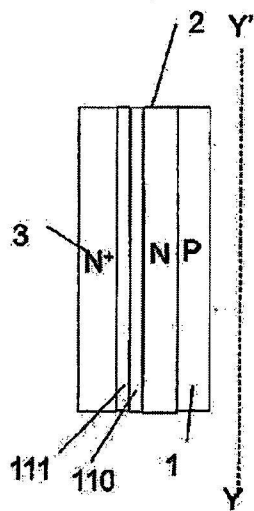
【圖3C】



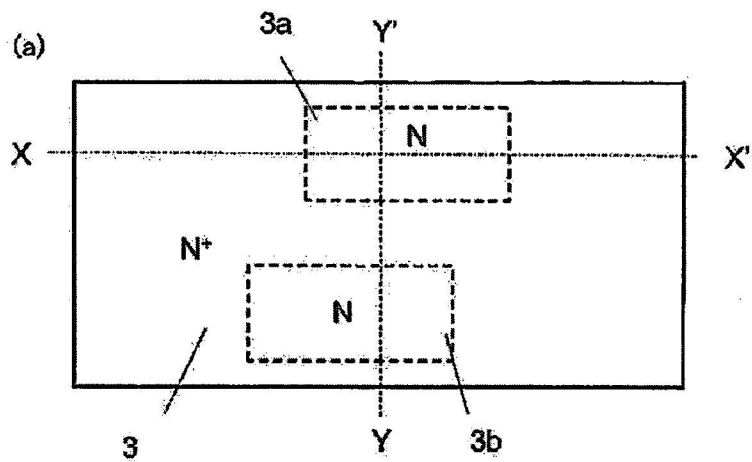
(b)



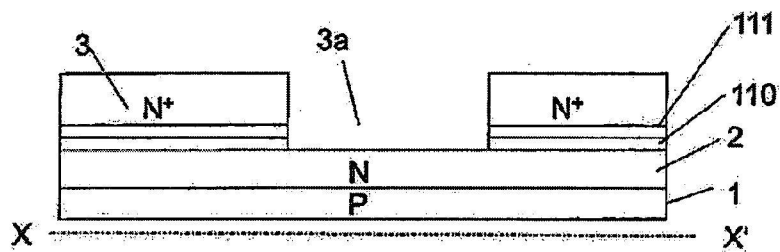
(c)



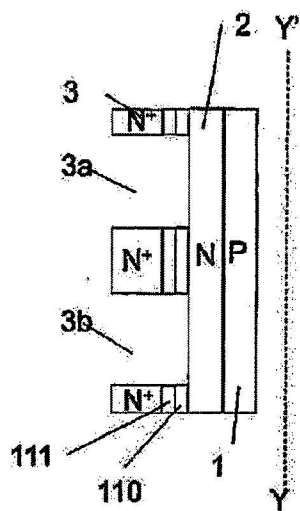
【圖4A】



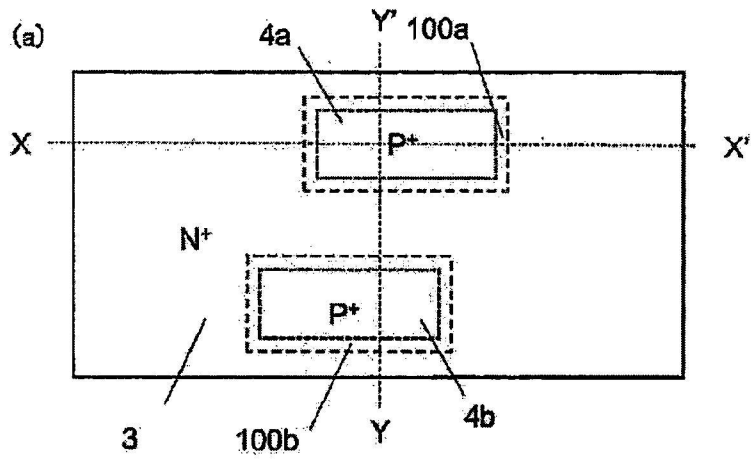
(b)



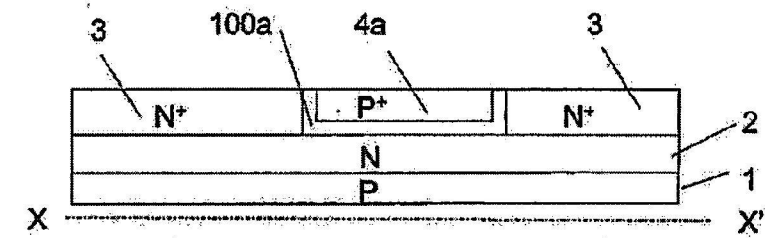
(c)



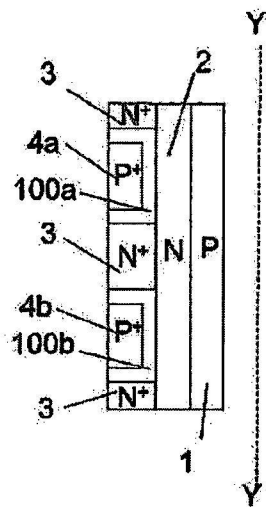
【圖4B】



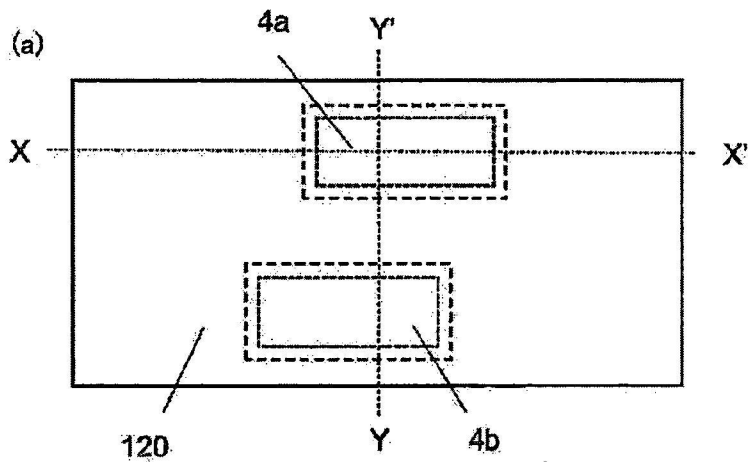
(b)



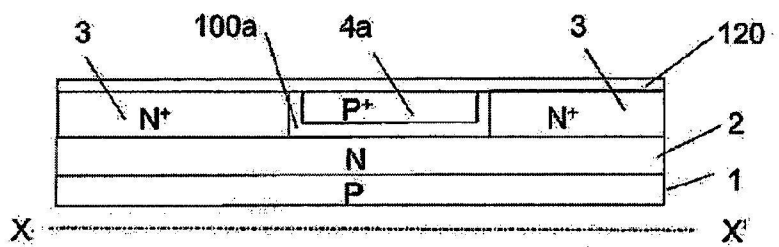
(c)



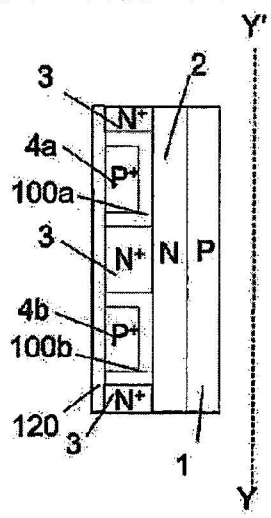
【圖5A】



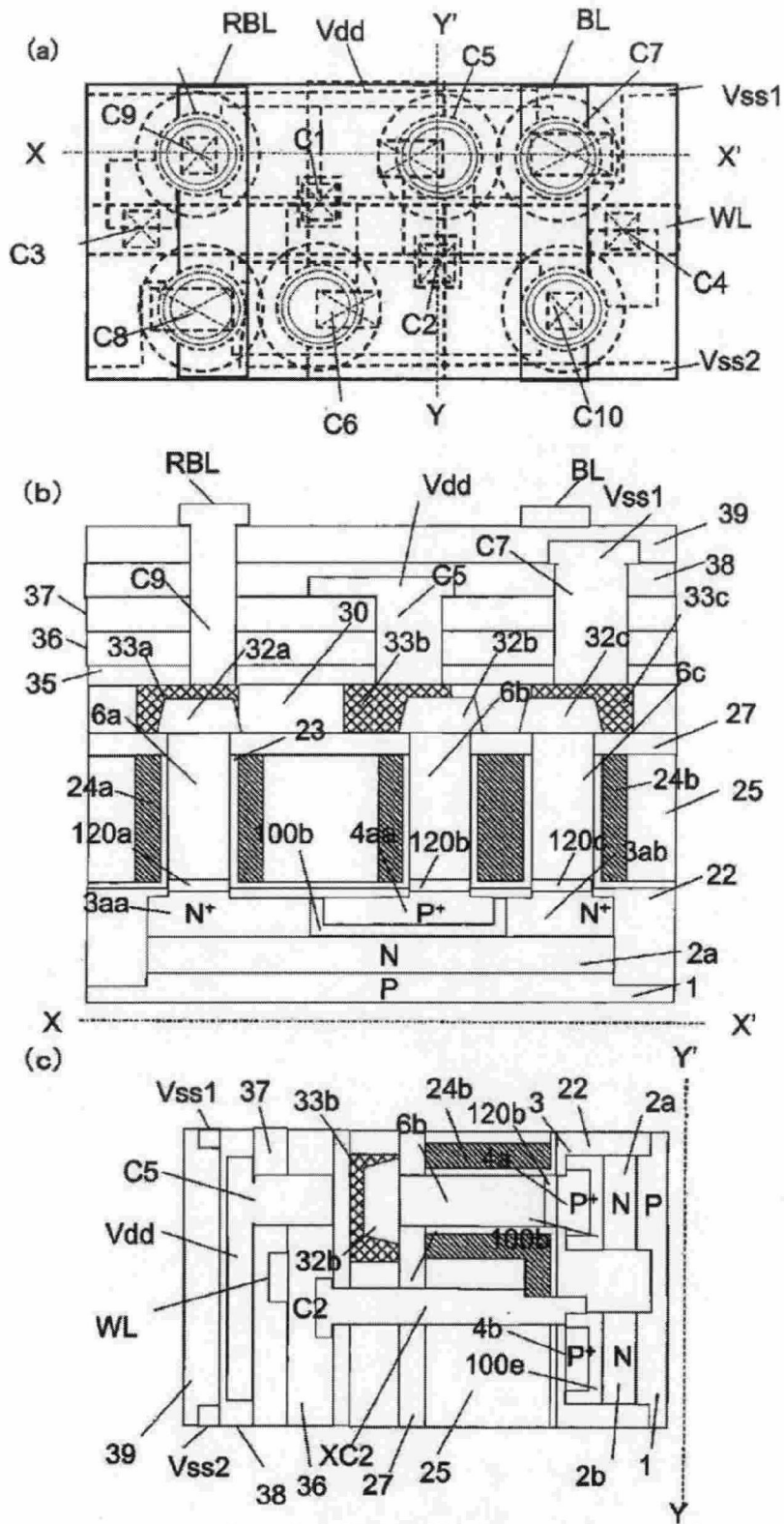
(b)



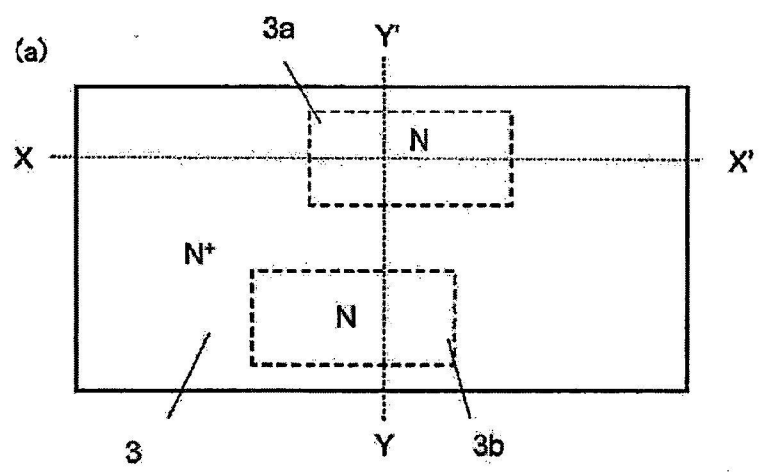
(c)



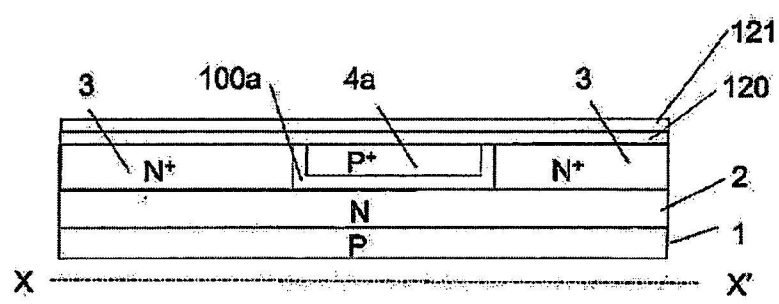
【圖5B】



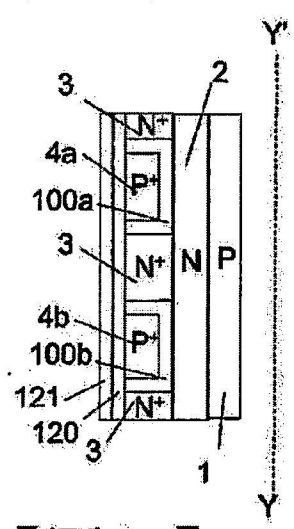
【圖5C】



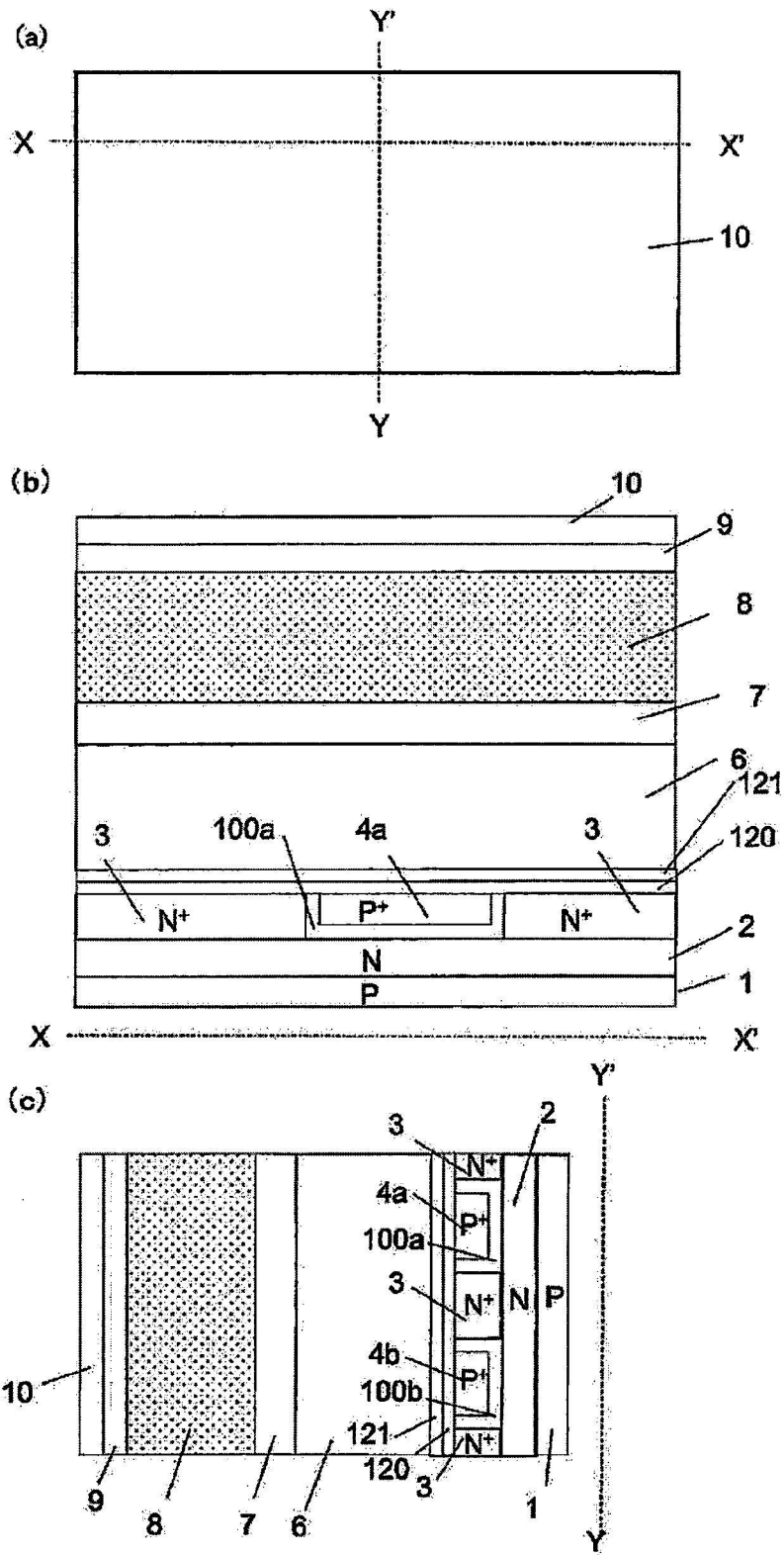
(b)



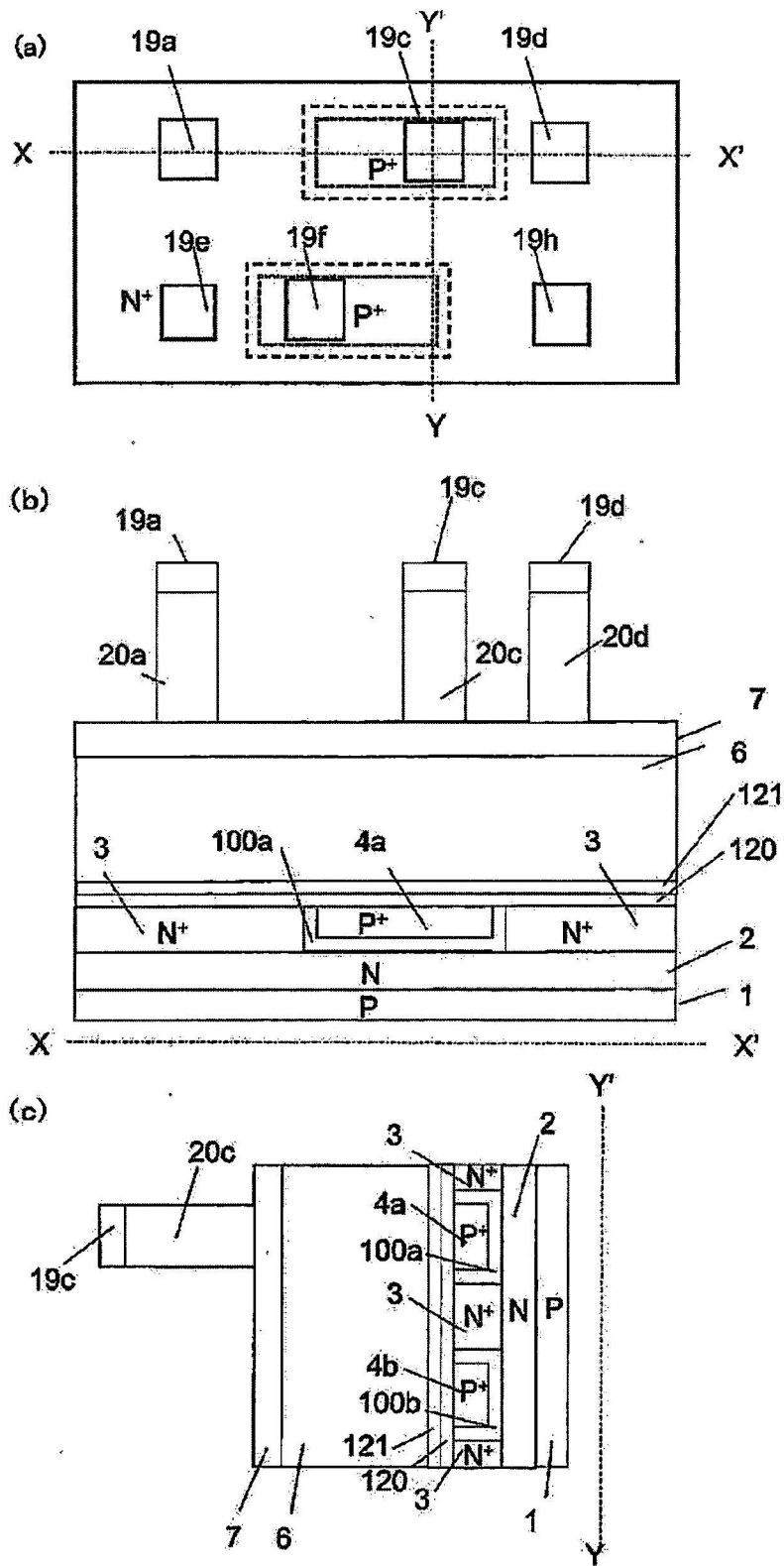
(c)



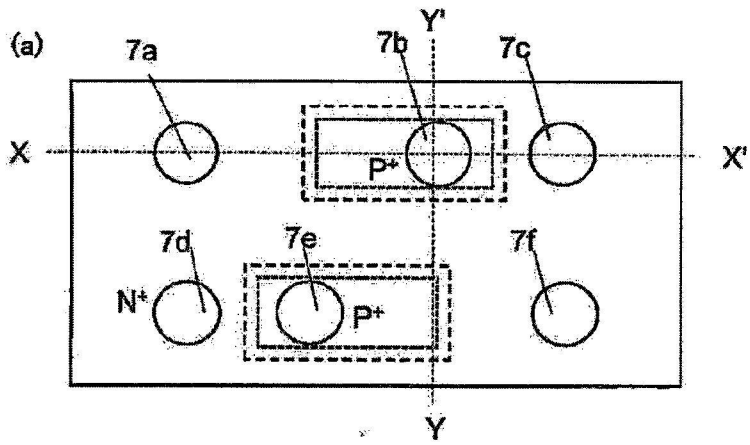
【圖6A】



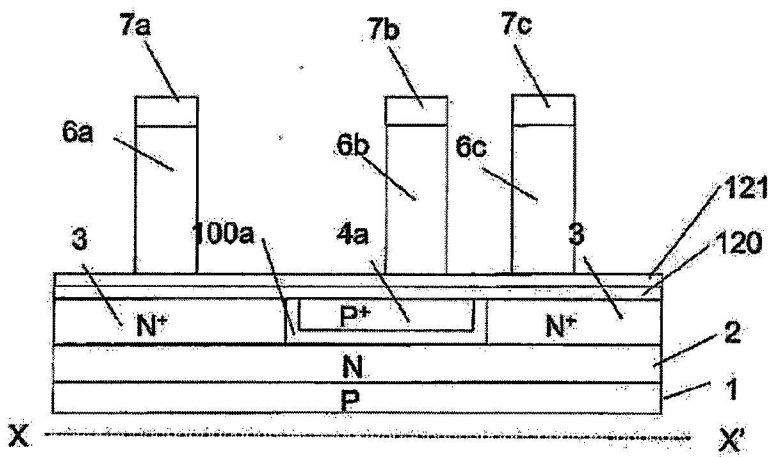
【圖6B】



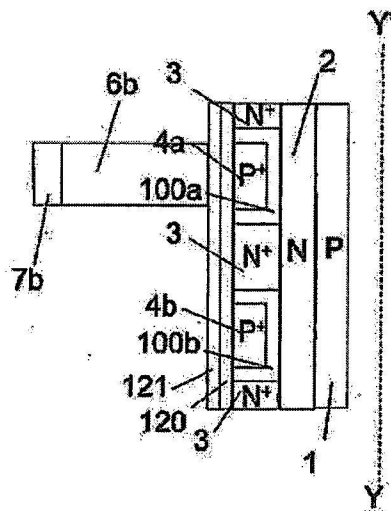
【圖6C】



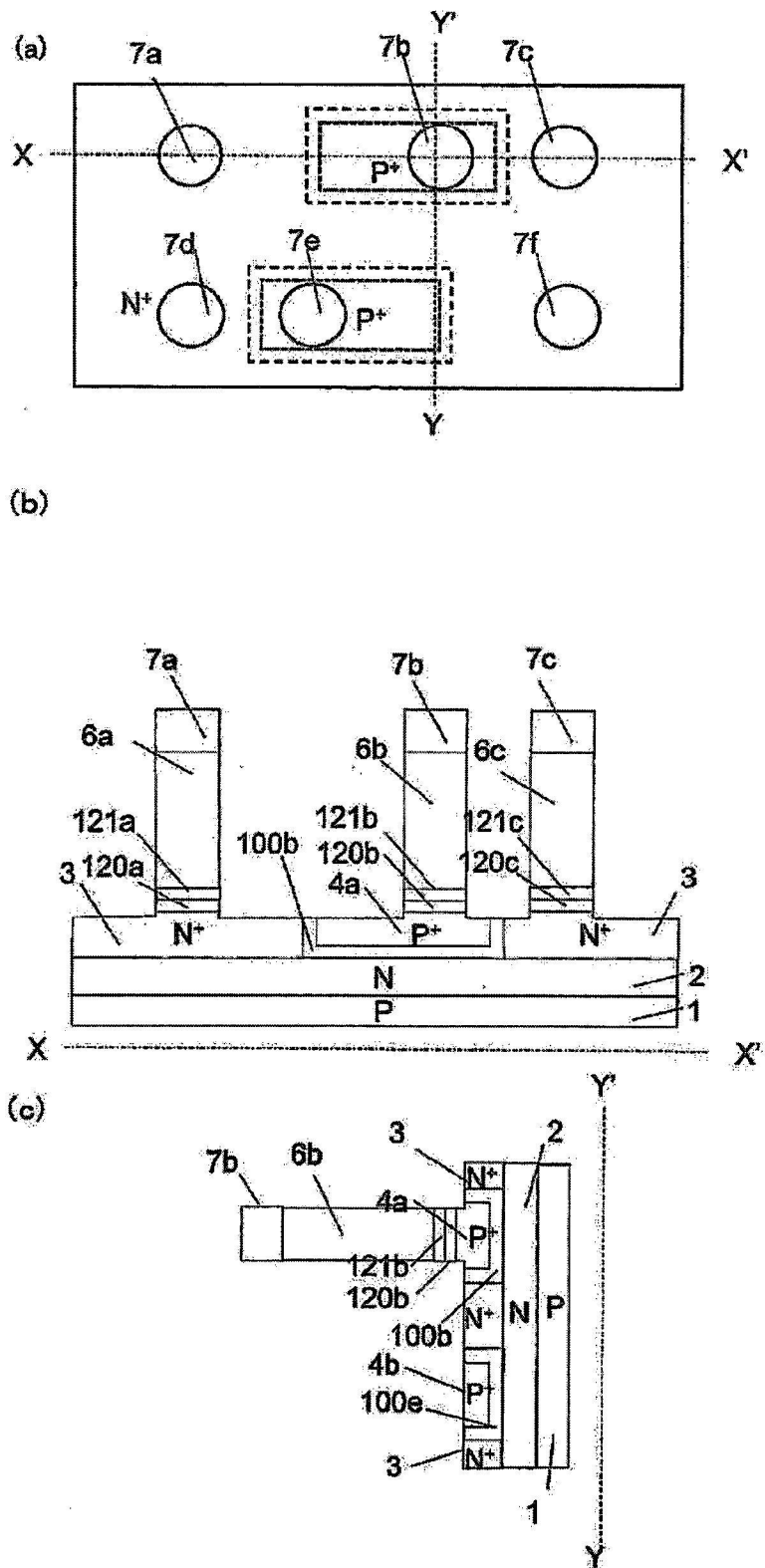
(b)



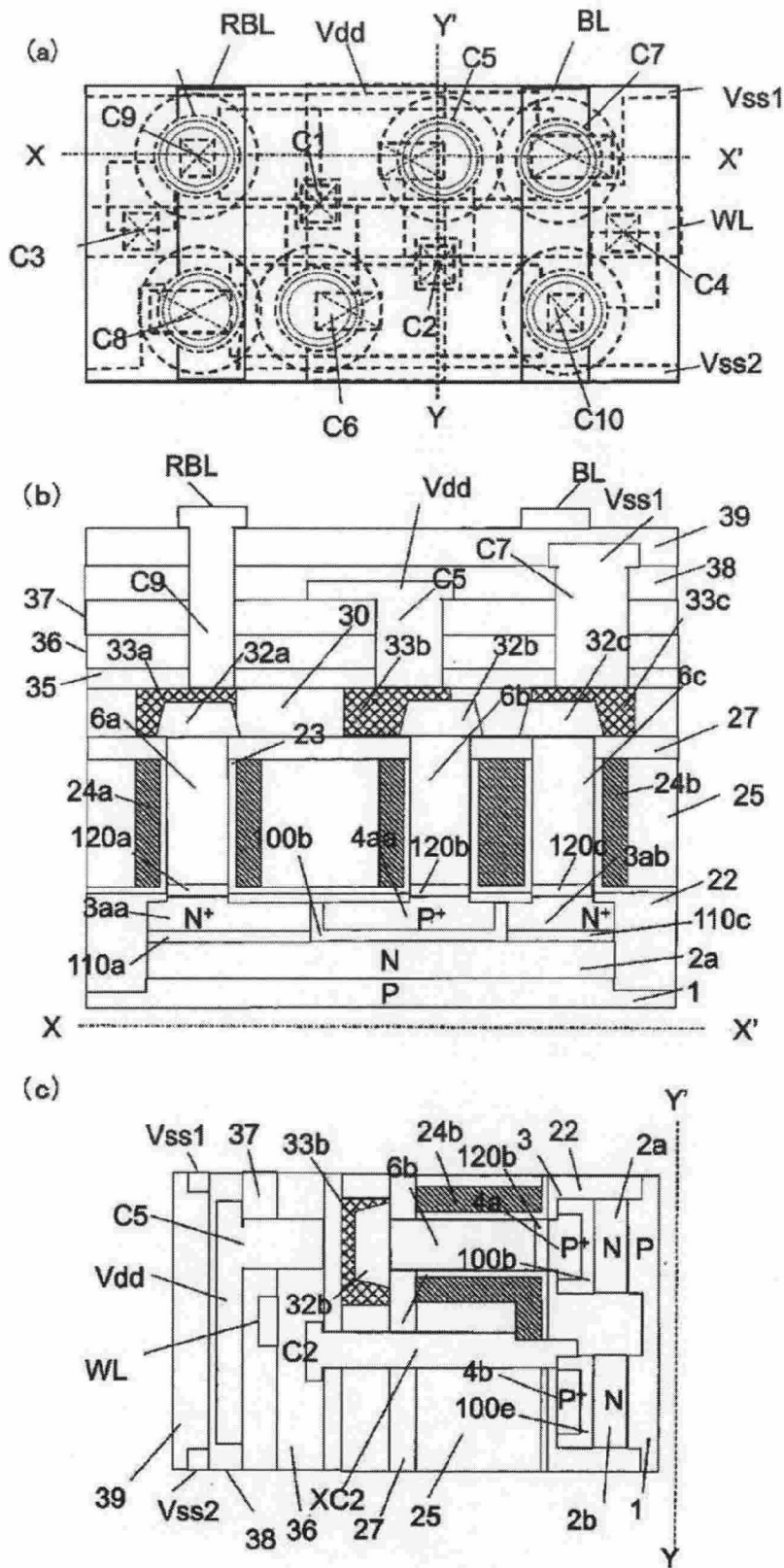
(c)



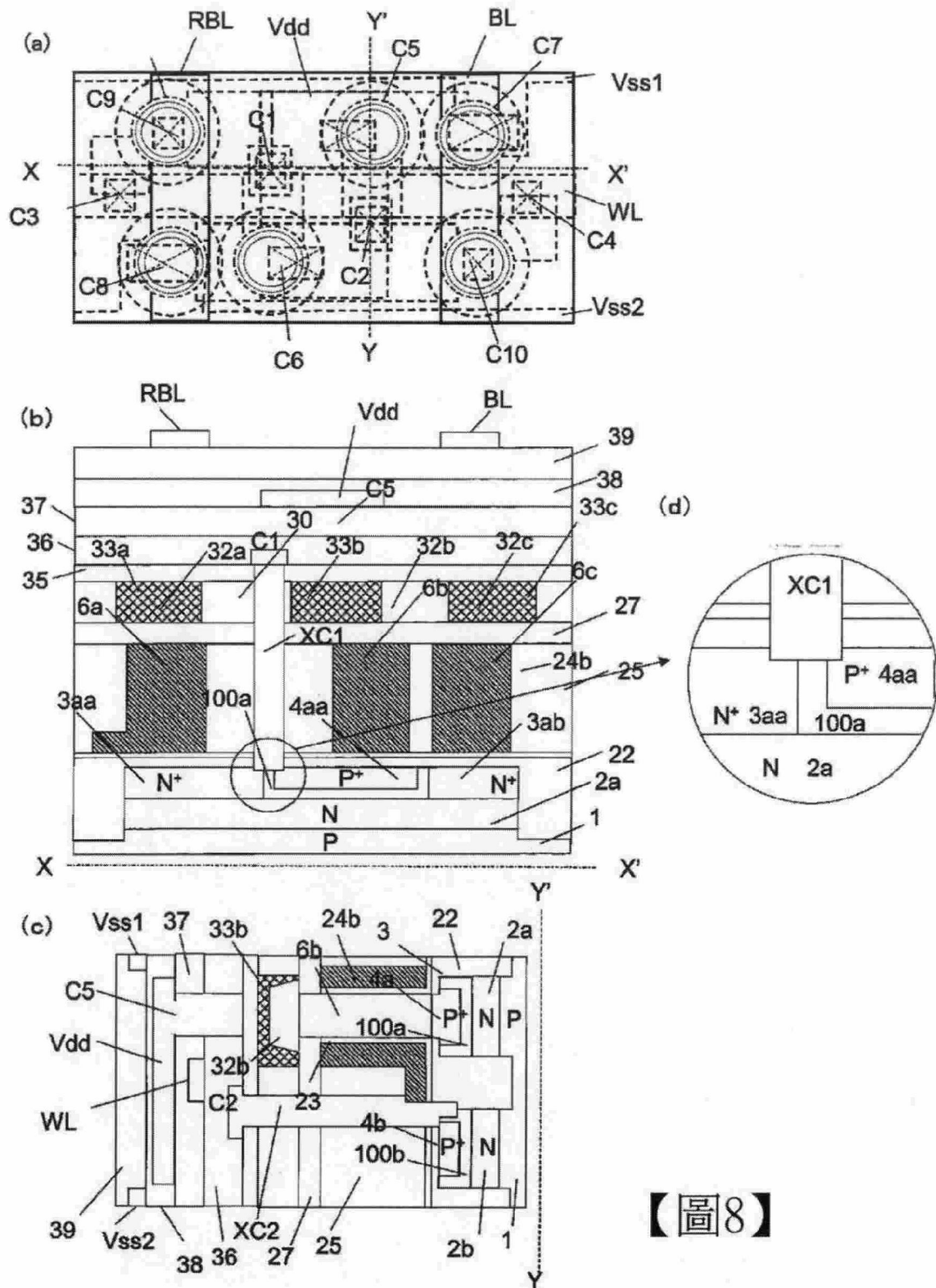
【圖6D】



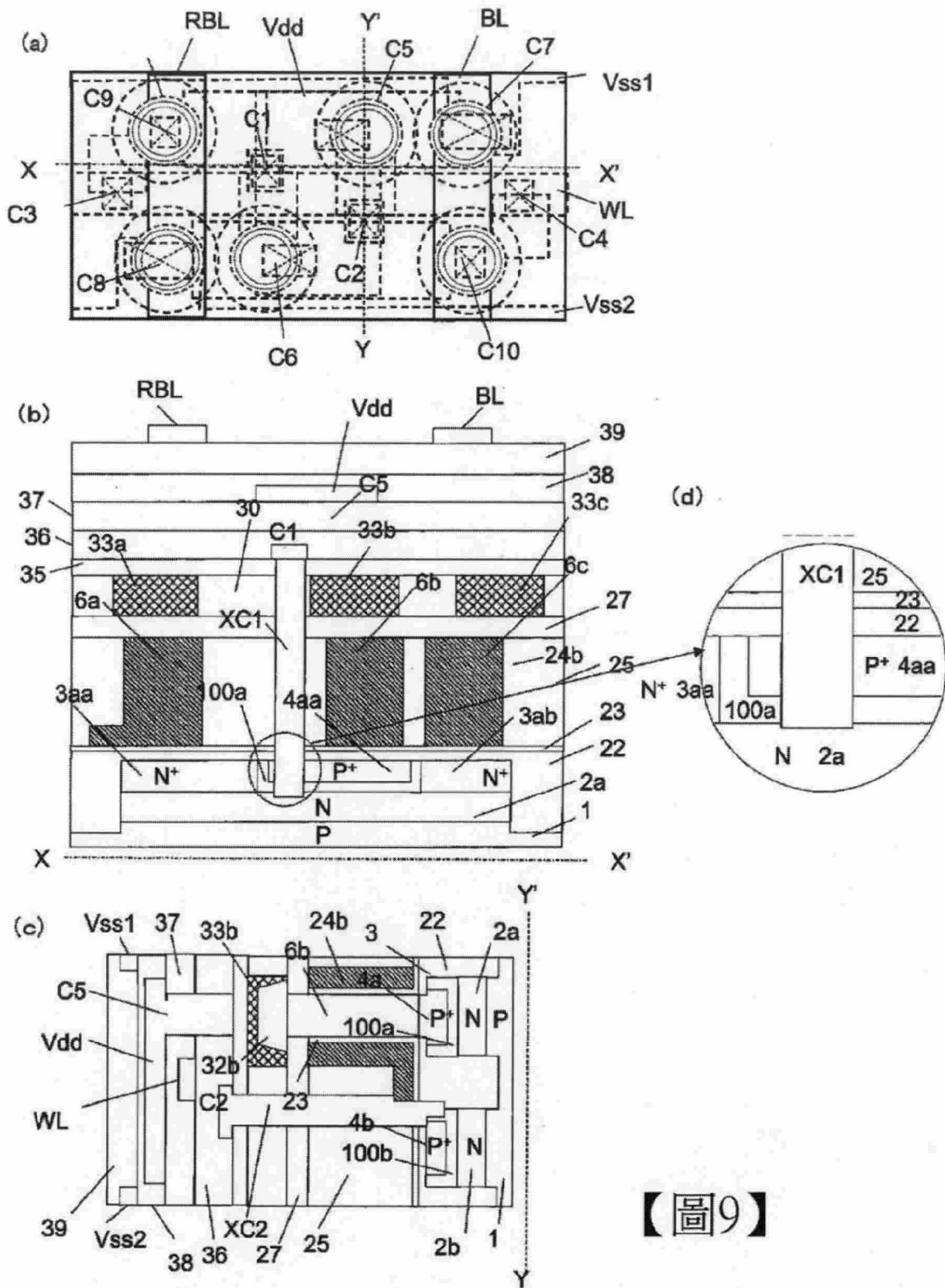
【圖6E】



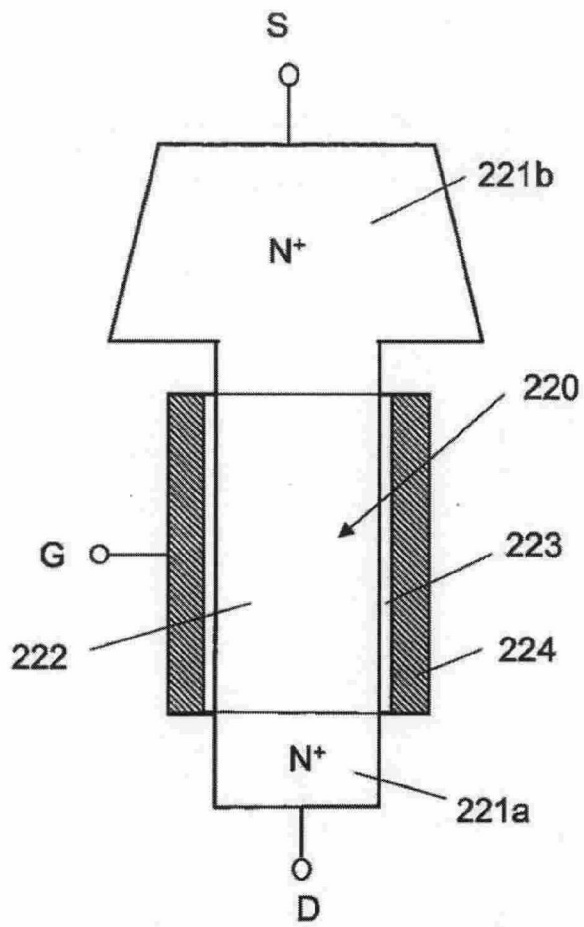
【圖7】



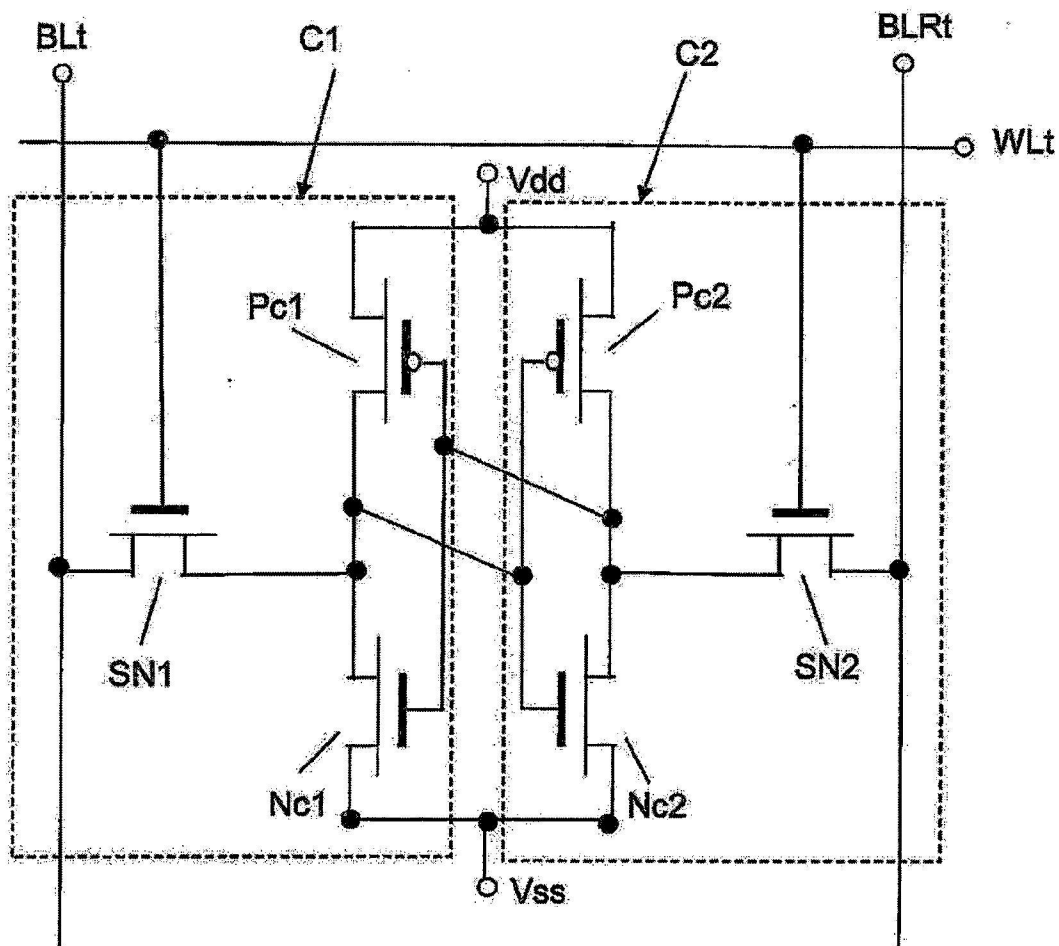
【圖8】



【圖9】



【圖10】



【圖11】