



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2014-0117543  
(43) 공개일자 2014년10월07일

- |   |  |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)<br/><i>H01L 21/60</i> (2006.01)</p> <p>(21) 출원번호 10-2014-7022686</p> <p>(22) 출원일자(국제) 2013년06월05일<br/>심사청구일자 2014년08월13일</p> <p>(85) 번역문제출일자 2014년08월13일</p> <p>(86) 국제출원번호 PCT/JP2013/065575</p> <p>(87) 국제공개번호 WO 2013/187292<br/>국제공개일자 2013년12월19일</p> <p>(30) 우선권주장<br/>JP-P-2012-131510 2012년06월11일 일본(JP)<br/>JP-P-2013-061589 2013년03월25일 일본(JP)</p> | <p>(71) 출원인<br/>가부시키키가이샤 신가와<br/>일본 도쿄도 무사시무라야마시 이나다이라 2초메 51반지노 1</p> <p>(72) 발명자<br/>타니 다이스케<br/>일본 208-8585 도쿄도 무사시무라야마시 이나다이라 2초메 51반지노 1 가부시키키가이샤 신가와 내 타카하시 코이치</p> <p>(74) 대리인<br/>송봉식, 정삼영</p> |
|---|--|

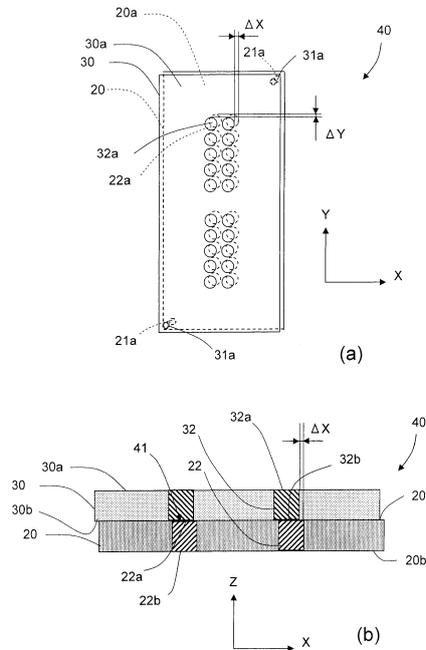
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **본딩 장치 및 반도체 장치의 제조 방법**

**(57) 요약**

제1 관통 전극이 설치되는 제1층의 반도체 칩(20) 위에 제1 관통 전극에 대응하는 위치에 제2 관통 전극이 설치되는 제2층의 반도체 칩(30)을 적층 본딩하는 플립칩 본딩 장치(40)에 있어서, 반도체 칩(20), (30)의 화상을 촬상하는 2시야 카메라(16)와, 제어부(50)를 구비하고, 제어부(50)는 적층 본딩하기 전에 2시야 카메라(16)에 의해 촬상한 제1층의 반도체 칩(20)의 표면의 제1 관통 전극의 화상과, 적층 본딩한 후에 2시야 카메라(16)에 의해 촬상한 제2층의 반도체 칩(30)의 표면의 제2 관통 전극의 화상에 기초하여 적층 본딩된 각 층의 반도체 칩(20), (30)의 상대 위치를 검출하는 상대 위치 검출 프로그램(53)을 구비한다. 이것에 의해 간편한 방법으로 관통 전극을 정밀도 좋게 접속한다.

**대표도 - 도5**



## 특허청구의 범위

### 청구항 1

본딩 장치로서,

반도체 칩의 화상을 촬상하는 카메라와,

상기 카메라가 촬상한 화상의 화상 처리와 제1 관통 전극이 설치되는 제1층의 상기 반도체 칩 위에 상기 제1 관통 전극에 대응하는 위치에 제2 관통 전극이 설치되는 제2층의 상기 반도체 칩을 적층 본딩하는 본딩 제어를 행하는 제어부를 포함하고,

상기 제어부는,

적층 본딩하기 전에 상기 카메라에 의해 촬상한 제1층의 반도체 칩 표면의 상기 제1 관통 전극의 화상과, 적층 본딩한 후에 상기 카메라에 의해 촬상한 제2층의 반도체 칩 표면의 상기 제2 관통 전극의 화상에 기초하여 적층 본딩된 상기 각 층의 반도체 칩의 상대 위치를 검출하는 상대 위치 검출 수단을 포함하는 것을 특징으로 하는 본딩 장치.

### 청구항 2

제 1 항에 있어서,

상기 상대 위치는 상기 제1층의 반도체 칩 표면 상의 기준축을 따른 방향 또는 상기 기준축과 직교하는 방향의 상기 제2층의 반도체 칩의 위치 어긋남, 또는 상기 기준축에 대한 상기 제2층의 반도체 칩의 회전 각도의 어느 하나 또는 복수의 조합인 것을 특징으로 하는 본딩 장치.

### 청구항 3

제 1 항에 있어서,

상기 제1층의 반도체 칩과 상기 제2층의 반도체 칩은 인접하는 2개의 층의 각 반도체 칩인 것을 특징으로 하는 본딩 장치.

### 청구항 4

제 2 항에 있어서,

상기 제1층의 반도체 칩과 상기 제2층의 반도체 칩은 인접하는 2개의 층의 각 반도체 칩인 것을 특징으로 하는 본딩 장치.

### 청구항 5

제 1 항에 있어서,

상기 제1층의 반도체 칩은 첫번째 층의 반도체 칩이며, 상기 제2층의 반도체 칩은 상기 첫번째 층의 반도체 칩의 상측에 적층 본딩된 다른 반도체 칩인 것을 특징으로 하는 본딩 장치.

### 청구항 6

제 2 항에 있어서,

상기 제1층의 반도체 칩은 첫번째 층의 반도체 칩이며, 상기 제2층의 반도체 칩은 상기 첫번째 층의 반도체 칩의 상측에 적층 본딩된 다른 반도체 칩인 것을 특징으로 하는 본딩 장치.

### 청구항 7

제 1 항에 있어서,

상기 제어부는,

적층 본딩하기 전에 상기 카메라에 의해 제1층의 반도체 칩 표면의 상기 제1 관통 전극의 화상을 촬상하는 제1 촬상 수단과,

적층 본딩하기 전에 상기 카메라에 의해 촬상한 제1층의 반도체 칩 표면의 제1 얼라인먼트 마크와 적층 본딩하기 전에 상기 카메라에 의해 촬상한 제2층의 반도체 칩 이면의 제2 얼라인먼트 마크의 위치를 맞추어 상기 제2층의 반도체 칩을 상기 제1층의 반도체 칩 위에 적층 본딩하는 제1 본딩 수단과,

상기 제1 본딩 수단에 의해 적층 본딩한 후에 상기 카메라에 의해 제2층의 반도체 칩 표면의 상기 제2 관통 전극의 화상을 촬상하는 제2 촬상 수단과,

상기 제1 촬상 수단에 의해 촬상한 상기 제1 관통 전극의 화상과 상기 제2 촬상 수단에 의해 촬상한 상기 제2 관통 전극의 화상에 기초하여 상기 각 층의 반도체 칩의 상대 위치를 검출하고, 검출한 상대 위치를 적층 본딩시의 오프셋량으로서 설정하는 오프셋량 설정 수단을 포함하는 것을 특징으로 하는 본딩 장치.

### 청구항 8

제 7 항에 있어서,

상기 제어부는,

상기 제1 얼라인먼트 마크에 상기 제2 얼라인먼트 마크가 맞는 위치로부터 상기 오프셋량 설정 수단으로 설정한 오프셋량만큼 상기 제2층의 반도체 칩을 옮겨 상기 제1층의 반도체 칩 위에 적층 본딩하는 제2 본딩 수단과,

상기 제2 본딩 수단에 의해 적층 본딩한 후에 상기 카메라에 의해 제2층의 반도체 칩 표면의 상기 제2 관통 전극의 화상을 촬상하는 제3 촬상 수단과,

상기 제1 촬상 수단에 의해 촬상한 상기 제1 관통 전극의 화상과 상기 제3 촬상 수단에 의해 촬상한 상기 제2 관통 전극의 화상에 기초하여 상기 각 층의 반도체 칩의 상대 위치의 어긋남량을 검출하는 어긋남량 검출 수단을 포함하는 것을 특징으로 하는 본딩 장치.

### 청구항 9

제 8 항에 있어서,

상기 제어부는,

상기 어긋남량 검출 수단으로 검출한 어긋남량이 제1 역치 미만이며, 제2 역치 이상인 경우에는, 상기 어긋남량의 소정 비율만큼 상기 오프셋량을 보정하는 오프셋량 보정 수단을 포함하는 것을 특징으로 하는 본딩 장치.

### 청구항 10

반도체 장치의 제조 방법으로서,

제1 관통 전극이 설치되는 제1층의 반도체 칩 위에 상기 제1 관통 전극에 대응하는 위치에 제2 관통 전극이 설치되는 제2층의 반도체 칩을 적층 본딩하는 본딩 장치를 준비하는 공정과,

적층 본딩하기 전에 카메라에 의해 제1층의 반도체 칩 표면의 상기 제1 관통 전극의 화상을 촬상하는 제1 촬상 공정과,

적층 본딩하기 전에 상기 카메라에 의해 촬상한 제1층의 반도체 칩 표면의 제1 얼라인먼트 마크와 적층 본딩하기 전에 상기 카메라에 의해 촬상한 제2층의 반도체 칩 이면의 제2 얼라인먼트 마크의 위치를 맞추어 상기 제2층의 반도체 칩을 상기 제1층의 반도체 칩 위에 적층 본딩하는 제1 본딩 공정과,

상기 제1 본딩 공정 후에 상기 카메라에 의해 제2층의 반도체 칩 표면의 상기 제2 관통 전극의 화상을 촬상하는 제2 촬상 공정과,

상기 제1 관통 전극의 화상과 상기 제2 관통 전극의 화상에 기초하여 상기 각 층의 반도체 칩의 상대 위치를 검출하고, 검출한 상대 위치를 적층 본딩시의 오프셋량으로서 설정하는 오프셋량 설정 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 11**

제 10 항에 있어서,

상기 제1 얼라인먼트 마크에 상기 제2 얼라인먼트 마크가 맞는 위치로부터 상기 오프셋량만큼 상기 제2층의 반도체 칩을 옮겨 상기 제1층의 반도체 칩 위에 적층 본딩하는 제2 본딩 공정과,

상기 제2 본딩 공정 후에 상기 카메라에 의해 제2층의 반도체 칩 표면의 상기 제2 관통 전극의 화상을 촬상하는 제3 촬상 공정과,

상기 제1 촬상 수단에 의해 촬상한 상기 제1 관통 전극의 화상과 상기 제3 촬상 수단에 의해 촬상한 상기 제2 관통 전극의 화상에 기초하여 상기 각 층의 반도체 칩의 상대 위치의 어긋남량을 검출하는 어긋남량 검출 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 12**

제 10 항에 있어서,

상기 제1층의 반도체 칩과 상기 제2층의 반도체 칩은 인접하는 2개의 층의 각 반도체 칩인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 13**

제 11 항에 있어서,

상기 제1층의 반도체 칩과 상기 제2층의 반도체 칩은 인접하는 2개의 층의 각 반도체 칩인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 14**

제 10 항에 있어서,

상기 제1층의 반도체 칩은 첫번째 층의 반도체 칩이며, 상기 제2층의 반도체 칩은 상기 첫번째 층의 반도체 칩의 상측에 적층 본딩된 다른 반도체 칩인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 15**

제 11 항에 있어서,

상기 제1층의 반도체 칩은 첫번째 층의 반도체 칩이며, 상기 제2층의 반도체 칩은 상기 첫번째 층의 반도체 칩의 상측에 적층 본딩된 다른 반도체 칩인 것을 특징으로 하는 반도체 장치의 제조 방법.

**명세서**

**기술분야**

[0001] 본 발명은 본딩 장치, 특히 플립칩 본딩 장치의 구조 및 플립칩 본딩 장치를 사용한 반도체 장치의 제조 방법에 관한 것이다.

**배경기술**

[0002] 반도체 칩을 회로 기판에 본딩하는 장치로서 플립칩 본딩 장치가 많이 사용되고 있다. 플립칩 본딩 장치는 본딩 스테이지 위에 회로 기판을 흡착 고정해두고, 본딩 툴의 선단에 접합면(범프가 형성되어 있는 면)을 하방향으로 반도체 칩을 흡착 유지하고, 본딩 툴을 회로 기판의 표면을 향하여 강하시켜, 반도체 칩의 범프를 회로 기판에 누르고 가열함으로써 반도체 칩을 회로 기판에 본딩하는 것이다.

[0003] 플립칩 본딩 장치에서는 본딩 툴에 흡착된 반도체 칩의 위치를 회로 기판의 본딩 위치에 맞춘 상태에서 반도체 칩을 회로 기판에 누르는 것이 필요하게 된다. 이 때문에 본딩 툴에 흡착된 반도체 칩의 하면과, 회로 기판의 상면 사이에 상하 2시야 카메라를 삽입하고, 본딩 툴에 흡착된 반도체 칩의 하면의 화상과 회로 기판의 상면의 화상을 촬상하고, 각 화상에 찍혀 있는 반도체 칩, 회로 기판 각각의 얼라인먼트 마크의 위치에 기초하여 반도체

체 칩과 회로 기관의 상대 위치를 맞추는 방법이 사용되고 있다(예를 들면, 특허문헌 1 참조). 또, 플립칩 본딩 장치에 있어서, 본딩 톨측과 회로 기관에서 카메라의 초점거리가 상이한 2시야 카메라를 사용하여, 2시야 카메라와 반도체 칩, 회로 기관과의 거리가 상이한 경우에도 클리어한 화상을 촬상하는 방법이 제안되어 있다(예를 들면, 특허문헌 2 참조).

**선행기술문헌**

**특허문헌**

- [0004] (특허문헌 0001) 일본 공개특허공보 2002-110742호
- (특허문헌 0002) 일본 특허 제4642565호 명세서

**발명의 내용**

**해결하려는 과제**

[0005] 그런데 최근 관통 전극이 설치된 반도체 칩을 적층하여 다층의 반도체 장치를 제조하는 방법이 사용되고 있었다. 이 방법은 반도체 칩을 관통하는 복수의 관통 전극을 적층되는 각 반도체 칩의 동일 위치에 배치하고, 각 반도체 칩을 적층했을 때에, 관통 전극끼리가 전기적으로 접속되어, 적층 방향으로 뺀 공통 전극으로서 구성되도록 한 것이다. 이 방법에서는 적층된 각 반도체 칩 사이는 복수의 관통 전극에 의해 전기적으로 접속되므로, 예를 들면 와이어 등 다른 배선, 접속 수단을 사용하지 않고 복수의 반도체 칩을 전기적으로 접속할 수 있다.

[0006] 이러한 다층 반도체 장치에 사용되는 반도체 칩에는 수 개로부터 수 십개의 관통 전극이 설치되고, 각 관통 전극이 각각 확실하게 접속되어 있을 필요가 있는 점에서, 예를 들면 특허문헌 1, 2에 기재된 종래기술과 같이 반도체 칩을 회로 기관에 본딩하는 경우보다 적층하는 각 반도체 칩의 위치 어긋남을 작게 할 필요가 있다.

[0007] 그러나, 관통 전극간의 접합은 땀납에 의해 행하고 있으므로, 상하의 각 층의 반도체 칩의 위치를 맞추어 본딩해도 관통 전극은 용융 상태의 땀납 위에 실리기 때문에, 땀납이 고화할 때까지의 동안에 그 위치가 어긋나버리는 경우가 있다. 또, 얼라인먼트 마크의 불명확함 등에 의해 관통 전극이 어긋날 정도의 위치 어긋남이 발생하는 경우가 있었다. 또한, 연속 본딩의 도중에 온도 등의 본딩의 조건의 차이에 의해 관통 전극의 접합 위치 어긋남이 발생하는 경우가 있었다.

[0008] 또, 반도체 칩을 적층해버리면 관통 전극의 접합면은 외부로부터 보이지 않게 되어버리므로, 관통 전극끼리가 정확하게 접속되어 있는지 여부를 용이하게 검출할 수 없어, 예를 들면 일단 본딩한 반도체 칩을 떼어 관통 전극의 접속 상태를 확인하거나, 접속 후의 다층 반도체 장치를 절단하여 관통 전극의 접속 상태를 확인하거나 하여 본딩의 조건을 정할 필요가 있었다. 또, 일단 본딩 조건을 정한 후, 본딩의 도중에 관통 전극의 접속 위치에 어긋남이 발생한 경우에는, 본딩 후의 제품 검사에 의해 도통 불량 등의 결과가 나올 때까지 관통 전극의 접속 불량을 발견할 수 없었다.

[0009] 그래서 본 발명은 간편한 방법으로 관통 전극을 정밀도 좋게 접속하는 것을 목적으로 한다.

**과제의 해결 수단**

[0010] 본 발명의 본딩 장치는 반도체 칩의 화상을 촬상하는 카메라와, 카메라가 촬상한 화상의 화상 처리와 제1 관통 전극이 설치되는 제1층의 상기 반도체 칩 위에 제1 관통 전극에 대응하는 위치에 제2 관통 전극이 설치되는 제2층의 반도체 칩을 적층 본딩하는 본딩 제어를 행하는 제어부를 포함하고, 제어부는 적층 본딩하기 전에 카메라에 의해 촬상한 제1층의 반도체 칩 표면의 제1 관통 전극의 화상과, 적층 본딩한 후에 카메라에 의해 촬상한 제2층의 반도체 칩 표면의 제2 관통 전극의 화상에 기초하여 적층 본딩된 각 층의 반도체 칩의 상대 위치를 검출하는 상대 위치 검출 수단을 포함하는 것을 특징으로 한다.

[0011] 본 발명의 본딩 장치에 있어서, 상대 위치는 제1층의 반도체 칩 표면 상의 기준축을 따른 방향 또는 기준축과 직교하는 방향의 제2층의 반도체 칩의 위치 어긋남, 또는 기준축에 대한 제2층의 반도체 칩의 회전 각도의 어느 하나 또는 복수의 조합인 것으로 해도 적합하다.

- [0012] 본 발명의 본딩 장치에 있어서, 제1층의 반도체 칩과 제2층의 반도체 칩은 인접하는 2개의 층의 각 반도체 칩인 것으로 해도 적합하고, 제1층의 반도체 칩은 첫번째 층의 반도체 칩이며, 제2층의 반도체 칩은 첫번째 층의 반도체 칩의 상측에 적층 본딩된 다른 반도체 칩인 것으로 해도 적합하다.
- [0013] 본 발명의 본딩 장치에 있어서, 제어부는 적층 본딩하기 전에 카메라에 의해 제1층의 반도체 칩 표면의 제1 관통 전극의 화상을 촬상하는 제1 촬상 수단과, 적층 본딩하기 전에 카메라에 의해 촬상한 제1층의 반도체 칩 표면의 제1 얼라인먼트 마크와 적층 본딩하기 전에 카메라에 의해 촬상한 제2층의 반도체 칩 이면의 제2 얼라인먼트 마크의 위치를 맞추어 제2층의 반도체 칩을 제1층의 반도체 칩 위에 적층 본딩하는 제1 본딩 수단과, 제1 본딩 수단에 의해 적층 본딩한 후에 카메라에 의해 제2층의 반도체 칩 표면의 제2 관통 전극의 화상을 촬상하는 제2 촬상 수단과, 제1 촬상 수단에 의해 촬상한 제1 관통 전극의 화상과 제2 촬상 수단에 의해 촬상한 제2 관통 전극의 화상에 기초하여 각 층의 반도체 칩의 상대 위치를 검출하고, 검출한 상대 위치를 적층 본딩시의 오프셋량으로서 설정하는 오프셋량 설정 수단을 가지는 것으로 해도 적합하다.
- [0014] 본 발명의 본딩 장치에 있어서, 제어부는 제1 얼라인먼트 마크에 제2 얼라인먼트 마크가 맞는 위치로부터 오프셋량 설정 수단으로 설정한 오프셋량만큼 제2층의 반도체 칩을 옮겨 제1층의 반도체 칩 위에 적층 본딩하는 제2 본딩 수단과, 제2 본딩 수단에 의해 적층 본딩한 후에 카메라에 의해 제2층의 반도체 칩 표면의 제2 관통 전극의 화상을 촬상하는 제3 촬상 수단과, 제1 촬상 수단에 의해 촬상한 제1 관통 전극의 화상과 제3 촬상 수단에 의해 촬상한 제2 관통 전극의 화상에 기초하여 각 층의 반도체 칩의 상대 위치의 어긋남량을 검출하는 어긋남량 검출 수단을 포함하는 것으로 해도 적합하다.
- [0015] 본 발명의 본딩 장치에 있어서, 제어부는 어긋남량 검출 수단으로 검출한 어긋남량이 제1 역치 미만이며, 제2 역치 이상인 경우에는, 어긋남량의 소정 비율만큼 오프셋량을 보정하는 오프셋량 보정 수단을 포함하는 것으로 해도 적합하다.
- [0016] 본 발명의 반도체 장치의 제조 방법은 제1 관통 전극이 설치되는 제1층의 반도체 칩 위에 제1 관통 전극에 대응하는 위치에 제2 관통 전극이 설치되는 제2층의 반도체 칩을 적층 본딩하는 본딩 장치를 준비하는 공정과, 적층 본딩하기 전에 카메라에 의해 제1층의 반도체 칩 표면의 제1 관통 전극의 화상을 촬상하는 제1 촬상 공정과, 적층 본딩하기 전에 카메라에 의해 촬상한 제1층의 반도체 칩 표면의 제1 얼라인먼트 마크와 적층 본딩하기 전에 카메라에 의해 촬상한 제2층의 반도체 칩 이면의 제2 얼라인먼트 마크의 위치를 맞추어 제2층의 반도체 칩을 제1층의 반도체 칩 위에 적층 본딩하는 제1 본딩 공정과, 제1 본딩 공정 후에 카메라에 의해 제2층의 반도체 칩 표면의 제2 관통 전극의 화상을 촬상하는 제2 촬상 공정과, 제1 관통 전극의 화상과 제2 관통 전극의 화상에 기초하여 각 층의 반도체 칩의 상대 위치를 검출하고, 검출한 상대 위치를 적층 본딩시의 오프셋량으로서 설정하는 오프셋량 설정 공정을 포함하는 것을 특징으로 한다.
- [0017] 본 발명의 반도체 장치의 제조 방법에 있어서, 제1 얼라인먼트 마크에 제2 얼라인먼트 마크가 맞는 위치로부터 오프셋량만큼 제2층의 반도체 칩을 옮겨 제1층의 반도체 칩 위에 적층 본딩하는 제2 본딩 공정과, 제2 본딩 공정 후에 카메라에 의해 제2층의 반도체 칩 표면의 제2 관통 전극의 화상을 촬상하는 제3 촬상 공정과, 제1 촬상 수단에 의해 촬상한 제1 관통 전극의 화상과 제3 촬상 수단에 의해 촬상한 제2 관통 전극의 화상에 기초하여 각 층의 반도체 칩의 상대 위치의 어긋남량을 검출하는 어긋남량 검출 공정을 포함하는 것으로 해도 적합하다.
- [0018] 본 발명의 반도체 장치의 제조 방법에 있어서, 제1층의 반도체 칩과 제2층의 반도체 칩은 인접하는 2개의 층의 각 반도체 칩인 것으로 해도 적합하고, 제1층의 반도체 칩은 첫번째 층의 반도체 칩이며, 제2층의 반도체 칩은 첫번째 층의 반도체 칩의 상측에 적층 본딩된 다른 반도체 칩인 것으로 해도 적합하다.

**발명의 효과**

- [0019] 본 발명은 간편한 방법으로 관통 전극을 정밀도 좋게 접속할 수 있다는 효과를 나타낸다.

**도면의 간단한 설명**

- [0020] 도 1은 본 발명의 실시형태에 있어서의 본딩 장치의 구성을 나타내는 계통도이다.
- 도 2는 제1층의 반도체 칩 표면의 화상과, 제2층의 반도체 칩의 이면의 화상 및 각 층의 반도체 칩의 단면을 나타내는 설명도이다.
- 도 3은 본 발명의 실시형태에 있어서의 본딩 장치의 동작을 나타내는 플로우차트이다.

도 4는 본 발명의 실시형태에 있어서의 본딩 장치의 적층 본딩 동작을 나타내는 설명도이다.

도 5는 티칭시에 적층 본딩에 의해 제1층의 반도체 칩과 제2층의 반도체 칩이 적층된 다층 반도체 장치의 평면과, 단면을 나타내는 설명도이다.

도 6은 본 발명의 본딩 장치에 있어서, 적층 본딩 후에 제2층의 반도체 칩 표면의 화상을 촬상하는 상태를 나타내는 설명도이다.

도 7은 다층 반도체 장치 제조시의 적층 본딩에 의해 제1층의 반도체 칩과 제2층의 반도체 칩이 적층된 다층 반도체 장치의 평면과, 단면을 나타내는 설명도이다.

도 8은 본 발명의 실시형태에 있어서의 본딩 장치의 다른 동작을 나타내는 플로우차트이다.

도 9는 본 발명의 실시형태에 있어서의 본딩 장치의 다른 동작을 나타내는 플로우차트이다.

도 10은 티칭시에 적층 본딩에 의해 제1층과 제2층의 반도체 칩이 적층된 다층 반도체 장치의 단면도이다.

도 11은 다층 반도체 장치 제조시의 적층 본딩에 의해 제1층과 제2층의 반도체 칩이 적층된 상태와, 제1층 내지 제3층의 반도체 칩이 적층된 상태를 나타내는 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0021] 이하, 도면을 참조하면서 본 발명의 실시형태의 본딩 장치의 실시형태에 대해서 설명한다. 도 1에 나타내는 바와 같이, 본 실시형태의 플립칩 본딩 장치(500)는 제1층의 반도체 칩(20)을 흡착 고정하는 본딩 스테이지(11)와, 본딩 스테이지(11)를 XY 방향(수평 방향)으로 이동 가능하게 지지하는 XY 테이블(12)과, XY 테이블(12)에 접속되어 본딩 스테이지(11)를 XY 방향으로 구동하는 본딩 스테이지 구동 기구(13)와, 선단에 제2층의 반도체 칩(30)을 흡착하는 본딩 툴(14)과, 본딩 툴(14)을 Z방향(상하 방향) 및  $\theta$ 방향으로 이동시키는 본딩 툴 구동 기구(15)와, 도면 중 안을 비운 화살표로 나타내는 바와 같이 상하 방향을 동시에 활상할 수 있는 2시야 카메라(16)와, 2시야 카메라(16)가 촬상한 화상의 화상 처리와 본딩 제어를 행하는 제어부(50)를 구비하고 있다. 또한, 도 1에서는 지면의 좌우 방향이 XY 방향, 지면의 상하 방향이 Z방향, Z축 둘레의 회전 방향이  $\theta$ 이다.

[0022] 도 1에 나타내는 바와 같이, 제어부(50)는 내부에 신호 처리를 행하는 CPU(51)와, 제어 프로그램, 제어 데이터 등을 기억하는 메모리(52)와, 본딩 툴 구동 기구와 제어 신호의 입출력을 행하는 본딩 툴 구동 기구 인터페이스(64)와, 2시야 카메라(16)와 제어 신호, 화상 신호의 입출력을 행하는 2시야 카메라 인터페이스(65)와, 본딩 스테이지 구동 기구와 제어 신호의 입출력을 행하는 본딩 스테이지 구동 기구 인터페이스(66)를 포함하는 컴퓨터이다. CPU(51)와, 메모리(52)와, 각 인터페이스(64, 65, 66)는 데이터 버스(70)에 의해 접속되어 있다. 그리고, 본딩 툴 구동 기구(15), 2시야 카메라(16), 본딩 스테이지 구동 기구(13)는 제어부(50)의 CPU(51)의 지령에 의해 구동되도록 구성되어 있다.

[0023] 도 1에 나타내는 바와 같이, 메모리(52)에는 상대 위치 검출 수단인 상대 위치 검출 프로그램(53), 제1 촬상 수단인 제1 촬상 프로그램(54), 제1 본딩 수단인 제1 본딩 프로그램(55), 제2 촬상 수단인 제2 촬상 프로그램(56), 오프셋량 설정 수단인 오프셋량 설정 프로그램(57), 제2 본딩 수단인 제2 본딩 프로그램(58), 제3 촬상 수단인 제3 촬상 프로그램(59), 어긋남량 검출 수단인 어긋남량 검출 프로그램(60), 오프셋량 보정 수단인 오프셋량 보정 프로그램(61), 정지 수단인 정지 프로그램(62) 및 2시야 카메라(16)에 의해 취득한 화상이나 화상 처리한 화상 데이터나 오프셋량 등의 제어 데이터(63)가 기억되어 있다. 또한, 각 프로그램(53~62)에 대해서는 나중에 설명한다.

[0024] 이상과 같이 구성된 본 실시형태의 플립칩 본딩 장치(500)에 의해 제1층의 반도체 칩(20) 위에 제2층의 반도체 칩(30)을 적층 본딩하는 공정(반도체 장치의 제조 공정)에 대해서 도 2~도 6을 참조하면서 설명한다.

[0025] 가장 먼저 도 3의 스텝(S101) 내지 스텝(S108)의 티칭 동작에 대해서 설명한다. 우선, 본딩 스테이지(11) 위에 제1층의 반도체 칩(20)을 흡착 고정시키고, 도시하지 않는 픽업 유닛에 의해 웨이퍼로부터 제2층의 반도체 칩(30)을 본딩 툴(14)의 선단에 흡착시킨다.

[0026] 도 2(a)에 나타내는 바와 같이, 제1층의 반도체 칩(20)의 표면(20a)(도 1에 있어서 Z방향 플러스측의 면)의 우상측 모서리와 좌하측 모서리에는 각각 십자형의 얼라인먼트 마크(21a)가 설치되어 있다. 또, 제1층의 반도체 칩(20)에는 복수의 제1 관통 전극(22)이 설치되어 있다. 도 2(b)에 나타내는 바와 같이, 제1 관통 전극(22)은

제1층의 반도체 칩(20)의 표면(20a)과 이면(20b) 사이를 표면(20a), 이면(20b)에 대하여 수직으로 관통하도록 설치되어 있고, 제1층의 반도체 칩(20)의 표면(20a)에는 제1 관통 전극(22)의 표면(22a)이 노출되고, 제1층의 반도체 칩(20)의 이면(20b)에는 제1 관통 전극(22)의 표면(22a)과 동일 위치에 제1 관통 전극(22)의 이면(22b)이 노출되어 있다.

[0027] 제2층의 반도체 칩(30)도 제1층의 반도체 칩(20)과 마찬가지로의 위치에 제2 관통 전극(32)이 설치되어 있다. 즉, 제2 관통 전극(32)은 제2층의 반도체 칩(30)을 반전시켜 그 이면(30b)을 제1층의 반도체 칩(20)의 표면(20a)에 겹쳤을 때에 동일한 위치가 되는 위치에 설치되어 있다. 그리고 제1층의 반도체 칩(20)과 마찬가지로 도 2(d)에 나타내는 바와 같이, 제2 관통 전극(32)은 제2층의 반도체 칩(30)의 표면(30a)과 이면(30b) 사이를 표면(30a), 이면(30b)에 대하여 수직으로 관통하도록 설치되어 있고, 제2층의 반도체 칩(30)의 표면(30a)에는 제2 관통 전극(32)의 표면(32a)이 노출되고, 제2층의 반도체 칩(30)의 이면(30b)에는 제2 관통 전극(32)의 표면(22a)과 동일 위치에 제2 관통 전극(32)의 이면(32b)이 노출되어 있다. 도 2(c)는 제2층의 반도체 칩(30)을 이면(30b)의 측에서 본 도면이며, 제2층의 반도체 칩(30)의 이면(30b)의 좌상측 모서리와 우하측 모서리(제2층의 반도체 칩(30)을 반전시켜 이면(30b)을 제1층의 반도체 칩(20)의 표면(20a)에 겹쳤을 때에 동일한 위치가 되는 위치)에는 각각 십자형의 얼라인먼트 마크(31b)가 설치되어 있다.

[0028] 도 1에 나타내는 바와 같이, 적층 본딩 전의 초기 상태에서는, 본딩 툴(14)은 상방의 대기 위치에 있으므로, 제어부(50)는 도시하지 않는 2시야 카메라 구동 기구에 의해 2시야 카메라(16)를 본딩 툴(14)과 본딩 스테이지(11)의 중간에 삽입한다. 그러면 도 1의 하방향의 안을 비운 화살표로 나타내는 2시야 카메라(16)의 하측의 시야에는 도 2(a)에 나타내는 바와 같이 얼라인먼트 마크(21a)와 제1 관통 전극(22)의 표면(22a)을 포함하는 제1층의 반도체 칩(20)의 표면(20a)의 화상이 포착되고, 도 1의 상방향의 안을 비운 화살표로 나타내는 2시야 카메라(16)의 상측의 시야에는 도 2(c)에 나타내는 바와 같이 얼라인먼트 마크(31b)와 제2 관통 전극(32)의 이면(32b)을 포함하는 제2층의 반도체 칩(30)의 이면(30b)의 화상이 포착된다.

[0029] 제어부(50)는 도 1에 나타내는 제1 촬상 프로그램(54)을 실행하고, 도 3의 스텝(S101)에 나타내는 바와 같이 2시야 카메라(16)를 작동시켜 도 2(a)에 나타내는 제1층의 반도체 칩(20)의 표면(20a)의 제1 관통 전극(22)의 표면(22a)의 화상을 촬상하여 메모리(52)의 제어 데이터(63)에 격납한다(제1 촬상 공정).

[0030] 또, 제어부(50)는 도 1에 나타내는 제1 본딩 프로그램(55)을 실행한다. 제어부(50)는 도 3의 스텝(S102)에 나타내는 바와 같이, 2시야 카메라(16)를 작동시켜 도 2(a)에 나타내는 제1층의 반도체 칩(20)의 표면(20a)의 얼라인먼트 마크(21a)를 촬상하여 메모리(52)의 제어 데이터(63)에 격납하고, 도 3의 스텝(S103)에 나타내는 바와 같이, 2시야 카메라(16)를 작동시켜 도 2(c)에 나타내는 제2층의 반도체 칩(30)의 이면(30b)의 얼라인먼트 마크(31b)를 촬상하여, 메모리(52)의 제어 데이터(63)에 격납한다. 제어부(50)는 각 얼라인먼트 마크(21a, 31b)의 화상을 처리하고, 각 얼라인먼트 마크(21a, 31b)의 위치의 XY 방향 또는  $\theta$ 방향의 어긋남량을 검출하여, 본딩 스테이지 구동 기구(13), 본딩 툴 구동 기구(15)에 의해 각각 본딩 스테이지(11)의 XY 방향의 위치, 본딩 툴(14)의  $\theta$ 방향의 위치를 조정한다. 그리고 각 얼라인먼트 마크(21a, 31b)의 위치의 XY 방향 또는  $\theta$ 방향의 어긋남량이 각각 제로 또는 소정의 역치 이하가 되면, 제어부(50)는 제1층의 반도체 칩(20)과 제2층의 반도체 칩(30)의 각 얼라인먼트 마크(21a, 31b)의 위치가 맞았다고 판단하고, 도 3의 스텝(S104)에 나타내는 바와 같이, 본딩 툴 구동 기구(15)에 의해 본딩 툴(14)을 강하시키는 지령을 출력한다. 이 지령에 의해 도 4에 나타내는 바와 같이 본딩 툴(14)이 강하하고, 도 5(a)에 나타내는 바와 같이 제1층의 반도체 칩(20) 위에 제2층의 반도체 칩(30)을 적층 본딩하여, 다층 반도체 장치(40)로 한다(제1 본딩 공정).

[0031] 도 5(b)에 나타내는 바와 같이 제1층의 반도체 칩(20) 위에 제2층의 반도체 칩(30)을 적층 본딩하면, 제1층의 관통 전극(22)의 표면(22a)과, 제2층의 관통 전극(32)의 이면(32b) 사이에는 용융한 뿔납이 굳은 고착층(41)이 형성되고, 이 고착층(41)에 의해 각 관통 전극(22, 32)이 접속되어 있다.

[0032] 도 6에 나타내는 바와 같이, 제1 본딩 공정이 종료되면, 제어부(50)는 본딩 툴(14)을 대기 위치까지 상승시키고, 도시하지 않는 2시야 카메라 구동 기구에 의해 2시야 카메라(16)를 제2층의 반도체 장치 칩(30) 위로 이동시킨다. 2시야 카메라(16)의 시야에는 도 5(a)에 나타내는 바와 같이 제1층의 반도체 칩(20) 위에 제2층의 반도체 칩(30)이 적층된 상태의 화상이 포착된다. 도 5(a)에서는 하측의 제1층의 반도체 칩(20)의 얼라인먼트 마크(21a), 제1 관통 전극의 표면(22a)은 파선으로 나타내는데, 실제로 2시야 카메라(16)의 시야에 비추어지는 것은 도 5(a)에 나타내는 실선의 부분, 즉 제2층의 반도체 칩(30)의 표면(30a) 및 제2 관통 전극(32)의 표면(32a)이다.

[0033] 제어부(50)는 도 1에 나타내는 제2 촬상 프로그램(56)을 실행시켜, 도 3의 스텝(S105)에 나타내는 바와 같이,

제2층의 반도체 칩(30)의 표면(30a)의 제2 관통 전극(32)의 표면(32a)의 화상을 촬상하여, 제어 데이터(63)에 격납한다(제2 촬상 공정).

[0034] 제어부(50)는 도 1에 나타내는 상대 위치 검출 프로그램(53)을 실행하고, 도 3에 나타내는 스텝(S106)에 나타내는 바와 같이, 우선 제1 촬상 공정에서 촬상한 제1층의 반도체 칩(20)의 관통 전극(22)의 표면(22a)의 화상에 제2 촬상 공정에서 촬상한 제2층의 반도체 칩(30)의 관통 전극(32a)의 화상을 겹친다. 도 5(a)에서는 겹친 제1층의 반도체 칩(20)의 표면(20a), 제1 관통 전극(22)의 표면(22a)은 파선으로 나타내고 있다. 겹친 화상에는 각 관통 전극의 표면(22a, 32a)의 위치가 어긋나게 표시된다.

[0035] 앞서 설명한 바와 같이, 각 관통 전극(22, 32)은 각 층의 반도체 칩(20, 30)의 각 표면(20a, 30a)에 대하여 수직으로 형성되어 있는 점에서, 각 관통 전극의 표면(22a, 32a)의 위치가 어긋나 있다고 하는 것은, 도 5(b)에 나타내는 바와 같이 각 층의 반도체 칩(20, 30)이 어긋나서 적층되어 있다고 판단된다.

[0036] 또, 각 층의 반도체 칩(20, 30)의 각 얼라인먼트 마크(21a, 31b)의 위치를 맞추어 적층 본딩하고 있는 점에서, 각 층의 반도체 칩(20, 30)의 상대 위치는 크게 어긋나 있지 않고, 복수의 각 관통 전극(22, 32)의 위치는 서로 대응하는 위치에 있는 전극이 서로 겹쳐져 있는 상태로 되어 있다. 그래서, 제어부(50)는 도 5(a)에 나타내는 바와 같이 서로 겹쳐져 있는 제1 관통 전극(22)과의 표면(22a)과 제2 관통 전극(32)의 표면(32a)의 XY 방향의 어긋남량( $\Delta X$ ,  $\Delta Y$ )을 제1층의 반도체 칩(20)과 제2층의 반도체 칩(30)의 상대 위치라고 판단한다. 도 5(a)에 나타내는 예에서는 제1층의 반도체 칩(20)의 표면(20a)에 설치된 얼라인먼트 마크(21a)와 제2층의 반도체 칩(30)의 이면(30b)에 설치된 얼라인먼트 마크(31b)의 위치도 어긋나 있으므로, 각 어긋남량( $\Delta X$ ,  $\Delta Y$ )은 예를 들면 제어부(50)가 얼라인먼트 마크(21a, 31b)의 화상으로부터 얼라인먼트 마크의 위치를 인식할 때의 오차에 의해 생기는 각 관통 전극(22, 32)의 XY 방향의 위치 어긋남, 또는 적층 본딩시에 관통 전극 사이에 끼어 있는 용융 땀납에 의해 생긴 위치의 어긋남이라고 판단된다. 그리고, 제어부(50)는 도 3의 스텝(S107)에 나타내는 바와 같이, 도 3에 나타내는 스텝(S101~S106)의 각 스텝을 소정의 회수, 예를 들면 n회 반복한 후, 도 3의 스텝(S108)에 나타내는 바와 같이, 예를 들면 그 평균 어긋남량 또는 중앙값 등을 오프셋량으로서 설정한다(오프셋량 설정 공정).

[0037] 상기한 실시형태에서는 도 5(a)에 나타내는 제1 관통 전극(22)과의 표면(22a)과 제2 관통 전극(32)의 표면(32a)의 XY 방향의 어긋남량( $\Delta X$ ,  $\Delta Y$ )(X는 제1층의 반도체 칩(20)의 기준축이며 예를 들면 도 5(a)에 나타내는 제1층의 반도체 칩(20)의 횡방향의 변 X와 평행한 방향이며, Y는 X방향에 대하여 직교하는 방향)을 제1층의 반도체 칩(20)과 제2층의 반도체 칩(30)의 상대 위치라고 판단하는 것으로서 설명했지만, 복수의 각 관통 전극(22, 32)의 각 표면(22a, 32a)의 화상을 사용하여, XY 방향의 어긋남량( $\Delta X$ ,  $\Delta Y$ )뿐만아니라 제1층의 반도체 칩(20)에 대한 제2층의 반도체 칩의 회전 방향의 위치 어긋남( $\Delta \theta$ )을 포함하여 상대 위치라고 판단하는 것으로 해도 된다. 회전 방향의 위치 어긋남( $\Delta \theta$ )은 예를 들면 도 5(a)에 나타내는 최상부의 좌측의 관통 전극(22, 32)의 각 표면(22a, 32a)의 XY 방향의 어긋남량( $\Delta X_1$ ,  $\Delta Y_1$ )과, 도 5(a)에 나타내는 최하부 우측의 관통 전극(22, 32)(대각 방향에 있는 관통 전극(22, 32))의 각 표면(22a, 32a)의 XY 방향의 어긋남량( $\Delta X_2$ ,  $\Delta Y_2$ )을 사용하여 기준이 되는 X축에 대한 회전 각도( $\Delta \theta$ )로서 구하도록 해도 된다. 이 경우, 각 어긋남량( $\Delta X$ ,  $\Delta Y$ ,  $\Delta \theta$ )의 평균값 또는 중앙값을 XY $\theta$  방향의 각 오프셋량으로서 설정한다.

[0038] 이상 설명한 본 실시형태의 티칭 동작(도 3에 나타내는 스텝(S106~S108))은 적층 본딩한 제1, 제2층의 반도체 칩(20, 30)을 떼어 접합면을 확인하거나, 적층한 다층 반도체 장치(40)를 절단하고, 예를 들면 도 5(b)에 나타내는 바와 같은 단면을 노출시켜 제1, 제2 관통 전극(22, 32)의 위치를 확인하거나 하는 것 같은 파괴 검사를 행하지 않고, 적층 본딩시의 제1층과 제2층의 반도체 칩(20, 30)의 위치 어긋남량(상대 위치)을 검출하고, 그 어긋남량(상대 위치)에 기초하여 적층 본딩시의 오프셋량을 설정한다는 간편한 방법으로 플립칩 본딩 장치의 티칭을 행할 수 있고, 각 관통 전극(22, 32)을 정밀도 좋게 접합할 수 있다.

[0039] 다음에, 티칭 후의 다층 반도체 장치(40)를 제조하는 경우의 적층 본딩 동작(도 3의 스텝(S109)~스텝(S119))에 대해서 설명한다. 앞서 설명한 티칭 동작과 마찬가지로의 공정에 대해서는 설명을 생략한다.

[0040] 앞서 티칭의 동작에서 설명한 것과 마찬가지로, 제어부(50)는 우선 본딩 스테이지(11) 위에 제1층의 반도체 칩(20)을 흡착 고정시키고, 도시하지 않는 픽업 유닛에 의해 웨이퍼로부터 제2층의 반도체 칩(30)을 본딩 툴(14)의 선단에 흡착시키고, 2시야 카메라(16)를 본딩 스테이지(11)와 본딩 툴(14) 사이에 삽입한다. 그리고 제어부(50)는 도 1에 나타내는 제1 촬상 프로그램(54)을 실행하고, 도 3의 스텝(S109)에 나타내는 바와 같이 2시야 카메라(16)를 작동시켜 도 2(a)에 나타내는 제1층의 반도체 칩(20)의 표면(20a)의 제1 관통 전극(22)의 표면(22

a)의 화상을 촬상하여 메모리(52)의 제어 데이터(63)에 격납한다(제1 촬상 공정).

[0041] 다음에 제어부(50)는 도 1에 나타내는 제2 본딩 프로그램(58)을 실행한다. 제어부(50)는 도 3의 스텝(S110)에 나타내는 바와 같이, 2시야 카메라(16)를 작동시켜 도 2(a)에 나타내는 제1층의 반도체 칩(20)의 표면(20a)의 얼라인먼트 마크(21a)를 촬상하여 메모리(52)의 제어 데이터(63)에 격납하고, 도 3의 스텝(S111)에 나타내는 바와 같이, 2시야 카메라(16)를 작동시켜 도 2(c)에 나타내는 제2층의 반도체 칩(30)의 이면(30b)의 얼라인먼트 마크(31b)를 촬상하여, 메모리(52)의 제어 데이터(63)에 격납한다. 제어부(50)는 각 얼라인먼트 마크(21a, 31b)의 화상을 처리하고, 각 얼라인먼트 마크(21a, 31b)의 위치의 XY 방향 또는  $\theta$ 방향의 어긋남량을 검출한다. 그리고, 제어부(50)는 도 3의 스텝(S112)에 나타내는 바와 같이, 각 얼라인먼트 마크(21a, 31b)의 위치의 XY 방향 또는  $\theta$ 방향의 어긋남량이 각각 도 3의 스텝(S108)에서 설정한 오프셋량이 되도록, 본딩 스테이지 구동 기구(13), 본딩 툴 구동 기구(15)에 의해 각각 본딩 스테이지(11)의 XY 방향의 위치, 본딩 툴(14)의  $\theta$ 방향의 위치를 조정하여, 각 얼라인먼트 마크(21a, 31b)의 어긋남량이 오프셋량이 되면, 도 3의 스텝(S112)에 나타내는 바와 같이, 본딩 툴 구동 기구(15)에 의해 본딩 툴(14)을 강하시키는 지령을 출력한다. 이 지령에 의해 도 4에 나타내는 바와 같이 본딩 툴(14)이 강하하고, 도 7(a)에 나타내는 바와 같이 제1층의 반도체 칩(20) 위에 제2층의 반도체 칩(30)을 적층 본딩하여, 다층 반도체 장치(40)로 한다(제2 본딩 공정).

[0042] 제2 본딩 공정이 종료하면, 제어부(50)는 도 6에 나타내는 바와 같이, 본딩 툴(14)을 대기 위치까지 상승시키고, 도시하지 않는 2시야 카메라 구동 기구에 의해 2시야 카메라(16)를 제2층의 반도체 칩(30) 위로 이동시키고, 도 1에 나타내는 제3 촬상 프로그램(59)을 실행시켜, 도 3의 스텝(S113)에 나타내는 바와 같이 제2층의 반도체 칩(30)의 표면(30a)의 제2 관통 전극(32)의 표면(32a)의 화상을 촬상하여, 제어 데이터(63)에 격납한다(제3 촬상 공정).

[0043] 상기한 제2 본딩 동작에서는, 도 3의 스텝(S101~S108)에 나타난 티칭 동작에 의해 설정된 오프셋량만큼 미리 제2층의 반도체 칩(30)을 제1층의 반도체 칩(20)에 대하여 옮기고 있으므로, 적층 본딩을 한 후에는 도 5(a), 도 5(b)에 나타난 티칭 동작시에 나타난 어긋남량( $\Delta X$ ,  $\Delta Y$  또는  $\Delta \theta$ )은 제로가 되어 있고, 도 7(a), 도 7(b)에 나타내는 바와 같이, 각 관통 전극(22, 32)은 어긋남 없이 겹쳐져 있을 것이다. 그러나 각 층의 반도체 칩(20, 30)의 각 얼라인먼트 마크(21a, 31b)의 부정확함 또는 플립칩 본딩 장치(500)의 온도 변화, 또는 각 층의 반도체 칩(20, 30)의 관통 전극(22, 32)의 위치의 제조 오차 등에 의해, 티칭 동작(도 3의 스텝(S101~S108))에 의해 오프셋량을 설정해도, 제2 본딩 동작 후에 도 5(a), 도 5(b)에 나타난 바와 같은 각 관통 전극(22, 32)의 위치 어긋남이 발생하는 일이 있다.

[0044] 그래서, 제어부(50)는 제2 본딩 동작 후, 도 3의 스텝(S113)에 나타내는 바와 같이, 2시야 카메라(16)에 의해 적층 본딩 후의 제2층의 반도체 칩(30)의 제2 관통 전극(32)의 표면(32a)의 화상을 취득하고, 도 1에 나타내는 어긋남량 검출 프로그램(60)을 실행하여, 도 3의 스텝(S114)에 나타내는 바와 같이, 도 3의 스텝(S109)에서 촬상한 제1층의 반도체 칩(20)의 제1 관통 전극(22)의 표면(22a)의 화상에 겹쳐지게 함으로써, 제1 관통 전극(22)의 위치와 제2 관통 전극(32)의 어긋남량( $\Delta X$ ,  $\Delta Y$ ,  $\Delta \theta$ )을 검출한다(어긋남량 검출 공정).

[0045] 또한, 어긋남량 검출 프로그램(60)은 오프셋량만큼 제1층과 제2층의 반도체 칩(20, 30)을 옮긴 제2 본딩 후에 실행하는 점을 제외하면, 앞서 설명한 도 1에 나타내는 상대 위치 검출 프로그램(53)과 마찬가지로이다.

[0046] 그리고, 도 3의 스텝(S115)에 나타내는 바와 같이, 검출한 어긋남량이 허용 어긋남량인 제1 역치 미만이며, 또한 보정 필요 어긋남량인 제2 역치 이상인 경우에는 오프셋량을 보정할 필요가 있다고 판단하고, 도 3의 스텝(S116)에 나타내는 바와 같이 도 1에 나타내는 오프셋량 보정 프로그램(61)을 실행한다. 오프셋량 보정 프로그램(61)은 도 3의 스텝(S114)에서 검출한 어긋남량의 소정의 비율, 예를 들면 50% 등 만큼 오프셋량을 증감하는 것이다. 그리고, 오프셋량의 보정이 종료되면, 제어부(50)는 도 3의 스텝(S117)에 나타내는 바와 같이, 다음 본딩을 행하기 위해서 스텝(S109)로 되돌아간다. 이것에 의해 각 관통 전극(22, 32)을 정밀도 좋게 접합할 수 있다(오프셋량 보정 공정).

[0047] 또한, 다음 본딩시에 도 3의 스텝(S109)에서 취득하는 제1층의 반도체 칩의 제1 관통 전극 표면의 화상은 그 전의 본딩시에 도 3의 스텝(S113)에서 취득한 제2층의 반도체 칩의 제2 관통 전극 표면의 화상이며, 이 화상은 메모리(52)에 격납되어 있다. 따라서 실제의 적층 본딩에서는 다음 본딩으로 이행하는 경우에 스텝(S109)를 생략하여 스텝(S110)으로 되돌아가도록 해도 된다.

[0048] 또, 도 3의 스텝(S118)에 나타내는 바와 같이, 제어부(50)는 검출한 어긋남량이 허용 어긋남량인 제1 역치를 넘고 있는 경우에는, 그 적층 본딩은 불량이라고 판단하여 도 1에 나타내는 정지 프로그램(62)을 실행하고, 도 3

의 스텝(S119)에 나타내는 바와 같이, 플립칩 본딩 장치(500)를 정지시키고, 예를 들면 경고등을 점등시켜 이상 상태가 발생한 것을 알린다(정지 공정).

- [0049] 이상 설명한 본 실시형태의 본딩 장치에서는 적층하는 각 층의 반도체 칩(20, 30)의 파괴 검사를 행하지 않고 제조 중의 오프셋량의 보정, 불량 발생시의 본딩 장치의 정지를 행할 수 있으므로, 적층 본딩의 품질을 향상시킬 수 있다.
- [0050] 이상 설명한 실시형태에서는 2층에 반도체 칩을 적층 본딩하는 것에 대해서 설명했지만, 본 발명은 보다 다층의 적층 본딩에도 적용하는 것이 가능하다. 또, 오프셋량은 제1층과, 제2층의 본딩시의 오프셋량과 제2층과 제3층의 본딩시의 오프셋량을 변화시키도록 해도 된다. 또, 본 실시형태에서는 티칭 동작시에 제1층의 반도체 칩(20)의 얼라인먼트 마크(21a)와 제2층의 반도체 칩(30)의 얼라인먼트 마크(31b)의 위치를 맞추어 적층 본딩하는 것으로서 설명했지만, 각 얼라인먼트 마크(21a, 31b)가 겹쳐 있지 않아도, 각 얼라인먼트 마크간의 상대 거리를 알고 있는 경우에는 그 상대 거리만큼 얼라인먼트 마크를 옮겨 적층 본딩하는 것도, 얼라인먼트 마크를 맞추어 본딩하는 것에 포함된다.
- [0051] 또한, 본 실시형태의 플립칩 본딩 장치(500)에서는 본딩 스테이지(11)가 XY 방향으로 이동하고, 본딩 툴이 Z,  $\theta$  방향으로 이동하는 것으로서 설명했지만, 이 구성에 얽매이지 않고, 예를 들면 본딩 툴이 Y, Z,  $\theta$ 의 방향으로 이동하고, 본딩 스테이지(11)가 X방향만으로 이동하도록 구성해도 되고, 본딩 스테이지(11)가 이동하지 않고, 본딩 툴이 XYZ,  $\theta$ 방향으로 이동하도록 구성해도 된다.
- [0052] 다음에, 도 8 내지 도 11을 참조하면서, 도 1에 나타낸 플립칩 본딩 장치(500)를 사용하여 3층 이상으로 반도체 칩을 적층 본딩하는 공정((3층 이상으로 반도체 칩을 적층하는 반도체 장치의 제조 공정))에 대해서 설명한다. 도 1 내지 도 7을 참조하여 설명한 부분과 동일한 부분에는 동일한 부호를 붙이고 그 설명은 생략한다.
- [0053] 도 8의 스텝(S201) 내지 스텝(S208)의 티칭 동작에 대해서 설명한다. 이 티칭 동작은 도 3의 스텝(S101)~스텝(S108)의 동작과 마찬가지로의 동작에 의해, 도 10에 나타내는 제1층(첫번째 층)의 반도체 칩(100)과, 첫번째 층에 인접하고 첫번째 층의 반도체 칩(100)의 상측에 적층 본딩되어 있는 제2층의 반도체 칩(200) 사이의 오프셋량을 결정하는 동작이다.
- [0054] 제어부(50)는 도 8의 스텝(S201, S202)에 나타내는 바와 같이, 도 10에 나타내는 제1층(첫번째 층)의 반도체 칩(100)의 제1관통 전극(102)의 표면(102a)의 화상의 취득과, 제1층(첫번째 층)의 반도체 칩(100)의 표면(100a)의 얼라인먼트 마크의 화상을 취득한 후, 도 8의 스텝(S203)에 나타내는 바와 같이, 도 10에 나타내는 제2층의 반도체 칩(200)의 이면(200b)의 얼라인먼트 마크의 화상을 취득한다. 그리고 제어부(50)는 도 8의 스텝(S204)에 나타내는 바와 같이, 도 10에 나타내는 제1층(첫번째 층)의 반도체 칩(100) 위에 제2층의 반도체 칩(200)을 적층 본딩한다. 적층 본딩 후, 제어부(50)는 도 8의 스텝(S205)에 나타내는 바와 같이, 제2층의 반도체 칩(200)의 제2 관통 전극(202)의 표면(202a)의 화상을 취득하고, 도 8의 스텝(S201)에서 취득한 제1 관통 전극(102)의 표면(102a)의 화상과 도 8의 스텝(S205)에서 취득한 제2 관통 전극(202)의 표면(202a)의 화상에 기초하여, 도 8의 스텝(S206)에 나타내는 바와 같이 제1층의 반도체 칩(100)과 제2층의 반도체 칩(200) 사이의 X방향의 어긋남량( $\Delta X$ )을 검출한다. 그리고, 제어부(50)는 스텝(S201 내지 S206)과 같이 반도체 칩을 2층으로 적층한 경우의 첫번째 층(제1층)과 제2층의 각 반도체 칩(100, 200)의 어긋남량을 소정의 회수만큼 검출하고, 도 8의 스텝(S207)에 나타내는 바와 같이 소정의 회수 반복했다고 판단하면, 예를 들면 소정의 회수의 어긋남량( $\Delta X$ )의 평균값을 오프셋량으로서 설정한다. 또한, 오프셋량의 설정은 제어부(50)에 격납된 오프셋량 설정 프로그램(57)을 실행시키지 않고, 오퍼레이터가 수동으로 설정해도 된다.
- [0055] 도 8의 스텝(S201~S208)에 나타내는 티칭 동작에 의해 적층 본딩시의 오프셋량을 설정하면, 제어부(50)는 도 9의 스텝(S209~S220)에 나타내는 바와 같이, 실제의 다층 반도체 장치(40)의 제조를 개시한다. 이 동작은 도 3의 스텝(S109)~스텝(S114)의 동작과 마찬가지로의 동작에 의해, 도 11(b)에 나타내는 바와 같이, 적층한 반도체 칩(100~300)의 각 층간 어긋남량( $\Delta X_{12}$ ,  $\Delta X_{23}$ )을 검출함과 동시에 제1층의 반도체 칩(100)에 대한 제3층의 반도체 칩(300)의 적산 어긋남량( $\Delta X_{13}$ )을 검출하고, 각 층간 어긋남량( $\Delta X_{12}$ ,  $\Delta X_{23}$ ) 또는 적산 어긋남량( $\Delta X_{13}$ )이 소정의 역치 이상이 된 경우에는 본딩을 정지하는 것이다.
- [0056] 우선, 제어부(50)는 도 9의 스텝(S209)에 나타내는 바와 같이, 카운터(N)에 초기값 1을 세트한다. 다음에 제어부(50)는 도 9의 스텝(S210, 211)에 나타내는 바와 같이, 도 11(a)에 나타내는 제1층(N=1)의 반도체 칩(100)의 제1 관통 전극(N=1)(102)의 표면(102a)의 화상의 취득과, 제1층(N=1)의 반도체 칩(100) 표면(100a)의 얼라인먼트 마크의 화상을 취득한 후, 도 9의 스텝(S212)에 나타내는 바와 같이, 도 11(a)에 나타내는 제2층(N+1=2)의

반도체 칩(200)의 이면(200b)의 얼라인먼트 마크의 화상을 취득한다. 그리고 제어부(50)는 도 9의 스텝(S213)에 나타내는 바와 같이, 소정의 오프셋량만큼 각 얼라인먼트 마크의 위치를 옮겨 도 11(a)에 나타내는 제1층(N=1)의 반도체 칩(100) 위에 제2층(N+1=2)의 반도체 칩(200)을 적층 본딩한다.

[0057] 적층 본딩 후, 제어부(50)는 도 9의 스텝(S214)에 나타내는 바와 같이, 제2층(N+1=2)의 반도체 칩(200)의 제2 관통 전극(202)의 표면(202a)의 화상을 취득하고, 도 9의 스텝(S210)에서 취득한 제1 관통 전극(102)의 표면(102a)의 화상과 도 9의 스텝(S214)에서 취득한 제2 관통 전극(202)의 표면(202a)의 화상에 기초하여, 도 9의 스텝(S215)에 나타내는 바와 같이 제1층(N=1)의 반도체 칩(100)과 제2층(N+1=2)의 반도체 칩(200) 사이의 X방향의 층간 어긋남량( $\Delta X_{12}$ )을 검출한다. 오프셋량과 적층 본딩시의 어긋남량이 동일한 경우에는 제1층과 제2층의 반도체 칩간의 상대 위치는 동일하며 층간 어긋남량( $\Delta X_{12}$ )은 제로가 되지만, 실제로는 오프셋량과 적층 본딩시의 어긋남량 사이에도 약간의 오차가 있다. 이 때문에 도 11(a)에 나타내는 바와 같이, 오프셋량만큼 제2층의 반도체 칩(200)을 옮겨 적층 본딩해도 제1층의 반도체 칩(100)과 제2층의 반도체 칩(200) 사이에는 약간의 층간 어긋남량( $\Delta X_{12}$ )이 발생한다.

[0058] 또, 제어부(50)는 도 9의 스텝(S216)에 나타내는 바와 같이, 도 9의 스텝(S210)에서 취득한 제1 관통 전극(102)의 표면(102a)의 화상과 도 9의 스텝(S214)에서 취득한 제2 관통 전극(202)의 표면(202a)의 화상에 기초하여, 제1층의 반도체 칩(100)과 제2층(N+1=2)의 반도체 칩(200) 사이의 X방향의 적산 어긋남량을 검출한다. 적층수가 2층인 경우, 이 적산 어긋남량은 앞선 층간 어긋남량( $\Delta X_{12}$ )과 동일하게 된다.

[0059] 다음에 제어부(50)는 도 9의 스텝(S217)에 나타내는 바와 같이, 제1층과 제2층의 반도체 칩(100, 200) 사이의 층간 어긋남량( $\Delta X_{12}$ )과 제3 역치를 비교하여, 층간 어긋남량( $\Delta X_{12}$ )이 제3 역치 이상이 된 경우에는 본딩 불량이라고 판단하고, 도 9의 스텝(S221)에 나타내는 바와 같이 본딩 동작을 정지한다. 또, 제어부(50)는 도 9의 스텝(S218)에 나타내는 바와 같이, 제1층과 제2층의 반도체 칩(100, 200) 사이의 적산 어긋남량과 제4 역치를 비교하여, 적산 어긋남량이 제4 역치 이상이 된 경우에는 본딩 불량이라고 판단하고, 도 9의 스텝(S221)에 나타내는 바와 같이 본딩 동작을 정지한다. 앞서 설명한 바와 같이, 적층수가 2층인 경우에는 적산 어긋남량은 층간 어긋남량( $\Delta X_{12}$ )과 동일하다.

[0060] 그리고 제어부(50)는 층간 어긋남량, 적산 어긋남량 모두 제3, 제4 역치 미만인 경우에는, 도 9의 스텝(S219)에 나타내는 바와 같이, 소정의 층수만큼 반도체 칩을 본딩했는지 여부를 판단하고, 소정의 층수만큼 적층 본딩한 경우에는 제어부(50)는 도 9의 스텝(S221)에 나타내는 바와 같이 본딩을 정지한다. 또, 소정의 층수만큼 적층 본딩하고 있지 않다고 판단한 경우에는 도 9의 스텝(S220)에 나타내는 바와 같이 카운터(N)를 1만큼 인크리먼트 하여 N=2로 하고, 도 9의 스텝(S211)로 되돌아가 제2층의 반도체 칩(200) 위에 도 11(b)에 나타내는 바와 같이 제3층의 반도체 칩(300)을 적층 본딩한다.

[0061] 제어부(50)는 도 9의 스텝(S211)에 나타내는 바와 같이, 도 11(b)에 나타내는 제2층(N=2)의 반도체 칩(200)의 표면(200a)의 얼라인먼트 마크의 화상을 취득한 후, 도 9의 스텝(S212)에 나타내는 바와 같이 도 11(b)에 나타내는 제3층(N+1=3)의 반도체 칩(300)의 이면(300b)의 얼라인먼트 마크의 화상을 취득한다. 그리고 제어부(50)는 도 9의 스텝(S213)에 나타내는 바와 같이, 소정의 오프셋량만큼 각 얼라인먼트 마크의 위치를 옮겨 도 11(b)에 나타내는 제2층(N=2)의 반도체 칩(200) 위에 제3층(N+1=3)의 반도체 칩(300)을 적층 본딩한다.

[0062] 적층 본딩 후, 제어부(50)는 도 9의 스텝(S214)에 나타내는 바와 같이, 제3층(N+1=3)의 반도체 칩(300)의 제3 관통 전극(302)의 표면(302a)의 화상을 취득하고, 전회의 루프(N=1)시의 도 9의 스텝(S214)에서 취득한 제2 관통 전극(202)의 표면(202a)의 화상과 금회의 루프(N=2)시의 도 9의 스텝(S214)에서 취득한 제3 관통 전극(302)의 표면(302a)의 화상에 기초하여, 도 9의 스텝(S215)에 나타내는 바와 같이, 제2층(N=2)의 반도체 칩(200)과 제3층(N+1=3)의 반도체 칩(300) 사이의 X방향의 층간 어긋남량( $\Delta X_{23}$ )을 검출한다. 제1층과 제2층과 층간의 경우와 마찬가지로 오프셋량과 적층 본딩시의 어긋남량 사이에 약간의 오차가 있으므로 도 11(b)에 나타내는 바와 같이, 오프셋량만큼 제3층의 반도체 칩(300)을 옮겨 적층 본딩해도 제2층의 반도체 칩(200)과 제3층의 반도체 칩(300) 사이에는 약간의 층간 어긋남량( $\Delta X_{23}$ )이 발생한다.

[0063] 또, 제어부(50)는 도 9의 스텝(S216)에 나타내는 바와 같이, 도 9의 스텝(S210)에서 취득한 제1 관통 전극(102)의 표면(102a)의 화상과 금회의 루프(N=2)의 도 9의 스텝(S214)에서 취득한 제3 관통 전극(302)의 표면(302a)의 화상에 기초하여, 도 11(b)에 나타내는 바와 같이, 제1층의 반도체 칩(100)과 제3층(N+1=3)의 반도체 칩(300) 사이의 X방향의 적산 어긋남량( $\Delta X_{13}$ )을 검출한다. 적산 어긋남량( $\Delta X_{13}$ )은 제1층과 제2층의 각 반도체 칩(100, 200) 사이의 층간 어긋남량( $\Delta X_{12}$ )에 제2층과 제3층의 각 반도체 칩(200, 300) 사이의 층간 어긋남량( $\Delta X_{23}$ )을 더한 것이다( $\Delta X_{13} = \Delta X_{12} + \Delta X_{23}$ ). 도 11(b)에 나타내는 바와 같이, 제1층에 대한 제2층의 어긋남의

방향을 마이너스 방향(도면 중 좌방향)으로 하면, 제2층에 대한 제3층의 어긋남의 방향은 플러스 방향(도면 중 우방향)이 되므로, 제1층에 대한 제3층의 적산 어긋남량( $\Delta X_{13} = \Delta X_{12} + \Delta X_{23}$ )의 절대값은 제1층과 제2층 사이의 층간 어긋남량( $\Delta X_{12}$ )의 절대값보다 작게 되어 있다. 또, 반대로 제2층에 대한 제3층의 어긋남의 방향도 마이너스 방향(도면 중 좌방향)인 경우에는, 제1층에 대한 제3층의 적산 어긋남량( $\Delta X_{13} = \Delta X_{12} + \Delta X_{23}$ )의 절대값은 제1층과 제2층 사이의 층간 어긋남량( $\Delta X_{12}$ )의 절대값보다 크게 된다.

[0064] 다음에 제어부(50)는 도 9의 스텝(S217)에 나타내는 바와 같이, 제2층과 제3층의 반도체 칩(200, 300) 사이의 층간 어긋남량( $\Delta X_{23}$ )과 제3 역치를 비교하여, 층간 어긋남량( $\Delta X_{23}$ )이 제3 역치 이상이 된 경우에는 본딩 불량이라고 판단하고, 도 9의 스텝(S221)에 나타내는 바와 같이 본딩 동작을 정지한다. 또, 제어부(50)는 도 9의 스텝(S218)에 나타내는 바와 같이, 제1층과 제3층의 반도체 칩(100, 300) 사이의 적산 어긋남량( $\Delta X_{13}$ )과 제4 역치를 비교하여, 적산 어긋남량( $\Delta X_{13}$ )이 제4 역치 이상이 된 경우에는 본딩 불량이라고 판단하고, 도 9의 스텝(S221)에 나타내는 바와 같이 본딩 동작을 정지한다.

[0065] 그리고 제어부(50)는 층간 어긋남량( $\Delta X_{23}$ ), 적산 어긋남량( $\Delta X_{13}$ ) 모두 제3, 제4 역치 미만인 경우에는, 도 9의 스텝(S219)에 나타내는 바와 같이, 소정의 층수만큼 반도체 칩을 본딩했는지 여부를 판단하고, 소정의 층수만큼 적층 본딩한 경우에는 제어부(50)는 도 9의 스텝(S221)에 나타내는 바와 같이 본딩을 정지한다. 또, 소정의 층수만큼 적층 본딩하고 있지 않다고 판단한 경우에는 도 9의 스텝(S220)에 나타내는 바와 같이, 카운터(N)를 1만큼 인크리먼트하여  $N=3$ 으로 하고, 도 9의 스텝(S211)로 되돌아가 제3층의 반도체 칩(300) 위에 제4층의 반도체 칩을 적층 본딩한다.

[0066] 이상 설명한 실시형태에서는 층간 어긋남량( $\Delta X_{12}$ ,  $\Delta X_{23}$ )과, 적산 어긋남량( $\Delta X_{13}$ )의 양쪽이 소정의 역치 이상이 된 경우에는 본딩을 정지하므로, 적층 본딩에 의해 제조하는 다층 반도체 장치(40)의 품질을 향상시킬 수 있다.

[0067] 또한, 본 실시형태에서는 어긋남량은 X방향의 어긋남량( $\Delta X_{12}$ ,  $\Delta X_{23}$ ,  $\Delta X_{13}$ )으로서 설명했지만, Y방향,  $\Theta$ 방향의 어긋남량에 대해서도 마찬가지로 층간 어긋남량, 적산 어긋남량의 양쪽의 어긋남량이 소정의 역치 이상이 된 경우에 본딩을 정지하도록 해도 된다.

[0068] 본 발명은 이상 설명한 실시형태에 한정되는 것은 아니며, 청구의 범위에 의해 규정되어 있는 본 발명의 기술적 범위 내지 본질로부터 이탈하지 않는 모든 변경 및 수정을 포함하는 것이다.

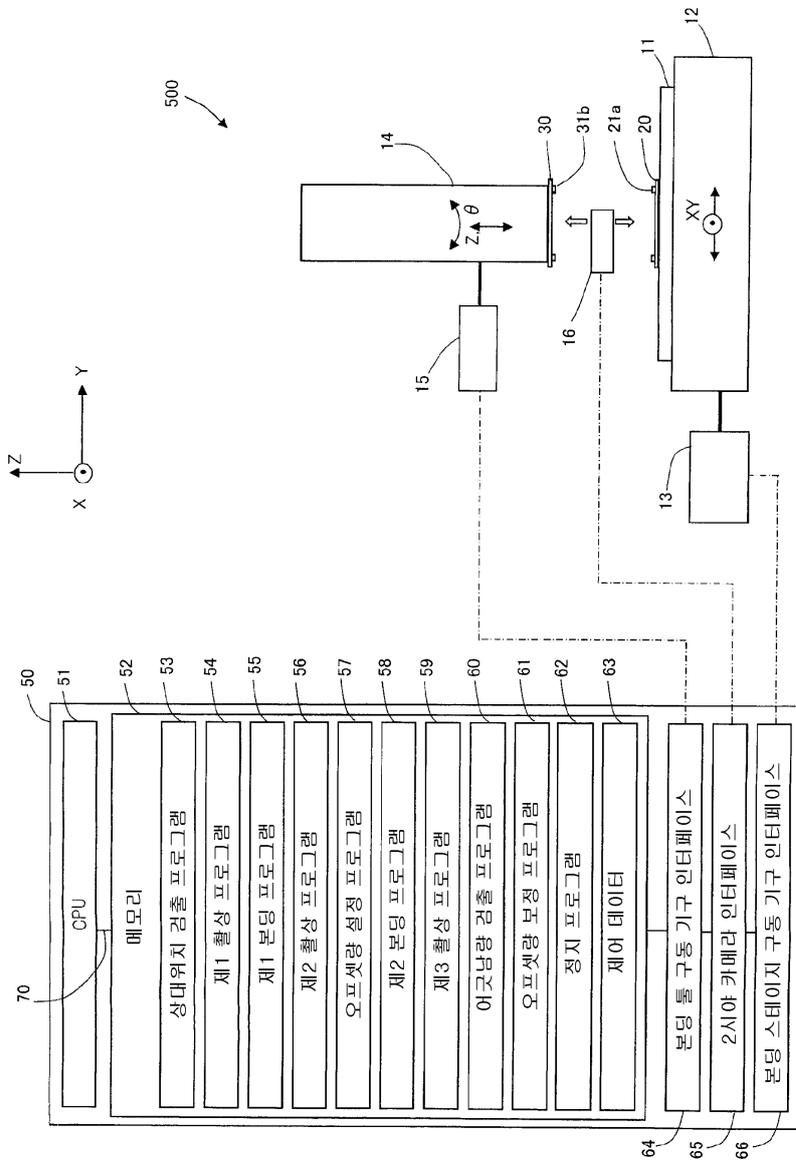
### 부호의 설명

- [0069] 11...본딩 스테이지
- 12...XY 테이블
- 13...본딩 스테이지 구동 기구
- 14...본딩 툴
- 15...본딩 툴 구동 기구
- 16...2시야 카메라
- 20...제1층의 반도체 칩
- 20a, 22a, 30a, 32a...표면
- 20b, 22b, 30b, 32b...이면
- 21a, 31a, 31b...얼라인먼트 마크
- 22...제1 관통 전극
- 30...제2층의 반도체 칩
- 32...제2 관통 전극
- 40...다층 반도체 장치
- 41...고착층

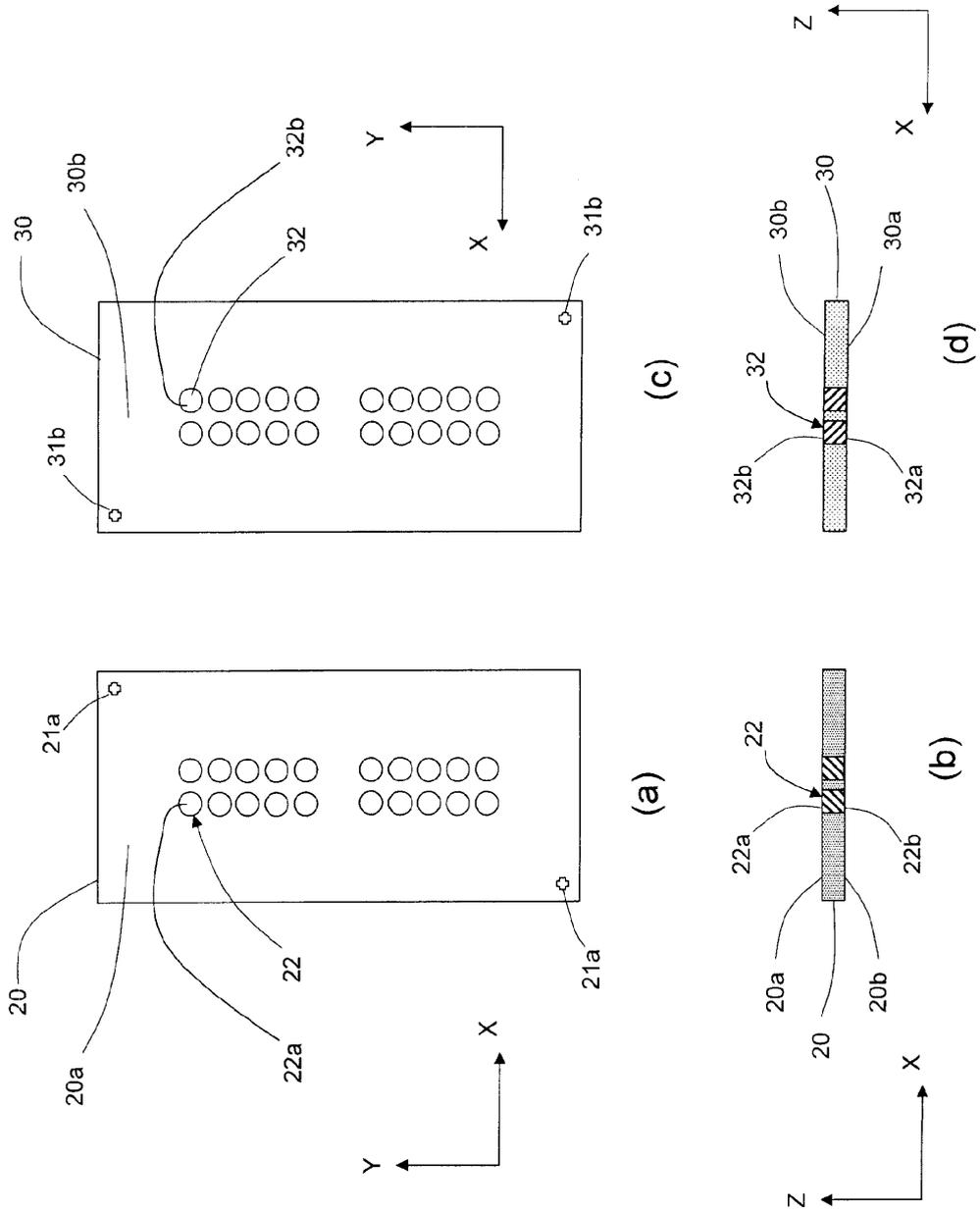
- 50...제어부
- 51...CPU
- 52...메모리
- 53...상대 위치 검출 프로그램
- 54...제1 활상 프로그램
- 55...제1 본딩 프로그램
- 56...제2 활상 프로그램
- 57...오프셋량 설정 프로그램
- 58...제2 본딩 프로그램
- 59...제3 활상 프로그램
- 60...어긋남량 검출 프로그램
- 61...오프셋량 보정 프로그램
- 62...정지 프로그램
- 63...제어 데이터
- 64...본딩 툴 구동 기구 인터페이스
- 65...2시야 카메라 인터페이스
- 66...본딩 스테이지 구동 기구 인터페이스
- 70...데이터 버스
- 100, 200, 300...반도체 칩
- 100a, 102a, 200a, 202a, 300a, 302a...표면
- 102, 202, 302...관통 전극
- 100b, 200b, 300b...이면
- 500...플립칩 본딩 장치

도면

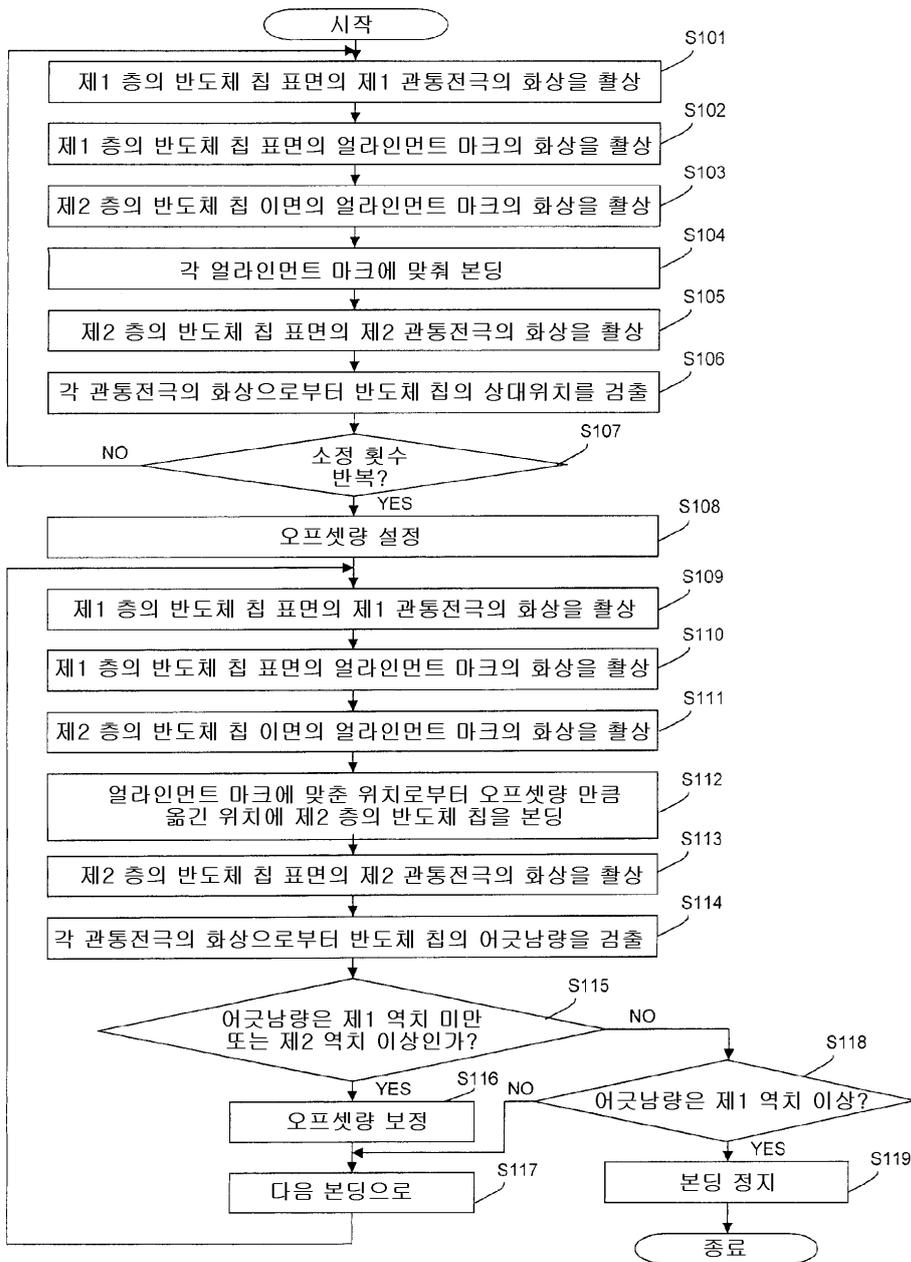
도면1



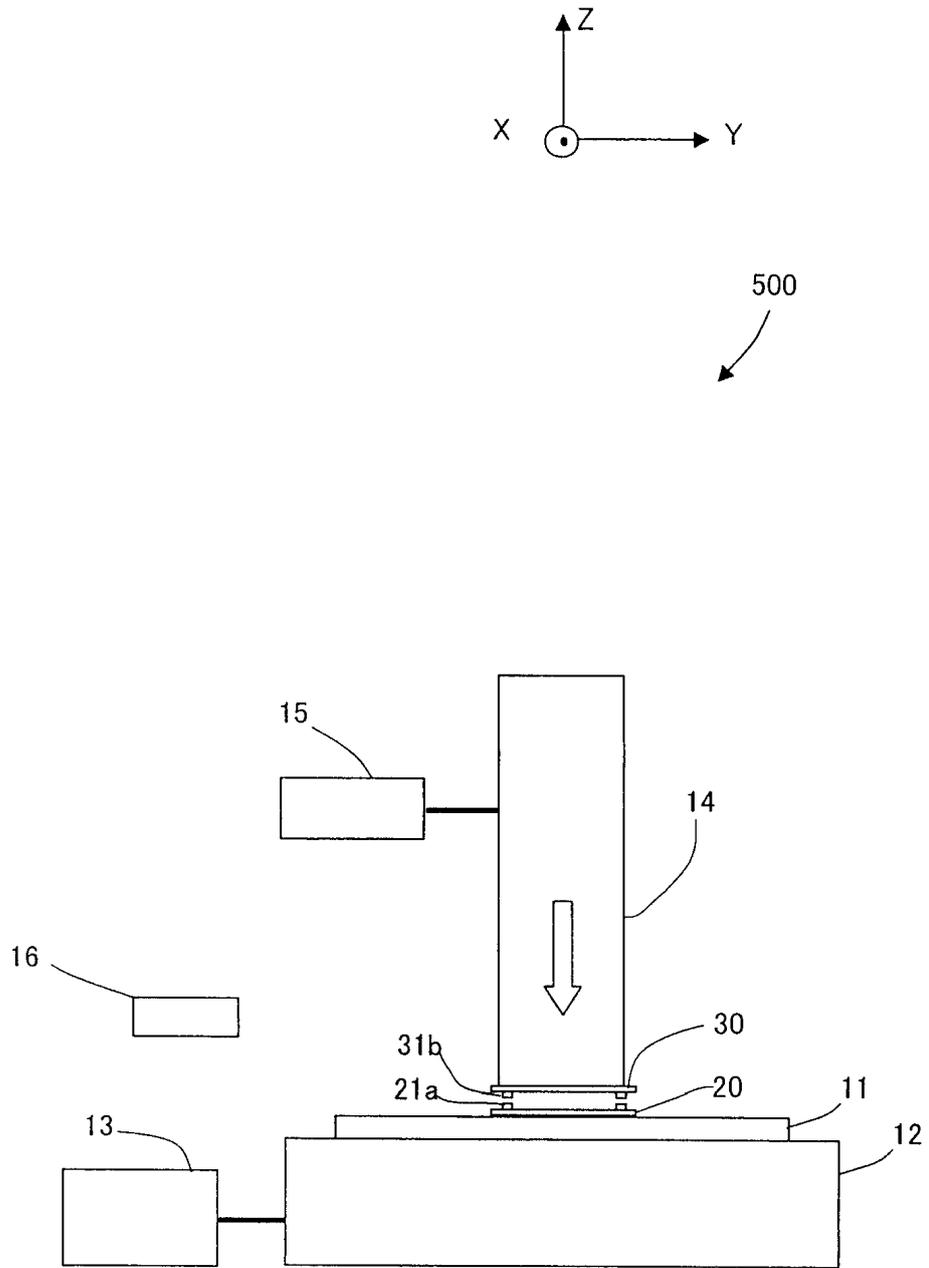
도면2



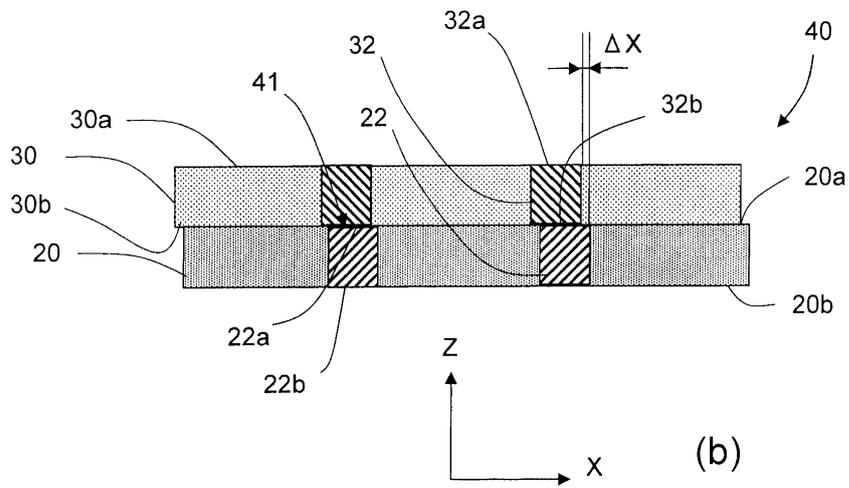
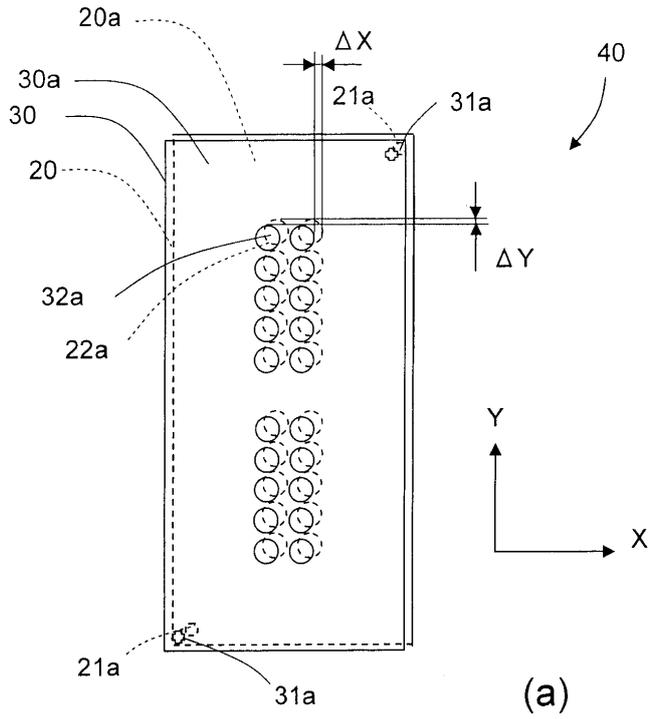
도면3



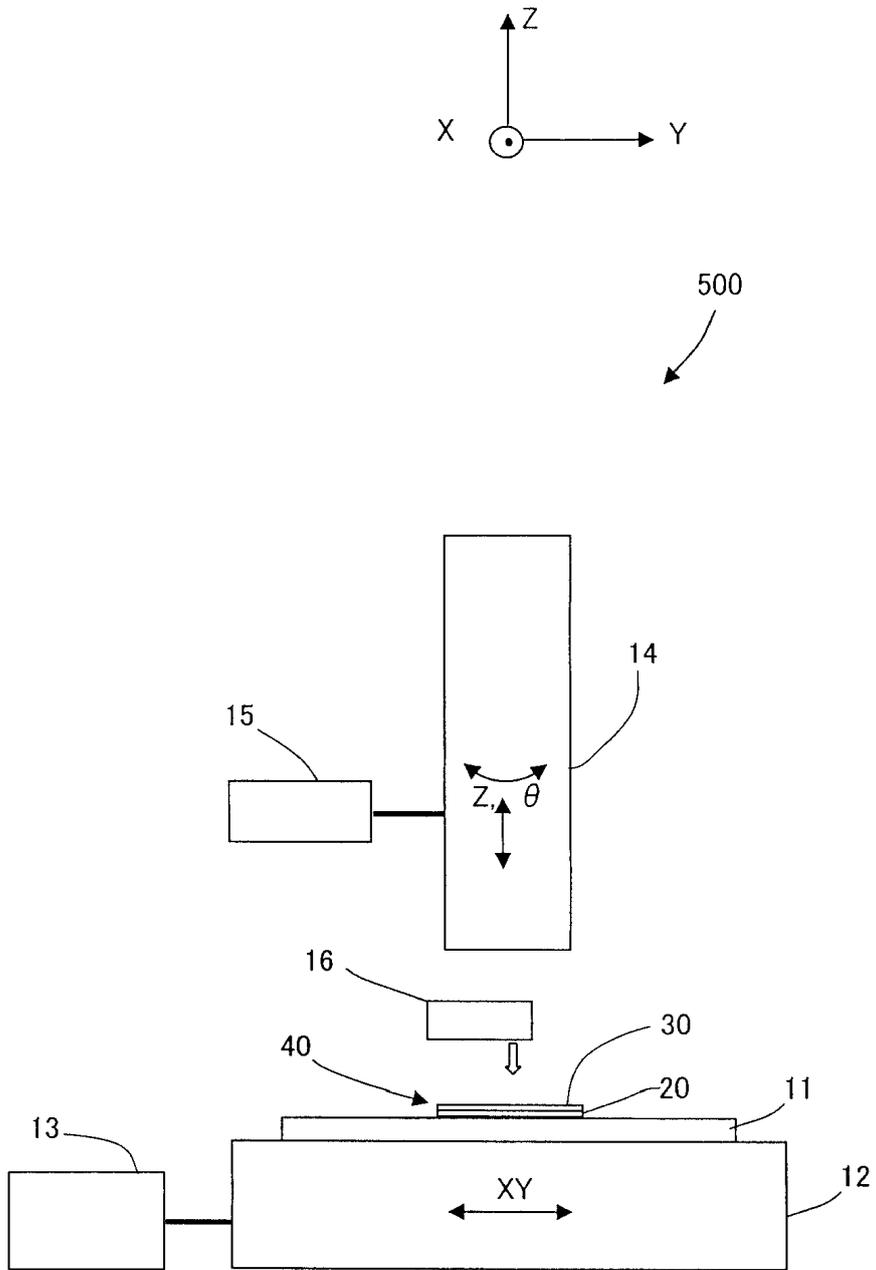
도면4



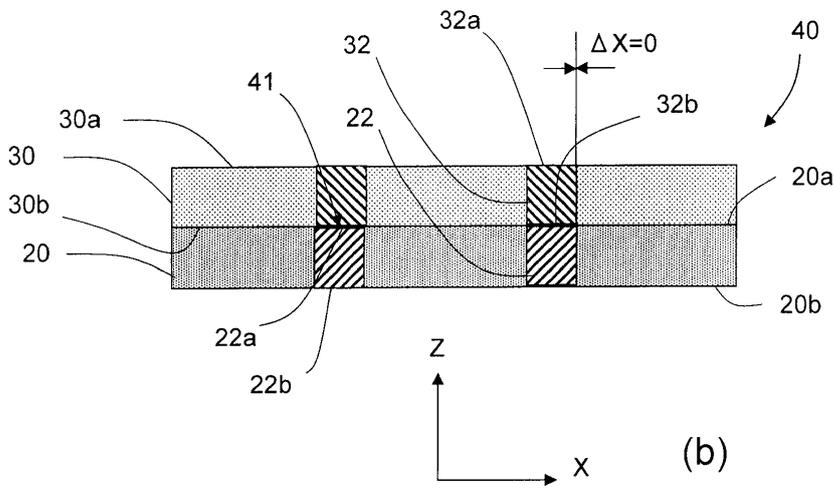
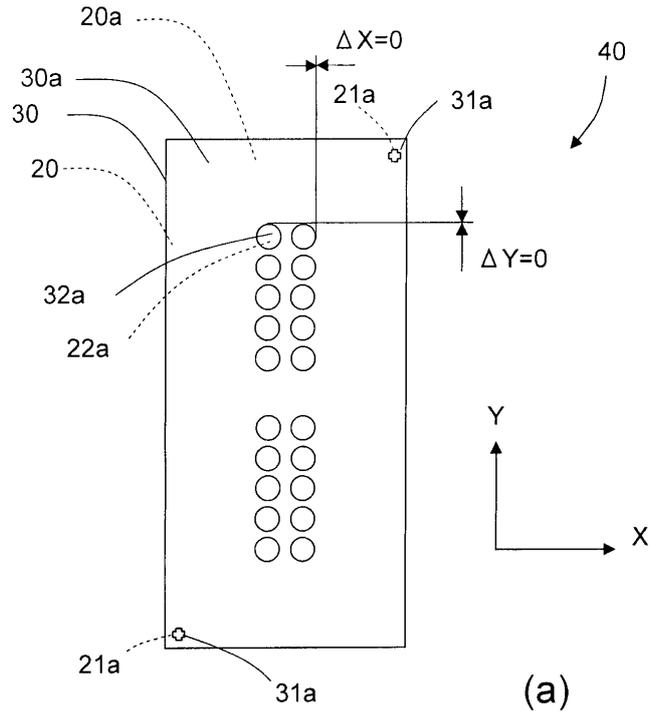
도면5



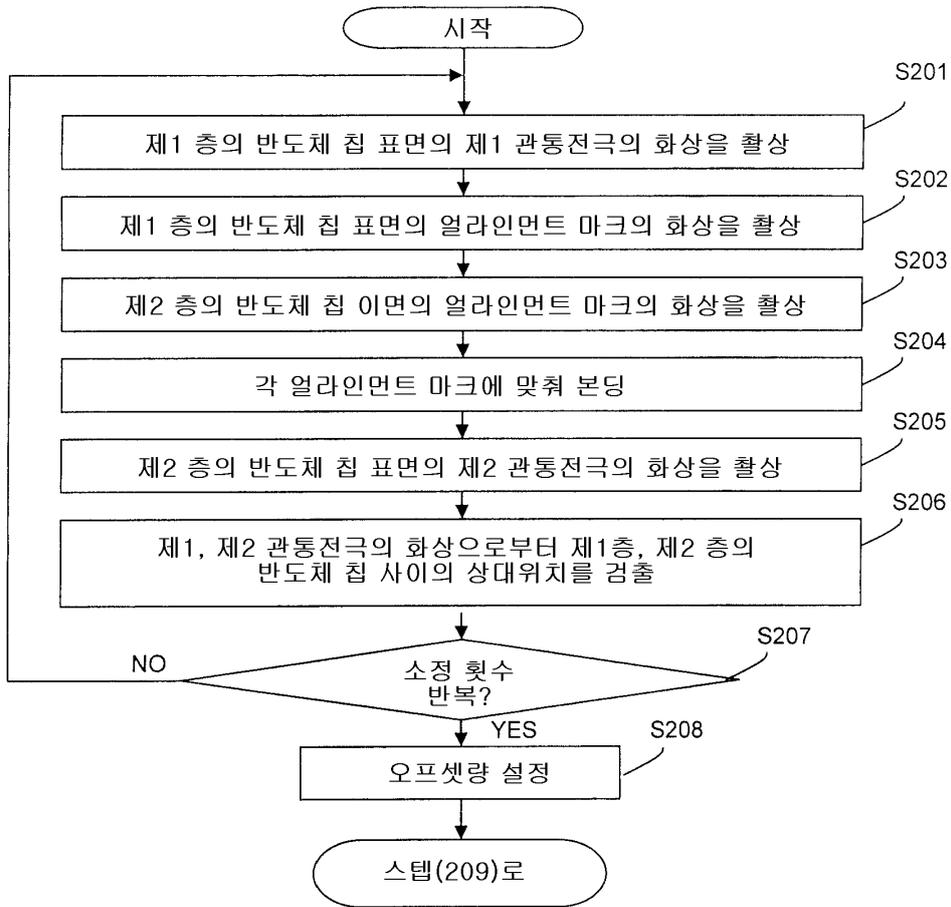
도면6



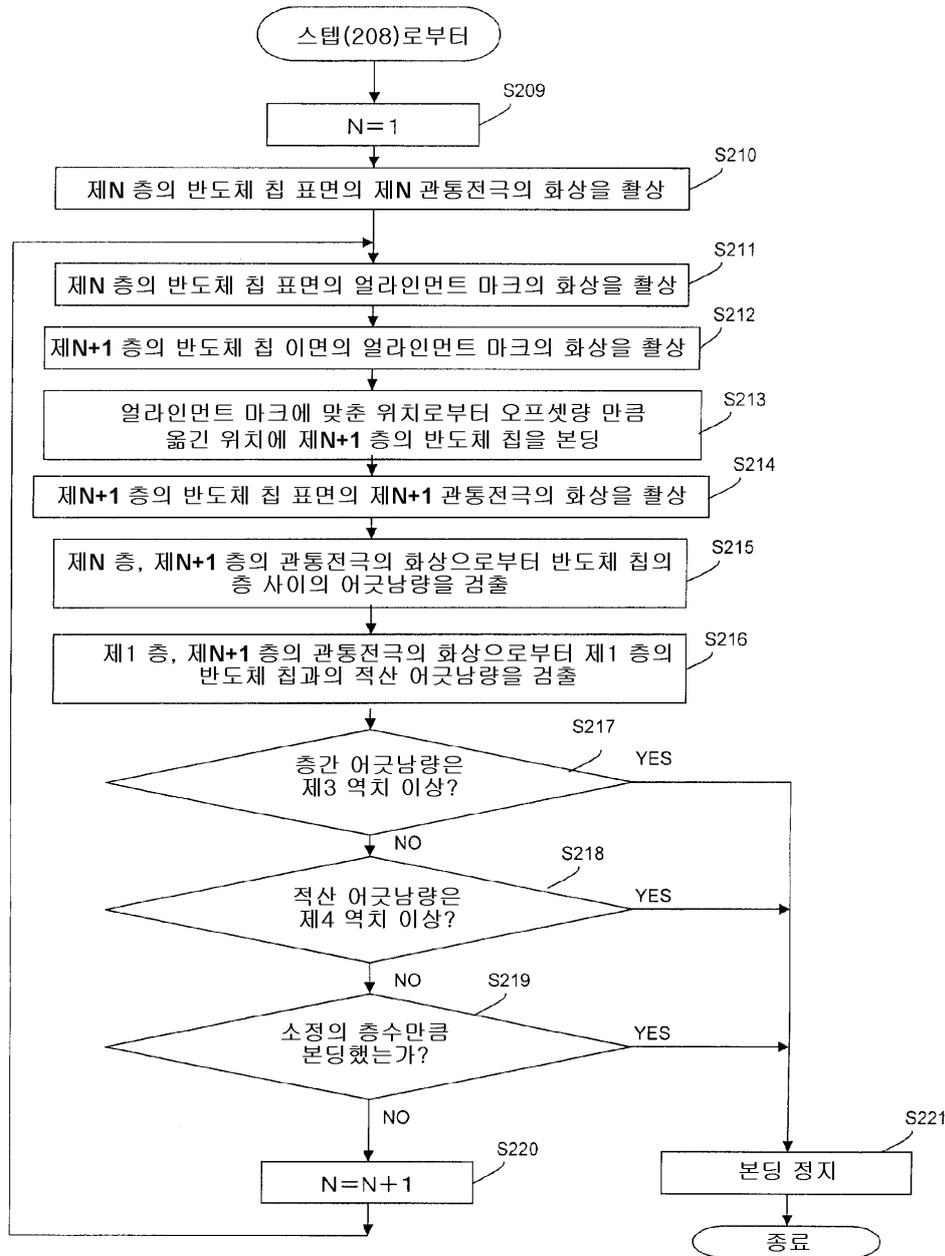
도면7



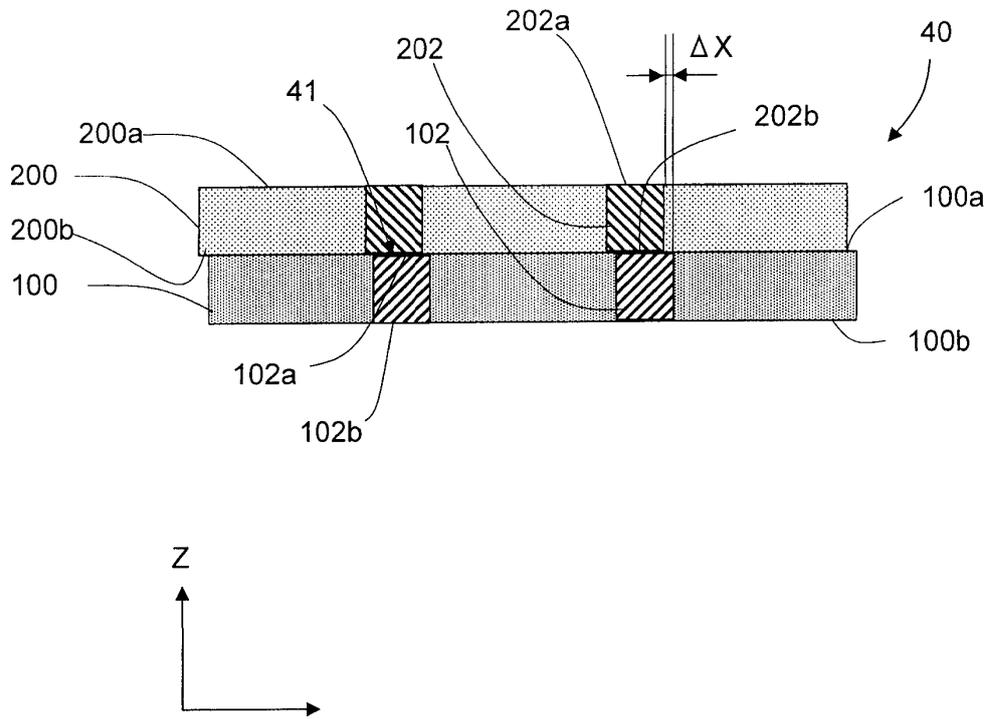
도면8



도면9



도면10



도면11

