

(12) **GEBRAUCHSMUSTERSCHRIFT**

(21) Anmeldenummer: 841/99

(51) Int.Cl.<sup>7</sup> : **H01L 21/31**  
H01L 21/311, 21/32

(22) Anmeldetag: 3.12.1999

(42) Beginn der Schutzdauer: 15. 1.2001

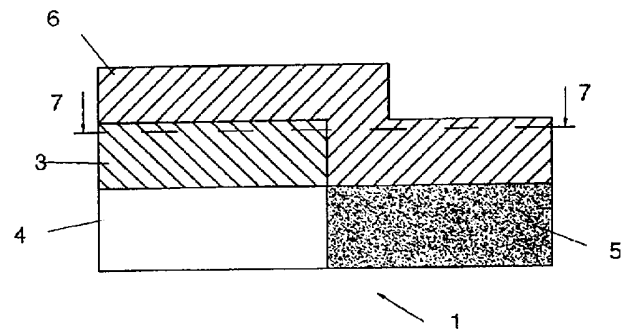
(45) Ausgabetag: 26. 2.2001

(73) Gebrauchsmusterinhaber:

AUSTRIA MIKRO SYSTEME INTERNATIONAL  
AKTIENGESELLSCHAFT  
A-8141 UNTERPREMSTÄTTEN, STEIERMARK (AT).

(54) **VERFAHREN ZUM HERSTELLEN VON STRUKTUREN IN CHIPS**

(57) Das Verfahren zum Herstellen von Strukturen in Chips, bei welchem eine Folge von Strukturierungsschritten selbstjustierend angewendet wird, wird so durchgeführt, daß durch das Strukturieren einer ersten auf einem Träger aufgetragenen Hilfsschicht nach einer ersten Maskierung eine erste Maskierungsstruktur ausgebildet wird, welche wenigstens einen über die Oberfläche des Trägers vorragenden Teilbereich aufweist, daß nachfolgend ein weiterer Strukturierungsschritt, beispielsweise durch Ätzen, Implantieren oder CVD, unter Verwendung der zuvor hergestellten ersten Maskierungsstruktur als Maske vorgenommen wird und daß anschließend die erste Maskierungsstruktur zur Ausbildung einer zweiten Maskierungsstruktur dadurch invertiert wird, daß auf die erste Maskierungsstruktur wenigstens eine zweite Hilfsschicht aufgebracht, die so gebildete Struktur zumindest teilweise abgetragen und die dadurch freigelegte erste Hilfsschicht selektiv entfernt wird, worauf die zweite Maskierungsstruktur als Maske für einen weiteren Strukturierungsschritt verwendet.



AT 004 149 U1

Die Erfindung betrifft ein Verfahren zum Herstellen von Strukturen in Chips, bei welchem eine Folge von Strukturierungsschritten selbstjustierend angewendet wird.

In der Halbleiterfertigung sind üblicherweise mehrere aufeinanderfolgende Strukturierungsschritte notwendig, um Halbleiterbauelemente, wie beispielsweise bipolare Transistoren, zu verwirklichen. Jeder einzelne Strukturierungsschritt wird hierbei unter Verwendung einer Maske vorgenommen, wobei jedesmal eine Fotomaske genau ausgerichtet werden muß. Insbesondere muß ab dem zweiten Strukturierungsschritt die Fotomaske genau an der schon vorhandenen Struktur ausgerichtet werden, was bei den immer kleiner werdenden Strukturen in der Halbleiterfertigung hohe Anforderungen an die Justiergenauigkeit stellt. Gleichzeitig muß jedoch der Prozeßablauf möglichst einfach gehalten werden, um die Herstellungskosten möglichst niedrig zu halten.

Die vorliegende Erfindung zielt darauf ab, ein einfaches Verfahren zum Herstellen von Strukturen in Chips zu schaffen, bei welchem ein Ausrichten der Fotomasken und die damit verbundenen Justierprobleme vermieden werden und welches für die Herstellung von kleinen Strukturen geeignet ist. Insbesondere sollen die Strukturierungsschritte selbstjustierend vorgenommen werden und ein einfacher Prozeßablauf gewährleistet sein.

Zur Lösung dieser Aufgabe besteht das erfindungsgemäße Verfahren im wesentlichen darin, daß durch das Strukturieren einer ersten auf einem Träger aufgebrauchten Hilfsschicht nach einer ersten Maskierung eine erste Maskierungsstruktur ausgebildet wird, welche wenigstens einen über die Oberfläche des Trägers vorragenden Teilbereich aufweist, daß nachfolgend ein weiterer Strukturierungsschritt, beispielsweise durch Ätzen, Implantieren oder CVD (chemical vapor deposition), unter Verwendung der zuvor hergestellten ersten Maskierungsstruktur als Maske vorgenommen wird und daß anschließend die erste Maskierungsstruktur zur Ausbildung einer zweiten Maskierungsstruktur dadurch invertiert wird, daß auf die erste Maskierungsstruktur wenigstens eine zweite Hilfsschicht aufgebracht, die so gebildete Struktur zumindest teilweise abgetragen und die dadurch freigelegte erste Hilfsschicht selektiv entfernt wird, worauf die zweite Maskierungsstruktur als Maske für einen weiteren Strukturierungsschritt verwendet wird. Dadurch, daß durch das Strukturieren einer ersten auf einen Träger aufgebrauchten Hilfsschicht nach

einer ersten Maskierung eine Maskierungsstruktur ausgebildet wird, welche wenigstens einen über die Oberfläche des Trägers vorragenden Teilbereich aufweist, wird die Voraussetzung dafür geschaffen, bei nachfolgenden Strukturierungsschritten eine Inversion der Struktur dahingehend vorzunehmen, daß der im ersten Schritt gebildete vorragende Teilbereich abgetragen wird und verbleibende Teile jeweils als Bezugselemente für die Selbstjustierung wirksam werden. Insbesondere wird die Voraussetzung dafür geschaffen, daß bei einem nachfolgend weiteren Strukturierungsschritt, beispielsweise durch Ätzen, Implantieren oder CVD (Chemical vapor deposition), die zuvor hergestellte erste Maskierungsstruktur als Maske eingesetzt werden kann, wobei anschließend an die erste Maskierungsstruktur eine weitere Maskierungsstruktur dadurch hergestellt werden kann, daß die erste Maskierungsstruktur invertiert wird. Die Inversion erfolgt hierbei erfindungsgemäß dadurch, daß auf die erste Maskierungsstruktur wenigstens eine zweite Hilfsschicht aufgetragen wird und in der Folge ein zumindest teilweises Abtragen vorgenommen wird. Das Abtragen kann prinzipiell durch Planarisierung erfolgen, wobei eine derartige Planarisierung bisher nur zur Ausbildung von ebenen Oberflächenstrukturen, nicht aber, wie erfindungsgemäß vorgeschlagen, zum Invertieren einer Struktur verwendet wurde. Durch die Planarisierung, welche, wie es einer bevorzugten Weiterbildung entspricht, beispielsweise durch ein chemisch-mechanisches Schleifverfahren und/oder Rückätzverfahren vorgenommen werden kann, wird eine neue Struktur nach der teilweisen Materialabtragung der höher gelegenen Teile des Chip gebildet, bei welcher die erste Maskierungsstruktur, soweit sie noch verblieben ist, wiederum freigelegt wird und in der Folge selektiv entfernt wird. Die nun verbleibenden Teile der zweiten Hilfsschicht bilden eine zweite Maskierungsstruktur, welche als Maske für die weiteren Strukturierungsschritte verwendet wird. Insgesamt ergibt sich durch diese Abfolge von Strukturierungsschritten, bei welcher als wesentlicher Schritt eine Inversion der Struktur unter Verwendung von Planarisierungsverfahren vorgenommen wird, eine besonders einfache Verfahrensweise zur Ausbildung von kleinen Strukturen und insbesondere beispielsweise zur Ausbildung einer hohen Anzahl von Halbleiterschalt- oder Bauelementen, wie beispielsweise bipolaren Transistoren, auf der Oberfläche des Chips, sodaß eine höhere Bauteildichte bei

gleichzeitig erhöhter Präzision der jeweiligen Schichtgrenzen erzielt werden kann.

Wie bereits erwähnt erfolgt das Abtragen bevorzugt durch ein chemisch-mechanisches Schleifverfahren oder durch Rückätzverfahren. Im Falle der Verwendung von Rückätzverfahren für die Planarisierung zur Invertierung der Struktur wird mit Vorteil so vorgegangen, daß auf die erste Maskierungsstruktur zusätzlich zur zweiten Hilfsschicht eine Planarisierungsschicht aus einem Material aufgebracht wird, das gute Planarisierungseigenschaften besitzt. Die Planarisierungsschicht bildet in tiefer gelegenen Bereichen eine dickere Schicht als über den höheren Chip-teilen. Ätzt man nun gleichmäßig mit einer idealerweise gleichen Ätzrate für die Planarisierungsschicht und die höher gelegenen Strukturen, so überträgt sich die Topographie der planarisierten Schichtoberfläche auf die Chipoberfläche. Auf diese Weise wird sichergestellt, daß die gewünschte Inversion der Struktur mit hoher Präzision erreicht wird.

Mit Vorteil wird erfindungsgemäß so vorgegangen, daß die zweite Hilfsschicht und gegebenenfalls die Planarisierungsschicht nicht planarisierend wird. Ein nicht planarisierendes Ätzen hat hierbei den Vorzug, daß die Materialabnahme gerichtet und in erster Linie vertikal erfolgt, wobei ein derartiges nicht planarisierendes Ätzen insbesondere für die Ausbildung von Abstandshaltern und damit für die Zwecke der Selbstjustierung von besonderem Vorteil ist. In bevorzugter Weise wird daher im Rahmen des Verfahrens so vorgegangen, daß auf die erste und/oder die zweite Maskierungsstruktur eine Schicht aufgebracht wird, welche anschließend zur Ausbildung eines Abstandhalters anisotrop geätzt wird. Durch Wahl der Stärke der auf die erste und/oder auf die zweite Maskierungsstruktur aufgetragenen Schicht wird in der Folge die Präzision der Justierung gewährleistet, da die verbleibenden Abstandhalter eine Stärke in Richtung der Oberfläche gemessen aufweisen, welche im wesentlichen der Stärke der aufgetragenen Schicht entspricht.

Prinzipiell ist für die Auswahl der einzelnen Schichten in erster Linie das Kriterium maßgebend, daß jeweils abzutragende Schichten mit hoher Selektivität gegenüber nicht abzutragenden Schichten entfernt werden können. Es soll somit eine gute Selektivität für die jeweils sukzessive aufgetragenen Schichten und Hilfsschichten bzw. gegenüber dem Spacermaterial bestehen.

Pinzipiell können hierbei alle üblichen und gebräuchlichen Schichten und Hilfsschichten, beispielsweise Polysilizium, Siliziumoxyd, Polymere, Silizide wie z.B. Titansilizid, Wolframsilizid oder dgl., Nitride und Metallschichten, wie beispielsweise Titan-, Aluminium- oder dgl. -schichten zum Einsatz gelangen.

Mit Vorteil wird erfindungsgemäß so vorgegangen, daß die erste Maskierungsstruktur aus Siliziumoxyd besteht, sodaß in der Folge eine einfache Abtragung dieser Schicht mit konventionellen Methoden, beispielsweise mittels Flußsäure gelingt. Mit Vorteil wird weiters die zweite Maskierungsstruktur aus polykristallinem Silizium ausgebildet und die Planarisierungsschicht aus einem organischen Polymer. Die Abtragung organischer Polymere kann durch thermische Verfahren und beispielsweise auch durch Plasmabrennen erfolgen, wobei Schichten aus Siliziumoxyd oder polykristallinem Silizium bei einem derartigen selektiven Abtrageschritt nicht verändert werden.

Mit Vorteil kann auch die zweite Hilfsschicht aus einem organischen Polymer bestehen, wobei in diesem Fall die selektive Entfernung dieser Planarisierungsschicht gegenüber den übrigen Schichten gleichfalls gewährleistet ist.

Wenn ein Trägermaterial zum Einsatz gelangt, welches keine Ätzselektivität gegenüber nachfolgend aufzubringenden Schichten aufweist, wird mit Vorteil so vorgegangen, daß der Träger selbst eine dritte Hilfsschicht ist, die aus einem Material mit guter Ätzselektivität zur ersten und zweiten Maskierungsstruktur besteht.

Die Abscheidung der jeweiligen Schichten kann mit konventionellen Verfahren erfolgen. Mit Vorteil wird eine zweite Hilfsschicht mittels eines CVD-Verfahrens aufgebracht, wobei die zweite Hilfsschicht auch aus einem organischen Polymer bestehen kann, das mit einem Spin-Verfahren aufgebracht wird.

Das erfindungsgemäße Verfahren eignet sich bevorzugt für die Ausbildung von Bipolartransistoren, wobei aufgrund der hohen Präzision eine hohe Bauteildichte am Chip erzielt werden kann.

Die Erfindung wird nachfolgend anhand von in der Zeichnung schematisch erläuterten Ausführungsbeispielen näher erläutert. In dieser zeigen Fig. 1 bis 6 eine schematische Darstellung des erfindungsgemäßen Verfahrens und Fig. 7 bis 11 eine Anwendung

des erfindungsgemäßen Verfahrens zur Herstellung von Bipolartransistoren.

In Fig. 1 ist mit 1 ein Halbleitersubstrat bezeichnet, auf welches eine erste Hilfsschicht 2 aufgebracht ist. Durch geeignete Maskierung der ersten Hilfsschicht 2 wird nun eine erste Maskierungsstruktur 3 ausgebildet, welche einen Bereich 4 des Halbleitersubstrats 1 bedeckt und einen weiteren Bereich 5 des Halbleitersubstrats 1 unbedeckt läßt, wie dies in Fig. 2 dargestellt ist. Der unmaskierte Bereich 5 kann in der Folge, beispielsweise durch Implantieren, strukturiert werden, wie dies in Fig. 3 dargestellt ist. Die erste Maskierungsstruktur 3 muß die übrigen Chipaufbauten hierbei soweit überragen, daß bei dem später folgenden Planarisierungsschritt gezielt diese Strukturen abgetragen werden können. Fig. 4 zeigt wie die Inversion der Maskierungsstruktur 3 vorbereitet wird. Zunächst wird eine zweite Hilfsschicht 6 auf die erste Maskierungsstruktur 3 sowie auf den unmaskierten Bereich 5 des Halbleitersubstrats 1 aufgebracht, worauf das gesamte die Ebene 7 überragende Material durch Planarisierungsverfahren abgetragen wird. Dadurch wird gleichzeitig die Maskierungsstruktur 3 freigelegt und eine selektive Maskierung des Bereiches 5 des Halbleitersubstrats 1 durch die zweite Hilfsschicht 6 erreicht, wie dies in Fig. 5 dargestellt ist. Die freigelegte Maskierungsstruktur 3 kann nun, beispielsweise durch Ätzen, selektiv entfernt werden, sodaß lediglich die zweite Hilfsschicht 6 verbleibt, welche der invertierten Struktur der Maskierung 3 entspricht und als Maskierungsstruktur für eine nachfolgende Strukturierung des Bereiches 4 des Halbleitersubstrates 1 dient. Fig. 6 zeigt, daß die zweite Maskierungsstruktur 6 exakt den bereits strukturierten Bereich des Halbleitersubstrats bedeckt, sodaß nun selektiv der Bereich 4 bearbeitet werden kann. Es ergibt sich somit, daß ausgehend von einer ersten Maskierungsstruktur 3 durch eine Abfolge einfacher Verfahrensschritte eine zweite Maskierungsstruktur 6 ausgebildet werden kann, welche exakt an der ersten Maskierungsstruktur ausgerichtet ist.

In den Fig. 7 bis 11 ist nun die Anwendung des erfindungsgemäßen Verfahrens auf die Herstellung eines Bipolartransistors gezeigt. Bei Bipolartransistoren stellt sich das Problem, daß ein intrinsischer Basisbereich und ein Emitterbereich zentral strukturiert werden muß. Seitlich dieses zentralen Bereiches

muß, unter Einhaltung eines definierten Abstandes, die Basiszuleitung strukturiert werden (z.B. durch einen Implantschritt oder durch das Aufwachsen eines Silizids). Diese beiden Strukturierungsschritte müssen exakt aufeinander ausgerichtet werden. Ein zu großer Abstand bedeutet, daß der Widerstand der Basiszuleitung zunimmt, ein zu kleiner Abstand bzw. ein Überlappen hat zur Folge, daß der Basisbereich teilweise hoch dotiert wird bzw. daß der Emitter kurzgeschlossen wird. In Fig. 7 ist das Halbleitersubstrat, in welchem bereits der Kollektor enthalten ist, mit 8 bezeichnet. In einem Bereich 9 soll nun der intrinsische Basisbereich und seitlich davon, jeweils unter Einhaltung eines Abstandes  $a$ , extrinsische Bereiche 10 für die Basiszuleitung ausgebildet werden. Hierfür wird zunächst eine erste Maskierungsstruktur 11 aufgebracht, welche den intrinsischen Basisbereich abdeckt, wie dies in Fig. 8 dargestellt ist. Nachfolgend wird eine Schicht 12 eines Spacermaterials aufgebracht, deren Dicke genau dem Abstand  $a$  zwischen intrinsischer und extrinsischer Basis entspricht. Durch anisotropes Ätzen der Spacerschicht 12 werden Abstandhalter 13 ausgebildet, sodaß nun, wie in Fig. 9 dargestellt ist, die extrinsischen Bereiche, beispielsweise mit Bor, dotiert werden können. Anschließend wird eine Hilfsschicht 14 auf die erste Maskierungsstruktur 11, die Abstandhalter sowie über die freiliegende Substratoberfläche aufgebracht, sodaß nun die in Fig. 10 dargestellte Struktur entsteht. Das über die Ebene 15 hervorragende Material wird durch Planarisierungsverfahren abgetragen, sodaß die Maskierungsstruktur 11 freigelegt wird, worauf diese durch selektives Ätzen entfernt wird. Die dadurch entstehende in Fig. 11 gezeigte Maskierungsstruktur 14 ermöglicht

nun das selektive Dotieren des Kollektorbereiches unter dem intrinsischen Basisbereich 9 mit dem sogenannten SIC-Implantat (SIC = selektive implanted collector). Darüber hinaus kann man mit Hilfe der Maskierungsstruktur 14 den Bereich über der intrinsischen Basis freilegen, in den das Emitterpolysilizium abgeschieden wird. Das erfindungsgemäße Prinzip der Strukturinversion kann für konventionelle BJTs (BJT = bipolar junction transistor, bipolarer Sperrschicht Transistor) mit implantierter Basis als auch für Bipolartransistoren mit epitaktisch aufgewachsener Basis mit NPN oder PNP-Polarität angewendet werden.

A n s p r ü c h e :

1. Verfahren zum Herstellen von Strukturen in Chips, bei welchem eine Folge von Strukturierungsschritten selbstjustierend angewendet wird, dadurch gekennzeichnet, daß durch das Strukturieren einer ersten auf einem Träger aufgebrachtten Hilfsschicht nach einer ersten Maskierung eine erste Maskierungsstruktur ausgebildet wird, welche wenigstens einen über die Oberfläche des Trägers vorragenden Teilbereich aufweist, daß nachfolgend ein weiterer Strukturierungsschritt, beispielsweise durch Ätzen, Implantieren oder CVD, unter Verwendung der zuvor hergestellten ersten Maskierungsstruktur als Maske vorgenommen wird und daß anschließend die erste Maskierungsstruktur zur Ausbildung einer zweiten Maskierungsstruktur dadurch invertiert wird, daß auf die erste Maskierungsstruktur wenigstens eine zweite Hilfsschicht aufgebracht, die so gebildete Struktur zumindest teilweise abgetragen und die dadurch freigelegte erste Hilfsschicht selektiv entfernt wird, worauf die zweite Maskierungsstruktur als Maske für einen weiteren Strukturierungsschritt verwendet.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Abtragung durch Planarisierung beispielsweise ein chemisch-mechanisches Schleifverfahren vorgenommen wird.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß das Abtragen durch ein Rückätzverfahren vorgenommen wird.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß auf die erste Maskierungsstruktur zusätzlich zur zweiten Hilfsschicht eine Planarisierungsschicht aus einem Material aufgebracht wird, das gute Planarisierungseigenschaften besitzt.

5. Verfahren nach Anspruch 3 oder 4, dadurch gekennzeichnet, daß die zweite Hilfsschicht und gegebenenfalls die Planarisierungsschicht nicht planarisierend geätzt wird.

6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß auf die erste und/oder die zweite Maskierungsstruktur eine Schicht aufgebracht wird, welche anschließend zur Ausbildung eines Abstandhalters anisotrop geätzt wird.

7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die erste Maskierungsstruktur aus Siliziumoxid besteht.

## AT 004 149 U1

8. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die zweite Maskierungsstruktur aus polykristallinem Silizium besteht.

9. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die zweite Hilfsschicht aus einem organischen Polymer besteht.

10. Verfahren nach einem der Ansprüche 4 bis 9, dadurch gekennzeichnet, daß die Planarisierungsschicht aus einem organischen Polymer besteht.

11. Verfahren nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß der Träger eine dritte Hilfsschicht ist, die aus einem Material mit guter Ätzselektivität zur ersten und zweiten Maskierungsstruktur besteht.

12. Verfahren nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, daß die zweite Hilfsschicht mittels eines CVD-Verfahrens aufgebracht wird.

13. Verfahren nach einem der Ansprüche 1 bis 12, dadurch gekennzeichnet, daß die Schichten zur Ausbildung eines Bipolartransistors aufgebracht und behandelt werden.

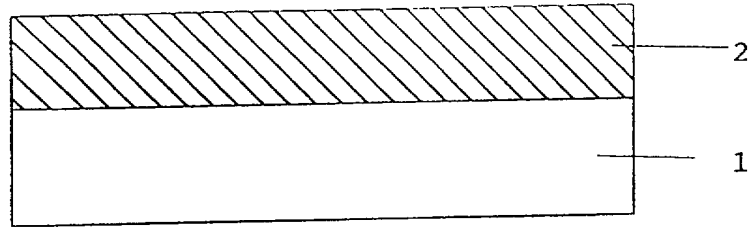


Fig. 1

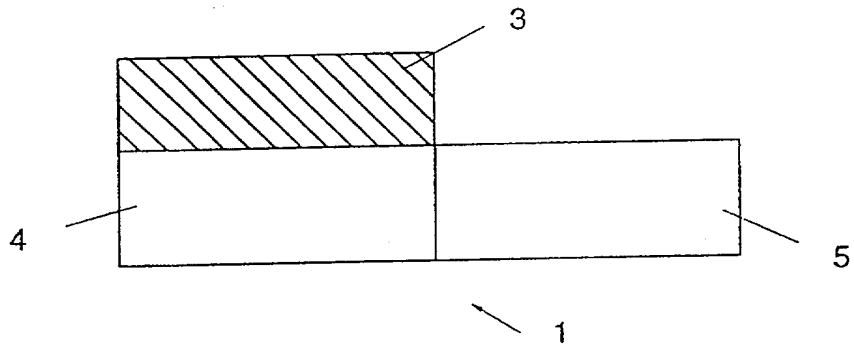


Fig. 2

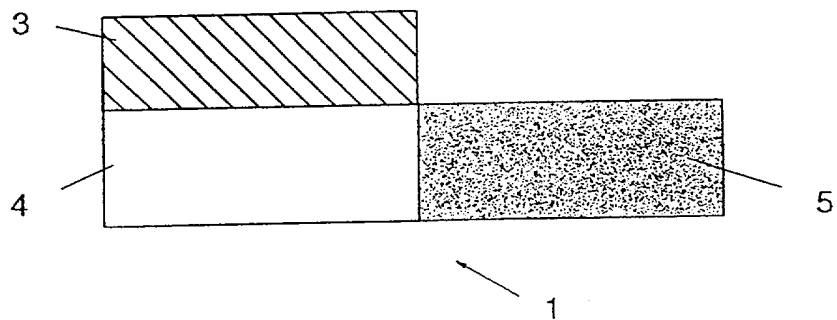


Fig. 3

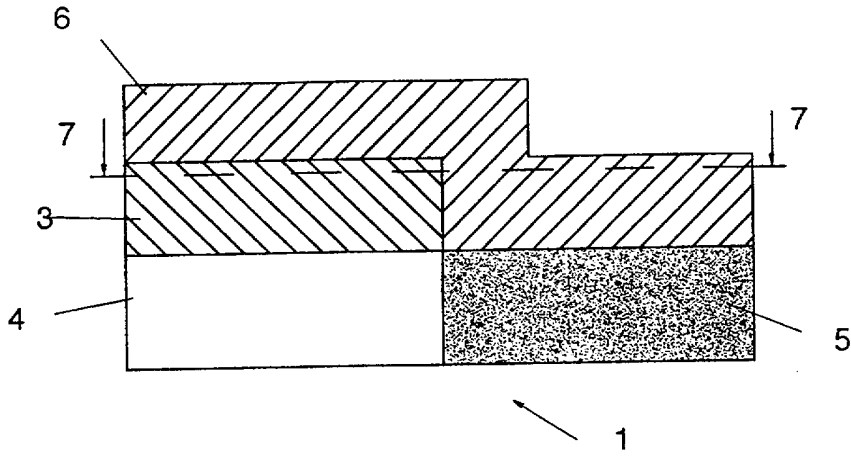


Fig. 4

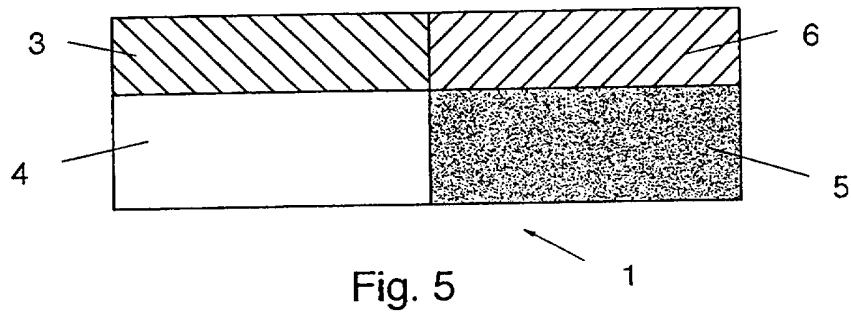


Fig. 5

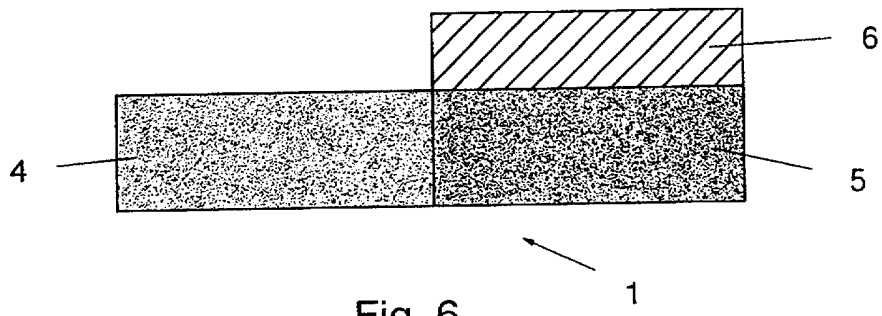


Fig. 6

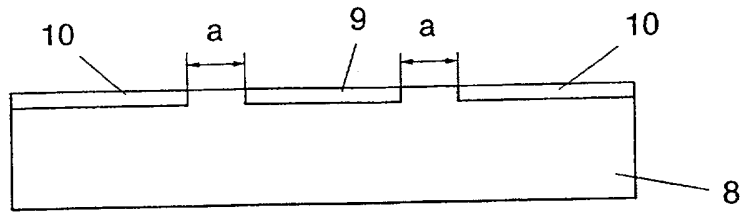


Fig. 7

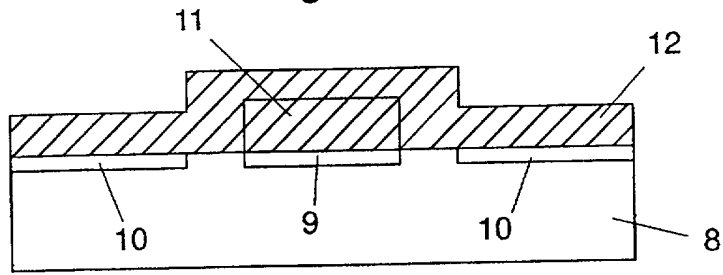


Fig. 8

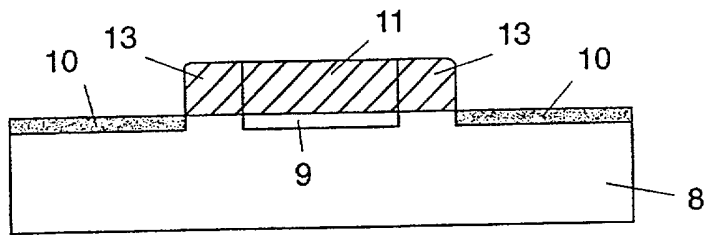


Fig. 9

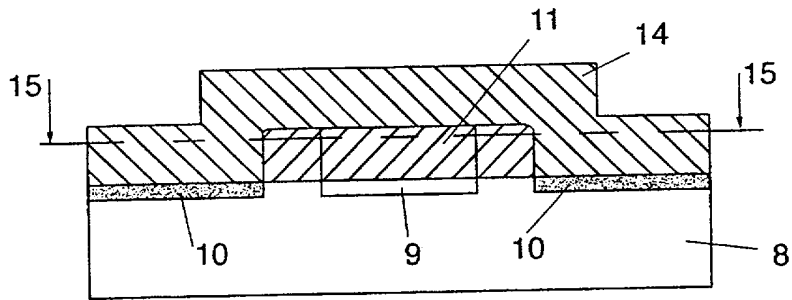


Fig. 10

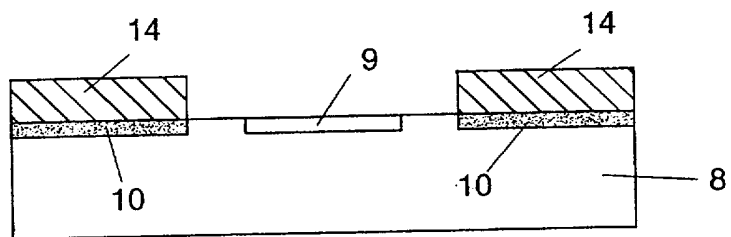


Fig. 11



# ÖSTERREICHISCHES PATENTAMT

AT 004 149 U1

A-1014 Wien, Kohlmarkt 8-10, Postfach 95  
TEL. +43/(0)1/53424; FAX +43/(0)1/53424-535; TELEX 136847 OEPA A  
Postcheckkonto Nr. 5.160.000; UID-Nr. ATU38266407; DVR: 0078018

## RECHERCHENBERICHT

zu 15 GM 841/99

Ihr Zeichen: 37009

Klassifikation des Antragsgegenstandes gemäß IPC<sup>7</sup>: H 01 L 2131

Recherchierter Prüfstoff (Klassifikation): H 01 L 21311

2132

Konsultierte Online-Datenbank: EPODOC, WPI, PAJ

Die nachstehend genannten Druckschriften können in der Bibliothek des Österreichischen Patentamtes während der Öffnungszeiten (Montag bis Freitag von 8 - 12 Uhr 30, Dienstag 8 bis 15 Uhr) unentgeltlich eingesehen werden. Bei der von der Hochschülerschaft TU Wien Wirtschaftsbetriebe GmbH im Patentamt betriebenen Kopierstelle können schriftlich (auch per Fax, Nr. 01 / 533 05 54) oder telefonisch (Tel. Nr. 01 / 534 24 - 153) **Kopien** der ermittelten Veröffentlichungen bestellt werden.

Auf Anfrage gibt das Patentamt Teilrechtsfähigkeit (TRF) gegen Entgelt zu den im Recherchenbericht genannten Patentdokumenten allfällige veröffentlichte „Patentfamilien“ (denselben Gegenstand betreffende Patentveröffentlichungen in anderen Ländern, die über eine gemeinsame Prioritätsanmeldung zusammenhängen) bekannt. Diesbezügliche Auskünfte erhalten Sie unter der Telefonnummer 01 / 534 24 - 725.

Kategorie	Bezeichnung der Veröffentlichung (Ländercode, Veröffentlichungsnummer, Dokumentart (Anmelder), Veröffentlichungsdatum, Textstelle oder Figur (soweit erforderlich))	Betreffend Anspruch
A	JP 7-142504 A (OKI ELECTRIC...) 2. Juni 1995 (02.06.95) Zusammenfassung, Figur	
A	US 4 581 319 A (SIEMENS) 8. April 1986 (08.04.86) Zusammenfassung, Figur	
A	US 4 481 041 A (SIEMENS) 6. November 1984 (06.11.84) Zusammenfassung, Figur	
<input checked="" type="checkbox"/> Fortsetzung siehe Folgeblatt		
<p><b>Kategorien der angeführten Dokumente</b> (dient in Anlehnung an die Kategorien bei EP- bzw. PCT-Recherchenberichten nur zur <b>raschen Einordnung</b> des ermittelten Stands der Technik, stellt keine Beurteilung der Erfindungseigenschaft dar):</p> <p>„A“ Veröffentlichung, die den <b>allgemeinen Stand der Technik</b> definiert.</p> <p>„Y“ Veröffentlichung von <b>Bedeutung</b>; die Erfindung kann nicht als neu (bzw. auf erfinderischer Tätigkeit beruhend) betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren weiteren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese <b>Verbindung für den Fachmann naheliegend</b> ist.</p> <p>„X“ Veröffentlichung von <b>besonderer Bedeutung</b>; die Erfindung kann allein aufgrund dieser Druckschrift nicht als neu (bzw. auf erfinderischer Tätigkeit beruhend) angesehen werden.</p> <p>„P“ zwischenveröffentlichtes Dokument von besonderer Bedeutung (<b>älteres Recht</b>)</p> <p>„&amp;“ Veröffentlichung, die Mitglied derselben <b>Patentfamilie</b> ist.</p>		
<p><b>Ländercodes:</b>  <b>AT</b> = Österreich; <b>AU</b> = Australien; <b>CA</b> = Kanada; <b>CH</b> = Schweiz; <b>DD</b> = ehem. DDR; <b>DE</b> = Deutschland;  <b>EP</b> = Europäisches Patentamt; <b>FR</b> = Frankreich; <b>GB</b> = Vereinigtes Königreich (UK); <b>JP</b> = Japan;  <b>RU</b> = Russische Föderation; <b>SU</b> = ehem. Sowjetunion; <b>US</b> = Vereinigte Staaten von Amerika (USA);  <b>WO</b> = Veröffentlichung gem. PCT (WIPO/OMPI); weitere siehe WIPO-Appl. Codes</p>		

Datum der Beendigung der Recherche: 31. Mai 2000      Prüfer: Dipl. Ing. Heinrich

Vordruck RE 31a - Recherchenbericht - ZI.2258/Präs.95



# ÖSTERREICHISCHES PATENTAMT

AT 004 149 U1

A-1014 Wien, Kohlmarkt 8-10, Postfach 95  
TEL. +43/(0)1/53424; FAX +43/(0)1/53424-535; TELEX 136847 OEPA A  
Postscheckkonto Nr. 5.160.000; UID-Nr. ATU38266407; DVR: 0078018

## Folgeblatt zu 15 GM 841/99

Kategorie	Bezeichnung der Veröffentlichung (Ländercode, Veröffentlichungsnummer, Dokumentart (Anmelder), Veröffentlichungsdatum, Textstelle oder Figur (soweit erforderlich))	Betreffend Anspruch
A	US 4 755 476 A (SIEMENS) 5. Juli 1988 (05.07.88) Zusammenfassung, Figur	
A	US 4 505 027 A (SIEMENS) 19. März 1985 (19.03.85) Zusammenfassung, Figur, insbesondere Fig. 10-12	
A	JP 7-221321 A (NIPPONDENSO) 18. August 1995 (18.08.95) Zusammenfassung, Figur	
A	JP 10-012871 A (TOSHIBA) 16. Jänner 1998 (16.01.98) Zusammenfassung, Figur	
Alle Druckschriften samt Zusammenfassung und Figuren wurden am 26. Mai 2000 aus der Datenbank WPI bzw. PAJ ermittelt.		
<input type="checkbox"/> Fortsetzung siehe Folgeblatt		