



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

223010
(11) (B1)

(51) Int. Cl.³
H 04 B 13/00

(22) Přihlášeno 14 11 80
(21) [PV 7748-80]

(40) Zveřejněno 30 07 82

(45) Vydáno 15 03 86

(75)

Autor vynálezu

KOKEŠ ANTONÍN RNDr. CSc., PRAHA

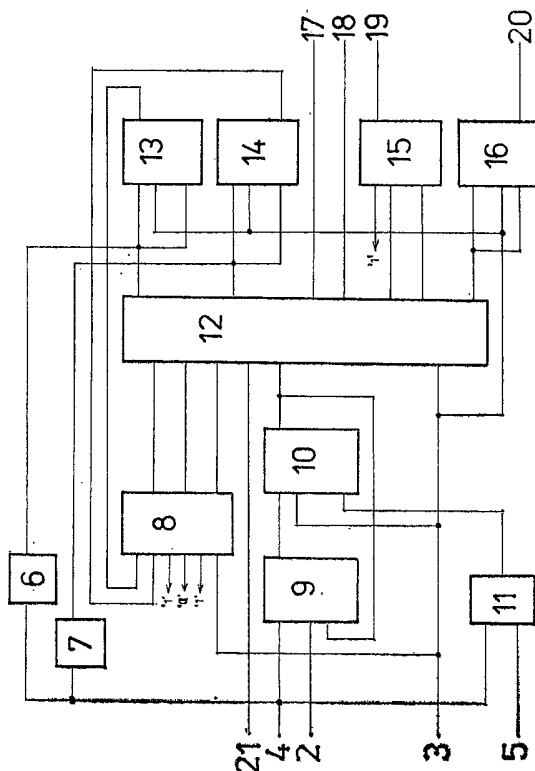
(54) Zapojení k vysílání a separaci dat pro systém záznamu dvojího kmitočtu

1

Vynález řeší jednak separaci dat ze sériově vysílaného signálu dvojího kmitočtu, jednak vysílání dat ve dvojím kmitočtu. Dále kontroluje přítomnost hodinových pulsů ve speciálních znacích a vysílání těchto znaků.

Řídicí kmitočet obvodu je osminásobkem hodinového kmitočtu vysílaných dat. Je čítán čítačem (8), jehož výstupy adresují paměť konstant (12), jejíž další adresové vstupy jsou určeny pro přijímaná data (10) a pro signál potlačující hodinové pulsy (21). Výstupy paměti konstant (12) ovládají jednak nastavení (13) nebo nulování (14) čítače (8), čímž je dosaženo potřebné synchronizace, jednak poskytují separovaná data (19) a signál dvojího kmitočtu (17).

2



Vynález se týká elektronického číslicového zapojení k vysílání a separaci dat pro systém záznamu dvojího kmitočtu, používaného pro magnetická záznamová média, s číslicově řešeným závěsem na stálou frekvenci.

Pro separaci dat v systému dvojího kmitočtu se převážně používá anolgo- číslicových obvodů pro zajištění potřebné synchronizace. Návrh proto klade požadavky na kvalitu použitých součástek, stálost jejich hodnot, případně nastavení pracovních parametrů při oživování. Dále bývají odděleny obvody pro separaci dat a obvody pro vysílání dat, což přináší zvýšený nárok na počet použitých součástek. Analogově setrvačnickový způsob synchronizace oscilátoru vyžaduje rovněž poměrně dlouhé pole synchronizačního signálu předcházejícího každému poli informací.

Výše uvedené nedostatky odstraňuje zapojení pro vysílání a separaci dat podle vynálezu, jehož podstata je v tom, že čítač je svými třemi výstupy připojen k prvním třem adresovým vstupům paměti konstant, jejíž první výstup je spojen s datovým a nulovacím vstupem třetího klopného obvodu D, jehož výstup je spojen s nulovacím vstupem čítače. Druhý výstup paměti konstant je spojen s datovým a nulovacím vstupem čtvrtého klopného obvodu D, jehož výstup je spojen s nastavovacím vstupem čítače. Třetí výstup paměti konstant tvoří výstupní svorku dat v dvojím kmitočtu, zatím co pátý výstup je spojen s hodinovým vstupem pátého klopného obvodu D, na jehož datový vstup je připojeno napětí hodnoty „log. 1“, jehož výstup tvoří výstupní svorku separovaných dat, přičemž šestý výstup paměti konstant je spojen s jeho nulovacím vstupem. Vstupní svorka pro volbu vysílání nebo separace dat je spojena se vstupy prvního a druhého invertoru, jejichž výstupy jsou spojeny s prvním a druhým výstupem paměti konstant, dále pak s datovým vstupem prvního klopného obvodu D a s prvním vstupem součinnového hradla, jehož výstup je spojen s nulovacím vstupem druhého klopného obvodu D, jehož výstup je spojen s pátým adresovým vstupem paměti konstant a s nastavovacím vstupem prvního klopného obvodu D, jehož hodinový vstup tvoří vstupní svorku dat v dvojím kmitočtu a jehož výstup je spojen s datovým vstupem druhého klopného obvodu D. Vstupní svorka dat určených k vysílání dvojím kmitočtem, je tvořena druhým vstupem součinnového hradla. Čtvrtý adresový vstup paměti konstant tvoří vstupní svorku povelu pro vynechání hodinových pulsů. Vstupní svorka řídicích pulsů je spojena s hodinovými vstupy druhého, třetího a čtvrtého klopného obvodu D, dále s počítacím vstupem čítače a s výběrovým vstupem paměti konstant. Vstupy řádů 2^0 a 2^2 čítače jsou připojeny na napětí hodnoty „log. 1“, zatím co vstup řádu 2^1 je připojen na napětí hodnoty „log. 0“.

Výhodou zapojení je nízký počet součástek a důsledně číslicové řešení takže při výrobě odpadá nastavování regulačních prvků. Obvod se plně synchronizuje příjmem 1 bitu hodnoty „0“.

Na výkresu obr. 1 je zapojení obvodu podle vynálezu, kde čítač 8 je svými třemi výstupy připojen k prvním třem adresovaným vstupům paměti konstant 12, jejíž první výstup je spojen s datovým a nulovacím vstupem třetího klopného obvodu D 13, jehož výstup je spojen s nulovacím vstupem čítače 8. Druhý výstup paměti konstant 12 je spojen s datovým a nulovacím vstupem čtvrtého klopného obvodu D 14, jehož výstup je spojen s nastavovacím vstupem čítače 8. Třetí výstup paměti konstant 12 tvoří výstupní svorku dat v dvojím kmitočtu 17, zatím co pátý výstup je spojen s hodinovým vstupem pátého klopného obvodu D 15, na jehož datový vstup je připojeno napětí hodnoty „log. 1“, a jehož výstup tvoří výstupní svorku separovaných dat 19, přičemž šestý výstup paměti konstant 12 je spojen s jeho nulovacím vstupem. Vstupní svorka pro volbu vysílání nebo separace dat 4 je spojena se vstupy prvního a druhého invertoru 6, 7, jejichž výstupy jsou spojeny s prvním a s druhým výstupem paměti konstant, dále je tato svorka spojena s datovým vstupem prvního klopného obvodu D 9 a s prvním vstupem součinnového hradla 11, jehož výstup je spojen s nulovacím vstupem druhého klopného obvodu D 10, jehož výstup je spojen s pátým adresovým vstupem paměti konstant 12 a s nastavovacím vstupem prvního klopného obvodu D 9, jehož hodinový vstup tvoří vstupní svorku dat v dvojím kmitočtu 2, a jehož výstup je spojen s datovým vstupem druhého klopného obvodu D 10. Vstupní svorka dat určených k vysílání dvojím kmitočtem 5 je tvořena druhým vstupem součinnového hradla 11. Čtvrtý adresový vstup paměti konstant 12 tvoří vstupní svorku povelu pro vynechání hodinových pulsů 21. Vstupní svorka řídicích pulsů 3 je spojena s hodinovými vstupy druhého, třetího a čtvrtého klopného obvodu D 14, dále s počítacím vstupem čítače 8 a s výběrovým vstupem paměti konstant 12. Vstupy řádů 2^0 a 2^2 čítače 8 jsou připojeny na napětí hodnoty „log. 1“, zatím co vstup řádu 2^1 je připojen na napětí hodnoty „log. 0“. Při funkci vysílání nulují invertory 6, 7 první dva výstupy paměti konstant 12, takže čítač 8 počítá řídicí pulsy, jejichž kmitočet je osminásobkem základního kmitočtu dat vysílaných v dvojím kmitočtu. Data určená k vysílání řídí přes hradlo 11 a druhý klopný obvod D 10 pátý adresový vstup paměti konstant 12, na jejímž třetím výstupu jsou potom data v dvojím kmitočtu. Při funkci separace dat je signál v dvojím kmitočtu asynchronně přebírán prvním klopným obvodem D 9 a potom synchronně přebírán druhým klopným obvodem D 10. Třetí a čtvrtý

tý klopný obvod D 13 a 14 slouží ke korekci fáze čítače 8 na fázi vstupujících dat ve dvojitým kmitočtu. Pátý klopný obvod D 15 se pak podle fáze čítače 8 a pátého adresového vstupu paměti konstant 12 nastavuje do hodnot odpovídajících datovým hodno-

tám na vstupní svorce dat ve dvojitým kmitočtu 2.

Aplikace tohoto zapojení je vhodná všude tam, kde se používá sériový přenos dat ve dvojitým kmitočtu.

PŘEDMĚT VYNÁLEZU

1. Zapojení k vysílání a separaci dat pro systém záznamu dvojitým kmitočtu, vyznačené tím, že první výstup čítače (8) je spojen s prvním adresovým vstupem paměti konstant (12), jejíž první výstup je spojen s datovým a nulovacím vstupem třetího klopného obvodu D (13), jehož výstup je spojen s nulovacím vstupem čítače (8), jehož druhý výstup je spojen s druhým adresovým vstupem paměti konstant (12), jejíž druhý výstup je spojen s datovým a nulovacím vstupem čtvrtého klopného obvodu D (14), jehož výstup je spojen s nastavovacím vstupem čítače (8), jehož třetí výstup je spojen s třetím adresovým vstupem paměti konstant (12), jejíž třetí výstup tvoří výstupní svorku dat v dvojitým frekvenci (17), zatím co její pátý výstup je spojen s hodinovým vstupem pátého klopného obvodu D (15), na jehož datový vstup je připojeno napětí hodnoty „log. 1“, a jehož výstup tvoří výstupní svorku separovaných dat (19), přičemž šestý výstup paměti konstant (12) je spojen s nulovacím vstupem pátého klopného obvodu D (15), dále pak vstup řádu 2^0 čítače (8) je připojen k napětí hodnoty „log. 1“, vstup řádu 2^1 je připojen k napětí „log. 0“, vstup řádu 2^2 je připojen k napětí „log. 1“ a jeho počítací vstup je spojen s hodinovými vstupy druhého, třetího a čtvrtého klopného obvodu D (10, 13, 14), dále pak s výběrovým vstupem paměti konstant (12), přičemž tento spoj tvoří vstupní svorku řídicích pulsů (3), zatím co vstupní svorka dat v dvojitým kmitočtu (2) je tvořena hodinovým vstupem prvního klopného obvodu (9), jehož výstup je spojen s datovým vstupem

druhého klopného obvodu D (10), jehož výstup je spojen jednak s pátým adresovým vstupem paměti konstant (12), jednak s nastavovacím vstupem prvního klopného obvodu D (9), jehož datový vstup tvoří vstupní svorku pro volbu funkce vysílání nebo separace dat (4), přičemž jsou k němu připojeny vstupy prvního a druhého invertoru (6, 7), jejichž výstupy jsou připojeny k prvnímu a druhému výstupu paměti konstant (12), přičemž nulovací vstup druhého klopného obvodu D (10) je spojen s výstupem součinnového hradla (11), jehož druhý vstup tvoří vstupní svorku dat určených k vysílání dvojitým kmitočtem (5), zatím co jeho první vstup je připojen k datovému vstupu prvního klopného obvodu D (9), přičemž čtvrtý adresový vstup paměti konstant (12) tvoří vstupní svorku povelu pro vynechání hodinových pulsů (21).

2. Zapojení podle bodu 1, vyznačené tím, že k sedmému výstupu paměti konstant (12) je připojen datový a nulovací vstup šestého klopného obvodu D (16), jehož výstup tvoří výstupní svorku detekce nežádoucího hodinového pulsu (20), přičemž hodinový vstup šestého klopného obvodu D (16) je spojen s výběrovým vstupem paměti konstant (12).

3. Zapojení podle bodu 1, vyznačené tím, že čtvrtý výstup paměti konstant (12) tvoří výstupní svorku synchronizačních pulsů (18).

4. Zapojení podle bodu 1, vyznačené tím, že vstup řádu 2^2 čítače (8) je připojen k výstupu šestého klopného obvodu (16).

