

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6265885号
(P6265885)

(45) 発行日 平成30年1月24日 (2018. 1. 24)

(24) 登録日 平成30年1月5日 (2018. 1. 5)

(51) Int. Cl.

F I

G 0 6 F 15/177 (2006. 01)

G 0 6 F 15/177 A

G 0 6 F 9/50 (2006. 01)

G 0 6 F 9/46 4 6 5 Z

G 0 6 F 15/78 (2006. 01)

G 0 6 F 15/78 5 1 5

請求項の数 14 (全 18 頁)

(21) 出願番号 特願2014-505374 (P2014-505374)
 (86) (22) 出願日 平成24年4月13日 (2012. 4. 13)
 (65) 公表番号 特表2014-514660 (P2014-514660A)
 (43) 公表日 平成26年6月19日 (2014. 6. 19)
 (86) 国際出願番号 PCT/US2012/033660
 (87) 国際公開番号 W02012/142512
 (87) 国際公開日 平成24年10月18日 (2012. 10. 18)
 審査請求日 平成27年4月13日 (2015. 4. 13)
 審判番号 不服2016-7353 (P2016-7353/J1)
 審判請求日 平成28年5月19日 (2016. 5. 19)
 (31) 優先権主張番号 13/087, 206
 (32) 優先日 平成23年4月14日 (2011. 4. 14)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 591016172
 アドバンスト・マイクロ・ディバイシズ・
 インコーポレイテッド
 ADVANCED MICRO DEVI
 CES INCORPORATED
 アメリカ合衆国、94088-3453
 カリフォルニア州、サニibel、ピー・
 オウ・ボックス・3453、ワン・エイ・
 エム・ディ・プレイス、メイル・ストップ
 ・68 (番地なし)
 (74) 代理人 100108833
 弁理士 早川 裕司
 (74) 代理人 100111615
 弁理士 佐野 良太

早期審査対象出願

最終頁に続く

(54) 【発明の名称】 論理コアの動的マッピング

(57) 【特許請求の範囲】

【請求項 1】

プロセッサであって、

複数の物理的コアであって、前記プロセッサは、前記複数の物理的コアに対する論理コアのマッピングを保存するように構成されており、前記マッピングは、前記複数の物理的コアにタスクを割り当てるために、オペレーティングシステムによって使用可能である、複数の物理的コアと、

前記プロセッサのブート処理の後、前記複数の物理的コアに対する前記論理コアのマッピングを変更し、前記論理コアの前のマッピングの変更が行われてから経過した時間の長さを決定し、前記時間の長さが閾値を超えるのに応じて、前記論理コアのマッピングを変更するように構成された割り当てユニットと、

を備える、プロセッサ。

【請求項 2】

前記割り当てユニットは、前記複数の物理的コアのうち1つ以上がアイドル状態に入った旨を示す指標を受信するように構成されており、前記割り当てユニットは、前記指標の受信に応じて、前記論理コアのマッピングを変更するように構成されている、請求項 1 に記載のプロセッサ。

【請求項 3】

前記プロセッサは、前記複数の物理的コアのうち第1の物理的コアが前記アイドル状態に入ったのに応じて、前記第1の物理的コアの実行状態を保存するように構成されており

10

20

、前記プロセッサは、前記第 1 の物理的コアが前記アイドル状態を終了したのに応じて、前記複数の物理的コアのうち第 2 の物理的コアの実行状態を前記第 1 の物理的コアにロードするように構成されている、請求項 2 に記載のプロセッサ。

【請求項 4】

前記割当ユニットは、前記複数の物理的コアのうち 1 つ以上の物理的コアそれぞれのワークロードを決定するように構成されており、前記割当ユニットは、前記 1 つ以上の決定されたワークロードに基づいて、前記論理コアのうち 1 つ以上の論理コアの前記複数の物理的コアのうち 1 つ以上の物理的コアに対するマッピングを変更するように構成されている、請求項 1 に記載のプロセッサ。

【請求項 5】

前記割当ユニットは、前記複数の物理的コアのうち 1 つ以上の物理的コアについての温度情報を受信するように構成されており、前記割当ユニットは、前記受信した温度情報に基づいて、前記論理コアのうち 1 つ以上の論理コアの前記複数の物理的コアのうち 1 つ以上の物理的コアに対するマッピングを変更するように構成されている、請求項 1 に記載のプロセッサ。

【請求項 6】

前記プロセッサは、前記複数の物理的コアのうち第 1 の物理的コアの実行状態と、前記複数の物理的コアのうち第 2 の物理的コアの実行状態とを保存するように構成されており、前記プロセッサは、前記割当ユニットが前記第 1 の物理的コア及び第 2 の物理的コアにマッピングされた論理コアのマッピングを変更するのに応じて、前記第 2 の物理的コアの保存された実行状態を前記第 1 の物理的コアにロードし、前記第 1 の物理的コアの保存された実行状態を前記第 2 の物理的コアにロードするように構成されている、請求項 1 に記載のプロセッサ。

【請求項 7】

前記プロセッサは、前記複数の物理的コアのうち 1 つの物理的コアをオーバークロックするように構成されており、前記割当ユニットは、前記物理的コアがオーバークロックされている時間の長さに基づいて、論理コアを前記オーバークロックされた物理的コアにマッピングするように構成されている、請求項 1 に記載のプロセッサ。

【請求項 8】

前記割当ユニットは、前記論理コアの全てのマッピングを変更することなく、前記複数の物理的コアのうちいくつかの物理的コアへの、前記論理コアのうち一部の論理コアのマッピングを変更するように構成されている、請求項 1 に記載のプロセッサ。

【請求項 9】

プロセッサ上の複数の物理的コアが 1 組のタスクを行うステップであって、前記複数の物理的コアに対する論理コアのマッピングに基づいて、前記 1 組のタスクが割り当てられるステップと、

前記プロセッサ内の割当回路が、前記論理コアの前記マッピングが行われてから経過した時間の長さを決定するステップと、

前記時間の長さが閾値を超えるのに応じて、前記割当回路が、オペレーティングシステムの実行中に、前記論理コアの前記複数の物理的コアに対するマッピングを変更するステップであって、前記マッピングの変更に基づいて、追加の組のタスクが割り当てられるステップと、

を含む方法。

【請求項 10】

論理コアが、前記複数の物理的コアのうち第 1 の物理的コアから前記複数の物理的コアのうち第 2 の物理的コアにマッピングが変更されるのに応じて、前記プロセッサが、現在の実行状態を、前記第 1 の物理的コアから前記第 2 の物理的コアに転送するステップをさらに含む、請求項 9 に記載の方法。

【請求項 11】

前記転送するステップは、前記実行状態を、前記プロセッサに接続されたメモリに保存

10

20

30

40

50

し、前記実行状態を、前記第 2 の物理的コア上に再ロードするステップを含む、請求項 10 に記載の方法。

【請求項 12】

前記転送するステップは、前記第 2 の物理的コアをアイドル状態から終了させて、前記第 1 の物理的コアの実行状態を再ロードするステップを含む、請求項 11 に記載の方法。

【請求項 13】

前記プロセッサは、前記複数の物理的コアのうちいくつかの物理的コアの性能状態に基づいて、前記マッピングの変更を決定する、請求項 9 に記載の方法。

【請求項 14】

前記マッピングを変更するステップは、論理コアを、より高い性能状態にある第 1 の物理的コアからより低い性能状態にある第 2 の物理的コアにマッピングするステップを含む、請求項 13 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、概してプロセッサに関し、より詳細には、複数のプロセッサコアにわたるワークロード（作業負荷）の分配に関する。

【背景技術】

【0002】

集積回路の長寿命化は、重要な設計目標であることが多い。なぜならば、多くの場合には、消費者が望んでいる回路は、高ストレス下において信頼性良く長期間動作することが可能な回路であるからである。そのため、開発者らは、集積回路の寿命に影響を与える多様な要素を考慮に入れようとしている。

【0003】

プロセッサの予測寿命に影響を与える 1 つの重要な要素として、プロセッサが経時的に経験するワークロードがある。高ワークロード下において長時間動作するプロセッサ（例えば、サーバシステムにおいて用いられるプロセッサ）の場合には、より大量のシリコンストレスを受ける場合がある。このようなシリコンストレスは、エレクトロマイグレーション、誘電破壊又は熱的誘導摩耗の原因となる。これらの要素に起因して、プロセッサの寿命が大幅に短くなる場合がある。そのため、場合によっては、平均寿命の向上のために、プロセッサのワークロードの低減が望まれる場合がある。

【発明の概要】

【0004】

本開示は、論理コアを、物理的コアに動的に再マッピングするための構造及び方法の多様な実施形態について記述する。

【0005】

一実施形態において、プロセッサが開示される。プロセッサは、複数の物理的コアを含み、論理コアのマッピングを当該複数の物理的コアに格納するように構成されている。プロセッサは、割当ユニットをさらに含む。割当ユニットは、プロセッサのブート処理後に、論理コアを、複数の物理的コアに再マッピングするように構成されている。

【0006】

一実施形態において、方法が開示される。この方法は、1 組のタスクを行うプロセッサ上の複数の物理的コアを含む。1 組のタスクは、複数の物理的コアへの論理コアのマッピングに基づいて、割り当てられている。方法は、オペレーティングシステムが実行しているときに、論理コアを複数の物理的コアに再マッピングするプロセッサをさらに含む。再マッピングに基づいて、さらなる 1 組のタスクが割り当てられる。

【0007】

一実施形態において、コンピュータ可読記憶媒体が開示される。この記憶媒体は、データ構造を含む。データ構造は、コンピュータシステム上で実行可能なプログラムによって動作される。データ構造上で動作するプログラムは、データ構造によって記述された回路

10

20

30

40

50

を含むプロセッサを作製するためのプロセスの一部を行うように、実行することが可能である。データ構造によって記述された回路は、複数の物理的コアを含む。プロセッサは、複数の物理的コアへの論理コアのマッピングを保存するように構成されている。また、回路は、プロセッサのブート処理の後、論理コアを複数の物理的コアに再マッピングするように構成された割当ユニットを含む。

【図面の簡単な説明】

【0008】

【図1】論理コアを物理的コアに動的に再マッピングするように構成されたマルチコアプロセッサを含むコンピュータシステムの一実施形態を示すブロック図である。

【図2】マルチコアプロセッサ内に設けられ得る割当ユニットの一実施形態を示すブロック図である。

10

【図3】割当ユニット内に含まれ得る決定ユニットの一実施形態を示すブロック図である。

【図4】論理コアを物理的コアに動的に再マッピングするための方法の一実施形態を示すフロー図である。

【図5】例示的なコンピュータシステムの一実施形態を示すブロック図である。

【発明を実施するための形態】

【0009】

本明細書は、「一実施形態」又は「ある実施形態」との表現を含む。「一実施形態では」又は「ある実施形態では」というフレーズは、必ずしも同一の実施形態を指していない。特定の特徵、構造又は特性を、本開示による任意の様態で組み合わせてもよい。

20

【0010】

専門用語。以下の段落では、本開示（添付の特許請求の範囲を含む）において用いられる用語の定義及び／又は文脈を提供する。

【0011】

「備える、含む（Comprising）」。この用語は、オープンエンドである。この用語が添付の特許請求の範囲において用いられる場合、この用語は、さらなる構造又はステップを排除しない。「1つ以上のプロセッサユニットを備える装置...」という請求項について検討すると、このような請求項は、装置がさらなる構成要素（例えば、ネットワークインターフェースユニット、グラフィックス回路など）を含む場合を排除しない。

30

【0012】

「～ように構成されている」。多様なユニット、回路又は他の構成要素が、タスク（単数又は複数）を行うように「構成されている」と記述されてもよいし、特許請求されてもよい。このような文脈において、「～ように構成されている」とは、ユニット／回路／構成要素が、これらのタスク（単数又は複数）を動作中に行う構成（例えば、回路）を含む、ということを示すことによって、構成を暗示するために用いられる。よって、ユニット／回路／構成要素は、その具体的なユニット／回路／構成要素が現在動作していない（例えば、オンではない）場合であっても、タスクを行うように構成されているものと見なされ得る。このような「構成される」という文言と共に用いられるユニット／回路／構成要素としては、ハードウェア（例えば、回路や、動作を実行するために実行可能なプログラム命令を記憶するメモリ等）が挙げられる。ユニット／回路／構成要素が1つ以上のタスクを行うように「構成されている」という場合、そのユニット／回路／構成要素について 35 U.S.C. § 112（第6段落）を行使しないことを明示的に意図する。さらに、「構成されている」としては、問題に際してタスク（単数又は複数）を行うことが可能な態様で動作するためのソフトウェア及び／又はファームウェア（例えば、FPGA若しくはソフトウェアを実行する汎用プロセッサ）によって操作される一般的構造（例えば、一般的回路）が挙げられる。また、「構成されている」は、1つ以上のタスクを実行又は実施するように適合されたデバイス（例えば、集積回路）を作製するための製造プロセス（例えば、半導体製造施設）を適合させることも含んでもよい。

40

【0013】

50

「第1の」、「第2の」など。本明細書中用いられる場合、これらの用語は、これらが先行する名詞の標識として用いられ、いかなる種類の順序を示唆しない（例えば、空間的順序、時間的順序、論理的順序）。例えば、8個の処理要素又はコアを有するプロセッサにおいて、「第1の」処理要素及び「第2の」処理要素という用語は、これら8個の処理要素のうち任意の2個の処理要素を指してもよい。換言すれば、「第1の」処理要素及び「第2の」処理要素は、論理処理要素0及び1に限定されない。

【0014】

「基づく」。本明細書において用いられる場合、この用語は、決定に影響を与える1つ以上の要素を説明するために使用される。この用語は、決定に影響を与えるさらなる要素を排除しない。すなわち、これらの要素のみに基づいて決定を行ってもよいし、あるいは、少なくとも部分的にこれらの要素に基づいて決定を行ってもよい。「Bに基づいてAを決定する」という句について検討する。Bは、Aの決定に影響を与える要素であってもよく、一方でこのような句は、Cに基づくAの決定を排除しない。他の場合において、Bのみに基づいてAが決定される場合がある。

【0015】

「プロセッサ」。この用語は、当該分野において通常及び受け入れられている意味を有し、命令を実行可能なデバイスを含む。プロセッサは、中央処理装置（CPU）、コプロセッサ、演算処理装置、グラフィックス処理装置、デジタル信号プロセッサ（DSP）などを非限定的に指す。プロセッサは、単一のパイプライン又は複数のパイプラインを備えたスーパースカラプロセッサであってもよい。プロセッサは、命令を実行するようにそれぞれ構成された単一のコア又は複数のコアを含んでもよい。

【0016】

「物理的コア」。この用語は、当該分野において通常及び受け入れられている意味を有し、プロセッサを含む物理的（すなわち、有形の）回路を含む。この回路は、命令を実行するように構成されている。プロセッサは、複数の物理的コアを含んでもよい。

【0017】

「論理コア」。この用語は、当該分野において通常及び受け入れられている意味を有し、識別子を含む。この識別子は、マルチコアプロセッサ内の物理的コアと関連付けられており、当該コアにタスクを割り当てるために用いられる。例えば、一実施形態において、タスクは、当該タスクをP0上において行うことを直接指示する代わりに、物理的コアP0にマッピングされた論理コアL0によって当該タスクを行うことを特定する場合がある。論理コアL0がその後別の物理的コアP1に再マッピングされた場合、タスクをコアP1上で行ってもよい。よって、「論理コア」とは、異なる時期において同一の物理的コアに対応してもよく、又は対応しなくてもよいコアの識別子である。

【0018】

「ブート処理」。この用語は、当該分野において通常及び受け入れられている意味を有し、コンピュータシステムを初期化し、コンピュータシステムのためのオペレーティングシステムをロードするプロセスを含む。また、ブート処理は、I/Oデバイスの初期化、メモリ試験等を含んでもよい。

【0019】

多くの現代のオペレーティングシステムは、各コアのワークロードに基づいて、マルチコアプロセッサ内の異なるプロセッサコアへタスクを分配する能力に対応している。例えば、プロセッサに2つのプロセッサコアが含まれており、1つのコアが重いワークロード下において動作しており、同時にもう一方のコアはそうではない場合、オペレーティングシステム（又は他の何らかの機構）により、プロセッサコア間でタスクを再分配することができる。コア間でタスクの再分配を行うことにより、タスク性能の向上が可能となるだけでなく、過重稼働に起因するコアの早期故障の可能性が低減するため、プロセッサの予測される寿命も向上する。

【0020】

ワークロードを均等に分配することは困難な場合がある。なぜならば、オペレーティン

10

20

30

40

50

グシステムは、特定のタスクを特定のコアのみで行うことしか許可しない場合があるからである。例えば、特定のオペレーティングシステムにおいてリアルタイムプログラムケイデンスを設定するためにサーバに割り込むタイマーチェックは、論理ブートストラッププロセッサコアのために用いられるものであるため、他のコアに分配することはできない。他の例としては、（例えば、親和性（すなわち、キャッシュ内に既に存在する同一キャッシュメモリアクセスデータセットをプロセスが発見する可能性）を向上させるために）特定のコアが所与のアプリケーションプロセスを一貫して取り扱うことを要求するプロセッサ間割り込み、及びデバイスプログラミングを通じて特定のコアに方向付けられるＩＯデバイス割り込みが挙げられる。特定のコアが、このようにしていくつかのタスクを実行するように指定された場合、その他のコアよりも当該コアのワークロードが高くなる場合があり、そのため当該コアの予想寿命が短くなる場合がある。

10

【 0 0 2 1 】

単一のＣＰＵコアが活性化されるシステムの電圧及び周波数を熱限界内で達成可能な最大限の電圧及び周波数まで上げるための電力管理策において、さらなる進展が発生している。このような進展により、性能は向上したものの、シリコン劣化速度のさらなる上昇も招いている。

【 0 0 2 2 】

シリコンの経時的劣化による影響を軽減する方法は数種類ある。典型的には、ワークロードと、チップ仕様の一部である環境動作条件との組を用いて、シリコン劣化をモデル化する。これらの前提を用いて、シリコンの経時的劣化による影響（詳細には、トランジスタ閾値電圧、飽和電流及び遷移速度に対する影響）を推定する。これを用いて、長期損傷を十分に回避できるように動作周波数を保護帯域設定することにより、当該部分に割り当てられる性能を制限することが可能になる。このような対策は、シリコン劣化のいくつかの局面に対応することは可能であるものの、熱的に誘導される機械摩耗には対応せず、寿命保証に関連して、起動時におけるシステムのピーク性能が制限される。

20

【 0 0 2 3 】

いくつかのシステムは、シリコンストレスを低減するために、アイドル期間における動作電圧及び周波数の低減を積極的に管理することを試みている。これは、典型的システムにおいて高活性期間及び低活性期間における予測される問題の軽減を支援するものの、部分的な解決法でしかないが、前の段落で記載した動作周波数保護帯域の低減のために用いることが可能である。

30

【 0 0 2 4 】

いくつかのシステムは、論理コアを物理的コアにマッピングし、ＢＩＯＳパワーオン自己試験フェーズの間にマッピングを変更することにより、この問題の軽減を試みている。例えば、２つの物理的コアＰ０及びＰ１を有するプロセッサは、第１の起動の間にこれらのコアをそれぞれ論理コアＬ０及びＬ１にマッピングしてもよい。その後、論理コアＬ０を指定するタスクを物理的コアＰ０上で実行することができ、その後論理コアＬ１を指定するタスクを物理的コアＰ１上で実行することができる。リセット後、プロセッサは、論理コアＬ０及びＬ１を物理的コアＰ１及びＰ０へそれぞれ再マッピングしてもよい。論理コアＬ０が一般にＬ１よりも重いワークロードを有する場合、各リセットの間に論理コアを再マッピングすると、物理的コアＰ０及びＰ１の寿命を通じて、物理的コアＰ０及びＰ１におけるワークロード分配を向上させることが可能になる。このような再マッピングをリセットの間に行うことは、比較的簡単なことである。なぜならば、オペレーティングシステムは未だロードされていない状態であり、ソフトウェアは、特定のコアが割り込みを取り扱うことを予測していないからである。論理コアをこのように再マッピングした場合の問題は、サーバ（および一定範囲においてデスクトップ）に対するリセットイベントは一般的に稀であることを、本開示は認める。

40

【 0 0 2 5 】

本開示は、論理コアを物理的コアに動的に再マッピングするための多様な技術について記述する。以下に説明するように、マルチコアプロセッサは、論理コアのマッピングを複

50

数の物理的コアに記憶することができる。このマッピングは、物理的コアのうち様々なコアにタスクを割り当てるために、オペレーティングシステム、Ｉ／Ｏデバイスなどによって用いられてもよい。一実施形態において、マルチコアプロセッサは、（すなわち、プロセッサのブート処理後に）論理コアをライブシステム上の物理的コアに再マッピングするように構成された割当ユニットを含む。例えば、先ず、第１の論理コアは、第１の物理的コアにマッピングされ得る。その後、第１の論理コアにアドレス指定されたタスクは、実行のために第１の物理的コアに割り当てられ得る。その後、割当ユニットは、第１の論理コアを、物理的コアのうち第２の物理的コアに再マッピングすることができる。その結果、第１の論理コアにアドレス指定されたタスクを、その後実行のために第１の物理的コアではなく第２の物理的コアに割り当ててもよい。第１の論理コアが他の論理コアよりも高いワークロードを有することが多い場合、多くの場合において、当該ワークロードを（プロセッサを再起動する必要無く）物理的コアにわたってより均等に分配することができる。

10

【００２６】

よって、本明細書に記載のプロセッサは、多くの場合において、動的再マッピングを行うように構成されていない他のプロセッサの場合よりも、物理的コア割当をより頻繁に局所的に切り換えることが可能である。多様な実施形態において、このように再マッピングをより高頻度に行うことにより、機能アーキテクチャ仕様を満足しつつ、コアへのワークロード分配を（ＯＳ、Ｉ／Ｏ及びシステム－デバイスプログラミングに関係無く）より均等に行うことが可能になる。その結果、単一の演算エンティティ上におけるプロセッサへのシリコンストレスを低減することができ、プロセッサの長寿命化が可能となる。また、シリコン長寿命化により、さらに信頼性及び性能も向上する。なぜならば、シリコン劣化に関する動作周波数保護帯域を低減することが可能であるからである。さらに、危険性が低減するため、製造時における部品毎のシリコンストレス試験（通常、「バーンイン」試験と呼ばれる）をより限定することができ、その結果製造コスト低減に繋がる。

20

【００２７】

ここで図１を参照して、コンピュータシステム１００の一実施形態のブロック図を示す。この例示的实施形態において、コンピュータシステム１００は、プロセッサ１１０と、メモリ１２０と、基本入出力システム（ＢＩＯＳ）１３０とを含む。プロセッサ１１０は、プロセッサコア１１２Ａ～１１２Ｃ（いくつかの実施形態において、プロセッサ１１０は、図示よりも多数又は少数のコア１１２を含み得る）と、割当ユニット１１４とを含む。プロセッサ１１０は、相互接続部１１５を介してメモリ１２０に接続されており、相互接続部１２５を介してＢＩＯＳ１３０に接続されている。上記の例示的实施形態において、メモリ１２０は、オペレーティングシステム１２２と、１つ以上の保存された実行状態１２４とを保存するように構成されている。

30

【００２８】

プロセッサ１１０は、任意の適切な種類のマルチコアプロセッサであってよい。プロセッサ１１０は、汎用プロセッサ（例えば、中央処理装置（ＣＰＵ））であってよい。プロセッサ１１０は、特殊目的用プロセッサ（例えば、加速処理装置（ＡＰＵ）、デジタル信号プロセッサ（ＤＳＰ）、グラフィックス処理装置（ＧＰＵ）等）であり得る。プロセッサ１１０は、加速論理（例えば、特定用途向け集積回路（ＡＳＩＣ）、フィールドプログラマブルゲートアレイ（ＦＰＧＡ）等）であってよい。プロセッサ１１０は、マルチスレッドスーパースカラプロセッサであってよい。

40

【００２９】

メモリ１２０は、任意の適切な種類のメモリであってよい。メモリ１２０は、異なる物理的記憶媒体（例えば、ハードディスク記憶装置、フロッピー（登録商標）ディスク記憶装置、リムーバブルディスク記憶装置、フラッシュメモリ、ランダムアクセスメモリ（ＲＡＭ、例えば、静的ＲＡＭ（ＳＲＡＭ）、拡張データ出力（ＥＤＯ）ＲＡＭ、同期型動的ＲＡＭ（ＳＤＲＡＭ）、ダブルデータレート（ＤＤＲ）ＳＤＲＡＭ、ＲＡＭＢＵＳ ＲＡＭ等）、リードオンリーメモリ（ＲＯＭ、例えば、プログラマブルＲＯＭ（ＰＲＯＭ）、

50

電氣的に消去可能なプログラマブルROM (EEPROM) 等) を用いて実行することができる。

【0030】

B I O S 1 3 0 は、プロセッサ 1 1 0 のブート処理を行うように構成された基本入出力システムの一実施形態である。多様な実施形態において、このブート処理は、コンピュータシステム 1 0 0 の I / O デバイス (例えば、ビデオカード、マウス、キーボード) を特定及び初期化することを含んでよい。このブート処理は、メモリ 1 2 0 のデバイスの整合性 (i n t e g r i t y) を試験することを含んでよい。一実施形態において、B I O S 1 3 0 は、ブート処理の終了時において、オペレーティングシステム 1 2 2 を永久記憶装置からメモリ 1 2 0 の R A M にロードすることと、オペレーティングシステム 1 2 2 の実行をプロセッサ 1 1 0 に開始させることを行ってよい。以下に説明するように、多様な実施形態において、B I O S 1 3 0 がプロセッサ 1 1 0 のブート処理実行を完了した後、割当ユニット 1 1 4 は、論理コアをコア 1 1 2 に再マッピングするように構成される。

【0031】

プロセッサコア 1 1 2 は、物理的コアの一実施形態である。これらの物理的コアは、1 つ以上のタスクを行うための命令を実行するように構成されている。多様な実施形態において、これらのタスクは、(例えば、時間チックー割り込みを処理するために) オペレーティングシステム 1 2 2 によって割り当てられてよい。これらのタスクは、(例えば、プロセッサ間割り込み (I P I) を処理するために) 他のコア 1 1 2 によって割り当てられてよい。これらのタスクは、(例えば、受信入力サービスをサービスするために) I / O デバイスによって割り当てられてよい。上述したように、多様な実施形態において、論理コアの物理的コア 1 1 2 へのマッピングに基づいて、いくつかのタスクを割り当ててもよい。例えば、オペレーティングシステム 1 2 2 は、特定のタスクを、一実施形態においてブートストラッププロセッサに対応し得る第 1 の論理コア L 0 に割り当ててよい。論理コア L 0 が現在プロセッサ 1 1 2 A にマッピングされている場合、プロセッサ 1 1 2 A は上記特定のタスクを行うことができる。しかし、論理コア L 0 がプロセッサ 1 1 2 B にマッピングされた場合、プロセッサ 1 1 2 B が上記特定のタスクを行うことができる。

【0032】

いくつかの実施形態において、コア 1 1 2 は、異なる動作状態において動作するように構成されてよい。これらの動作状態は、プロセッサ 1 1 0 によって事前定義されており、異なる電力状態と、異なる性能状態とを含んでよい。いくつかの実施形態において、これらの電力状態及び/又は性能状態は、「C」状態及び「P」状態にそれぞれ対応する。これらの「C」状態及び「P」状態は、電力制御インターフェース (A C P I) 標準によって規定されている。性能状態とは、コア 1 1 2 が特定の電圧 / 周波数において命令を実行している状態である。例えば、一実施形態において、重要な処理要求が存在する場合、コア 1 1 2 は、最高性能状態において動作することができる。この最高性能状態は、性能状態 P 0 と呼ばれ得る。このような実施形態において、P 0 は、コア 1 1 2 の最大動作周波数及び最高電力設定に対応する。より少数の要求が存在する場合、コア 1 1 2 は、より低い性能状態 (例えば、性能状態 P 1、P 2) において動作することができる。この場合、コア 1 1 2 は、より低い動作周波数およびより低い電力設定において動作する。電力状態は、例えば、コア 1 1 2 がフル動作可能であるか、又は全体的若しくは部分的にパワーダウンしているかを示し得る。例えば、一実施形態において、コア 1 1 2 に対して一定の処理要求が存在する場合、コア 1 1 2 は、命令実行を可能にする電力状態において動作し得る。このような状態は、電力状態 C 0 と呼ばれ得る。コア 1 1 2 に対する要求が存在しない、又はほとんど要求が存在しない場合、一実施形態において、コア 1 1 2 は、より低い電力状態 (例えば、停止状態又はクロック停止状態) において動作し得る。このような状態は、電力状態 C 1 又は C 2 とそれぞれ呼ばれ得る。そのため、電力状態は、コア 1 1 2 がフル動作可能である (すなわち、命令を実行できる) 状態を指す場合もあるし、あるいは、コア 1 1 2 が命令を実行していない複数の異なるアイドル状態のうち 1 つ以上を指す場合もある。

10

20

30

40

50

【 0 0 3 3 】

一実施形態において、各コア 1 1 2 は、アイドル状態に入ったとき、（上述したコアの動作状態ではなく）自身の実行状態 1 2 4 をメモリ 1 2 0 に保存するように構成されている。多様な実施形態において、コア 1 1 2 の保存された実行状態 1 2 4 は、レジスタ、プログラムカウンタ、スタックポインター等の内容を含んでよい。また、保存された実行状態 1 2 4 は、命令キャッシュ（I キャッシュ）の内容、データキャッシュ（D キャッシュ）の内容、トランシェーションルックアサイドバッファ（TLB）情報等を含んでよい。一実施形態において、コア 1 1 2 がアイドル状態を終了するとき、コア 1 1 2 は、自身の実行状態 1 2 4 をリロードし、リロードされた状態 1 2 4 を用いて命令実行を再開するように構成されている。以下に説明するように、いくつかの実施形態において、コア 1 1 2 は、論理コアが物理的コアに再マッピングされるのに応じて、別のコア 1 1 2 の保存された状態 1 2 4 をロードするように構成されてもよい。

10

【 0 0 3 4 】

一実施形態において、割当ユニット 1 1 4 は、論理コアの物理的コア 1 1 2 へのマッピング（すなわち、論理コアマッピング）を生成し、論理コアの物理的コア 1 1 2 への動的再マッピングを行うように構成されている。本明細書で用いられる場合、動的再マッピングとは、BIOS 1 3 0 がプロセッサ 1 1 0 のためのブート処理を行った後に行われる再マッピングを指す。換言すれば、一実施形態において、割当ユニット 1 1 4 は、オペレーティングシステム 1 2 2 がロードされて実行状態となった後、論理コアを物理的コア 1 1 2 へ再マッピングするように構成されている。例示的な実施形態において、割当ユニット 1 1 4 は、プロセッサ 1 1 0 内に配置されるが、特定のコア 1 1 2 内には配置されない。いくつかの実施形態では、割当ユニット 1 1 4 は、コア 1 1 2 内に配置されてもよいし、あるいは、複数のコア 1 1 2 間に分配されてもよい（すなわち、コア 1 1 2 は、割当ユニット 1 1 4 の動作を実行することができる）。いくつかの実施形態では、割当ユニット 1 1 4 は、プロセッサ 1 1 0 のノースブリッジ論理内に配置されてもよい。いくつかの実施形態では、割当ユニット 1 1 4 は、プロセッサ 1 1 0 の外部に配置されてもよい（例えば、BIOS 1 3 0 内）。いくつかの実施形態では、割当ユニット 1 1 4 によって行われると記述された動作は、コンピュータシステム 1 0 0 内の複数のブロック間に分割されてもよい。

20

【 0 0 3 5 】

一実施形態において、プロセッサ 1 1 0 は、割当ユニット 1 1 4 が異なる論理コアを別のコア 1 1 2 に再マッピングしたとき、コア 1 1 2 の実行状態を当該別のコア 1 1 2 に転送するように構成されている。例えば、コア 1 1 2 A が論理コア L 0 に割り当てられた場合、プロセッサ 1 1 0 は、L 0 がコア 1 1 2 B に再マッピングされた後、コア 1 1 2 A の状態をコア 1 1 2 B に転送することができる。一実施形態において、プロセッサ 1 1 0 は、コア 1 1 2 間の相互接続部を介してコア 1 1 2 間の実行状態を転送するように構成されている。一実施形態において、プロセッサ 1 1 0 は、当該状態を（状態 1 2 4 として）メモリ 1 2 0 に保存した後に、当該状態を別のコア 1 1 2 上に再ロードすることによって、実行状態を転送するように構成されてもよい。いくつかの実施形態において、プロセッサ 1 1 0 は、コア 1 1 2 がアイドル電力状態（例えば、上記したようなもの）に入った場合及びアイドル電力状態を終了した場合、実行状態を保存及び再ロードするように構成されている。以下に説明するように、一実施形態において、プロセッサ 1 1 0 は、割当ユニット 1 1 4 が再マッピングを行うのに応じて、1 つ以上のコア 1 1 2 に対して、アイドル状態に入らせることとアイドル状態を終了させることとを行うように、構成されてもよい。あるいは、割当ユニット 1 1 4 は、1 つ以上のコア 1 1 2 がアイドル状態に遷移した場合、又はアイドル状態から遷移した場合に、再マッピングを行うように構成されてもよい。多様な実施形態において、プロセッサ 1 1 0 は、オペレーティングシステム又はソフトウェアについての知識を用いることなく、実行状態を転送するように構成されてもよい。

30

40

【 0 0 3 6 】

次に、割当ユニット 1 1 4 について、図 2 に関連して説明する。

50

【 0 0 3 7 】

図 2 を参照すると、割当ユニット 1 1 4 の一実施形態が図示されている。この例示的实施形態において、割当ユニット 1 1 4 は、マッピングレジスタ 2 1 0 と、決定ユニット 2 2 0 と、カウンタレジスタ 2 3 0 とを含む。ユニット 2 1 0 ~ 2 3 0 が単一のユニット 1 1 4 内にある様子を図示しているが、いくつかの実施形態において、コンピュータシステム 1 0 0 内のユニット間でユニット 2 1 0 ~ 2 3 0 を分散させてもよい点に留意されたい。

【 0 0 3 8 】

一実施形態において、マッピングレジスタ 2 1 0 は、論理コアの物理的コアへのマッピングを表す識別子を（論理コアマッピング 2 1 2 として図示されている）保存するように構成されている。いくつかの実施形態において、レジスタ 2 1 0 は、コア 1 1 2 ごとのレジスタを含んでもよく、各レジスタ 2 1 0 は、コア 1 1 2 にマッピングされた論理コアを保存するように構成されてもよい。そのため、レジスタ 2 1 0 は、コア 1 1 2 A に割り当てられた論理コアを保存する第 1 のレジスタと、コア 1 1 2 B に割り当てられた論理コアを保存する第 2 のレジスタと、等を含んでもよい。多様な実施形態において、オペレーティングシステム 1 2 2、コア 1 1 2、I/O デバイス等は、論理マッピング 2 1 2 をレジスタ 2 1 0 から読み出して、タスクをどこに割り当てるべきか（すなわち、コア 1 1 2 のうちのどのコア 1 1 2 に当該タスクを行わせるべきか）を決定するように構成されてもよい。

【 0 0 3 9 】

一実施形態において、決定ユニット 2 2 0 は、論理コアの物理的コアへの再マッピングをいつ行うべきかを特定することと、論理コア再マッピングを決定することとを行うように構成されている。決定ユニット 2 2 0 は、再マッピングをいつ行うかの決定を、多様な適切な条件のうち任意の条件に基づいて決定してもよい。一実施形態において、決定ユニット 2 2 0 は、1 つ以上のコア 1 1 2 がアイドル状態に入った旨を示す通知を受信したのに応じて、再マッピングを行うように構成されている。上述したように、プロセッサ 1 1 0 は、再マッピング中に、1 つのコア 1 1 2 の実行状態 1 2 4 を別のコア 1 1 2 に転送することができる。いくつかの実施形態において、プロセッサ 1 1 0 は、（アイドル状態終了時において、コア 1 1 2 に、別のコア 1 1 2 の実行状態 1 2 4 をロードさせることにより）上記転送を行うように構成されている。コア 1 1 2 がアイドル状態に入った後に再マッピングを行うことにより、一実施形態において、プロセッサ 1 1 0 は、1 つのコア 1 1 2 の状態を（当該コア 1 1 2 をアイドル状態にさせる必要無く）別のコアに転送することができる。なぜならば、コア 1 1 2 は既にそこに存在するからである。一実施形態において、決定ユニット 2 2 0 は、一定間隔で（例えば、前回の再マッピングから特定の長さの時間が経過したことを決定した後に）再マッピングを行うように構成されている。このような実施形態において、割当ユニット 1 1 4 は、1 つ以上のコア 1 1 2 にアイドル状態に入らせ又ははアイドル状態を終了させることで、再マッピング時における実行状態 1 2 4 の転送を促進するように構成されてもよい。他の実施形態において、割当ユニット 1 1 4 は、上述したような実行状態の転送を促進するための他の技術を用いるように構成されてもよい。一実施形態において、決定ユニット 2 2 0 は、コア 1 1 2 に対して決定されたワークロードに基づいて、再マッピングを行うように構成されている。例えば、決定ユニット 2 2 0 は、特定のコア 1 1 2 のワークロードが閾値を超えたこと（例えば、コア 1 1 2 A が特定の長さの時間にわたって特定の性能状態で動作していること）を決定した後、再マッピングを行うように構成されてもよい。例示的实施形態において、決定ユニット 2 2 0 は、オペレーティングシステム 1 2 2 から受信したコア情報 2 2 2 及び / 又はコア 1 1 2 から受信したコア情報 2 2 4 に基づいて、再マッピングを行うか否かを決定するように構成されている。図 3 に関連して以下に説明するように、このような情報は、動作状態情報を含んでもよい。この動作状態情報は、例えば、コア 1 1 2 の電力及び / 又は性能状態、コア 1 1 2 の温度を指定する温度情報等を示す。

【 0 0 4 0 】

また、決定ユニット２２０は、多様な適切な基準のうち任意の基準に基づいて、論理コア再マッピングを決定してもよい。一実施形態において、決定ユニット２２０は、事前決定された物理的コア１１２の順序に基づいて、論理コアを再マッピングするように構成されている。例えば、決定ユニット２２０は、先ず、論理コアを初期の物理的コア１１２（例えば、コア１１２Ａ）にマッピングした後、論理コアを上記順序における次の物理的コア１１２（例えば、コア１１２Ｂ）に再マッピングしてもよい。別の実施形態において、決定ユニット２２０は、ランダム生成されたシーケンスに基づいて、論理コアを物理的コア１１２に割り当てるように構成されてもよい。いくつかの実施形態において、決定ユニット２２０は、受信した情報２２２及び／又は２２４に基づいて、再マッピングを決定するように構成されてもよい。以下に説明するように、一実施形態において、決定ユニット２２０は、１つ以上のコア１１２の動作状態に基づいて、再マッピングを決定するように構成されてもよい。一実施形態において、決定ユニット２２０は、１つ以上のコア１１２から測定された温度に基づいて、再マッピングを決定するように構成されてもよい。いくつかの実施形態において、決定ユニット２２０は、コア１１２の動作状態情報及び温度情報の組み合わせに基づいて、局所的コア再マッピングを決定するように構成されている。多様な実施形態において、決定ユニット２２０は、論理コアのうち一部又は全てを物理的コアに再マッピングするか否かを決定するように構成されてもよい。例えば、決定ユニット２２０は、（例えば、コア１１２の温度情報に基づいて）論理コアの一部のみを再マッピングすることを初期に決定した後、（例えば、コア１１２の現在のワークロードに基づいて）コア１１２全てを再マッピングすることを決定してもよい。

10

20

【００４１】

一実施形態において、カウンタレジスタ２３０は、論理コア再マッピングを行うか否かを決定する際に決定ユニット２２０が用いることが可能な情報を保存するように構成されている。一実施形態において、カウンタレジスタ２３０は、最終マッピング又は再マッピングから経過した時間を示す値に含わせて構成される。一実施形態において、カウンタレジスタ２３０は、コア１１２が特定の電力及び／又は性能状態においてどれくらいの期間にわたって動作しているかを示す値を、コア１１２ごとに保存するように構成されている。例えば、レジスタ２３０は、コア１１２Ａがオーバークロック性能状態において最後のＮ秒間動作していることを示す値を保存してもよい。一実施形態において、カウンタレジスタ２３０は、コア１１２が特定の閾温度を超える温度において動作している期間の長さ

30

【００４２】

図３を参照すると、決定ユニット２２０のブロック図が図示されている。上述したように、多様な実施形態において、決定ユニット２２０は、再マッピングを行う時期を特定することと、再マッピングを決定することとを行うように構成されている。上記例示の実施形態において、決定ユニット２２０は、動作状態ユニット３１０と、温度ユニット３２０とを含む。

【００４３】

一実施形態において、動作状態ユニット３１０は、決定ユニット２２０のために電力及び性能情報３１２を処理するように構成されている。多様な実施形態において、情報３１２は、コア１１２ごとの電力状態及び性能状態の指標を含む。また、情報３１２は、コア１１２が１つの状態から別の状態に遷移する時期を特定する指標（例えば、コア１１２Ａが性能状態Ｐ１から性能状態Ｐ０に遷移することを示す指標）を含み得る。一実施形態において、動作状態ユニット３１０は、オペレーティングシステム１２２から情報３１２を受信するように構成されている。別の実施形態において、動作状態ユニット３１０は、情報をコア１１２から直接受信するように構成されてもよい。いくつかの実施形態において、動作状態ユニット３１０は、情報を保存及び検索するように構成されている（この情報は、カウンタレジスタ２３０内の情報３１２と関連付けられたカウンタ情報３３２として図示されている）。

40

【００４４】

50

一実施形態において、動作状態ユニット 310 は、決定ユニット 220 が新規論理コアマッピング 332 を生成するか否かを決定することを、処理された情報 312 を用いて支援するように構成されている。いくつかの実施形態において、動作状態ユニット 310 は、1 つ以上のコア 112 が新規動作状態に遷移するのに応じて、論理コア再マッピングを行わせるように構成されている。例えば、一実施形態において、動作状態ユニット 310 は、少なくとも 1 つのコア 112 がアイドル状態に入ったのに応じて、再マッピングを行わせるように構成されている。上記したように、いくつかの実施形態において、コア 112 は、アイドル状態に入ったときに自身の実行状態 124 を保存するように構成されてよく、再マッピング後にアイドル状態が終了したときに別のコア 112 の実行状態 124 を再ロードしてもよい。いくつかの実施形態において、動作状態ユニット 310 は、コア 112 が特定の性能状態又は電力状態にある期間の長さに基づいて、再マッピングを行わせるように構成されている。例えば、動作状態ユニット 310 は、特定のコア 112 が一定期間を超える期間にわたって高性能状態（例えば、P0）にあることを決定したときに、再マッピングを行わせるように構成されてもよい。同様に、動作状態ユニット 310 は、特定のコア 112 が一定期間を超える期間にわたってオーバークロック状態で動作していることを決定したときに、再マッピングを行わせるように構成されてもよい。いくつかの実施形態において、動作状態ユニット 310 は、コア 112 ごとに、コアの動作状態及び当該状態において経過した時間に基づきワークロードスコアを計算するように構成されてもよい。その後、動作状態ユニット 310 は、個々のスコアが閾値を超えた場合、又はスコアの合計が合計閾値を超えた場合に再マッピングを行わせるように構成されてもよい。いくつかの実施形態において、このようなスコアを、（以下に説明する）温度ユニット 320 によって生成されたスコアと組み合わせることにより、再マッピングを行うべき時期を決定することができる。

【0045】

一実施形態において、動作状態ユニット 310 は、決定ユニット 220 が論理コアマッピング 332 を決定することを、処理された情報 312 を用いて支援するように構成されている。一実施形態において、動作状態ユニット 310 は、決定ユニット 220 に対して、アイドル状態で動作している物理的コア 112 に論理コアを再マッピングさせ、アイドル状態で動作していない物理的コア 112 については論理コアを再マッピングさせないように構成されている。一実施形態において、動作状態ユニット 310 は、決定ユニット 220 に対して、より高い動作状態にあるコア 112 からより低い動作状態にあるコア 112 に論理コアを再マッピングさせるように構成されている。一実施形態において、動作状態ユニット 310 は、決定ユニット 220 に対して、より長期間にわたってより高い動作状態となっているコア 112 に論理コアを再マッピングした後、より短期間 にわたってこれらの状態にあるコア 112 に論理コアを再マッピングさせるように構成されている。

【0046】

一実施形態において、温度ユニット 320 は、決定ユニット 220 のために温度情報 322 を処理するように構成されている。多様な実施形態において、情報 322 は、プロセッサ 110 を通じて収集された 1 つ以上の温度を含む。一実施形態において、温度ユニット 320 は、コア 112 上に配置された複数のセンサーから情報 322 を受信するように構成されている。いくつかの実施形態において、温度ユニット 320 は、カウンタレジスタ 320 内の情報 322 と関連付けられた情報 332 を保存及び検索するように構成されてもよい。

【0047】

一実施形態において、温度ユニット 320 は、決定ユニット 220 が新規論理コアマッピング 332 を生成するか否かを決定することを、処理された情報 322 を用いて支援するように構成されている。いくつかの実施形態において、温度ユニット 320 は、コア 112 が最大温度閾値を超えたことを決定したのに応じて、論理コア再マッピングを決定ユニット 220 に行わせるように構成されてもよい。一実施形態において、温度ユニット 320 は、コア 112 が閾温度を超えた否かを決定し、コア 112 が閾温度を超えている場

合、コア 1 1 2 が当該閾温度を超えてからの経過時間を決定するように構成されてもよい。コア 1 1 2 が一定期間にわたってこの温度を超えた後、温度ユニット 3 2 0 は、論理コア再マッピングを行わせるように構成されてもよい。一実施形態において、温度ユニット 3 2 0 は、(コア 1 1 2 から収集された温度と、これらの温度となってから経過した時間とに基づいて) コア 1 1 2 ごとにワークロードスコアを計算するように構成されてもよい。温度ユニット 3 2 0 は、これらのスコアが閾値を超えた場合、再マッピングを行わせるように構成されてもよい。いくつかの実施形態において、このようなスコアと、動作状態ユニット 3 1 0 によって生成されたスコアとを組み合わせ、再マッピングを行うべき時期を決定してもよい。

【0048】

一実施形態において、温度ユニット 3 2 0 は、決定ユニット 2 2 0 が論理コアマッピング 3 3 2 を決定することを、処理された情報 3 2 2 を用いて支援するように構成されている。一実施形態において、温度ユニット 3 2 0 は、決定ユニット 2 2 0 に対して、より高い温度で動作しているコア 1 1 2 からより低い温度で動作しているコア 1 1 2 に論理コアを再マッピングさせるように構成されている。一実施形態において、温度ユニット 3 2 0 は、決定ユニット 2 2 0 に対して、より長時間にわたってより高い温度で動作しているコア 1 1 2 へ論理コアを再マッピングした後、より短時間にわたって同様の温度で動作しているコア 1 1 2 へ論理コアを再マッピングさせるように構成されてもよい。

【0049】

図 4 を参照すると、論理コアを動的に再マッピングするための方法 4 0 0 のフロー図が図示されている。方法 4 0 0 は、マルチコアプロセッサ (例えば、プロセッサ 1 1 0) によって行われ得る方法の一実施形態である。多様な実施形態において、方法 4 0 0 を複数回行うことで、後続の再マッピングを行うことができる。いくつかの場合において、方法 4 0 0 を行うことにより、プロセッサコア間のワークロード分配を向上させ、その結果、プロセッサ寿命を向上させることができる。

【0050】

ステップ 4 1 0 において、プロセッサ 1 1 0 は、論理コアの物理的コアへのマッピングを保存してもよい。上述したように、多様な実施形態において、このマッピングをオペレーティングシステム、他のコア、I/O デバイス等が用いて、性能のためにタスクを物理的コア (例えば、コア 1 1 2) に割り当てることが可能である。一実施形態において、プロセッサ 1 1 0 は、マッピングを、割当ユニット (例えば、割当ユニット 1 1 4) の 1 組のレジスタ (例えば、レジスタ 2 3 0) 内に保存する。他の実施形態において、プロセッサ 1 1 0 は、マッピングを、他の場所 (例えば、メモリ (例えば、メモリ 1 2 0)、BIOS (例えば、BIOS 1 3 0) 等) に保存する。いくつかの場合において、保存されたマッピングは、例えばコンピュータシステム (例えば、システム 1 0 0) のブート処理時に生成された初期マッピングであってよい。他の場合において、保存されたマッピングは、前回行われた再マッピング時に生成されたマッピングであってよい。

【0051】

ステップ 4 2 0 において、プロセッサ 1 1 0 は、ブート処理後に、(例えば、割当ユニット 1 1 4 を用いて) 論理コアを物理的コアに再マッピングする。その後、この再マッピングを多様な実施形態で用いて、後続タスクを、性能のために物理的コアに割り当てることができる。上述したように、プロセッサ 1 1 0 は、(例えば、決定ユニット 2 2 0 を用いて) いつ再マッピングを行うかを (多様な条件のうちの任意の条件に基づいて) 特定してもよい。一実施形態において、プロセッサ 1 1 0 は、再マッピングを一定間隔で行ってもよい。いくつかの実施形態において、プロセッサ 1 1 0 は、再マッピングを行うことを、物理的コアの 1 つ以上の動作状態に基づいて決定してもよい。例えば、一実施形態において、プロセッサ 1 1 0 は、1 つ以上のコアがアイドル状態に入るのに応じて、再マッピングを行うことを決定してもよい。いくつかの実施形態において、プロセッサ 1 1 0 は、コアから収集された温度情報に基づいて、再マッピングを行うことを決定してもよい。

【0052】

上述したように、プロセッサ 110 は、多様な適切な基準のうち任意の基準を用いて再マッピングを決定してもよい。一実施形態において、プロセッサ 110 は、物理的コアについての事前決定された順序に基づいて、論理コアを物理的コアに再マッピングしてもよい。例えば、論理コア L0 が物理的コア P0 に割り当てられており、かつ、物理的コア P1 が順序において P0 に続いている場合、次いで論理コア L0 をコア P1 に再マッピングしてもよい。いくつかの実施形態において、プロセッサ 110 は、コアの動作状態に基づいて、再マッピングを決定してもよい。例えば、一実施形態において、プロセッサ 110 は、論理コアを、より高い動作状態にある物理的コア（例えば、性能状態 P0 にある物理的コア）からより低い動作状態にある物理的コア（例えば、性能状態 P1 にある物理的コア）に再マッピングすることができる。いくつかの実施形態において、プロセッサ 110 は、物理的コアから測定された温度に基づいて、再マッピングを決定してもよい。例えば、一実施形態において、プロセッサ 110 は、論理コアを、より高い温度で動作している物理的コアからより低い温度で動作している物理的コアに再マッピングしてもよい。

【0053】

多様な実施形態において、プロセッサ 110 は、再マッピングに応じて、物理的コア間で実行状態を転送する。上述したように、いくつかの実施形態において、プロセッサ 110 は、第 1 のコアからの実行状態をメモリに保存した後、この実行状態を第 2 のコア上に再ロードすることにより、実行状態を第 2 のコアに転送する。一実施形態において、プロセッサ 110 は、第 1 のコアをアイドル状態に入らせることによって、保存を行う。アイドル状態において、コアは、自身の実行状態をメモリに保存する。プロセッサ 110 は、第 2 のコアをアイドル状態から終了させて実行状態を再ロードすることによって、再ロードを行ってもよい。

【0054】

（例示的なコンピュータシステム）

図 5 を参照すると、プロセッサ 110 を含む得る例示的なコンピュータシステム 500 の一実施形態が図示されている。コンピュータシステム 500 は、相互接続部 560（例えば、システムバス）を介してシステムメモリ 520 及び I/O インターフェース 540 に接続されたプロセッササブシステム 580 を含む。I/O インターフェース 540 は、1 つ以上の I/O デバイス 550 に接続されている。コンピュータシステム 500 は、多様な種類のデバイス（例を非限定的に挙げると、サーバシステム、パーソナルコンピュータシステム、デスクトップコンピュータ、ラップトップ若しくはノートブックコンピュータ、メインフレームコンピュータシステム、ハンドヘルドコンピュータ、ワークステーション、ネットワークコンピュータ又は消費者デバイス（例えば、携帯電話、ページャ若しくはパーソナルデータアシスタント（PDA））のうち任意のものであり得る。また、コンピュータシステム 500 は、任意の種類のネットワーク型の周辺デバイスであってよい（例えば、記憶装置デバイス、スイッチ、モデム、ルータ等）。便宜上単一のコンピュータシステム 500 を図示しているが、共に動作する 2 つ以上のコンピュータシステムとしてシステム 500 を実装してもよい。

【0055】

プロセッササブシステム 580 は、1 つ以上のプロセッサ又は処理装置を含み得る。例えば、プロセッササブシステム 580 は、1 つ以上の処理装置を含み得る（これらの処理装置はそれぞれ、複数の処理要素又はコアを含み得る）。これらの処理装置は、1 つ以上のリソース制御処理要素 520 に接続されている。コンピュータシステム 500 の多様な実施形態において、プロセッササブシステム 580 の複数のインスタンスが、相互接続部 560 に接続されてもよい。多様な実施形態において、プロセッササブシステム 580（あるいは 580 内の各プロセッサユニット若しくは処理要素）は、キャッシュ又は他の形態のオンボードメモリを含み得る。一実施形態において、プロセッササブシステム 580 は、上述したプロセッサ 110 を含み得る。

【0056】

システムメモリ 520 は、プロセッササブシステム 580 によって用いられ得る。シス

テムメモリ520は、異なる物理的記憶媒体（例えば、ハードディスク記憶装置、フロッピー（登録商標）ディスク記憶装置、リムーバブルディスク記憶装置、フラッシュメモリ、ランダムアクセスメモリ（RAM、例えば、静的RAM（SRAM）、拡張データ出力（EDO）RAM、同期型動的RAM（SDRAM）、ダブルデータレート（DDR）SDRAM、RAMBUS RAM等）、リードオンリーメモリ（ROM、例えばプログラマブルROM（PROM）、電氣的に消去可能なプログラマブルROM（EEPROM）等）を用いて実行され得る。コンピュータシステム500内のメモリは、メモリ520等の主要記憶装置に限定されない。むしろ、コンピュータシステム500は、他の形態の記憶装置も含み得る（例えば、プロセッササブシステム580内のキャッシュメモリ及びI/Oデバイス550上の第2の記憶装置（例えば、ハードドライブ、記憶装置アレイ）。いくつかの実施形態において、これらの他の形態の記憶装置も、プロセッササブシステム580によって実行可能なプログラム命令を保存し得る。

10

【0057】

I/Oインターフェース540は、多様な実施形態に従って、他のデバイスへ接続され、かつ、他のデバイスと通信するように構成された多様な種類のインターフェースのうち任意のものであってよい。一実施形態において、I/Oインターフェース540は、前側から1つ以上の後方側バスへのブリッジチップ（例えば、サウスブリッジ）である。I/Oインターフェース540は、1つ以上の対応するバス又は他のインターフェースを介して、1つ以上のI/Oデバイス550に接続されてもよい。I/Oデバイスの例を挙げると、記憶装置デバイス（ハードドライブ、光学ドライブ、リムーバブルフラッシュドライブ、記憶装置アレイ、SAN若しくはこれらに関連付けられたコントローラ）、ネットワークインターフェースデバイス（例えば、ローカルネットワーク若しくは広域ネットワークに対するもの）、又は他のデバイス（例えば、グラフィックス、ユーザインターフェースデバイス等）がある。一実施形態において、コンピュータシステム500は、ネットワークインターフェースデバイスを介して、ネットワークへ接続されている。

20

【0058】

コンピュータシステム（例えば、コンピュータシステム500）によって実行されるプログラム命令は、多様な形態のコンピュータ可読記憶媒体に保存することができる。一般的に、コンピュータ可読記憶媒体は、任意の非一時的／有形の記憶装置媒体を含み得る。このような記憶装置媒体は、コンピュータによって読み出され、その結果、命令及び／又はデータがコンピュータに提供される。例えば、コンピュータ可読記憶媒体は、記憶媒体を含み得る（例えば、磁気媒体又は光学媒体（例えば、ディスク（固定若しくはリムーバブル）、テープ、CD-ROM、DVD-ROM、CD-R、CD-RW、DVD-R、DVD-RW又はブルーレイ）。記憶媒体は、揮発性記憶媒体又は不揮発性記憶媒体（例えば、RAM（同期型動的RAM（SDRAM）、ダブルデータレート（DDR、DDR2、DDR3等）SDRAM、低出力DDR（LPDDR2等）SDRAM、Rambus DRAM（RDRAM）、静的RAM（SRAM）等）、ROM、フラッシュメモリ、周辺インターフェース（例えば、ユニバーサルシリアルバス（USB）インターフェース等）を介してアクセスすることが可能な不揮発性メモリ（例えば、フラッシュメモリ）等をさらに含んでもよい。記憶媒体は、微小電気機械システム（MEMS）と、通信媒体（例えば、ネットワーク及び／又は無線リンク）を介してアクセスすることが可能な記憶媒体とを含み得る。

30

40

【0059】

いくつかの実施形態において、コンピュータ可読記憶媒体を用いて、命令を保存することができる。命令は、プログラムによって読み出され、上述したプロセッサ110のためのハードウェアを作製するために直接的又は間接的に用いられる。例えば、命令は、ハードウェア機能の挙動レベル又はレジスタ転送レベル（RTL）記述を高レベル設計言語（HDL）（例えば、Verilog又はVHDL）で記述する1つ以上のデータ構造の概要を示す。記述は、合成ツールによって読み出され得る。合成ツールは、記述を合成してネットリストを生成することができる。ネットリストは、1組のゲート（例えば、合成ラ

50

イブラリ内に規定されたもの)を含み得る。１組のゲートは、プロセッサ１１０の機能を示す。その後、ネットリストを配置及びルーティングして、データセットを生成することができる。データセットは、マスクに付加されるべき幾何学的形状を記述する。その後、マスクを多様な半導体製造ステップにおいて用いて、プロセッサ１１０に対応する半導体回路又は回路を生成することができる。

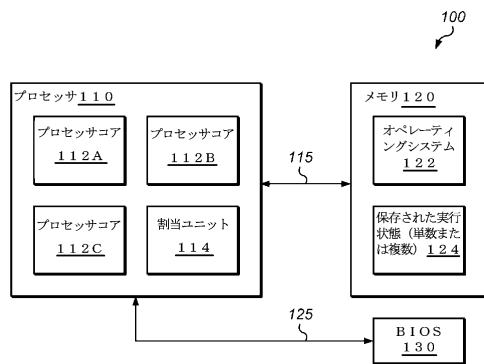
【００６０】

上記において特定の実施形態について説明してきたが、これらの実施形態は、特定の特徵について単一の実施形態のみが記載されている場合においても、本開示の範囲を限定することを意図していない。他に明記無き限り、本開示中に記載される特徵の例は例示的なものであり、限定的なものではない。上記の記載は、本開示の恩恵を有する当業者にとっては明らかであるこのような改変例、変更例及び均等物を網羅することを意図している。

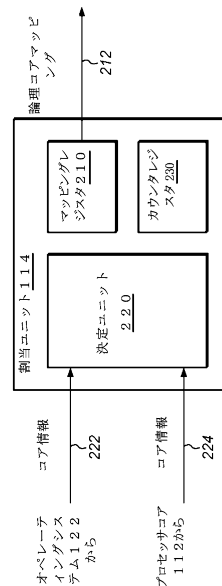
【００６１】

本開示の範囲は、本明細書に記載の問題のうち任意の問題又は全ての問題を軽減するかどうかに関わらず、任意の特徵又は本明細書に（明示的若しくは暗示的のいずれかで）開示される特徵の組み合わせまたはこれらの任意の一般化を含む。よって、本出願（またはその優先権を主張する出願）の手続きの間に、このような特徵の任意の組み合わせに合わせて新規の請求項が作成され得る。具体的には、添付の請求項を参照して、従属請求項からの特徵を独立請求項の特徵と組み合わせることができ、添付の特許請求の範囲中に羅列されている特定の組み合わせの他にも、各独立請求項からの特徵を任意の適切な状態で組み合わせることが可能である。

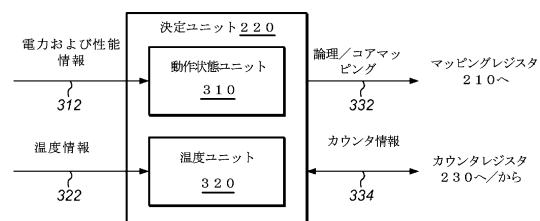
【図１】



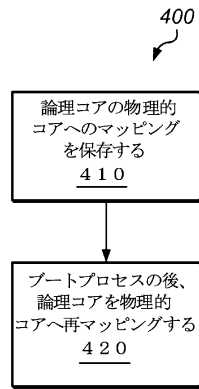
【図２】



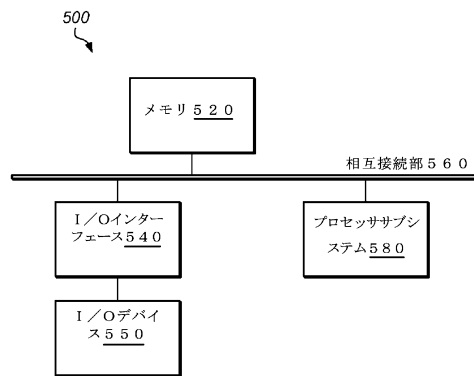
【図３】



【図 4】



【図 5】



フロントページの続き

(74)代理人 100162156

弁理士 村雨 圭介

(72)発明者 マイケル ジェイ . オスボーン

アメリカ合衆国 03049 ニューハンプシャー州、ホリス、ブラック オーク ドライブ 50

(72)発明者 セバスティアン ジェイ . ヌスバウム

アメリカ合衆国 02420 マサチューセッツ州、レキシントン、ファイファー レーン 99

合議体

審判長 辻本 泰隆

審判官 山崎 慎一

審判官 須田 勝巳

(56)参考文献 特開2006-133995(JP,A)

特開2009-503728(JP,A)

特表2008-513912(JP,A)

特開2008-234191(JP,A)

特開2006-127462(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F15/177

G06F9/50

G06F15/78