

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4662022号  
(P4662022)

(45) 発行日 平成23年3月30日 (2011.3.30)

(24) 登録日 平成23年1月14日 (2011.1.14)

(51) Int.Cl.

H02M 5/27 (2006.01)

F I

H02M 5/27

P

請求項の数 3 (全 12 頁)

(21) 出願番号 特願2004-291249 (P2004-291249)  
 (22) 出願日 平成16年10月4日 (2004.10.4)  
 (65) 公開番号 特開2006-109582 (P2006-109582A)  
 (43) 公開日 平成18年4月20日 (2006.4.20)  
 審査請求日 平成19年9月12日 (2007.9.12)

(73) 特許権者 000006622  
 株式会社安川電機  
 福岡県北九州市八幡西区黒崎城石2番1号  
 (74) 代理人 100123788  
 弁理士 宮崎 昭夫  
 (74) 代理人 100106138  
 弁理士 石橋 政幸  
 (74) 代理人 100120628  
 弁理士 岩田 慎一  
 (74) 代理人 100127454  
 弁理士 緒方 雅昭  
 (72) 発明者 原 英則  
 福岡県北九州市八幡西区黒崎城石2番1号  
 株式会社安川電機内

最終頁に続く

(54) 【発明の名称】 マトリクスコンバータ

(57) 【特許請求の範囲】

【請求項 1】

三相交流電源からの入力側に設けられたLCフィルタと、入力三相電源を全波整流する第1のスナバダイオード群と出力三相電源を全波整流する第2のスナバダイオード群と前記第1および第2のスナバダイオード群により整流された直流電圧部に接続されたスナバコンデンサとを有するスナバ回路とを備え、前記三相交流電源の各相と前記出力三相電源の各相とを双方向スイッチで直接接続し、出力電圧指令に応じて交流電源電圧をPWM制御することにより任意の交流及び直流電圧を出力するマトリクスコンバータにおいて、前記第1のスナバダイオード群と前記スナバコンデンサとの間に設けられ、前記スナバコンデンサへの充電電流を抑制するための電流抑制抵抗と該電流抑制抵抗の両端を短絡するための短絡用コンタクタとを有するスナバ突入電流抑制回路と、前記スナバコンデンサの両端電圧を検出し、該検出電圧が一定のレベル以上になった場合に前記短絡用コンタクタを短絡させる手段と、前記第1のスナバダイオード群と前記電流抑制抵抗との間に、前記LCフィルタの共振電圧を所定の電圧範囲に抑制するための入力フィルタ共振抑制コンデンサと、を備えたことを特徴とするマトリクスコンバータ。

【請求項 2】

三相交流電源からの入力側に設けられたLCフィルタと、入力三相電源を全波整流する第1のスナバダイオード群と出力三相電源を全波整流する第2のスナバダイオード群と前記第1および第2のスナバダイオード群により整流された直流電圧部に接続されたスナバコ

10

20

ンデンサとを有するスナバ回路とを備え、前記三相交流電源の各相と前記出力三相電源の各相とを双方向スイッチで直接接続し、出力電圧指令に応じて交流電源電圧をPWM制御することにより任意の交流及び直流電圧を出力するマトリクスコンバータにおいて、前記第1のスナバダイオード群と前記スナバコンデンサとの間に設けられ、前記スナバコンデンサへの充電電流を抑制するための電流抑制抵抗と該電流抑制抵抗の両端を短絡するための短絡用コンタクトとを有するスナバ突入電流抑制回路と、前記スナバコンデンサの両端電圧を検出し、該検出電圧が一定のレベル以上になった場合に前記短絡用コンタクトを短絡させる手段と、前記LCフィルタを構成する入力三相リアクトルの各相並列に接続した抵抗からなる入力フィルタ共振抑制抵抗群と、前記入力フィルタ共振抑制抵抗群を構成する各抵抗に対して直列に接続したコンタクトと、を備えたことを特徴とするマトリクスコンバータ。

10

**【請求項3】**

三相交流電源からの入力側に設けられたLCフィルタと、入力三相電源を全波整流する第1のスナバダイオード群と出力三相電源を全波整流する第2のスナバダイオード群と前記第1および第2のスナバダイオード群により整流された直流電圧部に接続されたスナバコンデンサとを有するスナバ回路とを備え、前記三相交流電源の各相と前記出力三相電源の各相とを双方向スイッチで直接接続し、出力電圧指令に応じて交流電源電圧をPWM制御することにより任意の交流及び直流電圧を出力するマトリクスコンバータにおいて、前記第1のスナバダイオード群と前記スナバコンデンサとの間に設けられ、前記スナバコンデンサへの充電電流を抑制するための電流抑制抵抗と該電流抑制抵抗の両端を短絡するための短絡用コンタクトとを有するスナバ突入電流抑制回路と、前記LCフィルタを構成する入力三相リアクトルと前記LCフィルタを構成する各相のフィルタコンデンサとの接続点を引き出したものであって、前記LCフィルタの共振電圧を抑制するための抵抗からなる入力フィルタ共振抑制抵抗群を外部に接続できる接続端子と、前記入力フィルタ共振抑制抵抗群を構成する各抵抗に対して直列に接続したコンタクトと、を備え、前記入力フィルタ共振抑制抵抗群が、前記接続端子を介して前記入力三相リアクトルの各相に並列に接続することを特徴とするマトリクスコンバータ。

20

30

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、交流電源の各相と出力側の各々の相を自己消弧能力をもつ双方向スイッチで直接接続したマトリクスコンバータに関し、特に、サージ電圧を抑制して双方向スイッチを保護するためのスナバ回路が構成されたマトリクスコンバータに関する。

**【背景技術】****【0002】**

マトリクスコンバータは、交流電源の各相と出力側の各々の相を自己消弧能力をもつ双方向スイッチで直接接続しているために、三相交流電源を直接任意の電圧・周波数に変換することが可能である（例えば、特許文献1参照。）。

40

**【0003】**

このようなマトリクスコンバータでは、半導体素子にて電源と負荷側を直接接続させるため、半導体素子の保護のためにスナバ回路が必要となる。図6にこのような従来のマトリクスコンバータの構成図を説明する。この従来のマトリクスコンバータは、図6に示されるように、三相交流電源1と、入力ブレーカ2と、入力三相リアクトル3と、入力三相コンデンサ4と、複数の双方向スイッチにより構成されたマトリクスコンバータ主回路7と、スナバ回路14とから構成され、負荷モータ8の制御を行っている。

**【0004】**

50

この図 6 に示された従来のマトリクスコンバータは、入力三相リアクトル 3 と入力三相コンデンサ 4 からなる小型の LC フィルタを介して、三相交流電源 1 とマトリクスコンバータ主回路 7 とが接続された構成となっている。

【 0 0 0 5 】

また、スナバ回路 1 4 の回路構成を図 7 を参照して説明する。スナバ回路 1 4 は、通常の IGBT ( Insulated Gate Bipolar Transistor ) に用いられている RCD スナバ回路であり、双方向スイッチ 2 3 の両端に、ダイオード 2 0、3 0 と、抵抗 2 1、3 1 と、コンデンサ 2 2、3 2 とが設けられた構成となっている。

【 0 0 0 6 】

このような従来のマトリクスコンバータでは、上述したように、マトリクスコンバータ主回路 7 の双方向スイッチで入力側を直接スイッチングする際に発生するノイズを除去することを目的として LC フィルタが設けられている。しかしこの LC フィルタには AC コンデンサが用いられているため、電源投入時などにコンデンサのチャージ電流が発生する。しかもその電流は入力三相リアクトル 3 を通過するため、LC フィルタの共振源として電圧共振を引き起こす。これにより電源投入時に過大な電圧サージが発生する場合がある。図 6 に示した回路構成で説明すると、初めに電源を投入する場合、入力ブレーカ 2 により三相同時に投入するのが一般的である。この瞬間、入力三相コンデンサ 4 にチャージ電流が流れるが、チャージ電流は入力三相リアクトル 3 を通過するため電圧チャージが終わってもすぐに電流が切れず流れ続けてしまう。この電流の押し上げにより入力三相コンデンサ 4 の電圧は電源電圧以上に跳ね上がり、場合によってはマトリクスコンバータ主回路 7 内の双方向スイッチの素子耐圧を超え破壊に至る危険性がある。

【 0 0 0 7 】

スナバ回路 1 4 は双方向スイッチの両端、つまりマトリクスコンバータ主回路 7 の入出力間に並列接続されており、双方向スイッチの両端電圧を抑制することのみを目的とした回路構成となっている。しかし入力フィルタのサージ電圧は入力端子間に発生するため、入出力間のみを保護する方式では端子間は保護することができない。

【 0 0 0 8 】

双方向スイッチの保護回路としては、RCD スナバ回路とは異なる電圧クランプ型スナバ回路が用いられる場合がある (例えば、特許文献 2、3 参照。)。このような電圧クランプ型スナバ回路を用いたマトリクスコンバータの回路構成を図 8 に示す。図 8 において、図 6 中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

【 0 0 0 9 】

この図 8 に示したマトリクスコンバータでは、図 6 に示したマトリクスコンバータに対してスナバ回路 1 4 が、スナバダイオード群 5 - 1、5 - 2、スナバコンデンサ 7 6 からなる電圧クランプ型スナバ回路に置き換えられた構成となっている。この図 8 中のスナバダイオード群 5 - 1、5 - 2 の具体的な回路構成を図 9 に示す。

【 0 0 1 0 】

この電圧クランプ型スナバ回路では、マトリクスコンバータ主回路 7 の主な構成物である双方向スイッチの保護のために入力側にスナバダイオード群 5 - 1 が配置され、また出力側にスナバダイオード群 5 - 2 が配置され、スナバダイオード群 5 - 1、5 - 2 により整流された直流電圧部にスナバコンデンサ 7 6 が設けられている。この電圧クランプ型スナバ回路では、スナバダイオード群 5 - 1 により入力三相電源を全波整流し、スナバダイオード群 5 - 2 により出力三相電源を全波整流する。

【 0 0 1 1 】

この電圧クランプ型のスナバ回路を用いている場合、電圧クランプ用のスナバコンデンサ 7 6 が設けられているため、入力フィルタで発生したサージ電圧もクランプされ電源投入時の電圧抑制効果も有することになる。しかし、このスナバ回路は双方向スイッチのサージ電圧保護のために存在するため、スナバコンデンサ 7 6 は、例えば数  $\mu\text{F}$  等の非常に小さい静電容量で構成されている。しかし、本来双方向スイッチの保護用に存在するスナバ

回路を入力フィルタの突入によるサージ電圧抑制も可能にするようなスナバコンデンサ静電容量を選択することにより、電源投入時に安定した動作を実現できることになる。

【 0 0 1 2 】

しかし、電源投入時にはスナバコンデンサ 7 6 にも突入電流が流れるため、スナバコンデンサ 7 6 の静電容量を大きくすると、サージ電圧の抑制にはなるが初期電源投入時にスパイク電流がながれてしまう。そして、スナバ回路の突入電流は、短い間ではあるが過大な電流が流れるため、この電流によりさらなるサージ電圧やノイズなどの周辺機器への悪影響を引き起こす可能性がある。そのため、スナバコンデンサ 7 6 の静電容量をあまり大きな値に設定することができず、スナバコンデンサ 7 6 の静電容量を大きくするだけではサージ電圧を完全に抑制することは困難であった。

10

【特許文献 1】特開平 1 1 - 3 4 1 8 0 7 号公報

【特許文献 2】特開平 1 1 - 2 6 2 2 6 4 号公報

【特許文献 3】特開 2 0 0 4 - 9 6 9 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 3 】

上述した従来のマトリクスコンバータでは、電源投入時に発生する、入力 LC フィルタの共振によるサージ電圧を抑制することができないという問題点があった。

【 0 0 1 4 】

本発明の目的は、電源投入時に入力 LC フィルタの共振に起因して発生するサージ電圧を抑制することが可能なマトリクスコンバータを提供することである。

20

【課題を解決するための手段】

【 0 0 1 5 】

上記目的を達成するために、本発明のマトリクスコンバータは、三相交流電源からの入力側に設けられた LC フィルタと、入力三相電源を全波整流する第 1 のスナバダイオード群と出力三相電源を全波整流する第 2 のスナバダイオード群と前記第 1 および第 2 のスナバダイオード群により整流された直流電圧部に接続されたスナバコンデンサとから構成される電圧クランプ型スナバ回路とを備え、前記三相交流電源の各相と出力側の各相を自己消弧能力をもつ双方向スイッチで直接接続し、出力電圧指令に応じて交流電源電圧を PWM 制御することにより任意の交流及び直流電圧を出力するマトリクスコンバータにおいて

30

、  
前記第 1 のスナバダイオード群と前記スナバコンデンサとの間に設けられ、前記スナバコンデンサへの充電電流を抑制するための電流抑制抵抗と該電流抑制抵抗の両端を短絡するための短絡用コンタクトとから構成されるスナバ突入電流抑制回路と、

前記スナバコンデンサの両端電圧を検出し、該検出電圧が一定のレベル以上になった場合に前記短絡用コンタクトを短絡させる手段とが設けられていることを特徴とする。

【 0 0 1 6 】

本発明によれば、電源投入時からスナバコンデンサの両端電圧がある一定の電圧レベル以上となるまでの間は、電流抑制抵抗によりスナバコンデンサへのチャージ電流が抑制されるため、スナバコンデンサの静電容量を大きな値とすることが可能となり、入力 LC フィルタの共振によるサージ電圧を抑制することが可能となる。

40

【 0 0 1 7 】

また、本発明の他のマトリクスコンバータは、三相交流電源からの入力側に設けられた LC フィルタと、入力三相電源を全波整流する第 1 のスナバダイオード群と出力三相電源を全波整流する第 2 のスナバダイオード群と前記第 1 および第 2 のスナバダイオード群により整流された直流電圧部に接続されたスナバコンデンサとから構成される電圧クランプ型スナバ回路とを備え、前記三相交流電源の各相と出力側の各相を自己消弧能力をもつ双方向スイッチで直接接続し、出力電圧指令に応じて交流電源電圧を PWM 制御することにより任意の交流及び直流電圧を出力するマトリクスコンバータにおいて、

前記 LC フィルタを構成する各相のフィルタコンデンサにそれぞれ直列接続された電流

50

抑制抵抗群と、該電流抑制抵抗群の両端をそれぞれ短絡するための短絡用コンタクタ群とから構成される入力フィルタ突入電流抑制回路と、

電源投入から一定時間経過した場合に前記短絡用コンタクタ群を短絡させる手段とが設けられていることを特徴とする。

【0018】

本発明によれば、電源投入から一定時間経過するまでは短絡用コンタクタ群は開放状態になっているため、入力LCフィルタを構成する各相のフィルタコンデンサへのチャージ電流は電流抑制抵抗群により抑制されることになる。そのため、スナバコンデンサの静電容量を大きくすることなく、入力フィルタのサージ電圧を抑制することが可能となる。

【0019】

前記短絡用コンタクタ群および前記電流抑制抵抗群は、三相交流電源の三相にそれぞれ設けられた3つの電流抑制抵抗と、該3つの電流抑制抵抗を短絡するための3つの短絡用コンタクタとからそれぞれ構成するようにしてもよいし、三相交流電源の三相中の任意の二相にそれぞれ設けられた2つの電流抑制抵抗と、該2つの電流抑制抵抗を短絡するための2つの短絡用コンタクタとからそれぞれ構成するようにしてもよい。

【0020】

また、本発明の他のマトリクスコンバータでは、前記第1のスナバダイオード群と前記電流抑制抵抗との間に、入力LCフィルタの共振電圧を所定の電圧範囲に抑制するための入力フィルタ共振抑制コンデンサをさらに備えた構成としてもよい。

【0021】

本発明によれば、電流抑制抵抗の前段に小容量の入力フィルタ共振抑制用コンデンサを設けるようにして、この入力フィルタ共振抑制コンデンサと電流抑制抵抗を介した大容量のスナバコンデンサとを併用することにより、より効果的に入力フィルタのサージ電圧の抑制を図ることが可能となる。しかも、新たな回路部品の挿入箇所はすべて主回路と並列になっているので主回路電流がそのまま流れることがないため、各部品としては高価な部品が必要となるわけではないのでコストを大幅に増加させることがない。

【0022】

さらに、本発明の他のマトリクスコンバータでは、前記LCフィルタを構成する入力三相リアクトルにそれぞれ並列に設けられた抵抗からなる入力フィルタ共振抑制抵抗群をさらに備えた構成としてもよい。さらに、前記入力フィルタ共振抑制抵抗群を構成する各抵抗に対して直列に接続されたコンタクタを備えるようにしてもよい。

【0023】

本発明によれば、入力側に設けられたLCフィルタを構成する入力三相リアクトルにそれぞれ並列に抵抗を設けるようにしているので、入力フィルタの突入時の共振を抑制することが可能となる。

【発明の効果】

【0024】

以上説明したように、本発明によれば、電源投入時に入力LCフィルタの共振に起因して発生するサージ電圧を抑制することが可能になるという効果を得ることができる。

【発明を実施するための最良の形態】

【0025】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0026】

(第1の実施形態)

図1は本発明の第1の実施形態のマトリクスコンバータにおけるスナバ回路の回路構成を示す図である。図1において、図8中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

【0027】

本実施形態のマトリクスコンバータにおけるスナバ回路は、図1に示されるように、スナバダイオード群5-1、5-2と、スナバコンデンサ6と、スナバ突入電流抑制回路1

10

20

30

40

50

１とから構成されている。本実施形態におけるスナバ回路は、図８に示した従来のマトリクスコンバータにおけるスナバ回路に対して、スナバコンデンサ７６をスナバコンデンサ６に置き換え、スナバ突入電流抑制回路１１が新たに設けられた点が異なっている。

【００２８】

本実施形態におけるスナバコンデンサ６は、入力ＬＣフィルタに起因して発生したサージ電圧を抑制することできるように数１００μＦ程度の大きな容量となっている。

【００２９】

また、このスナバ突入電流抑制回路１１は、図１に示されるように、スナバダイオード群５－１とスナバコンデンサ６との間に設けられ、短絡用コンタクタ９－１と、電力抑制抵抗１０－１とから構成されている。

10

【００３０】

電流抑制抵抗１０－１は、スナバコンデンサ６への充電電流を抑制するために設けられ、短絡用コンタクタ９－１は、電流抑制抵抗１０－１を短絡するために設けられている。

【００３１】

また、図には示されていないが、本実施形態のマトリクスコンバータには、スナバコンデンサ６の両端電圧を検出し、この検出電圧がある一定のレベル以上になった場合に短絡用コンタクタ９－１を短絡させる手段が設けられている。

【００３２】

本実施形態のマトリクスコンバータでは、まず電源投入以前は短絡用コンタクタ９－１はオープン状態となり、電流抑制抵抗１０－１を介してスナバコンデンサ６へのチャージが行われる。そして、スナバコンデンサ６の電圧が十分大きくなると、短絡用コンタクタ９－１が短絡されることにより通常のスナバ回路として動作することになる。

20

【００３３】

本実施形態のマトリクスコンバータでは、電源投入時からスナバコンデンサ６の両端電圧がある一定の電圧レベル以上となるまでの間は、電流抑制抵抗１０－１によりスナバコンデンサ６へのチャージ電流が抑制されるため、スナバコンデンサ６の静電容量を大きな値とすることが可能となり、入力ＬＣフィルタの共振によるサージ電圧を抑制することが可能となる。

【００３４】

これによりスナバ回路における初期チャージ電流は抑制可能となるが、先に述べた入力フィルタのサージ電圧の抑制には電流抑制抵抗１０－１を介する分だけその効果が小さいものとなる。

30

【００３５】

（第２の実施形態）

次に、本発明の第２の実施形態のマトリクスコンバータについて説明する。

【００３６】

本発明の第２の実施形態のマトリクスコンバータの構成を図２に示す。本実施形態のマトリクスコンバータは、図８に示した従来のマトリクスコンバータに対して、入力フィルタ突入電流抑制回路１２－１が入力三相コンデンサ４と三相交流との間に設けられた構成となっている。そして、この入力フィルタ突入電流抑制回路１２－１は、短絡用コンタクタ群９－２と、電流抑制抵抗群１０－２とから構成されている。

40

【００３７】

本実施形態のマトリクスコンバータは、入力フィルタのサージ電圧のみを防止することを目的とした回路構成である。入力三相リアクトル３と入力三相コンデンサ４の間に入力フィルタ突入抑制回路１２－１が設けられている。

【００３８】

電流抑制抵抗群１０－２は、入力ＬＣフィルタを構成する各相のフィルタコンデンサである入力三相コンデンサ４にそれぞれ直列接続されている。短絡用コンタクタ群９－２は、電流抑制抵抗群１０－２の両端をそれぞれ短絡する。

【００３９】

50

また、図には示されていないが、本実施形態のマトリクスコンバータには、電源投入から一定時間経過した場合に短絡用コンタクタ群 9 - 2 を短絡させる手段が設けられている。

【 0 0 4 0 】

図 2 に示した回路構成では、三相それぞれに電流抑制抵抗群 1 0 - 2 と短絡用コンタクタ群 9 - 2 を用いる方式を示しているが、図 3 に示すように、三相中任意の二相に電流抑制抵抗群 1 0 - 3 と短絡用コンタクタ群 9 - 3 とから構成される入力フィルタ突入電流抑制回路 1 2 - 2 を用いるようにしてもよい。

【 0 0 4 1 】

図 2 に示した短絡用コンタクタ群 9 - 2 および電流抑制抵抗群 1 0 - 2 は、三相交流電源 1 の三相にそれぞれ設けられた 3 つの電流抑制抵抗と、この 3 つの電流抑制抵抗を短絡するための 3 つの短絡用コンタクタとからそれぞれ構成されている。そして、図 3 に示した短絡用コンタクタ群 9 - 3 および電流抑制抵抗群 1 0 - 3 は、三相交流電源 1 の三相中の任意の二相にそれぞれ設けられた 2 つの電流抑制抵抗と、この 2 つの電流抑制抵抗を短絡するための 2 つの短絡用コンタクタとからそれぞれ構成されている。

【 0 0 4 2 】

本実施形態では、入力三相コンデンサ 4 の両端電圧と入力三相リアクトル 3 の入力電圧とが釣り合った状態になった場合に短絡用コンタクタ群 9 - 2、9 - 3 を短絡する方法が考えられるが、三相交流電圧を 2 箇所も検出することは困難であるため、ある一定の時間をあらかじめ計算し、初期投入から一定時間経過後に短絡用コンタクタ群 9 - 2、9 - 3 を短絡するようにすればよい。

【 0 0 4 3 】

本実施形態のマトリクスコンバータでは、電源投入から一定時間経過するまでは短絡用コンタクタ群 9 - 2、9 - 3 は開放（オープン）状態になっているため、入力三相コンデンサ 4 へのチャージ電流は電流抑制抵抗群 1 0 - 2、1 0 - 3 により抑制されることになる。そのため、スナバコンデンサ 7 6 の静電容量を大きくすることなく、入力フィルタのサージ電圧を抑制することが可能となる。

【 0 0 4 4 】

（第 3 の実施形態）

次に、本発明の第 3 の実施形態のマトリクスコンバータについて説明する。

【 0 0 4 5 】

上記で説明した第 1 の実施形態では、図 1 に示されるように、入力フィルタのサージ電圧を抑制しようとする場合にはスナバ回路のスナバコンデンサ 6 の静電容量値をある程度以上大きな値として、スナバ突入電流抑制回路 1 1 を設けていた。しかし、電源投入時は短絡用コンタクタ 9 - 1 が開放状態となっていて、スナバコンデンサ 6 は電流抑制抵抗 1 0 - 1 を介してスナバダイオード群 5 - 1 に接続されている。そのため、スナバコンデンサ 6 の静電容量を数 1 0 0  $\mu$ F と大きな値としても入力フィルタの共振を抑制することができない場合があった。

【 0 0 4 6 】

また、上記で説明した第 2 の実施形態では、図 2、図 3 に示されるように、入力フィルタ部に入力フィルタ突入電流抑制回路 1 2 - 1、1 2 - 2 を設けてサージ電圧の抑制を行っているため、主回路電流が流れる部位への短絡用コンタクタの挿入が必要となる。この主回路電流は数 1 0 0 A 程度流れるため、このような部位へ挿入可能なコンタクタ回路は高価なものであるため、第 2 の実施形態の構成を採用した場合にはコストアップが課題となる。

【 0 0 4 7 】

そこで、このような課題を解決した本発明の第 3 の実施形態のマトリクスコンバータの構成を図 4 に示す。本実施形態のマトリクスコンバータは、図 1 に示したスナバ回路を備えたマトリクスコンバータに対して、入力フィルタ共振抑制コンデンサ 1 3 がスナバ回路内に設けられた構成となっている。

## 【0048】

入力フィルタ共振抑制コンデンサ13は、数10 $\mu$ F程度のコンデンサであり、スナバダイオード群5-1と電流抑制抵抗10-1との間に設けられていて、入力LCフィルタの共振電圧を所定の電圧範囲に抑制する。このような数10 $\mu$ F程度のコンデンサであれば、電源投入時の突入電流は問題とならないため、この入力フィルタ共振抑制コンデンサ13の前段に突入電流抑制のための抵抗等は必要とならない。

## 【0049】

本実施形態のように、電流抑制抵抗10-1の前段に小容量の入力フィルタ共振抑制用コンデンサ13を設けるようにし、この入力フィルタ共振抑制コンデンサ13と電流抑制抵抗10-1を介した大容量のスナバコンデンサ6とを併用することにより、より効果的に入力フィルタのサージ電圧の抑制を図ることが可能となる。しかも、本実施形態のマトリクスコンバータでは、新たな回路部品の挿入箇所はすべて主回路と並列になっているので主回路電流がそのまま流れることがないため、各部品としては高価な部品が必要となるわけではないので大きなコストアップを伴わず実現可能である。

10

## 【0050】

(第4の実施形態)

次に、本発明の第4の実施形態のマトリクスコンバータについて説明する。

## 【0051】

上記で説明した第3の実施形態では、スナバコンデンサ6に流れる突入電流を抑制するために設けた電流抑制抵抗10-1に起因する入力フィルタの突入時の共振を抑制するための構成が示されていた。本実施形態では、この入力フィルタの突入時の共振を抑制するための他の構成について説明する。

20

## 【0052】

本実施形態のマトリクスコンバータは、図5に示されるように、図1に示した構成のスナバ回路を有するマトリクスコンバータに対して、LCフィルタを構成する入力三相リアクトル3にそれぞれ並列に設けられた抵抗からなる入力フィルタ共振抑制抵抗群15をさらに備えた構成としたものである。

## 【0053】

なお、本実施形態において設けられた入力フィルタ共振抑制用抵抗群15は、あくまで電源投入時の共振を抑制するためのものであるため、この入力フィルタ共振抑制用抵抗群15を構成する各抵抗に対してそれぞれ直列にコンタクタを設けて、電源投入後一定時間等が経過して突入電流が流れなくなったらコンタクタをオープン状態にするようにしてもよい。

30

## 【0054】

本実施形態によれば、入力側に設けられたLCフィルタを構成する入力三相リアクトル3にそれぞれ並列に抵抗を設けるようにしているので、上記で説明した本発明の第3の実施形態と同様に、入力LCフィルタの共振電圧を抑制する効果を得ることができる。

## 【図面の簡単な説明】

## 【0055】

【図1】本発明の第1の実施形態のマトリクスコンバータにおけるスナバ回路の構成を示す図である。

40

【図2】本発明の第2の実施形態のマトリクスコンバータの回路構成を示す図である。

【図3】本発明の第2の実施形態のマトリクスコンバータの他の回路構成を示す図である。

。

【図4】本発明の第3の実施形態のマトリクスコンバータの回路構成を示す図である。

【図5】本発明の第4の実施形態のマトリクスコンバータの回路構成を示す図である。

【図6】従来のRCDスナバ回路を用いたマトリクスコンバータの回路構成を示す図である。

【図7】RCDスナバ回路の構成を説明するための図である。

【図8】電圧クランプ型スナバ回路を用いた従来のマトリクスコンバータの回路構成を示

50



す図である。

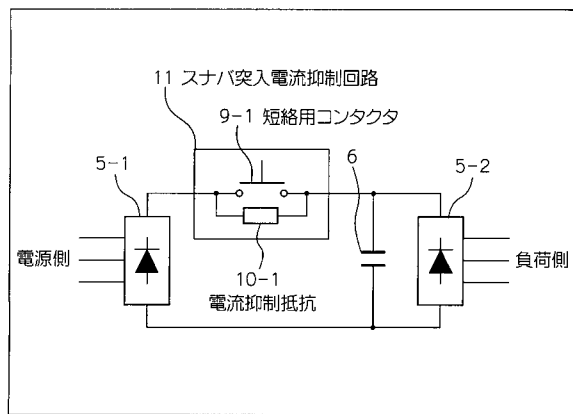
【図 9】図 8 中のスナバダイオード群 5 - 1、5 - 2 の具体的な回路構成を示す図である。

【符号の説明】

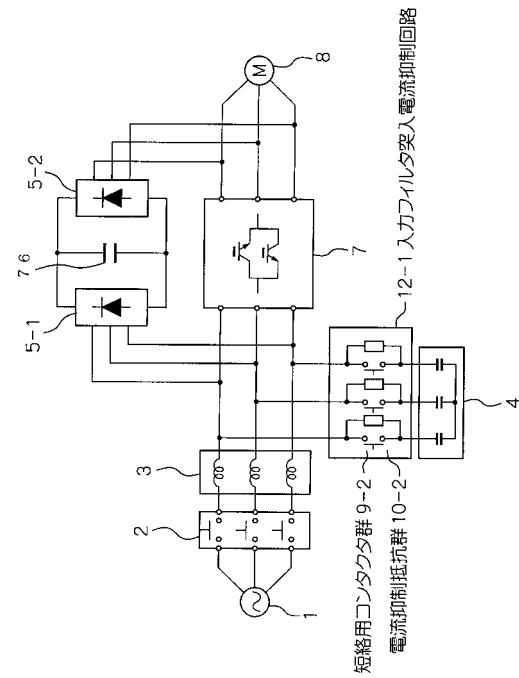
【 0 0 5 6 】

1	三相交流電源	
2	入力ブレーカ	
3	入力三相リアクトル	
4	入力三相コンデンサ	
5 - 1	スナバダイオード群	10
5 - 2	スナバダイオード群	
6	スナバコンデンサ	
7	マトリクスコンバータ主回路	
8	負荷モータ	
9 - 1	短絡用コンタクタ	
9 - 2	短絡用コンタクタ群	
9 - 3	短絡用コンタクタ群	
10 - 1	電流抑制抵抗	
10 - 2	電流抑制抵抗群	
10 - 3	電流抑制抵抗群	20
11	スナバ突入電流抑制回路	
12 - 1	入力フィルタ突入電流抑制回路	
12 - 2	入力フィルタ突入電流抑制回路	
13	入力フィルタ共振抑制コンデンサ	
14	スナバ回路	
15	入力フィルタ共振抑制用抵抗群	
20	ダイオード	
21	抵抗	
22	コンデンサ	
23	双方向スイッチ	30
30	ダイオード	
31	抵抗	
32	コンデンサ	
76	スナバコンデンサ	

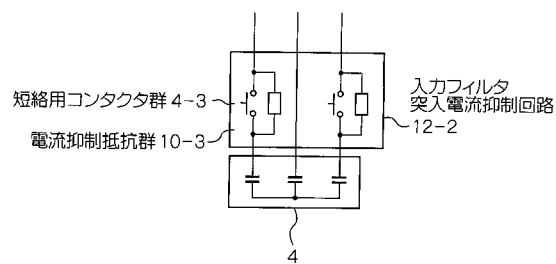
【図 1】



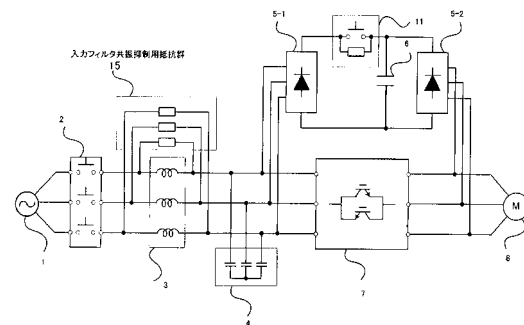
【図 2】



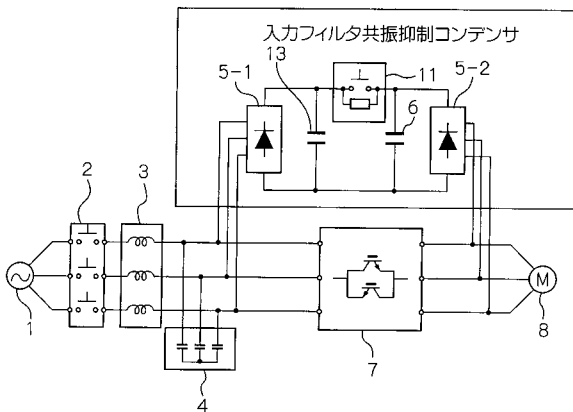
【図 3】



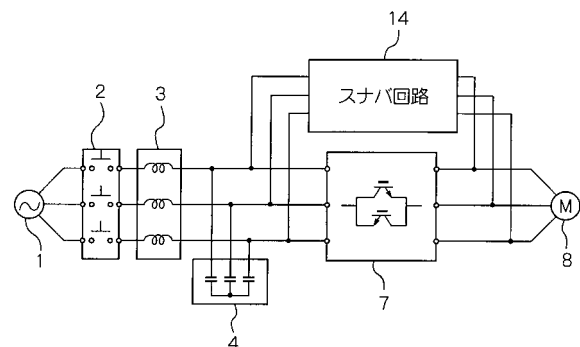
【図 5】



【図 4】



【図 6】





---

フロントページの続き

(72)発明者 山本 栄治

福岡県北九州市八幡西区黒崎城石 2 番 1 号 株式会社安川電機内

審査官 櫻田 正紀

(56)参考文献 特開 2 0 0 3 - 2 3 0 2 7 5 ( J P , A )

特開平 1 1 - 2 6 2 2 6 4 ( J P , A )

特開平 0 7 - 2 8 1 7 6 9 ( J P , A )

実開昭 6 1 - 1 8 9 7 3 4 ( J P , U )

特開昭 5 5 - 1 6 2 8 2 9 ( J P , A )

特開 2 0 0 3 - 2 4 4 9 6 0 ( J P , A )

特開 2 0 0 0 - 1 3 9 0 7 6 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 2 M 5 / 0 0 - 5 / 4 8