

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7648246号
(P7648246)

(45)発行日 令和7年3月18日(2025.3.18)

(24)登録日 令和7年3月10日(2025.3.10)

(51)国際特許分類		F I	
H 1 0 D	86/60 (2025.01)	H 1 0 D	86/60 B
G 0 2 F	1/1368(2006.01)	G 0 2 F	1/1368
H 1 0 D	30/01 (2025.01)	H 1 0 D	30/01 2 0 2 L
H 1 0 D	30/67 (2025.01)	H 1 0 D	30/67 1 0 2 N
		H 1 0 D	30/67 1 0 3 B
請求項の数 14 (全53頁)			
(21)出願番号	特願2024-20841(P2024-20841)	(73)特許権者	501232056 三国電子有限会社 埼玉県さいたま市南区别所7丁目21番 1号 プラウドタワー武蔵浦和マークス 2707号
(22)出願日	令和6年2月15日(2024.2.15)	(74)代理人	100141586 弁理士 沖中 仁
(62)分割の表示	特願2020-18120(P2020-18120)の 分割	(72)発明者	田中 栄 埼玉県さいたま市南区别所7丁目21番 1号プラウドタワー武蔵浦和マークス2 707号 三国電子有限会社内
原出願日	令和2年2月5日(2020.2.5)	審査官	市川 武宜
(65)公開番号	特開2024-59714(P2024-59714A)		
(43)公開日	令和6年5月1日(2024.5.1)		
審査請求日	令和6年2月15日(2024.2.15)		
		最終頁に続く	

(54)【発明の名称】 薄膜トランジスタ

(57)【特許請求の範囲】

【請求項1】

第1ゲート電極と、
前記第1ゲート電極と重なる第2ゲート電極と、
前記第1ゲート電極と前記第2ゲート電極との間の半導体層と、
前記第1ゲート電極と前記半導体層との間の第1絶縁層と、
前記半導体層と前記第2ゲート電極との間の第2絶縁層と、
前記第1ゲート電極及び前記第2ゲート電極から離隔し、前記第1絶縁層と前記半導体層との間に配置された導電層と、を含み、
前記半導体層は、
前記第2ゲート電極と重なるチャネル領域と、
前記チャネル領域に隣接し、前記導電層と接する少なくとも1つの低抵抗領域を含み、
前記低抵抗領域は、前記導電層の上面及び側面の周囲と接触して覆い、
前記低抵抗領域は、前記第2ゲート電極と前記半導体層とが重なる領域と、前記導電層と前記半導体層とが重なる領域との間のオフセット領域と、を含み、
前記第2ゲート電極のチャネル長方向の長さが、前記第1ゲート電極のチャネル長方向の長さよりも大きく、
前記少なくとも1つの低抵抗領域の前記チャネル領域側の端部が、前記第2ゲート電極の端部と重なり、

前記少なくとも1つの低抵抗領域の前記チャンネル領域側の端部が、前記第1ゲート電極の端部の外側にある

ことを特徴とする薄膜トランジスタ。

【請求項2】

前記オフセット領域の幅が、 $0.5\ \mu\text{m} \sim 2.0\ \mu\text{m}$ である、

請求項1に記載の薄膜トランジスタ。

【請求項3】

前記第1ゲート電極と前記第2ゲート電極が電氣的に接続されている、

請求項1に記載の薄膜トランジスタ。

【請求項4】

前記半導体層が酸化物半導体層である、

請求項1に記載の薄膜トランジスタ。

【請求項5】

前記導電層が、前記第1絶縁層側の酸化物導電層と、前記酸化物半導体層側の金属層とを含み、前記低抵抗領域が、前記金属層の上面及び側面、並びに前記金属層から露出する前記酸化物導電層の上面及び側面と接触し覆っている、

請求項4に記載の薄膜トランジスタ。

【請求項6】

前記酸化物半導体層は、前記第1絶縁層側の第1領域と、前記第2絶縁層側の第2領域と、を含み、

前記第1領域と前記第2領域との結晶性が異なっている、

請求項4に記載の薄膜トランジスタ。

【請求項7】

前記第1領域が非晶質であり、前記第2領域が結晶性を有する、

請求項6に記載の薄膜トランジスタ。

【請求項8】

前記第2領域の膜厚が、前記第1領域の膜厚より薄い、

請求項6に記載の薄膜トランジスタ。

【請求項9】

前記チャンネル領域において、前記第2領域のキャリア濃度が前記第1領域のキャリア濃度より低い、

請求項6に記載の薄膜トランジスタ。

【請求項10】

前記第2領域のバンドギャップが、前記第1領域のバンドギャップより広い、

請求項6に記載の薄膜トランジスタ。

【請求項11】

前記第1領域のバンドギャップが $2.8\ \text{eV}$ 以上 $3.9\ \text{eV}$ 以下の範囲であり、前記第2領域のバンドギャップが $4.0\ \text{eV}$ 以上である、

請求項10に記載の薄膜トランジスタ。

【請求項12】

前記第2領域の伝導帯の底のエネルギーレベルが、前記第1領域の伝導帯の底のエネルギーレベルより高い、

請求項11に記載の薄膜トランジスタ。

【請求項13】

前記第2領域の伝導帯の底のエネルギーレベルが、前記第1領域の伝導帯の底のエネルギーレベルより $0.3\ \text{eV}$ 以上高い、請求項12に記載の薄膜トランジスタ。

【請求項14】

前記第1領域が、 $\text{In}_2\text{O}_3 - \text{Ga}_2\text{O}_3 - \text{SnO}_2 - \text{ZnO}$ 系酸化物材料、 $\text{In}_2\text{O}_3 - \text{Ga}_2\text{O}_3 - \text{SnO}_2$ 系酸化物材料、又は $\text{In}_2\text{O}_3 - \text{Ga}_2\text{O}_3 - \text{ZnO}$ 系酸化物材料で形成され、

10

20

30

40

50

前記第2領域が、 Ga_2O_3 系酸化物材料、 $GaSnO_x$ 系酸化物材料、又は $GaSiO_x$ 系酸化物材料で形成される、
請求項6に記載の薄膜トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一実施形態は、液晶表示装置の画素構造に関する。

【背景技術】

【0002】

横電界方式のアクティブマトリクス型液晶表示装置として、誘電率が3.3以下の透明な絶縁物で映像信号線を被覆し、この細長い絶縁体バンプの上に、透明導電体を用いて映像信号配線をシールドするための共通電極を形成した液晶表示装置が開示されている（特許文献1参照）。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2004-341465号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来技術の液晶表示装置は、信号線の電界をシールドするためにシールド共通電極が設けられている。しかし、シールド電極を設けた構造は、層構造が複雑化し、また画素の開口率を低下させることが問題となる。一方、層構造を簡略化しようとする、信号線の電界が液晶層に作用して長期的な信頼性を低下させることが問題となる。本発明の一実施形態は、このような問題点を解決することを目的の一つとする。

【課題を解決するための手段】

【0005】

本発明の一実施形態に係る液晶表示装置は、第1基板上の第1ゲート電極と、第1ゲート電極と重なる領域を有する第2ゲート電極と、第1ゲート電極と第2ゲート電極との間の酸化物半導体層と、第1ゲート電極と酸化物半導体層との間の第1絶縁層と、酸化物半導体層と第2ゲート電極との間の第2絶縁層とを含むトランジスタと、第1絶縁層と第2絶縁層との間の画素電極と、画素電極と重なる領域を有し、第2絶縁層上のコモン電極と、を有する。トランジスタは、第1絶縁層と酸化物半導体層との間に配置され、第1ゲート電極及び第2ゲート電極を挟むように配置される第1酸化物導電層と第2酸化物導電層とをさらに含み、画素電極は、第2酸化物導電層から連続して設けられ、第1ゲート電極と第2ゲート電極とは、酸化物半導体層の外側の領域で、第1絶縁層及び第2絶縁層を貫通する第1コンタクトホールによって電氣的に接続されている。

【0006】

本発明の一実施形態に係る液晶表示装置は、第1基板上の第1ゲート電極と、第1ゲート電極と重なる領域を有する第2ゲート電極と、第1ゲート電極と第2ゲート電極との間の酸化物半導体層と、第1ゲート電極と酸化物半導体層との間の第1絶縁層と、酸化物半導体層と第2ゲート電極との間の第2絶縁層とを含むトランジスタと、第2絶縁層上の間の画素電極とコモン電極とを含む。トランジスタは、第1絶縁層と酸化物半導体層との間に配置され、第1ゲート電極及び第2ゲート電極を挟むように配置される第1酸化物導電層と第2酸化物導電層とをさらに含み、画素電極は、第2酸化物導電層と電氣的に接続され、第1ゲート電極と第2ゲート電極とは、酸化物半導体層の外側の領域で、第1絶縁層及び第2絶縁層を貫通する第1コンタクトホールによって電氣的に接続されている。

【0007】

本発明の一実施形態に係る液晶表示装置は、第1基板上の第1ゲート電極と、第1ゲート電極と重なる領域を有する第2ゲート電極と、第1ゲート電極と第2ゲート電極との間

の酸化物半導体層と、第1ゲート電極と酸化物半導体層との間の第1絶縁層と、酸化物半導体層と第2ゲート電極との間の第2絶縁層とを含むトランジスタと、第1基板と第1絶縁層との間の第1画素電極と、第2絶縁層上の第2画素電極と、を含む。トランジスタは、第1絶縁層と酸化物半導体層との間に配置され、第1ゲート電極及び第2ゲート電極を挟むように配置される第1酸化物導電層と第2酸化物導電層とをさらに含み、第1画素電極と第2画素電極とは、第2酸化物導電層から連続する配線と電氣的に接続され、第1ゲート電極と第2ゲート電極とは、酸化物半導体層の外側の領域で、第1絶縁層及び第2絶縁層を貫通する第1コンタクトホールによって電氣的に接続されている。

【発明の効果】

【0008】

本発明の一実施形態によれば、デュアルゲートのトランジスタを画素に設け、当該トランジスタと接続される配線を絶縁層に埋め込むことにより、シールド電極等を設けることなく液晶表示装置の信頼性を高めることができる。

【図面の簡単な説明】

【0009】

【図1】本発明の一実施形態に係る液晶表示装置の構成を示す。

【図2】本発明の一実施形態に係る液晶表示装置の表示部の回路構成の一例を示す。

【図3】本発明の一実施形態に係る液晶表示装置のデータ信号線駆動回路の一例を示す。

【図4】本発明の一実施形態に係る液晶表示装置の動作を説明するタイミングチャートであり、(A)はFFS方式及びIPS方式の場合、(B)はPSVA方式の場合を示す。

【図5】本発明の一実施形態に係る液晶表示装置の構成を示す。

【図6】本発明の一実施形態に係る液晶表示装置の表示部の回路構成の一例を示す。

【図7】本発明の一実施形態に係る液晶表示装置に用いられるトランジスタの構造を示し、(A)は平面的な構造、(B)は断面構造を示す。

【図8】本発明の一実施形態に係る液晶表示装置に用いられるトランジスタの構造を示し、(A)は平面的な構造、(B)は断面構造を示す。

【図9】本発明の一実施形態に係る液晶表示装置に用いられるトランジスタの断面構造を示す。

【図10】本発明の一実施形態に係る液晶表示装置に用いられるトランジスタの断面構造を示す。

【図11】本発明の一実施形態に係る液晶表示装置に用いられるトランジスタの断面構造を示す。

【図12】本発明の一実施形態に係る液晶表示装置に適用されるトランジスタの構造と動作を説明するためのエネルギーバンド図を示す。

【図13】本発明の一実施形態に係る液晶表示装置の画素の平面図を示す。

【図14】図13に示す画素の断面構造であって、(A)はA1-A2線及びB1-B2線に対応する断面構造を示し、(B)はC1-C2線に対応する断面構造を示す。

【図15】本発明の一実施形態に係る液晶表示装置の画素の断面構造であって、素子基板及び対向基板、並びに液晶層が配置された構造を示す。

【図16】本発明の一実施形態に係る液晶表示装置の画素の断面構造を示し、(A)及び(B)は入力端子部の構成を示す。

【図17】本発明の一実施形態に係る液晶表示装置の製造工程を説明する図であり、(A)は図13に示すA1-A2線及びB1-B2線に対応する断面図を示し、(B)はC1-C2線に対応する断面図を示す。

【図18】本発明の一実施形態に係る液晶表示装置の製造工程を説明する図であり、(A)は図13に示すA1-A2線及びB1-B2線に対応する断面図を示し、(B)はC1-C2線に対応する断面図を示す。

【図19】本発明の一実施形態に係る液晶表示装置の製造工程を説明する図であり、(A)は図13に示すA1-A2線及びB1-B2線に対応する断面図を示し、(B)はC1-C2線に対応する断面図を示す。

10

20

30

40

50

【図 20】本発明の一実施形態に係る液晶表示装置の製造工程を説明する図であり、(A) は図 13 に示す A1 - A2 線及び B1 - B2 線に対応する断面図を示し、(B) は C1 - C2 線に対応する断面図を示す。

【図 21】本発明の一実施形態に係る液晶表示装置の製造工程を説明する図であり、(A) は図 13 に示す A1 - A2 線及び B1 - B2 線に対応する断面図を示し、(B) は C1 - C2 線に対応する断面図を示す。

【図 22】本発明の一実施形態に係る液晶表示装置の画素の平面図を示す。

【図 23】図 22 に示す画素の断面構造であって、(A) は A3 - A4 線及び B3 - B4 線に対応する断面構造を示し、(B) は C3 - C4 線に対応する断面構造を示す。

【図 24】本発明の一実施形態に係る液晶表示装置の画素の平面図を示す。

【図 25】図 24 に示す画素の断面構造であって、(A) は A5 - A6 線に対応する断面構造を示し、(B) は D1 - D2 線に対応する断面構造を示す。

【図 26】本発明の一実施形態に係る液晶表示装置の画素の平面図を示す。

【図 27】図 26 に示す画素の断面構造であって、(A) は A7 - A8 線に対応する断面構造を示し、(B) は C7 - C8 線に対応する断面構造を示す。

【図 28】本発明の一実施形態に係る液晶表示装置の画素の平面図を示す。

【図 29】本発明の一実施形態に係る液晶表示装置の製造工程を説明する図であり、(A) は図 28 に示す A9 - A10 線及び B9 - B10 線に対応する断面図を示し、(B) は C9 - C10 線に対応する断面図を示す。

【図 30】本発明の一実施形態に係る液晶表示装置の画素の平面図を示す。

【図 31】本発明の一実施形態に係る液晶表示装置の製造工程を説明する図であり、(A) は図 30 に示す A11 - 12 線及び B11 - B12 線に対応する断面図を示し、(B) は C11 - C12 線に対応する断面図を示す。

【図 32】本発明の一実施形態に係る液晶表示装置の画素の平面図を示す。

【図 33】本発明の一実施形態に係る液晶表示装置の製造工程を説明する図であり、(A) は図 32 に示す A13 - 14 線に対応する断面図を示し、(B) は C13 - C14 線に対応する断面図を示す。

【図 34】本発明の一実施形態に係る液晶表示装置の画素の断面構造であって、素子基板及び対向基板、並びに液晶層が配置された構造を示す。

【図 35】本発明の一実施形態に係る液晶表示装置の画素の平面図を示す。

【図 36】本発明の一実施形態に係る液晶表示装置の製造工程を説明する図であり、(A) は図 35 に示す A15 - A16 線及び B15 - B16 線に対応する断面図を示し、(B) は C15 - C16 線に対応する断面図を示す。

【図 37】本発明の一実施形態に係る液晶表示装置の画素の平面図を示す。

【図 38】図 37 に示す画素の断面構造であって、(A) は A17 - A18 線に対応する断面構造を示し、(B) は B17 - B18 線に対応する断面構造を示す。

【図 39】本発明の一実施形態に係る液晶表示装置の画素の平面図を示す。

【図 40】図 39 に示す画素の断面構造であって、(A) は A19 - A20 線に対応する断面構造を示し、(B) は C19 - C20 線に対応する断面構造を示す。

【図 41】本発明の一実施形態に係る液晶表示装置の画素の断面構造であって、素子基板及び対向基板、並びに液晶層が配置された構造を示す。

【図 42】本発明の一実施形態に係る液晶表示装置の画素の印加信号電圧に対する輝度特性の関係を模式的に示すグラフである。

【図 43】本発明の一実施形態に係る液晶表示装置の製造工程を説明する図であり、(A) は図 39 に示す A19 - A20 線に対応する断面図を示し、(B) は C19 - C20 線に対応する断面図を示す。

【図 44】本発明の一実施形態に係る液晶表示装置の製造工程を説明する図であり、(A) は図 39 に示す A19 - A20 線に対応する断面図を示し、(B) は C19 - C20 線に対応する断面図を示す。

【図 45】本発明の一実施形態に係る液晶表示装置の製造工程を説明する図であり、(A

10

20

30

40

50

）は図３９に示すＡ１９－Ａ２０線に対応する断面図を示し、（Ｂ）はＣ１９－Ｃ２０線に対応する断面図を示す。

【図４６】本発明の一実施形態に係る液晶表示装置の製造工程を説明する図であり、（Ａ）は図３９に示すＡ１９－Ａ２０線に対応する断面図を示し、（Ｂ）はＣ１９－Ｃ２０線に対応する断面図を示す。

【図４７】本発明の一実施形態に係る液晶表示装置の製造工程を説明する図であり、（Ａ）は図３９に示すＡ１９－Ａ２０線に対応する断面図を示し、（Ｂ）はＣ１９－Ｃ２０線に対応する断面図を示す。

【図４８】本発明の一実施形態に係る液晶表示装置の画素の平面図を示す。

【図４９】図４８に示す画素の断面構造であって、Ｃ２１－Ｃ２２線に対応する断面構造を示す。

【図５０】本発明の一実施形態に係る液晶表示装置の画素の平面図を示す。

【図５１】図５０に示す画素の断面構造であって、（Ａ）はＡ２３－Ａ２４線に対応する断面構造を示し、（Ｂ）はＣ２３－Ｃ２４線に対応する断面構造を示す。

【発明を実施するための形態】

【００１０】

以下、本発明の実施形態を、図面等を参照しながら説明する。但し、本発明は多くの異なる態様を含み、以下に例示する実施形態に限定して解釈されるものではない。本明細書に添付される図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、それはあくまで一例であって、本発明の内容を必ずしも限定するものではない。また、本発明において、ある図面に記載された特定の要素と、他の図面に記載された特定の要素とが同一又は対応する関係にあるときは、同一の符号（又は符号として記載された数字の後に a、b などを付した符号）を付して、繰り返しの説明を適宜省略することがある。さらに各要素に対する「第１」、「第２」と付記された文字は、各要素を区別するために用いられる便宜的な標識であり、特段の説明がない限りそれ以上の意味を有しない。

【００１１】

本明細書において、ある部材又は領域が他の部材又は領域の「上に（又は下に）」あるとする場合、特段の限定がない限りこれは他の部材又は領域の直上（又は直下）にある場合のみでなく他の部材又は領域の上方（又は下方）にある場合を含む。すなわち、他の部材又は領域の上方（又は下方）においてある部材又は領域との間に別の構成要素が含まれている場合も含む。

【００１２】

１．液晶表示装置の構成

本発明の一実施形態に係る液晶表示装置の回路構成について示す。以下においては、F F S（Fringe Field Switching）方式及びI P S（In Plane Switching）方式に適用可能な回路構成、及びP S V A（Polymer Stabilized Vertical Alignment）方式に適用可能な回路構成について例示する。

【００１３】

１－１．F F S方式及びI P S方式の液晶表示装置

図１は、本発明の一実施形態に係るF F S方式及びI P S方式の液晶表示装置２００aの構成を示す。液晶表示装置２００aは、対向して配置された第１基板１００と第２基板１０２との間に液晶層（図示されず）が設けられた構造を有し、液晶の電気光学効果を利用して画像が表示される表示部１０４を備えている。表示部１０４は、少なくとも１つの画素１０６、走査信号線１１６、コモン信号線１１７、データ信号線１１８が配設される。少なくとも１つの画素１０６は、複数の画素から成る。複数の画素１０６は、表示部１０４に適宜配列されている。複数の画素１０６は、例えば、ストライプ配列、モザイク配列、デルタ配列、ペンタイル配列に対応するように配置される。

【００１４】

液晶表示装置 200a は、また、表示部 104 の外側の領域に走査信号線駆動回路 108、コモン信号線駆動回路 109、データ信号線駆動回路 110 が適宜配置され得る。表示部 104 に配設される走査信号線 116 は走査信号線駆動回路 108 と接続され、コモン信号線 117 はコモン信号線駆動回路 109 と接続され、データ信号線 118 はデータ信号線駆動回路 110 と接続される。走査信号線駆動回路 108 は走査信号線 116 に走査信号を出力し、コモン信号線駆動回路 109 はコモン信号線 117 にコモン信号を出力し、データ信号線駆動回路 110 はデータ信号線 118 に映像信号を出力する。

【0015】

液晶表示装置 200a は、第 1 基板 100 の端部に設けられた入力端子部 112 を含む。入力端子部 112 は、少なくとも 1 つの端子電極 114 を含む。少なくとも一つの端子電極 114 は、複数の端子電極 114 から成る。複数の端子電極 114 は、入力端子部 112 に適宜配列される。入力端子部 112 は外部回路との接続部であり、図示されないフレキシブルプリント配線基板が接続される部位となる。

10

【0016】

図 1 は、また、画素 106 の等価回路を示す。画素 106 は、トランジスタ 202、液晶素子 204、保持容量素子 206 を含む。トランジスタ 202 は、ゲートと呼ばれる制御端子と、ソース及びドレインと呼ばれる入出力端子を有する。画素 106 に配置されたトランジスタ 202 は、ゲート（制御端子）が走査信号線 116 と電気的に接続され、ソース及びドレインの一方（第 1 入出力端子）がデータ信号線 118 と電気的に接続され、ソース及びドレインの他方（第 2 入出力端子）が液晶素子 204 及び保持容量素子 206 と電気的に接続される。また、液晶素子 204 及び保持容量素子 206 はコモン信号線 117 と電気的に接続される。

20

【0017】

トランジスタ 202 は、走査信号線 116 からゲート（制御端子）入力される走査信号によってオン状態及びオフ状態が制御され、オン状態のときデータ信号線 118 から映像信号が画素 106 に入力される状態となる。この状態において、液晶素子 204 にはデータ信号に基づく電圧が印加され、保持容量素子 206 はデータ信号に基づく電圧で充電される。液晶素子 204 は一对の電極と液晶層とを含む。液晶素子 204 は、一方の電極（画素電極とも呼ばれる）がトランジスタ 202 と電気的に接続され、他方の電極（コモン電極）がコモン信号線 117 と電気的に接続される。液晶素子 204 は、映像信号に基づく電圧とコモン信号線 117 に印加された電圧により液晶分子の配向が制御される。液晶表示装置 200a は、複数の画素 106 における液晶の配向状態を個々に制御することにより、表示部 104 に映像を表示する機能を有する。

30

【0018】

図 2 は、FFS 方式及び IPS 方式における表示部 104 の回路構成を示す。図 2 は、表示部 104 の第 n 行に、画素 106 (nR_m)、106 (nG_m)、106 (nB_{m+1})、106 (nR_{m+1})、が配列され、第 $n+1$ 行目に画素 106 ($(n+1)R_m$)、106 ($(n+1)G_m$)、106 ($(n+1)B_{m+1}$)、106 ($(n+1)R_{m+1}$) が配列される態様を示す。各画素にはトランジスタ 202 が設けられている。各画素に設けられたトランジスタ 202 は、走査信号線 116 及びデータ信号線 118 と接続されている。各画素には画素電極及びコモン電極が設けられている。

40

【0019】

図 2 は、各画素がストライプ配列に対応して配置された態様を示す。すなわち、図 2 は、各列に応じて赤色 (R) 画素、緑色画素 (G)、青色画素 (B) が配列された一例を示す。各画素は走査信号線 116 との関係において、画素 106 (nG_m)、106 (nR_{m+1}) は、第 n 行目に対応して配置された第 1 走査信号線 116 (G_{An}) と接続され、画素 106 (nR_m)、106 (nB_{m+1}) は、第 n 行目に対応して配置された第 2 走査信号線 (G_{Bn}) と接続され、画素 106 ($(n+1)G_m$)、106 ($(n+1)R_{m+1}$) は、第 $n+1$ 行目に対応して配置された走査信号線 116 ($G_{A_{n+1}}$) と接続され、画素 106 ($(n+1)R_m$)、106 ($(n+1)B_{m+1}$) は、第 $n+1$ 行目に対応して配置された第 2 走査

50

信号線 116 (G_{Bn+1}) と接続される。また、各画素は、データ信号線 118 との関係において、画素 106 (nR_m)、106 (nG_m)、106 ($n+1R_m$)、106 ($n+1G_m$) が第 m 列目に対応して配置された第 1 データ信号線 118 (D_m) と接続され、画素 106 (nB_{m+1})、106 (nR_{m+1})、106 ($n+1B_{m+1}$)、106 ($n+1R_{m+1}$) が第 $m+1$ 列目に対応して配置された第 2 データ信号線 118 (D_{m+1}) と接続される。また、第 n 行目に配置された画素は、コモン電極が第 1 コモン信号線 117 (COM_n) と接続され、第 $n+1$ 行目に配置された画素はコモン電極が第 2 コモン信号線 (COM_{n+1}) と接続される。

【0020】

図 2 に示すように、各行に 2 本の走査信号線を設けることで、データ信号線の本数を削減することができる。例えば、第 n 行目に属する画素 106 (nR_m) と画素 106 (nG_m) とは、第 1 データ信号線 118 (D_m) と接続され、同じデータ信号線からビデオ信号が入力される。同様に、第 n 行目に属する画素 106 (nB_{m+1}) と画素 106 (nR_{m+1}) とは、第 2 データ信号線 118 (D_{m+1}) と接続され、同じデータ信号線からビデオ信号が入力される。

【0021】

図 3 は、データ信号線駆動回路 110 の構成例を示す。図 3 は、フレキシブルプリント配線基板 (FPC 基板) 101 に実装されたドライバ IC 111 と第 1 基板 100 に形成されたデマルチプレクサ 209 によってデータ信号線駆動回路 110 が構成される一例を示す。FPC 101 は第 1 基板 100 に設けられた端子電極 114 によって接続される。ドライバ IC 111 に接続された出力信号線 115 は、デマルチプレクサ 209 に入力され、複数のデータ信号線に振り分けられる。図 3 は、ドライバ IC 111 から伸びる 1 本の出力信号線 115 がデマルチプレクサ 209 の 1 つのブロックに入力され、3 本のデータ信号線 118 (D_1)、118 (D_2)、118 (D_3) に分配される態様を示す。なお、デマルチプレクサ 209 の出力数は任意である。

【0022】

デマルチプレクサ 209 は、画素 106 に設けられるトランジスタ 202 と同じ構造のトランジスタで形成することができる。このように、ビデオ信号の処理はドライバ IC で行うものとして、これを COF (Chip On Film) で実装し、表示部 104 が形成される第 1 基板 100 上にデマルチプレクサ 209 を設けてデータ信号線 118 に分配することで、ドライバ IC 111 の回路規模を縮小することができる。また、ドライバ IC 111 の消費電力を削減することができる。

【0023】

図 4 (A) は、第 1 走査信号線 116 (G_{An})、第 2 走査信号線 116 (G_{Bn})、第 1 データ信号線 118 (D_m)、及びコモン信号線 117 (COM_n) に入力される信号のタイミングチャートを示す。図 4 (A) に示すタイミングチャートは、フレーム反転駆動方式の一例を示す。あるフレームにおいて、コモン信号線 117 のコモン電圧が反転すると、第 n 行目の第 1 走査信号線 (例えば、第 1 走査信号線 116 (G_{An})) が選択され、偶数列の画素にビデオ信号が書き込まれる。第 n 行目の第 2 走査信号線 (例えば、第 2 走査信号線 (G_{Bn})) が、第 1 走査信号線の選択信号から半パルス遅れてオンになり、奇数列の画素がプリチャージされ、第 1 走査信号線の選択信号がオフになるとビデオ信号が書き込まれる。このようにして表示部 104 の各行の画素にビデオ信号が書き込まれる。次のフレームでは、コモン信号線 117 のコモン電圧が反転し、それに応じてビデオ信号の電圧レベルが反転し、同様の動作が行われる。このように、FFS 方式、IPS 方式の液晶表示装置 200a は、フレーム反転駆動方式を適用することができる。

【0024】

1-2. PSVA 方式の液晶表示装置

図 5 は、本発明の一実施形態に係る PSVA 方式の液晶表示装置 200b の構成を示す。液晶表示装置 200b は、対向して配置された第 1 基板 100 と第 2 基板 102 との間に液晶層 (図示されず) が設けられた構造を有し、液晶の電気光学効果を利用して画像が

10

20

30

40

50

表示される表示部104を備えている。液晶表示装置200aは、また、表示部104の外側の領域に走査信号線駆動回路108、データ信号線駆動回路110が適宜配置されている。表示部104に配設される走査信号線116は走査信号線駆動回路108と接続され、データ信号線118はデータ信号線駆動回路110と接続される。走査信号線駆動回路108は走査信号線116に走査信号を出力し、データ信号線駆動回路110はデータ信号線118に映像信号を出力する。液晶素子204及び保持容量素子206の一方の端子はトランジスタ202と電氣的に接続され、他方の端子にはコモン電圧が印加される。

【0025】

図6は、PSVA方式における表示部104の回路構成を示す。図6は、表示部104の第 n 行に、画素106(nR_m)、106(nG_m)、106(nB_{m+1})、106(nR_{m+1})、が配列され、第 $n+1$ 行目に画素106($(n+1)R_m$)、106($(n+1)G_m$)、106($(n+1)B_{m+1}$)、106($(n+1)R_{m+1}$)が配列される態様を示す。各画素にはデータ信号線118と接続されるトランジスタ202が設けられている。

【0026】

図6は、各画素がストライプ配列に対応して配置された態様を示す。画素106(nG_m)、106(nR_{m+1})は、第 n 行目に対応して配置された第1走査信号線116(G_{An})と接続され、画素106(nR_m)、106(nB_{m+1})は、第 n 行目に対応して配置された第2走査信号線(G_{Bn})と接続され、画素106($(n+1)G_m$)、106($(n+1)R_{m+1}$)は、第 $n+1$ 行目に対応して配置された走査信号線116(G_{An+1})と接続され、画素106($(n+1)R_m$)、106($(n+1)B_{m+1}$)は、第 $n+1$ 行目に対応して配置された第2走査信号線116(G_{Bn+1})と接続される。また、各画素は、データ信号線118との関係において、画素106(nR_m)、106(nG_m)、106($(n+1)R_m$)、106($(n+1)G_m$)が第 m 列目に対応して配置された第1データ信号線118(D_m)と接続され、画素106(nB_{m+1})、106(nR_{m+1})、106($(n+1)B_{m+1}$)、106($(n+1)R_{m+1}$)が第 $m+1$ 列目に対応して配置された第2データ信号線118(D_{m+1})と接続される。このように、図6に示す画素回路は、FFS方式及びIPD方式の画素回路と同様に、各行に2本の走査信号線を設けることで、データ信号線の本数を削減することができる。

【0027】

図4(B)は、第1走査信号線116(G_{An})、第2走査信号線116(G_{Bn})、及び第1データ信号線118(D_m)に入力される信号のタイミングチャートを示す。図4(B)に示すタイミングチャートは、ドット反転駆動方式の一例を示し、コモン電圧は一定となっている。あるフレームにおいて、第 n 行目の第1走査信号線(例えば、第1走査信号線116(G_{An}))が選択され、偶数列の画素にビデオ信号が書き込まれる。次に、第 n 行目の第2走査信号線(例えば、第2走査信号線(G_{Bn}))が選択され、コモン電圧を基準としてみたときに偶数列とは逆の極性のビデオ信号が入力される。このように、PSVA方式の液晶表示装置200bは、ドット反転駆動方式を適用することができる。

【0028】

1-3. 高精細化への課題

トランジスタ202は、チャネル領域が半導体薄膜で形成される薄膜トランジスタである。トランジスタ202は、走査信号線116及びデータ信号線118と共に、フォトリソグラフィによる微細パターン作成技術を用いて作製される。液晶表示装置200a、200bの製造コストを低減するためには、フォトマスクの数を削減することが必要と考えられている。しかし、走査信号線116及びデータ信号線118は交差して配置する必要がある。また、これらの配線の一部は、液晶層をシールするシールパターンと交差するように設ける必要がある。走査信号線116及びデータ信号線118は金属配線で形成されるが、シールパターンと重なる部分では金属配線を露出させることができないため、配線は無機絶縁膜で被覆することが必要とされている。シール材と金属配線とが直接接していると、シール材と金属配線との界面を通して大気中の水分(H_2O)が液晶層に浸透しやすくなり、信頼性を低下させる原因となる。

【0029】

液晶表示装置200a、200bは、表示部104に配置される複数の画素106を高密度化することにより高精細な画像を表示することが可能となる。しかし、表示部104の画素数が増加すると、1フレーム当たりの信号書込時間が短くなるためトランジスタ202の高速動作が要求されることとなる。一般にトランジスタは、チャンネルを形成する半導体の種類により電界効果移動度が異なることが知られている。例えば、アモルファスシリコンを用いた薄膜トランジスタ（アモルファスシリコンTFT）の電界効果移動度は $0.5\text{ cm}^2/\text{V sec}$ 程度であり、フルハイビジョン（2K）の液晶ディスプレイを駆動するのが限界とされている。一方、解像度が8Kの液晶ディスプレイでは、書き込み時間を $1.9\text{ }\mu\text{sec}$ 程度に短くする必要があるため、アモルファスシリコンTFTでは駆動能力が足りず、分割駆動（画面を複数の領域に分割して駆動する方式）により駆動能力の不足を補う必要がある。しかし、分割駆動方式は、駆動回路の構成が複雑となり、液晶表示装置の製造コスト及び消費電力が増大してしまうことが問題となる。

10

【0030】

画素の高密度化に伴い、画素を構成するトランジスタには、高速動作に対応できることが求められている。また、液晶表示装置は、単にトランジスタを高性能化するのではなく、高画質化を図りつつも、製造コストの低廉化が求められている。以下においては、このような要求を満たすことのできる液晶表示装置の一実施形態を示す。

【0031】

2. トランジスタ及びバックプレーンの構造

20

本発明の一実施形態に係る液晶表示装置200a、200bに用いられるトランジスタ202の詳細を説明する。本実施形態においてトランジスタ202は薄膜トランジスタであり、以下に示すように少なくとも2種類の構造を有している。

【0032】

2-1. トランジスタの第1の構造例

図7（A）及び図7（B）は、トランジスタの第1の構造例を示す。図7（A）は、トランジスタ202の平面図を示す。図7（B）は、図7（A）に示すX1-X2線に対応する、トランジスタ202の断面構造を示す。

【0033】

トランジスタ202は、酸化物半導体層128、第1ゲート電極120、及び第2ゲート電極132を含む。トランジスタ202は、酸化物半導体層128に対し、第1ゲート電極120が第1基板100側に配置され、第2ゲート電極132が第1基板100とは反対側に配置された構造を有する。第1ゲート電極120と酸化物半導体層128との間には第1絶縁層122が設けられ、酸化物半導体層128と第2ゲート電極132との間には第2絶縁層130が設けられる。第1絶縁層122及び第2絶縁層130は、第1ゲート電極120及び第2ゲート電極132と、酸化物半導体層128とを絶縁するゲート絶縁膜としての機能を有する。

30

【0034】

トランジスタ202は、第1酸化物導電層124a及び第2酸化物導電層124bが、第1絶縁層122と酸化物半導体層128との間に設けられた構造を有する。第1酸化物導電層124a及び第2酸化物導電層124bは、それぞれ的一端（先端部分）が、第1ゲート電極120及び第2ゲート電極132と重なるように配置される。第1酸化物導電層124a及び第2酸化物導電層124bは、酸化物半導体層128の第1ゲート電極120側の面（第1面）と接して設けられる。第1酸化物導電層124a及び第2酸化物導電層124bは、酸化物半導体層128と同じ金属酸化物に属する材料で形成される。第1酸化物導電層124a及び第2酸化物導電層124bは、酸化物半導体層128とオーミック接触することから、ソース電極及びドレイン電極とみなすことができる。また、第1酸化物導電層124a及び第2酸化物導電層124bは、酸化物半導体層128と比べて導電性が高いため、酸化物半導体層128と接触する界面においてソース領域及びドレイン領域を形成しているとみなすこともできる。

40

50

【0035】

第1酸化物導電層124aの一端と第2酸化物導電層124bの一端とは離隔し、対向し、かつ第1ゲート電極120及び第2ゲート電極132と重なるように配置される。このような構造により、トランジスタ202は、実質的にソース領域及びド레인領域の一端がゲート電極と重なる、所謂ゲートオーバーラップ構造を有する。このような構造により、トランジスタ202は高いオン電流を得ることができる。

【0036】

第1金属層126aが、第1酸化物導電層124aと酸化物半導体層128との間に配置され、第2金属層126bが、第2酸化物導電層124bと酸化物半導体層128との間に配置される。第1金属層126a及び第2金属層126bは任意の部材であり適宜設けられる。第1金属層126a及び第2金属層126bは、例えば、トランジスタ202を他の素子と電氣的に接続するための配線として用いられる。第1金属層126a及び第2金属層126bは、酸化物半導体層128にチャネルが形成される領域から離れた位置に配置される。このような構造により、トランジスタ202は、回路の中で配線と接続する構造を有しつつ、第1金属層126a及び第2金属層126bを形成する金属によってチャネル領域の汚染を防止することが可能な構造を有している。

【0037】

トランジスタ202は、第1ゲート電極120と第2ゲート電極132とが電氣的に接続された構造を有する。図7(A)に示す第1コンタクトホール134は、第1絶縁層122及び第2絶縁層130を貫通する孔であり、酸化物半導体層128のチャネルが形成される領域の外側に設けられている。

【0038】

トランジスタ202は、酸化物半導体層128の上下にゲート電極が配置されたデュアルゲート構造を有していることから、完全空乏型の状態で動作することが可能である。また、トランジスタ202は、完全空乏型とならないまでも、酸化物半導体層128の第1面側（第1ゲート電極120側）と第2面側（第2ゲート電極132側）の両方にチャネルが形成された状態（部分空乏型）で動作することが可能である。トランジスタ202は、完全空乏型及び部分空乏型のいずれの状態でも、絶縁層（第1絶縁層122、第2絶縁層130）との界面及びその近傍に存在する金属層126からの電界の影響を排除することができ、しきい値電圧の変動を防止することができる。

【0039】

上記のように、トランジスタ202を構成する酸化物半導体層128、酸化物導電層124（第1酸化物導電層124a、第2酸化物導電層124b）、絶縁層（第1絶縁層122、第2絶縁層130）、ゲート電極（第1ゲート電極120及び第2ゲート電極132）、金属層126（第1金属層126a及び第2金属層126b）の詳細について示す。

【0040】

2-1-1. 酸化物半導体層

酸化物半導体層128は、元素として、インジウム(In)、亜鉛(Zn)、ガリウム(Ga)、スズ(Sn)、アルミニウム(Al)、マグネシウム(Mg)から選ばれた一種又は複数種を含む。例えば、酸化物半導体層128を形成する酸化物半導体材料としては、半導体特性を示す、三元系酸化物材料、二元系酸化物材料、及び一元系酸化物材料を用いることができる。四元系酸化物材料としては、 $\text{In}_2\text{O}_3-\text{Ga}_2\text{O}_3-\text{SnO}_2-\text{ZnO}$ 系酸化物材料が例示される。三元系酸化物材料としては、 $\text{In}_2\text{O}_3-\text{Ga}_2\text{O}_3-\text{ZnO}$ 系酸化物材料、 $\text{In}_2\text{O}_3-\text{SnO}_2-\text{ZnO}$ 系酸化物材料、 $\text{In}_2\text{O}_3-\text{Al}_2\text{O}_3-\text{ZnO}$ 系酸化物材料、 $\text{Ga}_2\text{O}_3-\text{SnO}_2-\text{ZnO}$ 系酸化物材料、 $\text{Ga}_2\text{O}_3-\text{Al}_2\text{O}_3-\text{ZnO}$ 系酸化物材料、 $\text{SnO}_2-\text{Al}_2\text{O}_3-\text{ZnO}$ 系酸化物材料が例示される。二元系酸化物材料としては、 $\text{In}_2\text{O}_3-\text{ZnO}$ 系酸化物材料、 SnO_2-ZnO 系酸化物材料、 $\text{Al}_2\text{O}_3-\text{ZnO}$ 系酸化物材料、 $\text{MgO}-\text{ZnO}$ 系酸化物材料、 SnO_2-MgO 系酸化物材料、 $\text{In}_2\text{O}_3-\text{MgO}$ 系酸化物材料が例示される。一元系酸化物材料としては、 In_2O_3 系金属酸化物材料、 SnO_2 系金属酸化物材料、 ZnO 系金属

10

20

30

40

50

酸化物材料が例示される。これらの酸化物材料に、シリコン（Si）、ニッケル（Ni）、タングステン（W）、ハフニウム（Hf）、チタン（Ti）、サマリウム（Sm）、鉄（Fe）、タンタル（Ta）が含まれてもよい。なお、上記で示すIn-Ga-Zn-O系酸化物材料は、少なくともInとGaとZnを含む酸化物材料であり、その組成比に特に制限はない。また、他の表現をすれば、酸化物半導体層128は、化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される薄膜を用いることができる。ここで、Mは、Ga、Al、Mg、Ti、Sm、Ta、W、Hf及びSiから選ばれた一つ、又は複数の金属元素を示す。上記の四元系酸化物材料、三元系酸化物材料、二元系酸化物材料、一元系酸化物材料は、含まれる酸化物が化学量論的組成のものに限定されず、化学量論的組成からずれた組成を有する酸化物材料によって構成されてもよい。

【0041】

酸化物半導体層128は、スパッタリング法で作製される。スパッタリング装置としては、マグネトロンスパッタリング装置、誘導結合プラズマを利用したスパッタリング装置が用いられる。スパッタリングターゲットは、上記の四元系酸化物材料、三元系酸化物材料、二元系酸化物材料、又は一元系酸化物材料の焼結体が用いられ、スパッタガスとしては、アルゴン（Ar）、キセノン（Xe）等の純希ガス、又は希ガスと酸素（ O_2 ）若しくは希ガスと酸素（ O_2 ）と水素（ H_2 ）の混合ガスが用いられる。また、酸化物半導体層128は、塗布法（湿式法）で作製される。酸化物半導体層128を塗布法で作製する場合には、上記の四元系酸化物材料、三元系酸化物材料、二元系酸化物材料、一元系酸化物材料、又はそれらの前駆体を含む組成物溶液を基板上に塗布し、乾燥及び焼成する処理が行われる。

【0042】

酸化物半導体層128は、トランジスタ202のチャネル領域を形成するために、キャリア濃度が $1 \times 10^{15} / \text{cm}^3 \sim 5 \times 10^{18} / \text{cm}^3$ 程度であることが望ましい。酸化物半導体層128のキャリア濃度がこの範囲であれば、ノーマリオフのトランジスタを実現することができる。また、オンオフ比（オン電流とオフ電流の比）を $10^7 \sim 10^{10}$ 程度とすることができる。

【0043】

2-1-2. 酸化物導電層

第1酸化物導電層124a及び第2酸化物導電層124bは、導電性を有する金属酸化物材料、金属窒化物材料、又は金属酸窒化物材料により作製される。金属酸化物材料としては、例えば、酸化インジウムスズ（ $\text{In}_2\text{O}_3 \cdot \text{SnO}_2 : \text{ITO}$ ）、酸化インジウム亜鉛（ $\text{In}_2\text{O}_3 \cdot \text{ZnO} : \text{IZO}$ ）、酸化スズ（ SnO_2 ）が用いられる。このような金属酸化物材料で形成された第1酸化物導電層124a及び第2酸化物導電層124bは、酸化物半導体層128と良好なオーミック接触を形成することができる。

【0044】

第1酸化物導電層124a及び第2酸化物導電層124bは、金属酸化物材料として、酸化チタン（ TiO_x ）等を用いることができ、金属窒化物材料として、窒化チタン（ TiN_x ）、窒化ジルコニウム（ ZrN_x ）等を用いることができ、金属酸窒化物材料として、酸窒化チタン（ TiO_xN_y ）、酸窒化タンタル（ TaO_xN_y ）、酸窒化ジルコニウム（ ZrO_xN_y ）、酸窒化ハフニウム（ HfO_xN_y ）等を用いることができる。これらの金属酸化物材料、金属窒化物材料、金属酸窒化物材料は、導電性を向上させる微量の金属元素が添加されていてもよい。例えば、酸化チタン（ TiO_x ）にニオブが添加されていてもよい（ $\text{TiO}_x : \text{Nb}$ ）。このような金属酸化物材料、金属窒化物材料、金属酸窒化物材料を用いることで、第1金属層126a及び第2金属層126bと接触させた場合でも、接触部の化学的安定性を確保することができる。すなわち、第1酸化物導電層124a及び第2酸化物導電層124bとして、ここで例示される金属酸化物材料、金属窒化物材料、又は金属酸窒化物材料を用いることで、卑な電位を持つ金属（例えば、アルミニウム（Al））との酸化還元反応（局所的な電池反応）を防止することができる。

【0045】

2-1-3. 絶縁層

第1絶縁層122及び第2絶縁層130は、無機絶縁材料により作製される。無機絶縁材料としては、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム等が用いられる。第1絶縁層122及び第2絶縁層130は、これらの無機絶縁材料によって形成される絶縁膜の単層構造、又は複数の絶縁膜が積層された積層構造を有する。例えば、第1絶縁層122は、第1基板100側から、窒化シリコン膜と酸化シリコン膜が積層された構造を有していてもよい。また、第2絶縁層130は、酸化物半導体層128側から、酸化シリコン膜、窒化シリコン膜が積層された構造を有していてもよい。第1絶縁層122及び第2絶縁層130は、組成の異なる複数の無機絶縁膜が積層されることで、内部応力を緩和することができ、また水蒸気等に対するバリア性を高めることができる。

10

【0046】

本発明の一実施形態では、第1絶縁層122の膜厚が第2絶縁層130の膜厚よりも厚くなっている。これにより、走査信号線116とデータ信号線118との短絡を大幅に低減することができ、製造歩留まりを向上させることができる。さらに、この構成によりトランジスタ202のオン電流を増大させることができる。第1絶縁層122の膜厚は250nm～500nmの範囲とすることが好ましく、第2絶縁層130の膜厚はその半分程度であることが好ましく、例えば、125nm～250nmの範囲とすることができ。このような絶縁層の構成により、良好なトランジスタ特性を得ることができる。

【0047】

2-1-4. ゲート電極

20

第1ゲート電極120及び第2ゲート電極132は、アルミニウム（Al）、モリブデン（Mo）、タングステン（W）、ジルコニウム（Zr）等の金属材料を用いて作製される。例えば、第1ゲート電極120及び第2ゲート電極132は、アルミニウム（Al）、モリブデン・タングステン（MoW）合金等の膜を用いて作製される。また、第1ゲート電極120及び第2ゲート電極132は、アルミニウム合金、銅合金、又は銀合金を用いて作製されてもよい。アルミニウム合金としては、アルミニウム・ネオジム合金（Al-Nd）、アルミニウム・セリウム合金（Al-Ce）、アルミニウム・ネオジム・ニッケル合金（Al-Nd-Ni）、アルミニウム・カーボン・ニッケル合金（Al-C-Ni）、銅・モリブデン合金（Cu-Mo）、銅・マンガン合金（Cu-Mn）等が適用される。さらに、第1ゲート電極120及び第2ゲート電極132は、酸化インジウムスズ（ITO）、酸化インジウム亜鉛（IZO）、酸化亜鉛（ZnO）等の透明導電膜で作製されてもよい。

30

【0048】

2-1-5. 金属層

第1金属層126a及び第2金属層126bは、アルミニウム（Al）、銅（Cu）等の導電率の高い金属材料で作製される。例えば、第1金属層126a及び第2金属層126bは、アルミニウム合金、銅合金、又は銀合金を用いて作製される。アルミニウム合金としては、アルミニウム・ネオジム合金（Al-Nd）、アルミニウム・チタン合金（Al-Ti）、アルミニウム・シリコン合金（Al-Si）、アルミニウム・ネオジム・ニッケル合金（Al-Nd-Ni）、アルミニウム・カーボン・ニッケル合金（Al-C-Ni）、銅・ニッケル合金（Cu-Ni）等の金属材料で作製される。第1金属層126a及び第2金属層126bは、このような金属材料で作製されることで、耐熱性を有し、配線抵抗を低減することができる。

40

【0049】

図8（A）及び図8（B）は、トランジスタ202の第1の構造の変形例を示す。図8（A）は、トランジスタ202の平面図を示す。図8（B）は、図8（A）に示すX1-X2線に対応する、トランジスタ202の断面構造を示す。

【0050】

図8（A）及び図8（B）に示すトランジスタ202は、酸化物半導体層128にレーザー光を照射して酸化物半導体層128に低抵抗領域127を形成した構造を示す。低抵抗

50

領域 127 は、酸化物半導体層 128 が第 2 ゲート電極 132 と重なる領域の外側の領域に形成される。

【0051】

この処理に用いるレーザ光は、バンドギャップの広い酸化物半導体に光を吸収させるため、短波長のレーザ光であることが好ましい。例えば、KrF エキシマレーザ光（波長 248 nm）、XeCl エキシマレーザ光（波長 308 nm）、XeF エキシマレーザ光（波長 351 nm）等の紫外線レーザ光を照射することが好ましい。酸化物半導体層 128 は、レーザ光が照射されることにより、例えば、酸素欠損（ドナー）が生成され、その領域が低抵抗化する。また、レーザ光の照射に代えて、アルゴン（Ar）等の不活性ガスのイオンを酸化物半導体層 128 に照射しても同様の効果（低抵抗化）を得ることができる。

10

【0052】

低抵抗領域 127 は、酸化物半導体層 128 に中に自己整合的に形成することができる。すなわち、第 2 ゲート電極 132 の側からレーザ光を照射することで、第 2 ゲート電極 132 がレーザ光を遮光するマスクとして機能し、酸化物半導体層 128 が第 2 ゲート電極 132 と重なる領域の外側に低抵抗領域 127 を形成することができる。

【0053】

また、低抵抗領域 127 を設けることで、第 1 酸化物導電層 124a 及び第 2 酸化物導電層 124b の端部が、第 1 ゲート電極 120 及び第 2 ゲート電極 132 と重ならないように、オフセット幅 W_L を設けて配置することができる。この場合において、オフセット幅 W_L を、 $0.5 \mu\text{m} \sim 2.0 \mu\text{m}$ とすることができる。

20

【0054】

このように、酸化物半導体層 128 に自己整合的に低抵抗領域 127 を形成することで、トランジスタ 202 のチャネル長が自己整合的に制御されるので、特性ばらつきを低減することができる。また、トランジスタ 202 の中に酸化物半導体層 128 が低抵抗化されたソース領域及びドレイン領域が形成されるので、オン電流を高めることができる。

【0055】

2-2. トランジスタの第 2 の構造例

図 9 は、トランジスタ 202 の第 2 の構造例を示す断面概略図である。第 1 の構造例に対し、第 2 の構造例は、酸化物半導体層 128 の構成が異なる。以下においては、第 1 の構造例と相違する部分を中心に説明する。

30

【0056】

酸化物半導体層 128 は、少なくとも 2 つ領域を含む。具体的には、図 9 に示すように、酸化物半導体層 128 は、第 1 領域 129a と第 2 領域 129b とを含む。酸化物半導体層 128 は第 1 領域 129a が第 1 ゲート電極 120 側に存在し、第 2 領域 129b が第 2 ゲート電極 132 側に存在する。図 9 は、酸化物半導体層 128 が、第 1 領域 129a と第 2 領域 129b とが明確な境界を有しているように示すが、第 1 領域 129a と第 2 領域 129b とは明確な境界を有していない場合もあり得る。酸化物半導体層 128 は、第 1 領域 129a が大部分を占め、第 2 領域 129b が表層の薄い領域として存在する。第 2 領域 129b は、第 1 領域 129a に対して極めて薄い領域であり、例えば、第 1 領域 129a が $30 \text{ nm} \sim 100 \text{ nm}$ の膜厚を有するとき、第 2 領域 129b は $2 \text{ nm} \sim 10 \text{ nm}$ と、十分の一以下の膜厚を有する。

40

【0057】

酸化物半導体層 128 において、第 1 領域 129a と第 2 領域 129b とは異なる物性を有する。例えば、酸化物半導体層 128 のキャリア濃度（多数キャリア濃度）は、第 1 領域 129a と第 2 領域 129b とで異なっている。具体的には、第 1 領域 129a のキャリア濃度に対し、第 2 領域 129b のキャリア濃度は低くなっている。例えば、第 1 領域 129a のキャリア濃度が、 $1 \times 10^{15} / \text{cm}^3$ 以上、 $5 \times 10^{18} / \text{cm}^3$ 以下の範囲にあるとき、第 2 領域 129b のキャリア濃度は、 $1 \times 10^{11} / \text{cm}^3$ 以上、 $1 \times 10^{15} / \text{cm}^3$ 未満の範囲を有している。これに対応して、第 1 領域 129a の導電率は、 $1 \times 10^{-5} \text{ S/cm}$ 以上、 $1 \times 10^1 \text{ S/cm}$ 以下の範囲を有しているのに対し、第 2

50

領域 129b の導電率は、 $1 \times 10^{-10} \text{ S/cm}$ 以上、 $1 \times 10^{-5} \text{ S/cm}$ 未満の範囲となっている。

【0058】

また、酸化物半導体層 128 は、結晶化率が第 1 領域 129a と第 2 領域 129b とで異なってもよい。第 1 領域 129a はアモルファス、又はアモルファスとナノ微結晶が混在した状態を有するのに対し、第 2 領域 129b はナノ微結晶、又はナノ微結晶とアモルファスが混在した状態を有する。第 1 領域 129a 及び第 2 領域 129b の双方が、アモルファスとナノ微結晶とが混在した状態にある場合、第 1 領域 129a に対し第 2 領域 129b の方がナノ微結晶質の割合が高くなっている。また、第 2 領域 129b は、ナノ微結晶に加え、又はナノ微結晶に代えて、より粒径の大きいファセット状の結晶粒を含んでいてもよい。

10

【0059】

第 1 領域 129a 及び第 2 領域 129b は、スパッタリングの成膜条件を変更することで作製される。例えば、酸化物半導体層 128 をスパッタリング法で成膜する際に、第 1 領域 129a は、スパッタガスとしてアルゴン (Ar) 等の希ガスを用いて作製されるのに対し、第 2 領域 129b は、スパッタガスとしてアルゴン (Ar) 等の希ガス及び酸素 (O_2) ガスを用いて作製される。酸化物半導体層 128 がスパッタリング法で成膜されるとき、第 1 領域 129a 及び第 2 領域 129b はグロー放電を維持したまま連続して形成されるが、第 2 領域 129b を成膜するときの酸素分圧 (アルゴン (Ar) に対する酸素 (O_2) の割合) を高めることで、ドナー欠陥を低減することができ、結晶化率を向上させ、緻密な領域 (密度の高い領域) を形成することが可能となる。

20

【0060】

酸化物半導体層 128 は、第 1 領域 129a 及び第 2 領域 129b の組成が同一であり、結晶化率のみが異なってもよい。また、酸化物半導体層 128 は、第 1 領域 129a 及び第 2 領域 129b が同種の金属酸化物であるが、組成が異なってもよい。さらに、第 1 領域 129a と第 2 領域 129b とは、組成が異なり、結晶化率も異なってもよい。例えば、酸化物半導体層 128 が $\text{In}_2\text{O}_3 - \text{Ga}_2\text{O}_3 - \text{ZnO}$ 系酸化物材料で形成されるとき、前述のようにスパッタリングの条件を変えることで、第 1 領域 129a をアモルファス状態又はアモルファスとナノ微結晶が混在した状態とし、第 2 領域 129b をナノ微結晶状態又はナノ微結晶と多結晶が混在した状態とすることができる。第 1 領域 129a 及び第 2 領域 129b の両方がアモルファスとナノ微結晶が混在した状態である場合には、第 1 領域 129a に比べて第 2 領域 129b におけるナノ微結晶の割合を大きくすることができる。

30

【0061】

トランジスタ 202 は、図 10 に示すように、第 1 金属層 126a 及び第 2 金属層 126b を第 1 絶縁層 122 上に設け、その上層側に第 1 酸化物導電層 124a 及び第 2 酸化物導電層 124b が配置される構造を有していてもよい。このような構造によれば、第 1 酸化物導電層 124a 及び第 2 酸化物導電層 124b の上面の略全面 (及び側面) が酸化物半導体層 128 と接することとなり、コンタクト抵抗をより低減することができる。図 10 に示すトランジスタ 202 は、第 1 金属層 126a 及び第 2 金属層 126b と、第 1 酸化物導電層 124a 及び第 2 酸化物導電層 124b とは、それぞれ別のフォトリソマスクを使ってパターンニングする必要があるため、図 9 に示すトランジスタと比べてフォトリソマスクの枚数が増加する (フォトリソグラフィの工程が増加するが)。しかし、トランジスタ 202 の信頼性に関しては、図 9 に示すトランジスタと同様に良好な特性を得ることができる。

40

【0062】

図 11 は、トランジスタ 202 の第 2 の構造の変形例を示す。図 11 に示すように、酸化物半導体層 128 に低抵抗領域 127 が含まれてもよい。低抵抗領域 127 は、第 1 領域 129a 及び第 2 領域 129b を含んで形成することができる。すなわち、酸化物半導体層 128 が第 1 領域 129a 及び第 2 領域 129b を含む場合であっても、ソース領域

50

及びドレイン領域が自己整合的に形成されるトランジスタ202を形成することができる。

【0063】

図9において、酸化物半導体層128が第1領域129aと第2領域129bとにおいて同一の組成を有している場合であっても、この2つの領域でナノ微結晶の割合（結晶化率）が異なると、それぞれの領域のバンドギャップの大きさが異なる。すなわち、酸化物半導体層128のバンドギャップは、第1領域129aが、第2領域129bより小さくなる。例えば、酸化物半導体層128の組成が同じであり、第1領域129aのバンドギャップが2.8 eV以上、3.0 eV未満の範囲にある場合、第2領域129bのバンドギャップは結晶化率が高いため、3.0 eV以上、3.2 eV以下の範囲となる。また、結晶化率の違いに伴って、第1領域129aの仕事関数は、第2領域129bの仕事関数より大きくなる。この状態をエネルギーバンド図で表すと、図12(A)に示すように、第1領域129aと第2領域129bとが接合した状態では、伝導帯の底のエネルギー（Ec）が、第1領域129aに対して第2領域129bの方が高くなる。例えば、第1領域129aにおける伝導帯の底のエネルギー（Ec）が、第2領域129bにおける伝導帯の底のエネルギー（Ec）より高くなり、その差の絶対値が0.3 eV以上となることが好ましい。

10

【0064】

このようなバンド構造を有する酸化物半導体層128をトランジスタ202に適用した場合を考察すると、以下に説明するように、埋め込みチャネルが形成されることがわかる。ゲート絶縁膜に相当する第1絶縁層122と第1領域129aとの間に存在する第2領域129bは、価電子帯の電子に対してエネルギー障壁を形成する。酸化物半導体層128は、第2領域129bに対して第1領域129aのキャリア濃度が高いため、トランジスタ202のチャネル領域は第1領域129aに形成される。別言すれば、トランジスタ202のチャネル領域は、ゲート絶縁膜として機能する第1絶縁層122と酸化物半導体層128との界面から離れた位置（第2領域129bの膜厚分だけ離れた位置）に形成される。すなわち、第1領域129a及び第2領域129bを有する酸化物半導体層128を用いることにより、トランジスタ202には埋め込みチャネルが形成される。その結果、トランジスタ202は、第1絶縁層122と酸化物半導体層128との界面の影響を受けずにソースドレイン間にキャリアを流すことができる。

20

【0065】

図12(B)は、酸化物半導体層128の第1領域129aと第2領域129bとに、異なる組成の酸化物材料が用いられた場合のバンド図の一例を示す。例えば、酸化物半導体層128は、第1領域129aが、 $\text{In}_2\text{O}_3-\text{Ga}_2\text{O}_3-\text{SnO}_2-\text{ZnO}$ 系酸化物材料、 $\text{In}_2\text{O}_3-\text{Ga}_2\text{O}_3-\text{SnO}_2$ 系酸化物材料、又は $\text{In}_2\text{O}_3-\text{Ga}_2\text{O}_3-\text{ZnO}$ 系酸化物材料で形成され、第2領域129bが、 Ga_2O_3 系酸化物材料、 GaSnO_x 系酸化物材料、又は GaSiO_x 系酸化物材料などのガリウム酸化物材料で形成される。ガリウム酸化物はワイドギャップ材料であり、4 eV以上のバンドギャップを有する。このように第1領域129aと第2領域129bとを異種材料で形成することで、第1領域129aのバンドギャップを3.6 eV以上とし、第2領域129bのバンドギャップを4.1 eVとなるように異ならせることができる。例えば、第1領域129aを形成する $\text{In}_2\text{O}_3-\text{Ga}_2\text{O}_3-\text{SnO}_2$ 系酸化物材料のバンドギャップが3.6 eV~3.9 eVであるのに対し、第2領域129bが $a-\text{Ga}_2\text{O}_3$ で形成される場合、そのバンドギャップは4.3 eVとなる。また、第2領域129bが、 $a-\text{GaSnO}_x$ で形成される場合、そのバンドギャップは4.0 eVであり、 $a-\text{GaSiO}_x$ で形成される場合、そのバンドギャップは4.5 eV以上である。このように、第2領域129bがガリウム酸化物で形成される場合、そのバンドギャップは第1領域129aと比べて1.0 eV以上大きな値となる。

30

40

【0066】

図12(B)は、第1領域129aと第2領域129bとに、上記のような酸化物材料を用いたときのバンド図を示す。第1領域129aのバンドギャップは第2領域129b

50

のバンドギャップより小さく、第1領域129aの仕事関数は第2領域129bの仕事関数より大きい。これにより、図12(A)に示すバンド図と同様に、第1領域129aと第2領域129bが接合した状態では、第1領域129aに対して第2領域129bにおける伝導帯の底のエネルギー(E_c)が高くなる。酸化物半導体層128がこのような構造を有することにより、トランジスタ202のチャネル領域は、第1絶縁層122と酸化物半導体層128との界面から離れた位置に形成される。別言すれば、トランジスタ202は、第1絶縁層122と酸化物半導体層128との界面にキャリア(電子)がトラップされない構造を有する。

【0067】

酸化物半導体層128は、第2領域129bがガリウム系酸化物材料で形成される場合、第1領域129aに対して1eV以上大きいバンドギャップを得ることができる。例えば、第2領域129bが多結晶酸化ガリウム(Ga_2O_3)で形成される場合、そのバンドギャップは4.8eV~4.9eVである。第1領域129aが $In_2O_3-Ga_2O_3-ZnO$ 系酸化物材料で形成される場合、そのバンドギャップは2.8~3.0eVであるので、第1領域129aと第2領域129bとのバンドギャップの差を1eV以上とすることができる。酸化物半導体層128として、第1領域129a及び第2領域129bを上記のような材料で形成することで、トランジスタ202に確実に埋め込みチャネルを形成することができる。

【0068】

また、第1領域129aを構成する酸化物材料には、さらにシリコン(Si)が0.5atomic%以上、5atomic%以下の割合で含まれていてもよい。第1領域129aを構成する酸化物材料にシリコンが含まれることによって、第1領域129aのキャリア濃度を高めることができ、トランジスタ202の電界効果移動度を高め、耐熱性を高めることができ、しきい値電圧を制御することができる。

【0069】

酸化物半導体層128は、第1領域129aに対して第2領域129bの導電率が小さく、キャリア濃度が低い構造を有している。また、酸化物半導体層128は、第1領域129aに対して第2領域129bの結晶化率を高めることで、表層部分が密度の高い緻密な構造を有する。さらに、酸化物半導体層128は、第1領域129aに対して第2領域129bのエネルギーギャップをワイドギャップ化された構造を有する。トランジスタ202は、このような構造の酸化物半導体層128を備えることで、チャネル領域が酸化物半導体層128の内部に形成される構造を有する。

【0070】

酸化物半導体層がスパッタリング法で作製する際に、成膜を終了するためにグロー放電を止めるとイオンシースが消滅するのに対し、その後に気相中に残留するスパッタ粒子が酸化物半導体層の表面に堆積して、密度の低い表層領域が形成される。この密度の低い表層領域は欠陥を含むので、トランジスタの特性に悪い影響を及ぼす。これに対し、本実施形態においては、酸化物半導体層128の表層領域に相当する領域に第2領域129bを意図的に形成しており、上述のようにチャネル領域をゲート絶縁膜と酸化物半導体層との界面から遠ざけることで、トランジスタ202の特性低下を防止することができる。

【0071】

トランジスタ202は、酸化物半導体層128が第1領域129a及び第2領域129bを有することで、第1絶縁層122と酸化物半導体層128との界面にトラップされる電荷が低減される。その結果、トランジスタ202は、しきい値電圧のシフト(変動)量を小さくすることができる。また、トランジスタ202は、埋め込みチャネル構造を有することで、第1絶縁層122と酸化物半導体層128との界面に流れるリーク電流を抑制することができる、オフ電流を低減することができる。さらに、図9に示すように、第1酸化物導電層124a及び第2酸化物導電層124bが導電率の高い第1領域129aと接触するので、トランジスタ202のオン電流を高めることができる。これにより、トランジスタ202は、 1×10^9 から 1×10^{12} 程度のオン電流とオフ電流の比(オンオフ比

10

20

30

40

50

）を得ることができる。

【0072】

図12（C）に示すように、酸化物半導体層128の第1領域129aにバンドギャップが3.8 eVの InGaSnO_x 、又は InGaSmO_x を用い、第2領域129bにバンドギャップが4.7 eVの Ga_2O_3 を用いた場合、第2絶縁層130を成膜するときの基板温度を250℃以上に上げて成膜ガスとして用いられるシラン（ SiH_4 ）に含まれる水素（H）により Ga_2O_3 が還元されることはないので、酸化物半導体層128が導体化することはない。そのため、良質な第2絶縁層130を形成することができる。

【0073】

さらに、酸化物半導体層128としてバンドギャップが3.6 eV以上の酸化物半導体材料を用いることで、バックライトから照射される光の内、青色光の成分である波長450 nmの光を吸収しなくなり、液晶表示装置の実動作における信頼性を大幅に向上させることができる。

【0074】

なお、図示しないが、第1領域129aと第2領域129bとの間に、キャリア濃度が段階的又は連続的に変化する酸化物半導体の中間領域が存在してもよい。また、酸化物半導体の中間領域は、第1領域129aと第2領域129bと、同一の酸化物半導体層中に一緒に形成されてもよいし、異なる酸化物半導体層として別々に形成されてもよい。なお、本実施形態で示すトランジスタ202は、液晶表示装置のみでなく、有機エレクトロルミネセンス表示装置（有機EL表示装置、有機ELディスプレイともいう）、マイクロLED表示装置（マイクロLEDディスプレイとも呼ばれる）のバックプレーンを構成する素子として適用することができる。

【0075】

本発明の一実施形態に係る液晶表示装置は、上記で説明する構造を有するトランジスタによって画素（及び駆動回路）が形成される。次に、本発明の一実施形態に係る液晶表示装置の詳細について説明する。

【0076】

3. 液晶表示装置の駆動方式

本実施形態に係る液晶表示装置の詳細について示す。液晶表示装置は前節で述べたトランジスタを含む。本節においては、各種方式に対応した液晶表示装置の構造を示す。

【0077】

3-1. FFS方式の液晶表示装置

本発明の一実施形態に係る液晶表示装置の一態様として、FFS方式の画素を有する液晶表示装置について例示する。

【0078】

3-1-1. 第1の実施形態

本実施形態は、図9又は図12に示すトランジスタが用いられたFFS方式の画素を備えた液晶表示装置200aの構造、及び液晶表示装置200aの製造方法について示す。

【0079】

3-1-1-1. 画素の構成

図13は、本実施形態に係る液晶表示装置200aにおける画素106aの平面概略図を示す。また、図13に示す、A1-A2線及びB1-B2線に沿った断面構造を図14（A）に示し、C1-C2線に沿った断面構造を図14（B）に示す。

【0080】

なお、本実施形態において素子基板とは、液晶を駆動するトランジスタ、画素電極が形成された基板（バックプレーンとも呼ばれる）を指し、これに対し、対向基板とは、素子基板に対向して配置され、適宜カラーフィルタが形成された基板を指すものとする。また、本実施形態に係る液晶表示装置200aは透過型であるものとする。

【0081】

図13に示すように、画素106aは、トランジスタ202、画素電極136、及びコ

モン電極 138 を含む。画素電極 136 は、トランジスタ 202 と電氣的に接続されている。また、画素電極 136 はコモン電極 138 と、図示されない絶縁層により絶縁されている。画素電極 136 及びコモン電極 138 を囲むように走査信号線 116、データ信号線 118a、データ信号線 118b、コモン配線 144 が配置されている。走査信号線 116 とコモン配線 144 とは第 1 方向に延伸するように配設され、データ信号線 118a、118b は第 1 方向と交差する第 2 方向に延伸するように配設される。データ信号線 118a、118b は、図示されない絶縁層を挟んで走査信号線 116 及びコモン配線 144 と交差するように配設されている。なお、データ信号線 118a は、トランジスタ 202 と電氣的に接続され、データ信号線 118b は、隣接する画素のトランジスタと電氣的に接続される。

10

【0082】

トランジスタ 202 は、酸化物半導体層 128 が第 1 ゲート電極 120 と第 2 ゲート電極 132 とで挟まれたデュアルゲート構造を有している。図 13 に示すように、酸化物半導体層 128 は、データ信号線 118a 及び画素電極 136 のパターンと重畳するように設けられる。走査信号線 116 は酸化物半導体層 128 の第 1 面側に配置される。走査信号線 116 は、酸化物半導体層 128 と重なる領域を有し、この重なる領域が実質的に第 1 ゲート電極 120 として機能する。走査信号線 116 は、走査信号を伝送する配線としての機能と、トランジスタ 202 のゲート電極（第 1 ゲート電極 120）としての機能を兼ねている。このような 2 つの機能を備えた導電パターンを設けることにより、画素 106a の開口率を向上させることができる。第 2 ゲート電極 132 は、少なくとも一部が第 1 ゲート電極 120 と重なるように配置される。第 1 ゲート電極 120 と第 2 ゲート電極 132 とは、図示されない絶縁層を挟んで設けられ、第 1 コンタクトホール 134 を介して電氣的に接続される。

20

【0083】

第 1 酸化物導電層 124a はデータ信号線 118a から連続するパターンを有し、第 2 酸化物導電層 124b は画素電極 136 から連続するパターンを有する。別言すれば、第 1 酸化物導電層 124a はデータ信号線 118a を形成し、第 2 酸化物導電層 124b は画素電極 136 を形成する。さらに別言すれば、トランジスタ 202 は、第 1 酸化物導電層 124a がデータ信号線 118a と電氣的に接続され、第 2 酸化物導電層 124b が画素電極 136 と電氣的に接続された構造を有する。

30

【0084】

図 13 に示すように、画素電極 136 はスリットを有しないベタ状の構造を有する。画素電極 136 は、第 2 酸化物導電層 124b と同じ酸化物導電材料で形成される。具体的には、画素電極 136 は、酸化インジウムスズ（ITO）、酸化インジウム亜鉛（IZO）、アルミニウムが添加された酸化亜鉛（AZO）、ガリウムが添加された酸化亜鉛（GZO）、ニオブが添加された酸化チタン（ $TiO_x:Nb$ ）、タンタルが添加された酸化チタン（ $TiO_x:Ta$ ）等の透光性を有する導電膜で形成される。

【0085】

コモン電極 138 は画素電極 136 と重なるように配置される。コモン電極 138 は第 1 スリット 139 を有する。第 1 スリット 139 は、コモン電極 138 を貫通する貫通孔により形成される。コモン電極 138 は、少なくとも 1 つ、好ましくは複数の第 1 スリット 139 を有する。コモン電極 138 は、画素電極 136 と同じ透光性を有する酸化物導電材料で形成される。また、コモン電極 138 は、第 1 スリット 139 を有することにより、アルミニウム（Al）のような金属材料（非透光性導電材料）で形成されてもよい。コモン電極 138 は、コモン配線 144 と電氣的に接続される。コモン電極 138 は、図示されない絶縁層に設けられた第 2 コンタクトホール 146 を介してコモン配線 144 と電氣的に接続される。

40

【0086】

第 1 スリット 139 が設けられたコモン電極 138 が、ベタ状の画素電極 136 より上層側（液晶層側）に配置されることで、画素電極 136 とコモン電極 138 との間に生じ

50

る電界が液晶層に作用する。図13に示すように、第1スリット139は、データ信号線118aが延伸する方向と同じ第2方向に細長く伸び、画素106aの略中央部分(P1-P2線)で屈曲した構造を有する。液晶分子が電界の作用によって回転動作する方向は、第1スリット139の構造によっても制御することができる。第2方向に細長く伸びた第1スリット139が、画素106aの略中央部分(P1-P2線)で屈曲した構造を有することで、画素106aの上半分と下半分とで液晶分子が回転動作する方向を異ならせることができる。すなわち、液晶層に、液晶分子の回転動作の方向が異なる複数の領域(マルチドメンとも呼ばれる)を形成することができる。液晶表示装置200aは、画素106aがこのような構成を有することで、視野角を広げることが可能となる。

【0087】

図14(A)及び図14(B)は、素子基板210の概略断面図を示す。図14(A)に示すように、素子基板210は、第1基板100上に設けられたトランジスタ202、画素電極136、及びコモン電極138を含む。トランジスタ202は、図7(A)、図7(B)、図8、図9、図10、及び図11のいずれかに示す構成と同様の構造を有し、第1ゲート電極120、第1絶縁層122、第1酸化物導電層124a、第2酸化物導電層124b、酸化物半導体層128、第2絶縁層130、第2ゲート電極132が積層された構造を有する。図14(A)は、酸化物半導体層128が、第1領域129a及び第2領域129bを含む構成を示すが、図7(B)に示すように実質的に1つの層(第1領域129aのみ)で形成されもよい。

【0088】

第1絶縁層122及び第2絶縁層130の材料に限定はないが、例えば、酸化シリコン、酸化アルミニウムなどの酸化物系の絶縁材料で形成することが好ましい。また、窒化シリコン膜と、酸化シリコン膜又は酸化アルミニウム膜とが積層された構造を有していてもよい。

【0089】

第1絶縁層122は、200nm~800nm、例えば、400nmの厚さで形成されることが好ましい。第2絶縁層130は、液晶表示装置200aの画面サイズが4~6インチ程度であれば100nm~400nm、例えば200nmの厚さで形成され、画面サイズが10インチから27インチ程度であれば200nm~600nm、例えば300nmの厚さで形成され、画面サイズが30インチ以上の場合には、200nm~800nm、例えば350nmの厚さで形成されることが好ましい。画素電極136とコモン電極138とは、異なる電圧が印加され、両者の間に第2絶縁層130が設けられていることにより静電容量が生成される。この静電容量は、画素電極136の電位を一定に保つ作用を有する。すなわち、画素電極136、第2絶縁層130、及びコモン電極138が積層された構造により、保持容量素子が形成される。液晶表示装置200aの画面サイズが小さい場合には、画素のサイズもおのずと小さくなるので、第2絶縁層130の膜厚を小さくして容量が大きくなるようにすることが好ましいといえる。一方、液晶表示装置200aの画面サイズが30インチ以上と大型化する場合には、画素電極136とコモン電極138とを確実に絶縁するために、第2絶縁層130の膜厚を大きくすることが好ましい。

【0090】

前述のように、第1酸化物導電層124aは、第1ゲート電極120及び第2ゲート電極132が重畳する領域から外側(チャネル領域の反対側)に延び、データ信号線118aと接触する。別言すれば、第1酸化物導電層124aは、データ信号線118aと電気的に接続される。一方、第2酸化物導電層124bは、第1ゲート電極120及び第2ゲート電極132が重畳する領域から画素電極136の領域に広がるように設けられる。図9(A)及び図9(B)を参照して説明したように、第1酸化物導電層124a及び第2酸化物導電層124bは、トランジスタ202の入出力端子を形成する。画素106aは、トランジスタ202が、第1酸化物導電層124aによってデータ信号線118aと接続され、第2酸化物導電層124bによって画素電極136と接続される構造を有することにより、コンタクトホールが省略されている。このような構成により、画素106aの

10

20

30

40

50

構造が簡略化され、開口率の向上を図ることができる。本発明の一実施形態によれば、従来の液晶表示パネルのように、コンタクトホールを形成して画素電極１３６とトランジスタ２０２とを接続する構造を適用していないので、コンタクト不良が原理的に発生しない。そのため、高精細化に伴い画素数が増加しても欠陥画素が形成されにくくなる。その結果、液晶表示装置の製造歩留まりを向上させることができる。

【００９１】

第１ゲート電極１２０及び第２ゲート電極１３２の構造に限定はないが、図１４（Ａ）に示すように複数の導電層が積層された構造を有していてもよい。例えば、第１ゲート電極１２０は、第１導電層２５０と第２導電層２５２とが積層された構造を有し、第２ゲート電極１３２は、第４導電層２５６と第５導電層２５８が積層された構造を有していてもよい。第１導電層２５０は第１基板１００（又は第１基板１００上に絶縁膜が形成されている場合には、その絶縁膜）と接して設けられる。また、第４導電層２５６は第２絶縁層１３０と接して設けられる。第１導電層２５０は、下地面との密着性を高めるために、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タンタル（Ｔａ）、モリブデン・チタン合金（Ｍｏ－Ｔｉ）等の高融点金属を用いることが好ましく、第４導電層２５６は、コモン電極１３８を形成する導電層としても利用されるため、ＩＴＯ、ＩＺＯ等の透光性を有する導電性材料で形成することが好ましい。

【００９２】

第２導電層２５２は第１導電層２５０の上に積層され、第５導電層２５８は第４導電層２５６の上に積層される。第２導電層２５２及び第５導電層２５８は、ゲート電極の低抵抗化のためにアルミニウム（Ａｌ）又はその合金、銅（Ｃｕ）等の低抵抗金属材料を用いることが好ましい。画面サイズが１５インチ以下の液晶表示装置では、モリブデン（Ｍｏ）、モリブデン・タンタル合金（ＭｏＴａ）、モリブデン・タングステン合金（ＭｏＷ）等を適用することもできる。

【００９３】

第１導電層２５０、第２導電層２５２、第４導電層２５６、及び第５導電層２５８の厚さは任意である。例えば、第１導電層２５０及び第４導電層２５６は、２０ｎｍ～２００ｎｍの厚さに形成され、第２導電層２５２及び第５導電層２５８は２００ｎｍ～１０００ｎｍの厚さに形成されてもよい。第１ゲート電極１２０の構造は走査信号線１１６にも適用される。第１ゲート電極１２０及び走査信号線１１６を、このような積層構造で形成することで、下地面との密着性を高め、かつ配線抵抗（又は電極抵抗）を低減することができる。

【００９４】

データ信号線１１８ａは、第１酸化物導電層１２４ａの上に第３導電層２５４が積層された構造を有する。第３導電層２５４は、配線抵抗を低減するために、銅（Ｃｕ）又はアルミニウム（Ａｌ）若しくはその合金で形成される。例えば、画面サイズが１５インチ以下の液晶表示装置では、モリブデン（Ｍｏ）を適用することができる。また、図示されないが、第３導電層２５４は、耐熱性を高めるために、アルミニウム（Ａｌ）の上層側及び下層側に、チタン（Ｔｉ）、モリブデン（Ｍｏ）等の高融点金属層が設けられた積層構造を有していてもよい。また、データ信号線１１８ａは、酸化物半導体層１２８に覆われた構造を有していてもよい。データ信号線１１８ａは、このような層構造を有することにより、下地面からの剥離を防止することができ、製造プロセスの途中で酸化して高抵抗化することを防止できる。また、データ信号線１１８ａは、コンタクトホールを介して第１酸化物導電層１２４ａと接続されるのではなく、二つの層が直接的に積層されるので、接触面積が増大し、接触抵抗を低減することができる。このような配線とトランジスタとの接続構造は、画素を微細化する際にも有効に作用する。

【００９５】

図１４（Ａ）及び図１４（Ｂ）に示すように、コモン電極１３８は、第２絶縁層１３０の上に設けられる。コモン電極１３８は、第２ゲート電極１３２を形成する第４導電層２５６と同じ導電膜で形成される。また、図１４（Ａ）において、Ｂ１－Ｂ２線の区間とし

10

20

30

40

50

て示されるように、コモン電極 138 は、第 1 絶縁層 122 及び第 2 絶縁層 130 を貫通する第 2 コンタクトホール 146 によってコモン配線 144 と電氣的に接続される。コモン電極 138 は、第 2 コンタクトホール 146 と重なる領域で第 4 導電層 256 及び第 5 導電層 258 が積層された構造を有することにより、コンタクト抵抗の増加が防止される。別言すれば、第 4 導電層 256 に比べて厚膜で形成される第 5 導電層 258 を、第 2 コンタクトホール 146 と重ねて設けることにより、段差被覆性を向上させ、コンタクト抵抗が増加しない構造を形成することができる。なお、コモン配線 144 は、第 1 基板 100 と第 1 絶縁層 122 との間に設けられ、走査信号線 116 と同じ層構造で形成される。一方、コモン電極 138 は、画素電極 136 と重なる領域において、第 4 導電層 256 のみで形成される。このような構造により、画素電極 136 によって液晶が駆動される領域において大きな段差が形成されないようにすることができ、液晶の配向乱れ（ディスクリネーション）を低減することができる。

10

【0096】

図 14 (B) は、画素 106 a のトランジスタ 202 が設けられない部分の断面構造を示す。画素電極 136 は、データ信号線 118 a と、隣接する画素のデータ信号線 118 b との間に設けられる。画素電極 136 は、前述のように、ITO、IZO 等の透光性を有する導電膜で形成される。図 14 (B) に示されるように、画素電極 136 の上面は、酸化物半導体層 128 で覆われていてもよい。酸化物半導体層 128 は、バンドギャップが透明導電膜と同程度であるため透光性を有する。また、酸化物半導体層 128 は、半導体として導電性を有する。そのため、画素電極 136 と重なる酸化物半導体層は、画素電極の一部とみなすこともできる。

20

【0097】

図 15 は、図 13 に示す C1-C2 線に沿った画素 106 a の断面構造を示す。具体的には、図 14 (B) に示す素子基板 210 の構造に対し、対向基板 212 及び液晶層 222 が設けられた構造を有する。

【0098】

素子基板 210 側には、コモン電極 138 を覆うように配向膜 220 a が設けられる。また、対向基板 212 は、第 2 基板 102 上に、遮光層 224、カラーフィルタ層 226、オーバーコート層 228、配向膜 220 b が設けられる。遮光層 224 は、画素 106 a の境界領域を囲むように設けられ、カラーフィルタ層 226 は画素電極 136 と重なるように設けられる。本実施形態において、液晶表示装置 200 a は FFS 型であるため、配向膜 220 a、220 b は水平配向膜が用いられる。液晶層 222 は、素子基板 210 と対向基板 212 との間に設けられる。

30

【0099】

図 14 (A) 及び図 14 (B)、並びに図 15 に示す構造から明らかなように、本実施形態に係る液晶表示装置 200 a は、トランジスタ 202 がデュアルゲート型であるものの、走査信号線 116 が液晶層 222 に露出しない構造を有する。また、データ信号線 118 も液晶層 222 に露出しない構造を有する。特に、画素 106 a は、走査信号線 116 が第 1 絶縁層 122 と第 2 絶縁層 130 とに覆われているので、液晶層 222 が走査信号線 116 に印加される信号（電圧）の影響を受けにくい構造を有する。

40

【0100】

第 2 ゲート電極 132 は、第 1 ゲート電極 120 と電氣的に接続され液晶層 222 に近い位置に配置されるが、画素ごとに分離独立して配置されるため、液晶層 222 全体への影響が低減される。むしろ、第 2 ゲート電極 132 は、液晶層 222 の中の不純物イオンを局所的に捕集するように作用することで、液晶層 222 の劣化を抑制して表示斑の発生を防ぐ効果を発現することができる。

【0101】

3-1-1-2. 端子部の構成

図 16 (A) は、液晶表示装置 200 a の入力端子部 112 の構成を示す。入力端子部 112 は、端子電極 114 を含む。端子電極 114 は、第 1 導電層 250 及び第 2 導電層

50

252で形成される。すなわち、端子電極114は、第1ゲート電極120と同じ導電層（第1導電層250、第2導電層252）で形成される。端子電極114は、画素が形成される領域から第1基板100の端部に向けて延びる配線230と電氣的に接続されている（別言すれば、端子電極114と配線230とは連続した構造を有する）。配線230の上層側には第1絶縁層122及び第2絶縁層130が設けられる。入力端子部112の領域では、端子電極114が露出するように、第1絶縁層122及び第2絶縁層130が除去された開口部232が設けられる。端子電極114には、開口部232に重ねて金属酸化物導電層234が設けられていてもよい。金属酸化物導電層234は、例えば、ITO、IZOで形成され、アルミニウム（Al）等の比較的柔らかい金属で形成される第2導電層252の表面を保護するために設けられる。

10

【0102】

液晶層222が素子基板210と対向基板212との間に設けられるのに対し、対向基板212から露出して設けられる。素子基板210と対向基板212とは、シール材236によって固定される。シール材236は、素子基板210側で第2絶縁層130と接し、対向基板212側でオーバーコート層228と接して設けられる。シール材236は、無機絶縁膜で形成される第2絶縁層130と接して設けられることにより、接着力が高まり剥離を防止することができる。それにより液晶層222への水分の浸入を防止することができる。

【0103】

端子電極114と電氣的に接続される配線230は、無機絶縁膜で形成される第1絶縁層122及び第2絶縁層130で被覆されるため、シール材236と直接接触しない位置に設けられる。仮に、端子電極114と接続される配線が、第2ゲート電極132を形成する第4導電層256及び第5導電層258で形成される場合には、新たに無機絶縁膜を追加しない限り、シール材236と直接接触する構造となる。この構造では、金属材料で形成される配線が、シール材236の密着力を低下させる要因となる。また、第2絶縁層130上の配線によって形成される段差（凹凸）により、密着性が低下し液晶層222へ水分が浸入する要因ともなり得る。このような不具合を防ぐには、図16（A）に示すように、第1ゲート電極120を形成する第1導電層250及び第2導電層252によって端子電極114及び配線230を形成することが有効である。本実施形態に係る液晶表示装置200aによれば、素子基板210と対向基板212とを貼り合わせるシール材236の密着性を高めることができるため、液晶層222の劣化を防ぎ、信頼性を高めることができる。

20

30

【0104】

図16（B）は、端子電極114の他の一例を示す。端子電極114は、第1導電層250及び第2導電層252で形成されると共に、開口部232に重ねて第3酸化物導電層124cが設けられた構造を有する。第3酸化物導電層124cは、トランジスタ202を形成する第1酸化物導電層124a及び第2酸化物導電層124bと同層で形成される導電層である。このような構成によれば、端子電極114の為に新たに（別途）金属酸化物導電層を形成する工程が不要となるので、製造工程を簡略化することができる。

【0105】

このように、本実施形態に係る液晶表示装置200aによれば、デュアルゲートのトランジスタを画素に設けた構造において、当該トランジスタと接続される配線（走査信号線116及びデータ信号線118）を絶縁層の中に埋め込むことができる。それにより液晶表示装置200aの信頼性を高めることができる。

40

【0106】

3-1-1-3. 製造方法

本実施形態に係る液晶表示装置200sの製造工程を、図面を参照して詳細に説明する。以下に説明するように、本実施形態に係る液晶表示装置200aは、5枚のフォトマスクにより作製することができる。

【0107】

50

図17(A)及び図17(B)は、第1基板100上に第1ゲート電極120、コモン配線144を形成する段階を示す。なお、図示されないが、この段階において第1ゲート電極120と同時に走査信号線も形成される。

【0108】

第1基板100上に、第1導電層250、及び第2導電層252が形成される。第1導電層250は、チタン(Ti)、モリブデン(Mo)、タンタル-Ta)、モリブデン・チタン合金(MoTi)等の金属材料で形成され、第2導電層252は、アルミニウム(Al)又はその合金、銅(Cu)等の金属材料で形成される。第1導電層250及び第2導電層252は、例えば、スパッタリング法により第1基板100の略全面に成膜される。例えば、第1導電層250は、20nm~200nmの厚さに成膜され、第2導電層252は200nm~1000nmの厚さに成膜される。

10

【0109】

第1基板100の略全面に第1導電層250及び第2導電層252が形成された状態で、第2導電層252上に第1レジストマスク451が形成される。第1レジストマスク451は、第1フォトリソマスク401により形成される。第1フォトリソマスク401は、第1ゲート電極120、コモン配線144、及び図示されない走査信号線(116)のパターンを含む第1マスクパターン411が形成されたバイナリマスクである。図17(A)は、ポジ型のフォトリソが用いられる場合を示し、第1マスクパターン411が遮光部を形成する態様を示す。一方、図17(B)は、画素106aの中央付近の断面図を示すが、この部分にはゲート電極、走査信号線、コモン配線が形成されないため、第1レジストマスクが形成されないことを示す。

20

【0110】

なお、図17(A)に示す丸付きの数字「1」は、第1レジストマスク451が第1フォトリソマスク401で形成されることを示す。第1レジストマスク451を用いて第1導電層250及び第2導電層252をエッチングすることにより、第1ゲート電極120、コモン配線144、及び図示されない走査信号線(116)等が形成される。

【0111】

図18(A)及び図18(B)は、第1ゲート電極120、コモン配線144、及び図示されない走査信号線(116)等が形成された第1基板100上に、第1絶縁層122、酸化物導電層124、第3導電層254が形成され、その上に第2レジストマスク452が形成される段階を示す。

30

【0112】

第1絶縁層122は、プラズマCVD(Chemical Vapor Deposition)法又はスパッタリング法等の薄膜作製技術により形成される。第1絶縁層122は、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜、酸化アルミニウム膜等の無機絶縁膜で、200nm~800nm、例えば400nmの厚さに形成される。

【0113】

第1絶縁層122の上には、酸化物導電層124、及び第3導電層254が形成される。酸化物導電層124は、スパッタリング法又は蒸着法、若しくは塗布法により30nm~200nmの厚さで形成される。第3導電層254は、スパッタリング法によりアルミニウム(Al)又はその合金、銅(Cu)等の金属材料の薄膜で、200nm~2000nmの厚さで形成される。

40

【0114】

第3導電層254の上面に、第2レジストマスク452が形成される。第2レジストマスク452は、第2フォトリソマスク402を用いて形成される。第2フォトリソマスク402は、光を透過する部分(透過部420)の中に、光を遮断する部分(遮光部424)と、光の透過光量を低下させて透過させる部分(半透過部422)とを含む第2マスクパターン412を有する。第2フォトリソマスク402は、バイナリマスク(透過部と遮光部とにより形成されるフォトリソマスク)と異なり、データ信号線118a、118bを形成するための遮光部424、第1酸化物導電層124a及び第2酸化物導電層124bを形成するため

50

の半透過部 422 を有するハーフトーンマスクである。第 2 フォトマスク 402 を用いてフォトレジスト膜を露光することにより、第 2 レジストマスク 452 が形成される。なお、図 18 (A) 及び図 18 (B) に示す丸付きの数字「2」は、第 2 レジストマスク 452 が第 2 フォトマスク 402 で形成されることを示す。

【0115】

図 18 (A) 及び図 18 (B) に示すように、第 2 レジストマスク 452 は、第 1 酸化物導電層 124 a 及び第 2 酸化物導電層 124 b に対応するパターンを有し、このパターンに重ねてデータ信号線 118 a に対応するパターンが厚膜化された状態で含まれている。

【0116】

第 2 レジストマスク 452 が形成された状態で、第 3 導電層 254 及び酸化物導電層 124 がエッチングされる。エッチングの条件に限定はないが、例えば、金属材料で形成される第 3 導電層 254 は、混酸エッチング液を用いたウェットエッチングで行われ、金属酸化物材料等で形成される酸化物導電層 124 はハロゲン系ガスを用いたドライエッチングで行われる。この段階で、第 1 酸化物導電層 124 a 及び第 2 酸化物導電層 124 b が形成される。このエッチングの後、アッシング処理により、第 2 レジストマスク 452 の膜厚が薄い領域を除去し、厚膜部分を残した状態でさらに第 3 導電層 254 のエッチングが行われる。このエッチングによりデータ信号線 118 a、118 b が形成される。

【0117】

図 19 (A) 及び図 19 (B) は、第 1 酸化物導電層 124 a 及び第 2 酸化物導電層 124 b、並びにデータ信号線 118 a、118 b の上層側に、酸化物半導体層 128 が形成され、当該酸化物半導体層 128 の上に第 3 レジストマスク 453 が形成される段階を示す。酸化物半導体層 128 は、例えば、スパッタリング法により作製される。スパッタリングターゲットには、酸化物半導体材料を焼結したものが適用される。酸化物半導体層 128 は、例えば、20 nm 以上、100 nm 以下、一例として、30 nm 以上、50 nm 以下の膜厚で形成される。

【0118】

第 3 レジストマスク 453 は、第 1 基板 100 の略全面に形成された酸化物半導体層 128 上にフォトレストを塗布し、第 3 フォトマスク 403 を用いて露光することで形成される。第 3 フォトマスク 403 は、酸化物半導体層 128 のパターンを形成するための第 3 マスクパターン 413 が形成されたバイナリマスクである。図 19 (A) は、ポジ型のフォトレジストが用いられるものとして、第 3 マスクパターン 413 が遮光部で形成された態様を示す。なお、図 19 (A) 及び図 19 (B) に示す丸付きの数字「3」は、第 3 レジストマスク 453 が、第 3 フォトマスク 403 で形成されることを示す。第 3 レジストマスク 453 を用いて酸化物半導体層 128 をエッチングすることにより、トランジスタ、画素電極、データ信号線の配置に対応したパターンが形成される。

【0119】

図 20 (A) 及び図 20 (B) は、酸化物半導体層 128 の上層側に第 2 絶縁層 130 が形成され、コンタクトホールを形成するための第 4 レジストマスク 454 を形成する段階を示す。

【0120】

第 2 絶縁層 130 は、第 1 絶縁層 122 と同様に、酸化シリコン、酸化アルミニウムなどの酸化物系の絶縁材料で形成される。また、窒化シリコン膜と、酸化シリコン膜又は酸化アルミニウム膜とが積層された構造で形成されてもよい。第 2 絶縁層 130 は、例えば、100 nm 以上、800 nm 以下の膜厚で形成される。しかし、第 2 絶縁層 130 の膜厚は液晶表示装置 200 a の画面サイズに応じて適宜設定することができる。

【0121】

第 4 レジストマスク 454 は、第 4 フォトマスク 404 によって第 2 絶縁層 130 上に形成される。第 4 フォトマスク 404 は、図示されない第 1 コンタクトホール (134)、及び第 2 コンタクトホール 146 に対応する第 4 マスクパターン 414 が形成されたバイナリマスクである。図 20 (A) 及び図 20 (B) は、ポジ型のフォトレジストが用い

られるものとして、第4マスクパターン414が遮光部で形成された形態を示す。なお、図20(A)に示す丸付きの数字「4」は、第4レジストマスク454が第4フォトマスク404で形成されることを示す。第4レジストマスク454を用いて第2絶縁層130及び第1絶縁層122をエッチングすることにより、図示されない第1コンタクトホール(134)、及び第2コンタクトホール146が形成される。

【0122】

図21(A)及び図21(B)は、第2絶縁層130に第1コンタクトホール(134)、第2コンタクトホール146が形成された後、第4導電層256、第5導電層258が形成され、その上に第5レジストマスク455が形成される段階を示す。

【0123】

第4導電層256は、例えば、ITO、IZO等の透明導電性材料を用い、スパッタリング法等を用いて、100nm以上、400nm以下の膜厚で形成される。第5導電層258は、第1導電層250と同様に形成される。

【0124】

第5レジストマスク455は、第5フォトマスク405を用いて形成される。第5フォトマスク405は、透過部420の中に、遮光部424と、光の透過光量を低下させて透過させる半透過部422と、を含む第5マスクパターン415が形成されたハーフトーンマスクである。第5フォトマスク405を用いることにより、第2ゲート電極132、コモン電極138のパターンに対応する一部分が厚膜化された第5レジストマスク455が形成される。なお、図21(A)及び図21(B)に示す丸付きの数字「5」は、第5レジストマスク455が第5フォトマスク405で形成されることを示す。

【0125】

図21(A)及び図21(B)に示すように、第5レジストマスク455は、第2ゲート電極132、及びコモン電極138に対応し、第5導電層258を残す部分が厚膜化された形状を有する。第5レジストマスク455が形成された状態で、第5導電層258及び第4導電層256がエッチングされる。エッチングの条件に限定はないが、例えば、金属材料で形成される第5導電層258は、混酸エッチング液を用いたウェットエッチングで行われ、金属酸化物材料等で形成される第4導電層256はハロゲン系ガスを用いたドライエッチングで行われる。このエッチング処理の後、アッシング処理により、第5レジストマスク455の膜厚が薄い領域を除去し、厚膜部分を残した状態でさらに第5導電層258のエッチングが行われる。このエッチングにより第2ゲート電極132、コモン電極138が形成される。コモン電極138は、第2コンタクトホール146が形成されている部位で、コモン配線144と接続される。また、図示されないが、第2ゲート電極132は、第1コンタクトホール(134)により、第1ゲート電極120と接続される。

【0126】

この工程においてハーフトーンマスクを使用することにより、コモン電極138を、画素電極136と重なる部分は第4導電層256のみにより形成し、コモン電極138とコモン配線144を接続する部分においては、第4導電層256及び第5導電層258が積層された構造を形成することができる。

【0127】

以上のような工程を経て、図14(A)及び図14(B)に示す構造を有する液晶表示装置200aの素子基板210を、5枚のフォトマスクにより作製することができる。この製造工程において、ハーフトーンマスクを使用することにより、データ信号線118aとトランジスタ202とを接続する構造を1枚のフォトマスクで作製することができ、第2ゲート電極132及びコモン電極138の多層化された構造を作製することができる。

【0128】

3-1-2. 第2の実施形態

本実施形態は、第1の実施形態に示す画素106aに対し、画素電極の形状が異なる態様を示す。以下においては、第1の実施形態と異なる部分を中心に説明し、同じ構成については適宜説明を省略する。

10

20

30

40

50

【0129】

図22は、本実施形態に係る液晶表示装置200aにおける画素106bの平面概略図を示す。また、図22に示すA3-A4線及びB3-B4線に沿った断面構造を図23(A)に示し、C3-C4線に沿った断面構造を図23(B)に示す。

【0130】

図22に示すように、画素106bは、第2スリット137が設けられた画素電極136を有する。第2スリット137は、コモン電極138の第1スリット139と重ならない位置に配置される。すなわち、画素106bは、第1スリット139と第2スリット137とが、交互に配置された構造を有する。

【0131】

図23(A)及び図23(B)に示すように、画素電極136は、第2酸化物導電層124b、酸化物半導体層128、積層された構造を有する。画素電極136は、第2酸化物導電層124bが除去された領域に第2スリット137が設けられた構造を有する。第2酸化物導電層124bの上層に設けられる酸化物半導体層128も、第2スリット137のパターンに合わせて除去されていてもよい。第2スリット137は、第2酸化物導電層124b及び酸化物半導体層128が除去された領域とみなすこともできる。

【0132】

画素106bは、画素電極136に第2スリット137が設けられることで、コモン電極138と重なる面積が減少する。その結果、画素電極136とコモン電極138との間に形成される静電容量が減少する。それにより、液晶を駆動するドライバ回路の消費電力を小さくすることが可能となる。なお、画素電極136の第2スリット137は、第2酸化物導電層124b、酸化物半導体層128をパターニングするときに同時に形成できるので、液晶表示装置200aの製造工程において工程数の増加要因とはならない。

【0133】

本実施形態で示す画素106bは、画素電極136に第2スリット137が設けられたこと以外は、第1実施形態に示す画素106aと同様構成を有する。したがって、本実施形態に係る液晶表示装置200aは、第2スリット137が設けられたことによる効果に加え、第1の実施形態と同様の効果を奏する。

【0134】

3-1-3. 第3の実施形態

本実施形態は、第2の実施形態に示す画素106bに対し、コモン電極の形態が異なる態様を示す。以下においては、第2の実施形態と異なる部分を中心に説明し、同じ構成については適宜説明を省略する。

【0135】

図24は、本実施形態に係る液晶表示装置200aにおける画素106cの平面概略図を示す。また、図24に示すA5-A6線に沿った断面構造を図25(A)に示し、D1-D2線に沿った断面構造を図25(B)に示す。

【0136】

図24に示すように、コモン電極138は、第2コンタクトホール146aと第2コンタクトホール146bとの2箇所でコモン配線144と電氣的に接続されている。第2コンタクトホール146aと第2コンタクトホール146bとは離隔して配置されており、画素電極136は、その間の領域にコモン電極138と重なるように延長された構造を有している。一方、トランジスタ202は、第1の実施形態と同様の構成を有している。トランジスタ202の入出力端子と画素電極136とを繋ぐ領域に、第2酸化物導電層124bに重ねて第2金属層126bが設けられていてもよい。

【0137】

図25(A)及び図25(B)は、画素電極136に第2スリット137が設けられ、コモン電極138に第1スリット139が設けられた構造を示すが、第1の実施形態と同様に画素電極136はベタ膜で形成されていてもよい。図25(B)に示すように、第2コンタクトホール146aと第2コンタクトホール146bとの間の領域には、第2絶縁

10

20

30

40

50

層 130 を介して画素電極 136 とコモン電極 138 とが重なる領域を有する。この領域は静電容量が蓄積される領域となるため、画素 106c の開口率を損なうことなく、画素電極 136 とコモン電極 138 とが重畳する領域に形成される保持容量素子の容量を大きくすることができる。なお、本実施形態においても、第 2 コンタクトホール 146a、146b の配置と画素電極 136 及びコモン電極 138 の形状を変更するのみであるため、液晶表示装置の製造工程において工程数の増加要因とはならない。

【0138】

本実施形態で示す画素 106c は、開口率を低下させることなく保持容量素子の容量を大きくすることができるので、比較的画面サイズの小さい液晶表示装置に適している。第 2 コンタクトホール 146a、146b と画素電極 136 の配置以外は、第 2 の実施形態と同様の構成を有する。したがって、本実施形態に係る液晶表示装置 200a は、保持容量素子の容量が増加したことに加え、第 2 の実施形態と同様の効果を奏する。

【0139】

3-1-4. 第 4 の実施形態

本実施形態は、第 1 の実施形態に示す画素 106a に対し、コモン電極の形態が異なる態様を示す。以下においては、第 1 の実施形態と異なる部分を中心に説明し、同じ構成については適宜説明を省略する。

【0140】

図 26 は、本実施形態に係る液晶表示装置 200a における画素 106d の平面概略図を示す。また、図 26 に示す A7-A8 線に沿った断面構造を図 27 (A) に示し、C7-C8 線に沿った断面構造を図 27 (B) に示す。

【0141】

図 26 に示す画素 106d は、コモン電極 138 が複数の画素に亘って連続するように設けられた構造を有する。コモン電極 138 は、隣接する画素（行方向に隣接する画素）と連続するようにストライプ状のパターンを有する。また、コモン電極 138 は、画素電極 136 と重なる位置に第 1 スリット 139 が設けられている。画素 106d は、コモン電極 138 が複数の画素に亘って連続する構造を有するため、コモン配線が省略されている。第 1 の実施形態において、図 13 に示す画素 106a と対比すると、図 26 に示す画素 106d はコモン配線を有しておらず、そのためコモン電極とコモン配線とを接続するためのコンタクトホールも不要となっている。このような構成により、本実施形態に係る画素 106d は、開口率を高めることが可能となる。

【0142】

図 27 (A) に示すように、A7-A6 線に沿った部分の構造は、第 1 の実施形態における画素 106a の構造と同じである。一方、図 27 (B) に示すように、C7-C8 線に沿った構造は、コモン電極 138 が隣接する画素に亘って連続することから、第 2 絶縁層 130 を挟んでデータ信号線 118a、118b と交差するように設けられている。図 26 を参照して説明したように、画素 106d は、画素の領域内でコモン電極 138 とコモン配線とを接続するコンタクトホールを省略することができる。そのため、画素 106d の領域内で画素電極 136 の占める面積を大きくすることができ、画素の開口率を高くすることが可能となる。このような画素 106d の構造は、例えば、画面サイズが 4~6 インチ程度の小型のディスプレイに適しているといえる。

【0143】

本実施形態で示す画素 106dd は、コモン電極 138 が隣接する画素と共通化されたこと以外は、第 1 の実施形態に示す画素 106a と同様の構成を有する。したがって、画素 106d を有する液晶表示装置 200a は、第 1 の実施形態と同様の作用効果を奏し、さらに上記のように開口率の向上を図ることができる。

【0144】

3-1-5. 第 5 の実施形態

本実施形態は、第 1 の実施形態に示す画素 106a において、トランジスタの構造が異なる態様を示す。

【0145】

図28は、本実施形態に係る液晶表示装置200aにおける画素106eの平面概略図を示す。また、図28に示すA9-A10線及びB9-B10線に沿った断面構造を図29(A)に示し、C9-C10線に沿った断面構造を図29(B)に示す。

【0146】

画素106eは、トランジスタ203、画素電極136、コモン電極138を含む。画素電極136はトランジスタ203と電氣的に接続される。本実施形態において、トランジスタ203はボトムゲート型のトランジスタである。そのため、画素106eは、第1の実施形態で示す第2ゲート電極132、第1コンタクトホール134が省略された構造を有する。

10

【0147】

図29(A)に示すように、トランジスタ203は、第1ゲート電極120の上に、第1絶縁層122を介して酸化物半導体層128が設けられた構造を有する。また、第1絶縁層122と酸化物半導体層128との間に第1酸化物導電層124a、及び第2酸化物導電層124bが設けられている。第1酸化物導電層124aと第2酸化物導電層124bとは、酸化物半導体層128の第1ゲート電極120側の面(第1面)と接して設けられる。酸化物半導体層128は、前述のとおり第1領域129a及び第2領域129bが含まれていてもよい。第1酸化物導電層124a及び第2酸化物導電層124bは、酸化物半導体層128の第1面(第1領域129a)と接することで、接触抵抗を低減することができる。

20

【0148】

酸化物半導体層128の上層側(第1面とは反対の第2面側)には、第2絶縁層130が設けられる。酸化物半導体層128は、第1絶縁層122との間に第2領域129bが介在することにより界面の欠陥密度を低減することができる。それによりしきい値電圧の変動を防止することができる。

【0149】

本実施形態に係る画素106eは、第1の実施形態に係る画素106aに対し、トランジスタ203の構成が異なる他は、第1の実施形態と同様の構成を有し、同様の作用効果を奏する。

【0150】

30

3-2-1. 第6の実施形態

本実施形態は、カラーフィルタ層がトランジスタの下層側に設けられた液晶表示装置200aの画素構造について示す。

【0151】

図30は、本実施形態に係る液晶表示装置200aにおける画素106fの平面概略図を示す。また、図30に示すA11-A12線及びB11-B12線に沿った断面構造を図31(A)に示し、C11-C12線に沿った断面構造を図31(B)に示す。

【0152】

図21に示すように、画素106fは、トランジスタ208、画素電極136、コモン電極138を含む。画素電極136は、トランジスタ208と電氣的に接続される。トランジスタ208は、酸化物半導体層128、第2ゲート電極132、第1酸化物導電層124a、第2酸化物導電層124bを含む。第2ゲート電極132は、走査信号線116を兼ねており、コモン電極138と同じ層で形成される。すなわち、トランジスタ208はトップゲート型の構造を有する。また、画素106fは、走査信号線116、データ信号線118a、118b、及びトランジスタ208と重なる遮光層178が設けられている。また、図示されないが、画素電極136と重なる領域にカラーフィルタ層が設けられている。

40

【0153】

図31(A)及び図31(B)に示すように、第1絶縁層122と第1基板100との間に、遮光層178、カラーフィルタ層180が設けられる。遮光層178は、トランジ

50

スタ２０８及びデータ信号線１１８ａ、１１８ｂ（及び図示されないが、走査信号線）と重なる領域に設けられる。カラーフィルタ層１８０は、画素電極１３６と重なる領域に設けられる。

【０１５４】

遮光層１７８及びカラーフィルタ層１８０の上にはポリイミド等の樹脂材料で形成されるオーバーコート層１８２が設けられる。オーバーコート層１８２により、遮光層１７８及びカラーフィルタ層１８０のパターンに起因する凹凸が埋め込まれ平坦な表面が形成される。さらに、オーバーコート層１８２の上に、第３絶縁層１８４として窒化シリコン膜を設けることで、カラーフィルタ層１８０からの不純物の影響を低減することができる。

【０１５５】

スマートフォン、タブレット端末等の携帯型電子機器の用途において、表示画面の高精細化のために画素を微細化すると、それに伴ってトランジスタ、配線、コンタクトホールのサイズを微細化する必要がある。例えば、デュアルゲート型のトランジスタでトップゲートとボトムゲートを電氣的に接続するコンタクトホールの孔径は $2\mu\text{m}$ 以下にすることが求められる。その場合、コンタクトホールの孔径と、酸化物半導体層を上下で挟む絶縁層の膜厚を考慮すると、アスペクト比の高いコンタクトホールをマザーガラスの上に形成する必要があり、製造プロセスの困難性が増大する。

【０１５６】

そこで、本実施形態では、トランジスタ２０８に重畳して配置される遮光層１７８を、導電性を有する材料で形成し、所定のバイアス（例えば、接地電位）を印加することで、トランジスタ２０８の特性を安定化させている。別言すれば、遮光層１７８を、酸化物半導体層１２８の第２ゲート電極１３２とは反対側の面に配置してバックゲート電極として機能させることで、トランジスタ２０８の特性変動（例えば、しきい値電圧のシフト）を抑制している。遮光層１７８は、チタンシリサイド（ TiSi_x ）、タンタルシリサイド（ TaSi_x ）、モリブデンシリサイド（ MoSi_x ）等の金属シリサイド材料で形成することで、導電性を有し、かつ耐熱性を有するようにすることができる。

【０１５７】

本実施形態によれば、導電性を有する遮光層をトランジスタと重ねて設けることで、トランジスタの特性を安定化させ、画素の微細化を図ることができる。

【０１５８】

３－２．ＩＰＳ方式の液晶表示装置

本発明の一実施形態に係る液晶表示装置の一態様として、ＩＰＳ方式の画素を有する液晶表示装置について例示する。

【０１５９】

３－２－１．第７の実施形態

本実施形態は、図７（Ｂ）、図８、図９、図１０、及び図１１のいずれかに示すトランジスタを用いることのできるＩＰＳ方式の画素を備えた液晶表示装置２００ａの構造について示す。

【０１６０】

図３２は、本実施形態に係る液晶表示装置２００ａにおける画素１０６ｇの平面概略図を示す。また、図３２に示す、Ａ１３－Ａ１４線に沿った断面構造を図３３（Ａ）に示し、Ｃ１３－Ｃ１４線に沿った断面構造を図３３（Ｂ）に示す。以下の説明においては、第１の実施形態と共通する部分の説明は省略し、相違する部分を中心に説明する。

【０１６１】

図３２に示すように、画素１０６ｇは、トランジスタ２０２、画素電極１５０、及びコモン電極１５２を含む。画素電極１５０は、歯状（複数の帯状）のパターンを有し、中央部分で一方向に屈曲した形状（くの字形の形状）を有する。コモン電極１５２も同様に、歯状（複数の帯状）のパターンを有し中央部で一方向に屈曲した形状（くの字形の形状）を有する。画素電極１５０とコモン電極１５２とは、歯状の部分が咬み合うように配置される。

10

20

30

40

50

【0162】

画素電極150は第3コンタクトホール148を介してトランジスタ202と電氣的に接続され、コモン電極152は第2コンタクトホール146を介してコモン配線144と電氣的に接続される。図32に示すように、コモン配線144は、走査信号線116に隣接し、第1方向に延伸するように配設される。コモン電極152をコモン配線144と電氣的に接続する第2コンタクトホール146は、トランジスタ202の近くに配置される。このようなレイアウトにより画素106gの開口率を向上させることができる。

【0163】

図33(A)に示すように、画素電極150とコモン電極152は、第2絶縁層130の上に設けられる。画素電極150は、第2絶縁層130及び酸化物半導体層128を貫通する第3コンタクトホール148を介してトランジスタ202と電氣的に接続される。第2酸化物導電層124bの上面には第2金属層126bが設けられていてもよい。第3コンタクトホール148は、第2金属層126bと重なる位置に設けられていることが好ましい。第4導電層256が第3コンタクトホール148を介して第2金属層126bと接触する構造を有することで、画素電極150とトランジスタ202との電氣的な接続を確実にとることができる。一方、コモン電極152は、第1の実施形態と同様に、第2コンタクトホール146を介してコモン配線144と電氣的に接続される。

【0164】

図33(B)に示すように、画素電極150とコモン電極152は、第2絶縁層130上で間隙154をもって交互に並ぶように配置される。このような配置にすることで、画素電極150とコモン電極152とを同一の工程で形成することができ、製造工程を簡略化することができる。また、画素電極150及びコモン電極152は、トランジスタ202の第2ゲート電極132を形成する導電層(第4導電層256、第5導電層258)を使って形成することができるため、製造工程の増加を防ぐことができる。

【0165】

図34は、図33に示すC9-C10線に沿った画素106gの断面構造を示す。具体的には、図33(B)に示す素子基板210の構造に対し、対向基板212及び液晶層222が設けられた構造を有する。

【0166】

素子基板210側には、画素電極150及びコモン電極152を覆うように配向膜220aが設けられる。対向基板212の構成は第1の実施形態において図15で示すものと同様である。本実施形態においても、配向膜220a、220bは、水平配向膜が用いられる。

【0167】

本実施形態に係る液晶表示装置200aにおいても、第1の実施形態と同様に走査信号線は第1絶縁層122及び第2絶縁層130に埋設され、データ信号線118a、118bは第2絶縁層130に埋設された構造を有する。そのため、素子基板210と対向基板212とを貼り合わせるシール材の密着性を高めることができ、信頼性を高めることができる。

【0168】

3-2-2. 第8の実施形態

本実施形態は、第7の実施形態に示す画素106gに対し、画素電極及びコモン電極の形状が異なる態様を示す。以下においては、第7の実施形態と異なる部分を中心に説明し、同じ構成については適宜説明を省略する。

【0169】

図35は、本実施形態に係る液晶表示装置200aにおける画素106hの平面概略図を示す。また、図35に示すA15-A16線及びB15-B16線に沿った断面構造を図36(A)に示し、C15-C16線に沿った断面構造を図36(B)に示す。

【0170】

図35に示すように、画素106hはコモン電極152とコモン配線144との接続部

10

20

30

40

50

が、トランジスタ 202 から離れた位置に設けられている。具体的には、コモン配線 144 は、隣接する画素の走査信号線と隣接して配置されている。また、コモン電極 152 は、絶縁層を介して画素電極 150 と異なる層に設けられている。

【0171】

図 36 (A) に示すように、画素電極 150 は、トランジスタ 202 の第 2 酸化物導電層 124 b から連続する構造を有する。別言すれば、画素電極 150 は、コンタクトホールを介さずにトランジスタ 202 と電氣的に接続されている。一方、コモン電極 152 は、第 2 コンタクトホール 146 を介してコモン配線 144 と電氣的に接続されている。画素電極 150 とコモン電極 152 との間には、第 2 絶縁層 130 が設けられている。

【0172】

図 36 (B) に示すように、画素電極 150 とコモン電極 152 は、第 2 絶縁層 130 を挟み、間隙 154 をもって交互に並ぶように配置されている。第 2 絶縁層 130 を画素電極 150 とコモン電極 152 との間に設けることで、間隙 154 の幅を狭くしても 2 つの電極の短絡を防止することができる。また、画素電極 150 とコモン電極 152 との間隙 154 を狭くすることで電界強度を高めることができ、液晶素子の駆動電圧を低下させることができる。また、画素電極 150 は、コンタクトホールを介さずにトランジスタ 202 と電氣的に接続された構造を有するので、コンタクトホールが省略された分だけ画素電極の有効面積を増加させることができ、開口率を増加させることができる。

【0173】

本実施形態で示す画素 106 h は、画素電極 150 とコモン電極 152 との構成が異なること以外は、第 7 の実施形態に示す画素 106 g と同様構成を有する。したがって、本実施形態に係る液晶表示装置 200 a は、上記の効果に加え、第 7 の実施形態と同様の効果を奏する。

【0174】

3-2-3. 第 9 の実施形態

本実施形態は、第 7 の実施形態に示す画素 106 g に対し、画素電極及びコモン電極の形状が異なる態様を示す。以下においては、第 7 の実施形態と異なる部分を中心に説明し、同じ構成については適宜説明を省略する。

【0175】

図 37 は、本実施形態に係る液晶表示装置 200 a における画素 106 j の平面概略図を示す。また、図 37 に示す A17-A18 線に沿った断面構造を図 38 (A) に示し、B17-B18 線に沿った断面構造を図 38 (B) に示す。

【0176】

図 37 に示すように、画素 106 j は、画素電極 150 及びコモン電極 152 が同一の絶縁表面に設けられる点は第 7 の実施形態と同様である。IPS 方式の画素では、画素電極とコモン電極とが近接して配置されるため、この 2 つの電極間に生成される静電容量を保持容量として用いている。これに対し、本実施形態に係る画素 106 j は、コモン配線 144 と重なるように第 4 金属層 126 d (及び第 4 酸化物導電層 124 d) で形成される電極を設け、画素内に保持容量素子 206 が形成された構成を有する。第 4 金属層 126 d は、第 4 コンタクトホール 156 を介して画素電極 150 と電氣的に接続されている。

【0177】

図 38 (A) に示すように、画素電極 150 とトランジスタ 202 との接続構造は第 7 の実施形態と同様である。コモン配線 144 は隣接する画素の走査信号線に隣接して配置され、第 2 コンタクトホール 146 を介してコモン電極 152 と電氣的に接続されている。図 38 (B) に示すように、第 4 金属層 126 d (及び第 4 酸化物導電層 124 d) とコモン配線 144 とが重なる領域に保持容量素子 206 が形成されている。保持容量素子 206 は、第 4 コンタクトホール 156 を介して画素電極 150 と電氣的に接続されている。第 4 金属層 126 d (及び第 4 酸化物導電層 124 d) は、第 1 絶縁層 122 上でコモン配線 144 の長手方向に沿って設けることができる。そのため、保持容量素子 206 は、第 4 金属層 126 d (及び第 4 酸化物導電層 124 d) がコモン配線 144 に沿った

10

20

30

40

50

長さを調整することで、蓄積される静電容量の大きさを調整することができる。画素106jは、保持容量素子206が設けられたことで、より安定的に画素電極150の電圧を一定に保つことができる。

【0178】

本実施形態で示す画素106jは、保持容量素子206を意図的に設けたこと以外は、第7の実施形態に係る構成と概略同じである。したがって、本実施形態に係る液晶表示装置200aは、上記の効果に加え、第7の実施形態と同様の効果を奏する。

【0179】

3-3. P V S A方式の液晶表示装置

本発明の一実施形態に係る液晶表示装置の一態様として、P S V A方式の画素を有する液晶表示装置について例示する。

【0180】

3-3-1. 第10の実施形態

本実施形態は、図7(A)、図7(B)、図8、図9、図10、及び図11のいずれかに示すトランジスタを用いることのできるP S V A方式の画素を備えた液晶表示装置の構造、及び液晶表示装置200bの製造方法について示す。

【0181】

3-3-1-1. 画素の構成(1)

図39は、本実施形態に係る液晶表示装置200bにおける画素106kの平面概略図を示す。また、図39に示す、A19-A20線に沿った断面構造を図40(A)に示し、C19-C20線に沿った断面構造を図40(B)に示す。

【0182】

図39に示すように、画素106kは、トランジスタ202、第1画素電極158、第2画素電極160を含む。また、図39には示されないが、カラーフィルタ層等が設けられる第2基板102には対向電極(162)が設けられる。第1画素電極158と第2画素電極160とは、中心位置を略同一として重ねて配置されている。第2画素電極160の平面視における大きさは、第1画素電極158の平面視における大きさより小さいため、第2画素電極160は第1画素電極158の内側に配置されている。

【0183】

第1画素電極158及び第2画素電極160にはスリット161が設けられている。スリット161は、例えば、幅が3 μ m程度、ピッチが6 μ m程度の微細な構造を有する。第1画素電極158及び第2画素電極160において、スリット161は、4つの方向に傾斜するように設けられている。別言すれば、第1画素電極158及び第2画素電極160は、中央から放射状に広がるスリットが設けられている。画素電極に電圧が印加されたとき、液晶分子はスリットと平行な方向に傾斜する性質を有するため、図39に示す画素106kでは4つのドメインを形成することができる。

【0184】

第1画素電極158及び第2画素電極160とトランジスタ202とは、配線164によって電氣的に接続される。第1画素電極158及び第2画素電極160は、共に第5コンタクトホール166を介して配線164と電氣的に接続される。すなわち、第1画素電極158及び第2画素電極160は、トランジスタ202を介して同じ電圧が印加される。

【0185】

図40(A)及び図40(B)に示すように、第1画素電極158は第1基板100と第1絶縁層122との間に設けられ、第2画素電極160は第2絶縁層130の上に設けられる。第1画素電極158と第2画素電極160は、第1絶縁層122及び第2絶縁層130を貫通する(さらには第2酸化物導電層124b、酸化物半導体層128を貫通する)第5コンタクトホール166において電氣的に接続されるが、スリットが設けられる部分はそれぞれ異なる層に設けられている。

【0186】

第2画素電極160は、第5コンタクトホール166の側面に沿って設けられ、底面部

10

20

30

40

50

に露出する第1画素電極158と接触する。第5コンタクトホール166の側面部には配線164が露出しており、その露出部で第2画素電極160は配線164と電氣的に接続される。その結果、第1画素電極158も配線164と電氣的に接続されることとなる。

【0187】

第1画素電極158は第1導電層250で形成されるが、第5コンタクトホール166が設けられる部分に第2導電層252による導電パターンが設けられている。第2画素電極160は第4導電層256で形成されるが、第5コンタクトホール166が設けられる部分に第5導電層258による導電パターンが設けられている。なお、第1導電層250及び第4導電層256は透明導電膜であり、第2導電層252及び第5導電層258は金属膜である。図40(A)及び図40(B)に示すように、第5コンタクトホール166に重ねて第2導電層252及び第5導電層258を設けることで、第1画素電極158及び第2画素電極160と、配線164との電氣的な接続を確実に図ることができ、コンタクト抵抗を低減することができる。

【0188】

図41は、図39に示すC15-C16線に沿った画素106kの断面構造を示す。具体的には、図41は、図40(B)に示す素子基板210の構造に対し、対向基板212及び液晶層222が設けられた画素106kの構造を示す。

【0189】

素子基板210側には第1画素電極158及び第2画素電極160が設けられ、コモン電極138は対向基板212に設けられる。第1画素電極158及び第2画素電極160は、コモン電極138に対向するように設けられる。第1画素電極158と第2画素電極160は、第1基板100の表面からの高さが異なるように設けられるため、コモン電極138との間隔も異なっている。すなわち、第1画素電極158とコモン電極138の間隔を d_1 、第2画素電極160とコモン電極138の間隔を d_2 とすると、 $d_1 > d_2$ の関係性を有する。

【0190】

画素106kは、第1画素電極158及び第2画素電極160に映像信号に基づく電圧が印加され、コモン電極138は一定電圧に保持される。第1画素電極158及び第2画素電極160には同じ電圧が印加されるため、第1画素電極158とコモン電極138との間に生じる画素第1領域301の電界 E_1 の強度と、第2画素電極160とコモン電極138との間に生じる画素第2領域302の電界 E_2 の強度とは異なる。この場合、電界強度は、電極間隔の関係から $E_2 > E_1$ となる。その結果、液晶層222においては、画素第1領域301の液晶分子に対し、電界 E_2 の作用を受ける画素第2領域302の液晶分子は電界 E_2 の作用を受け、配向の角度が大きく変化する。

【0191】

また、画素第1領域301の面積に対し画素第2領域302の面積は小さい。例えば、画素第1領域301と画素第2領域302との面積比は2:1の関係性を有する。図42は、画素106kにおける画素第1領域301と画素第2領域302との面積比が、上記のような関係にある場合の印加信号電圧に対する輝度特性の関係をグラフで模式的に示す。画素第2領域302に対して画素第1領域301の面積は相対的に大きいため、印加信号電圧が高く液晶分子が配向した飽和状態における輝度が高くなる。一方、画素第2領域302では、印加信号電圧によって生成される電界強度が高いため、低い印加信号電圧から輝度が上昇する。

【0192】

このように、コモン電極138との間隔が異なる2つの画素電極（第1画素電極158、第2画素電極160）を設けることにより、液晶表示装置200bの画質として、ダイナミックレンジを広げることができる。また、画素106kは、第1画素電極158及び第2画素電極160に4つの方向に傾くスリットを設けることで、液晶層222に少なくとも8個のドメインを形成することができる。本実施形態に係る液晶表示装置200bは、このような画素106kを備えることにより、視野角を広げることができる。また、液

晶表示装置 200b の画素において、画素電極がコンタクトホールと重なる部分は液晶の配向乱れの原因となるため遮光する必要がある。本実施形態に示すように 2 つの画素電極を接続するコンタクトホールを 1 つにすることで、開口率の低下を抑制することができる。

【0193】

なお、本実施形態においても、第 1 の実施形態と同様の配線構造及びシール構造を形成することができ、液晶表示装置 200b の製造工程の簡略化を図り、信頼性を高めることができる。

【0194】

3-3-1-2. 製造方法

本実施形態に係る液晶表示装置 200b の製造工程を、図面を参照して詳細に説明する。以下に説明するように、本実施形態に係る液晶表示装置 200b は、5 枚のフォトリソマスクにより作製することができる。

【0195】

図 43 (A) 及び図 43 (B) は、第 1 基板 100 上に第 1 ゲート電極 120、第 1 画素電極 158 を形成する段階を示す。なお、図示されないが、この段階において第 1 ゲート電極 120 と同時に走査信号線も形成される。

【0196】

第 1 基板 100 上に、第 1 の実施形態と同様に、第 1 導電層 250、及び第 2 導電層 252 が形成される。次いで、第 1 基板 100 の略全面に第 1 導電層 250 及び第 2 導電層 252 が形成された状態で、第 2 導電層 252 上に第 1 レジストマスク 551 が形成される。第 1 レジストマスク 551 は、第 1 フォトリソマスク 501 により形成される。第 1 フォトリソマスク 501 は、第 1 ゲート電極 120、第 1 画素電極 158、及び図示されない走査信号線 (116) のパターンを含む第 1 マスクパターン 511 が形成されたハーフトーンマスクである。第 1 フォトリソマスク 501 は、第 1 画素電極 158 を形成する第 1 マスクパターン 511 の透過部 520 の中に、遮光部 524、光の透過光量を低下させる半透過部 522 を含む。図 43 (A) は、ポジ型のフォトリソレジストが用いられる場合を示し、第 1 マスクパターン 511 が遮光部を形成する態様を示す。一方、図 43 (B) は、画素 106j の中央付近の断面図を示し、第 1 画素電極 158 が形成される領域を示す。

【0197】

なお、図 43 (A) に示す丸付きの数字「1」は、第 1 レジストマスク 551 が第 1 フォトリソマスク 501 で形成されることを示す。第 1 レジストマスク 551 を用いて第 1 導電層 250 及び第 2 導電層 252 をエッチングすることにより、第 1 ゲート電極 120、第 1 画素電極 158、及び図示されない走査信号線 (116) 等が形成される。第 1 フォトリソマスク 501 としてハーフトーンマスクを用いることにより、第 1 画素電極 158 を、第 1 導電層 250 により形成されるスリット 161 が形成された部分と、略中央部で第 2 導電層 252 が残存する部分とを有する形状に形成することができる。

【0198】

図 44 (A) 及び図 44 (B) は、第 1 ゲート電極 120、第 1 画素電極 158、及び図示されない走査信号線 (116) 等が形成された第 1 基板 100 上に、第 1 絶縁層 122、酸化物導電層 124、第 3 導電層 254 が形成され、その上に第 2 レジストマスク 452 が形成される段階を示す。

【0199】

第 1 絶縁層 122、酸化物導電層 124、及び第 3 導電層 254 は第 1 の実施形態と同様に形成される。第 3 導電層 254 の上面に、第 2 レジストマスク 552 が形成される。第 2 レジストマスク 552 は、第 2 フォトリソマスク 502 を用いて形成される。第 2 フォトリソマスク 502 は、透過部 520 の中に、遮光部 524 と、光の透過光量を低下させる半透過部 522 とを含む第 2 マスクパターン 512 を有する。第 2 フォトリソマスク 502 は、バイナリマスク（透過部と遮光部とにより形成されるフォトリソマスク）と異なり、データ信号線 118a、118b を形成するための遮光部 424、第 1 酸化物導電層 124a 及び第 2 酸化物導電層 124b を形成するための半透過部 422 を有するハーフトーンマスクで

10

20

30

40

50

ある。第2フォトリソマスク502を用いてフォトリソ膜を露光することにより、第2レジストマスク552が形成される。なお、図44(A)及び図44(B)に示す丸付きの数字「2」は、第2レジストマスク552が第2フォトリソマスク502で形成されることを示す。

【0200】

図44(A)及び図44(B)に示すように、第2レジストマスク452は、第1酸化物導電層124a及び第2酸化物導電層124bに対応するパターンを有し、このパターンを重ねてデータ信号線118aに対応するパターンが厚膜化された状態で含まれている。

【0201】

第2レジストマスク452が形成された状態で、第1の実施形態と同様に、第3導電層254及び酸化物導電層124のエッチングが行われる。このエッチングによりデータ信号線118a、118b、配線164が形成される。

【0202】

図45(A)及び図45(B)は、第1酸化物導電層124a、第2酸化物導電層124b、データ信号線118a、118b、及び配線164の上層側に、酸化物半導体層128が形成され、当該酸化物半導体層128の上に第3レジストマスク553が形成される段階を示す。酸化物半導体層128は、第1の実施形態と同様に形成される。同様に、第3レジストマスク553の形成には、第3マスクパターン513を有する第3フォトリソマスク503が用いられる。なお、図45(A)及び図45(B)に示す丸付きの数字「3」は、第3レジストマスク553が、第3フォトリソマスク503で形成されることを示す。第3レジストマスク553を用いて酸化物半導体層128をエッチングすることにより、トランジスタ、画素電極、データ信号線の配置に対応したパターンが形成される。

【0203】

図46(A)及び図46(B)は、酸化物半導体層128の上層側に第2絶縁層130が形成され、コンタクトホールを形成するための第4レジストマスク554を形成する段階を示す。

【0204】

第2絶縁層130は、第1の実施形態と同様に形成される。第4レジストマスク554は、第4フォトリソマスク504によって第2絶縁層130上に形成される。第4フォトリソマスク504は、図示されない第1コンタクトホール(134)、及び第5コンタクトホール166に対応する第4マスクパターン514が形成されたバイナリマスクである。図46(A)及び図46(B)は、ポジ型のフォトリソが用いられるものとして、第4マスクパターン514が遮光部で形成された形態を示す。なお、図46(A)に示す丸付きの数字「4」は、第4レジストマスク554が第4フォトリソマスク504で形成されることを示す。第4レジストマスク554を用いて第2絶縁層130、酸化物半導体層128、第2酸化物導電層124b、及び第1絶縁層122をエッチングすることにより、第6コンタクトホール168が形成される。なお、第6コンタクトホール168は、テーパーエッチングにより形成され、内壁面に第2酸化物導電層124bが露出することが好ましい。

【0205】

図47(A)及び図47(B)は、第5コンタクトホール166が形成された後、第4導電層256、第5導電層258が形成され、その上に第5レジストマスク555が形成される段階を示す。

【0206】

第4導電層256及び第5導電層258は第1の実施形態と同様に形成される。第5レジストマスク555は、第5フォトリソマスク505を用いて形成される。第5フォトリソマスク505は、透過部520の中に、遮光部524と、光の透過光量を低下させて透過させる半透過部522と、を含む第5マスクパターン515が形成されたハーフトーンマスクである。第5フォトリソマスク505を用いることにより、第2ゲート電極132、第2画素電極160のパターンに対応する一部分が厚膜化された第5レジストマスク555が形成される。なお、図47(A)及び図47(B)に示す丸付きの数字「5」は、第5レジスト

10

20

30

40

50

マスク 5 5 5 が第 5 フォトマスク 5 0 5 で形成されることを示す。

【0207】

図 4 7 (A) 及び図 4 7 (B) に示すように、第 5 レジストマスク 5 5 5 は、第 2 ゲート電極 1 3 2、及び第 2 画素電極 1 6 0 に対応し、第 5 導電層 2 5 8 を残す部分が厚膜化された形状を有する。第 5 レジストマスク 5 5 5 が形成された状態で、第 5 導電層 2 5 8 及び第 4 導電層 2 5 6 が第 1 の実施形態と同様にしてエッチングされる。このエッチングにより第 2 ゲート電極 1 3 2、第 2 画素電極 1 6 0 が形成される。第 2 画素電極 1 6 0 は、第 5 コンタクトホール 1 6 6 の部分で配線 1 6 4 と接続され、また第 1 画素電極 1 5 8 と接続される。また、図示されないが、第 2 ゲート電極 1 3 2 は、第 1 コンタクトホール (1 3 4) により、第 1 ゲート電極 1 2 0 と接続される。

10

【0208】

この工程においてハーフトーンマスクを使用することにより、第 2 画素電極 1 6 0 を、第 4 導電層 2 5 6 により形成されるスリット 1 6 1 が形成された部分と、第 5 コンタクトホール 1 6 6 と重なる領域で第 5 導電層 2 5 8 が残存する部分とを有する形状に形成することができる。

【0209】

以上のような工程を経て、図 4 0 (A) 及び図 4 0 (B) に示す構造を有する液晶表示装置 2 0 0 b の素子基板 2 1 0 を、5 枚のフォトマスクにより作製することができる。この製造工程において、ハーフトーンマスクを使用することにより、第 1 画素電極 1 5 8 及び第 2 画素電極 1 6 0 をそれぞれ 1 枚のフォトマスクで作製することができ、フォトマスクの数を削減することができる。

20

【0210】

3-3-2. 第 1 1 の実施形態

本実施形態は、P S V A 方式の液晶表示装置 2 0 0 b において、第 1 0 の実施形態とは異なる画素の構造を示す。以下においては、第 1 0 の実施形態と相違する部分を中心に説明する。

【0211】

図 4 8 は、本実施形態に係る液晶表示装置 2 0 0 b における画素 1 0 6 m の平面概略図を示す。また、図 3 9 に示す、C 2 1 - C 2 2 線に沿った断面構造を図 4 0 に示す。

【0212】

図 4 8 において、第 2 画素電極 1 6 0 は、第 6 コンタクトホール 1 6 8 においてトランジスタ 2 0 2 から延びる配線 1 6 4 と電氣的に接続される。一方、第 1 画素電極 1 5 8 は、第 7 コンタクトホール 1 7 0 a、1 7 0 b において第 2 画素電極 1 6 0 と電氣的に接続される。第 6 コンタクトホール 1 6 8 が画素 1 0 6 m の略中央部分に設けられるのに対し、第 7 コンタクトホール 1 7 0 a、1 7 0 b は、第 6 コンタクトホール 1 6 8 の外側 (周辺) の領域に設けられる。図 4 8 は、第 7 コンタクトホールが 1 7 0 a、1 7 0 b が、第 6 コンタクトホール 1 6 8 の外側の 2 箇所 に設けられる態様を示す。しかし、この態様は例示であり、第 1 画素電極 1 5 8 と第 2 画素電極 1 6 0 とを接続するコンタクトホールは少なくとも 1 箇所あればよく、又は、2 箇所以上設けられていてもよい。例えば、第 7 コンタクトホールに相当するコンタクトホールは、第 6 コンタクトホール 1 6 8 を囲むように 4 箇所 に設けられていてもよい。

30

40

【0213】

図 4 9 に示すように、第 2 画素電極 1 6 0 は、第 6 コンタクトホール 1 6 8 によって配線 1 6 4 と電氣的に接続される。また、第 2 画素電極 1 6 0 は、第 7 コンタクトホール 1 7 0 a、1 7 0 b によって第 1 画素電極 1 5 8 と電氣的に接続される。第 1 画素電極 1 5 8 には、第 6 コンタクトホール 1 6 8 a、1 6 8 b と重なる領域に第 2 導電層 2 5 2 で形成される金属層が設けられ、この部分で第 2 画素電極 1 6 0 が接触することにより、確実に電氣的に接続することができる。第 1 画素電極 1 5 8 は、第 2 画素電極 1 6 0 を介して配線 1 6 4 と電氣的に接続される。

【0214】

50

本実施形態における画素電極と配線との接続構造によれば、第6コンタクトホール168と第7コンタクトホール170a、170bとの2種類のコンタクトホールを設けることで、個々のコンタクトホールの深さを浅くすることができる。例えば、第10の実施形態に係る構成では、第6コンタクトホール168が、第2絶縁層130、酸化物半導体層128、第2酸化物導電層124b、第1絶縁層122を貫通する。これに対し、本実施形態においては、第6コンタクトホール168が、第2絶縁層130及び酸化物半導体層128を貫通し、第7コンタクトホール170a、170bは第1絶縁層122及び第2絶縁層130を貫通するのみである。このように、画素106mは、画素電極と配線とを接続するコンタクトホールが浅いことで、コンタクトホール部における断線を防止することができる。

10

【0215】

画素106mは、第1画素電極158及び第2画素電極160を配線と電氣的に接続するコンタクトホールの形態が異なる他は、第10の実施形態と同様の構成を有し、同様の作用効果を奏する。

【0216】

3-3-3. 第12の実施形態

本実施形態は、PSVA方式の液晶表示装置200bにおいて、第10の実施形態とは異なる画素の構造を示す。以下においては、第10の実施形態と相違する部分を中心に説明する。

【0217】

20

図50は、本実施形態に係る液晶表示装置200bにおける画素106nの平面概略図を示す。また、図50に示す、A19-A20線に沿った断面構造を図51(A)に示し、C19-C20線に沿った断面構造を図51(B)に示す。

【0218】

図50に示すように、画素106nは、第1画素電極158及び第2画素電極160が、トランジスタ202から伸びる配線164と第8コンタクトホール172及び第9コンタクトホール174において電氣的に接続された構造を有する。第8コンタクトホール172と第9コンタクトホール174は、画素106nの略中央部分に設けられ、かつ重畳するように設けられている。

【0219】

30

図51(A)及び図51(B)に示すように、第8コンタクトホール172は、第1絶縁層122を貫通し、第9コンタクトホール174は、第2絶縁層130及び酸化物半導体層128を貫通する。第1絶縁層122上には、トランジスタ202から伸びる配線164(第2酸化物導電層124b)が設けられ、第8コンタクトホール172の部位で第1画素電極158と電氣的に接続される。第1画素電極158は、第8コンタクトホール172と重なる領域に第2導電層252で形成される金属層が設けられ、配線164はこの金属層と接触するように設けられる。また、第8コンタクトホール172に重なるように、配線164(第2酸化物導電層124b)の上に金属層126cが設けられる。このような構造により、第1画素電極158と配線164との電氣的な接続を確実に図ることができる。

40

【0220】

第2画素電極160は、第9コンタクトホール174によって配線164と電氣的に接続される。第9コンタクトホール174は、配線164と重なる位置にもうけられる。この構成において、第9コンタクトホール174は、金属層126cと重なる位置に設けられていることが好ましい。第9コンタクトホール174を形成する際に、金属層126cがエッチングストッパーとして機能するので、コンタクトホールの深さを制御することが容易となる。また、第9コンタクトホール174によって、金属層126cの上面が露出されることにより、第2画素電極160を形成する第4導電層256と良好な電氣的接続を形成することができる。このように、第1画素電極158及び第2画素電極160を配線164と接続する構造において、2つのコンタクトホールを重畳して設けることにより

50

、個々のコンタクトホールをの深さを浅くすることができ、電氣的な接続を確実に図ることができる。液晶表示装置 200b の画素において、画素電極がコンタクトホールと重なる部分は液晶の配向乱れの原因となるため遮光する必要がある。本実施形態に示すように 2 つの画素電極を接続するコンタクトホールを重畳して設けることにより、開口率の低下を抑制することができる。

【0221】

画素 106n は、第 1 画素電極 158 及び第 2 画素電極 160 を配線と電氣的に接続するコンタクトホールの形態が異なる他は、第 10 の実施形態と同様の構成を有し、同様の作用効果を奏する。

【符号の説明】

【0222】

100・・・第 1 基板、101・・・FPC 基板、102・・・第 2 基板、104・・・表示部、106・・・画素、108・・・走査信号線駆動回路、109・・・コモン信号線駆動回路、110・・・データ信号線駆動回路、111・・・ドライバ IC、112・・・入力端子部、114・・・端子電極、115・・・出力信号線、116・・・走査信号線、117・・・コモン信号線、118・・・データ信号線、120・・・第 1 ゲート電極、122・・・第 1 絶縁層、124・・・酸化物導電層、126・・・金属層、127・・・低抵抗領域、128・・・酸化物半導体層、129・・・領域、130・・・第 2 絶縁層、132・・・第 2 ゲート電極、134・・・第 1 コンタクトホール、136・・・画素電極、137・・・第 2 スリット、138・・・コモン電極、139・・・第 1 スリット、144・・・コモン配線、146・・・第 2 コンタクトホール、148・・・第 3 コンタクトホール、150・・・画素電極、152・・・コモン電極、154・・・間隙、

156・・・第 4 コンタクトホール、158・・・第 1 画素電極、160・・・第 2 画素電極、161・・・スリット、162・・・対向電極、164・・・配線、166・・・第 5 コンタクトホール、168・・・第 6 コンタクトホール、170・・・第 7 コンタクトホール、172・・・第 8 コンタクトホール、174・・・第 9 コンタクトホール、178・・・遮光層、180・・・カラーフィルタ層、182・・・オーバーコート層、184・・・第 3 絶縁層、200・・・液晶表示装置、202・・・トランジスタ、203・・・トランジスタ、204・・・液晶素子、206・・・保持容量素子、208・・・トランジスタ、209・・・デマルチプレクサ、210・・・素子基板、212・・・対向基板、220・・・配向膜、222・・・液晶層、224・・・遮光層、226・・・カラーフィルタ層、228・・・オーバーコート層、230・・・配線、232・・・開口部、234・・・金属酸化物導電層、236・・・シール材、250・・・第 1 導電層、252・・・第 2 導電層、254・・・第 3 導電層、256・・・第 4 導電層、258・・・第 5 導電層、301・・・画素第 1 領域、302・・・画素第 2 領域、401・・・第 1 フォトマスク、402・・・第 2 フォトマスク、403・・・第 3 フォトマスク、404・・・第 4 フォトマスク、405・・・第 5 フォトマスク、411・・・第 1 マスクパターン、412・・・第 2 マスクパターン、413・・・第 3 マスクパターン、414・・・第 4 マスクパターン、415・・・第 5 マスクパターン、420・・・透過部、422・・・半透過部、424・・・遮光部、451・・・第 1 レジストマスク、452・・・第 2 レジストマスク、453・・・第 3 レジストマスク、454・・・第 4 レジストマスク、455・・・第 5 レジストマスク、501・・・第 1 フォトマスク、502・・・第 2 フォトマスク、503・・・第 3 フォトマスク、504・・・第 4 フォトマスク、505・・・第 5 フォトマスク、511・・・第 1 マスクパターン、512・・・第 2 マスクパターン、513・・・第 3 マスクパターン、514・・・第 4 マスクパターン、515・・・第 5 マスクパターン、520・・・透過部、522・・・半透過部、524・・・遮光部、551・・・第 1 レジストマスク、552・・・第 2 レジストマスク、553・・・第 3 レジストマスク、554・・・第 4 レジストマスク、555・・・第 5 レジストマスク

10

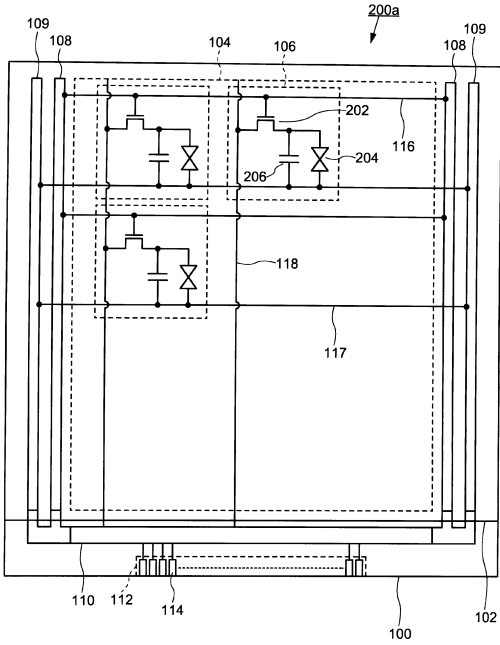
20

30

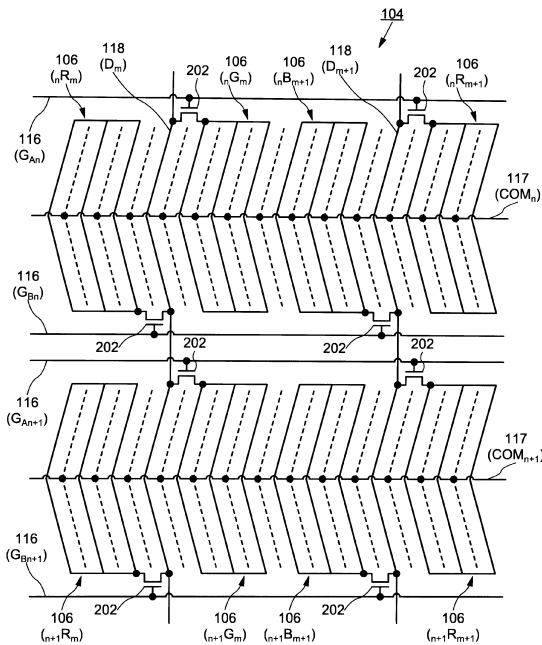
40

50

【図面】
【図 1】



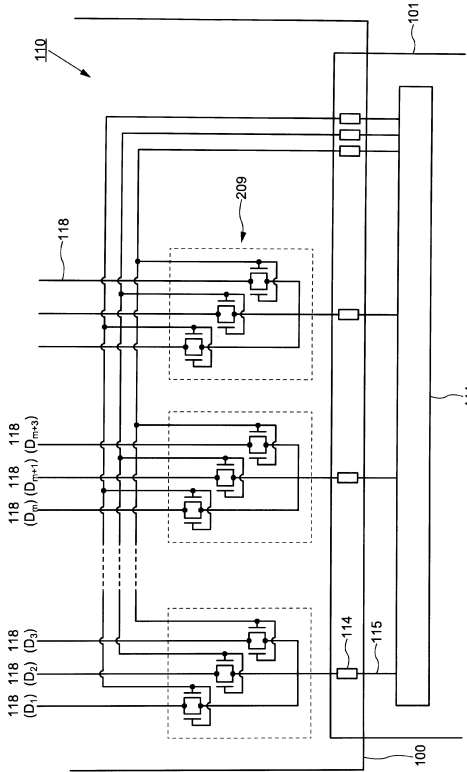
【図 2】



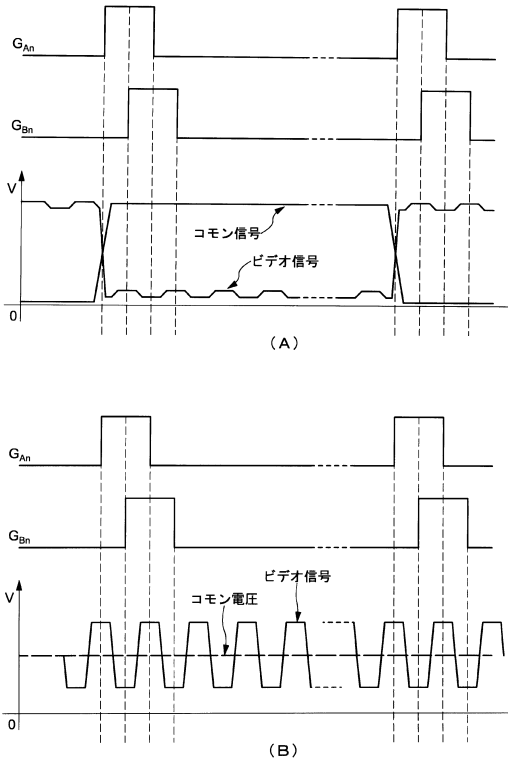
10

20

【図 3】



【図 4】

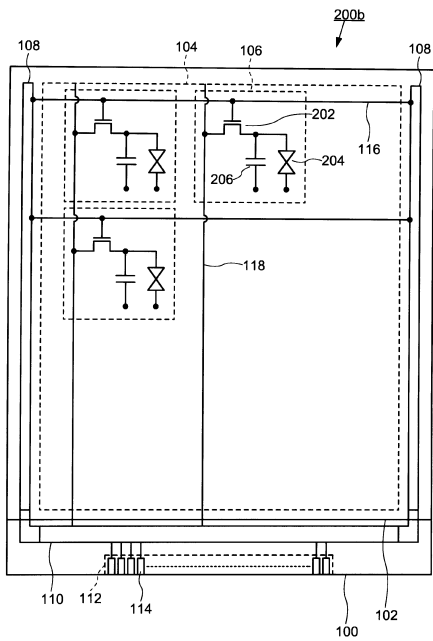


30

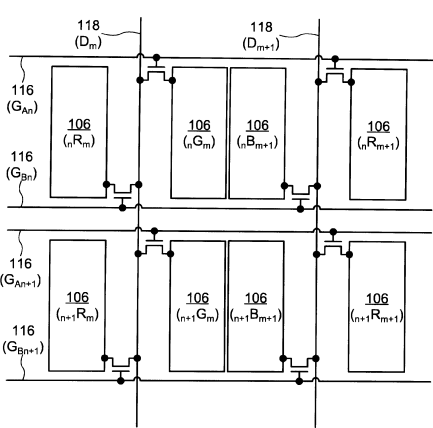
40

50

【図 5】



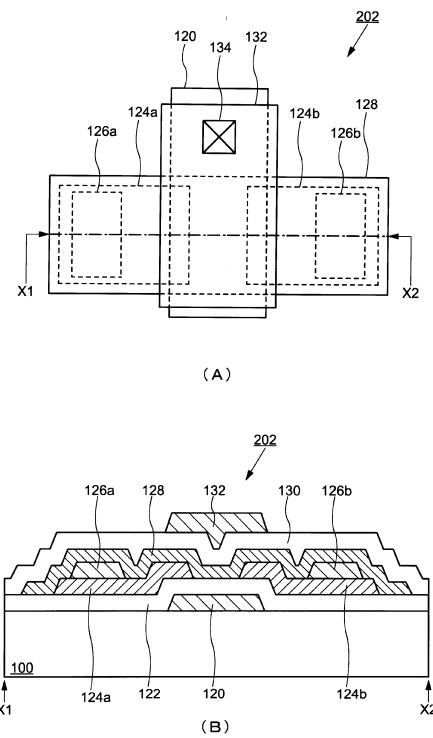
【図 6】



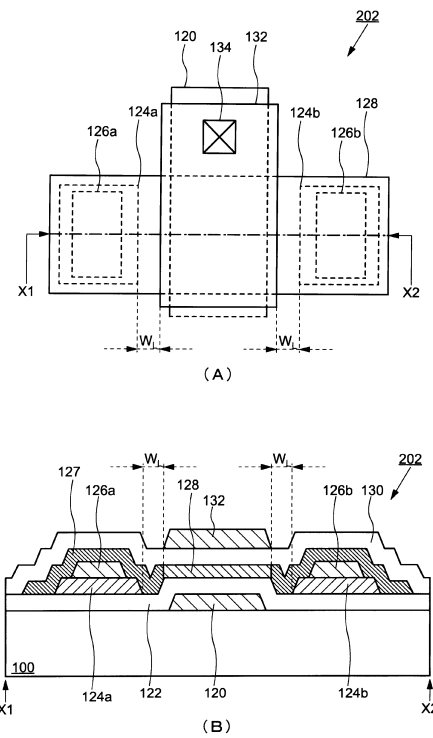
10

20

【図 7】



【図 8】

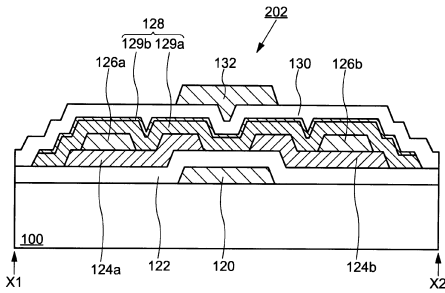


30

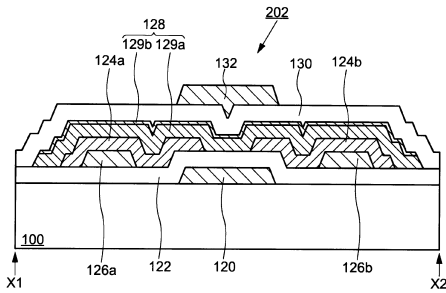
40

50

【図 9】



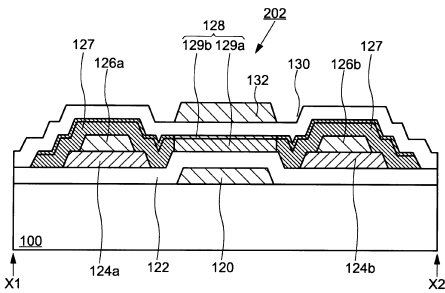
【図 10】



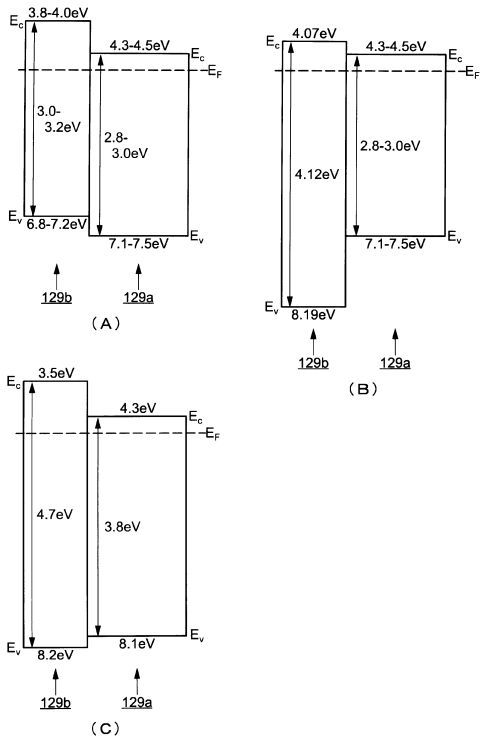
10

20

【図 11】



【図 12】

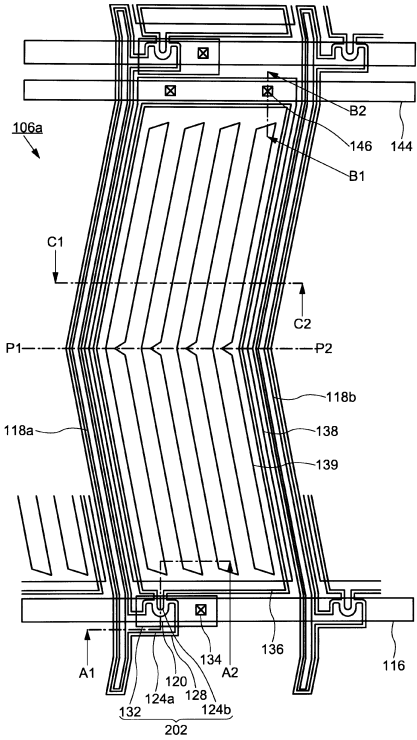


30

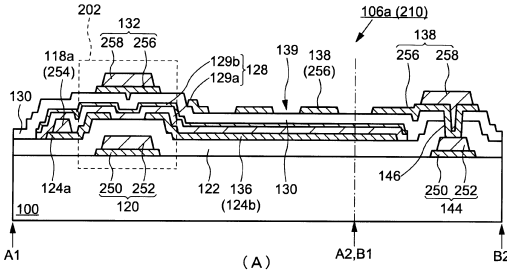
40

50

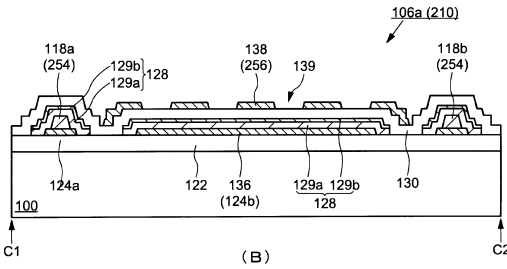
【図 13】



【図 14】

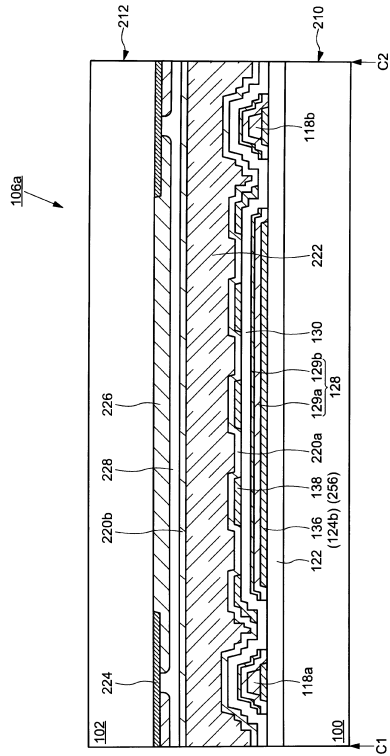


10

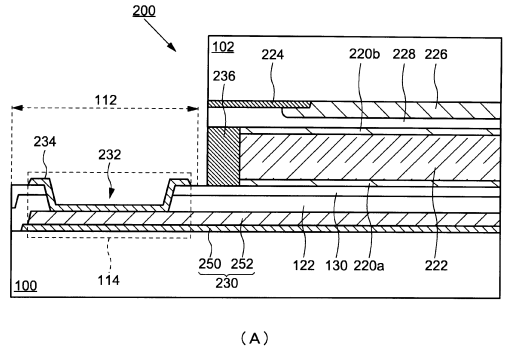


20

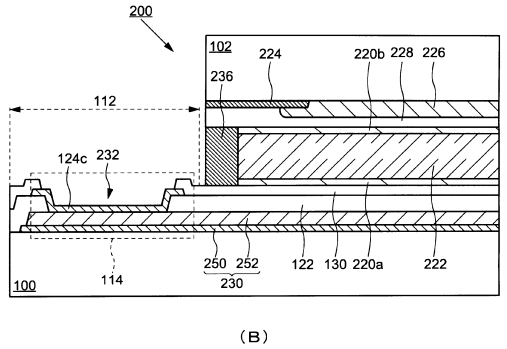
【図 15】



【図 16】



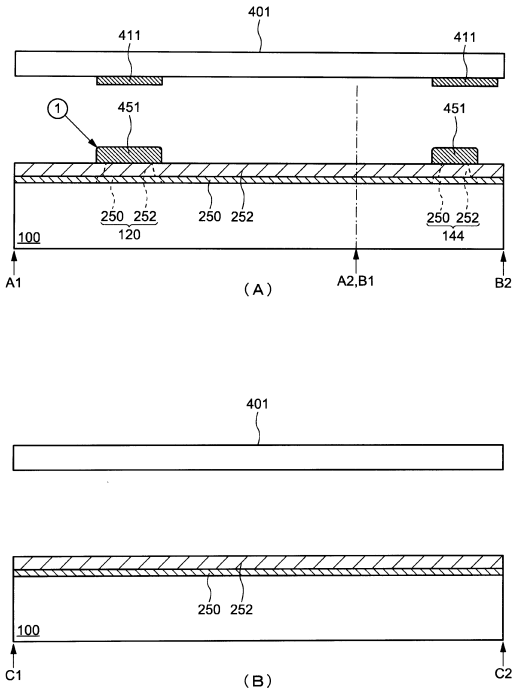
30



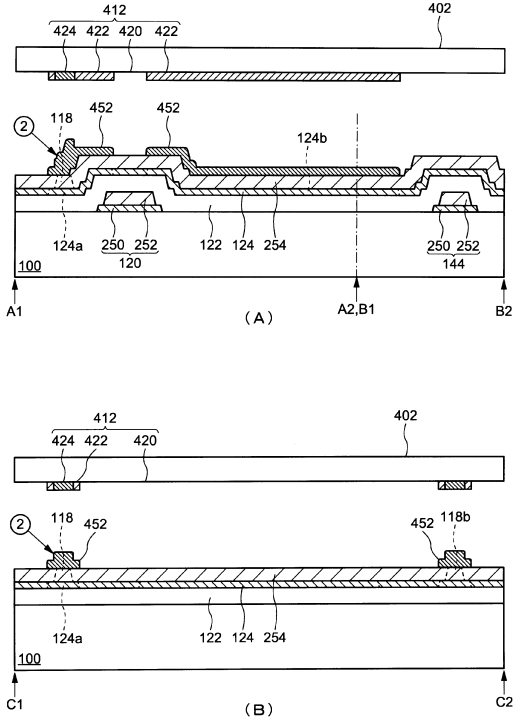
40

50

【図 17】



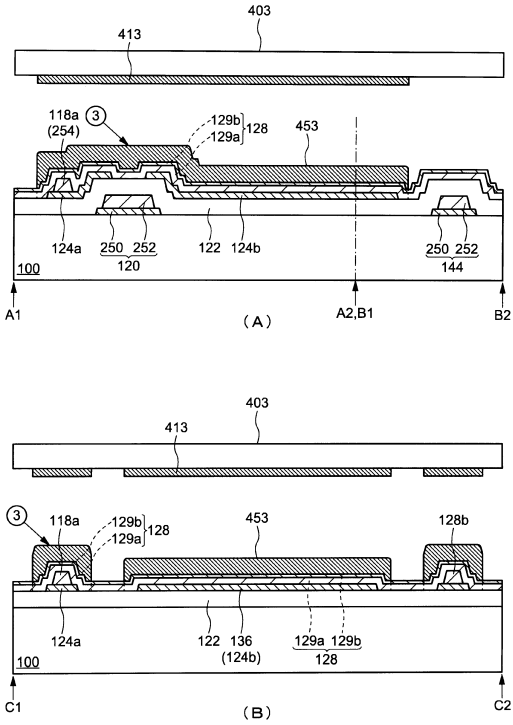
【図 18】



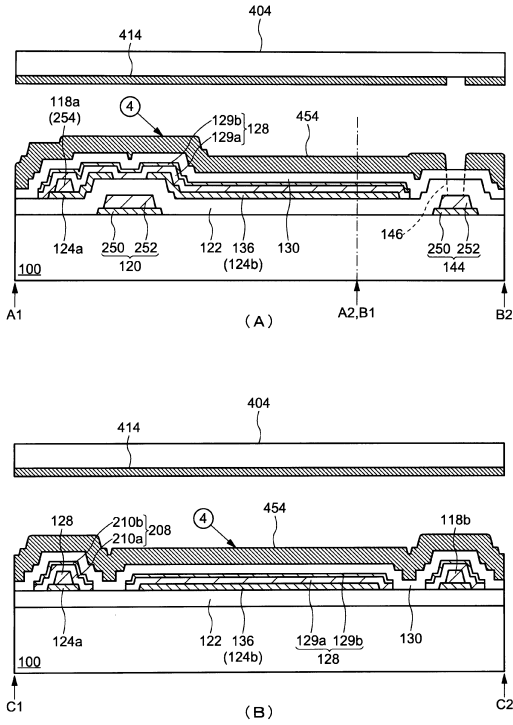
10

20

【図 19】



【図 20】

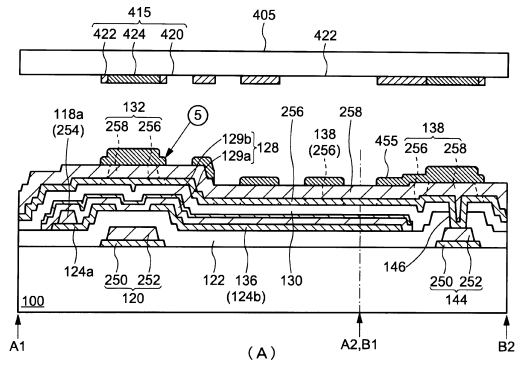


30

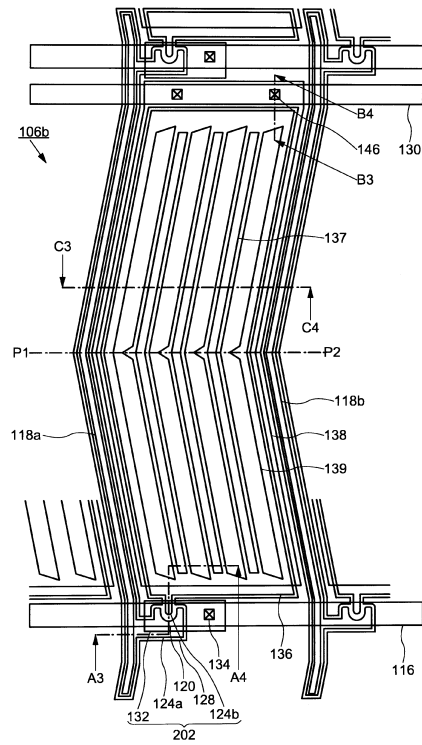
40

50

【図 2 1】



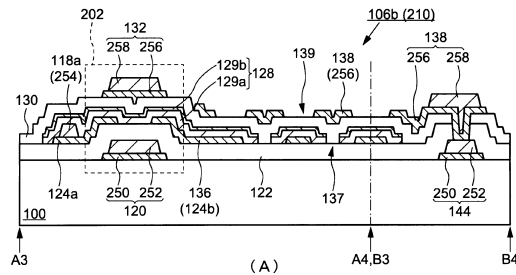
【図 2 2】



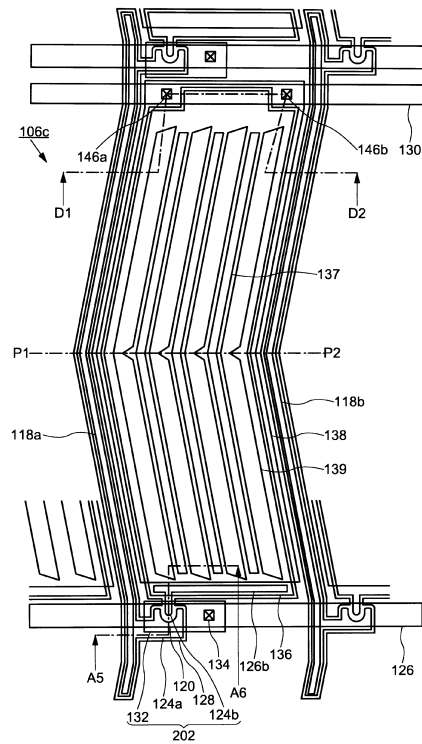
10

20

【図 2 3】



【図 2 4】

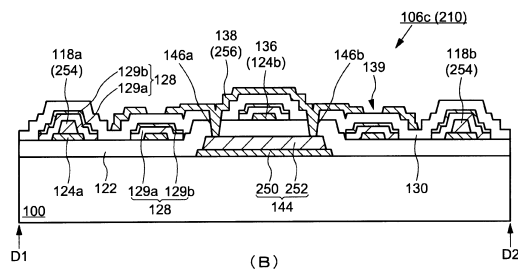
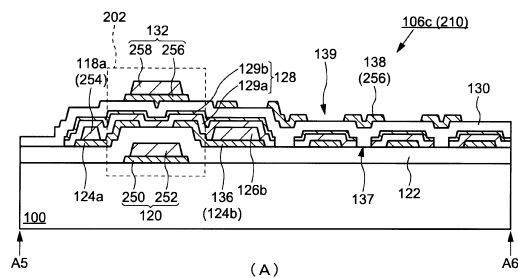


30

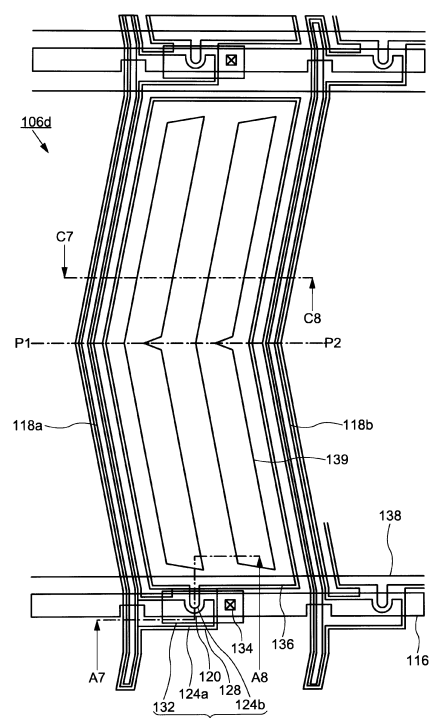
40

50

【図 2 5】



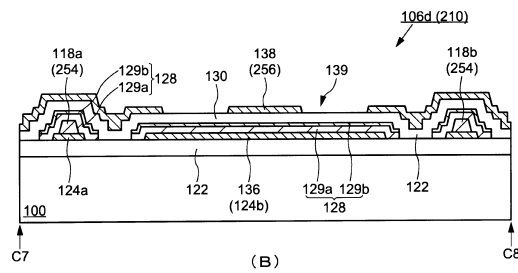
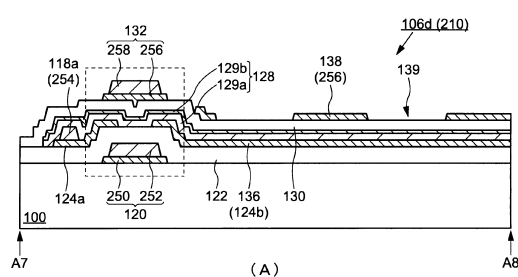
【図 2 6】



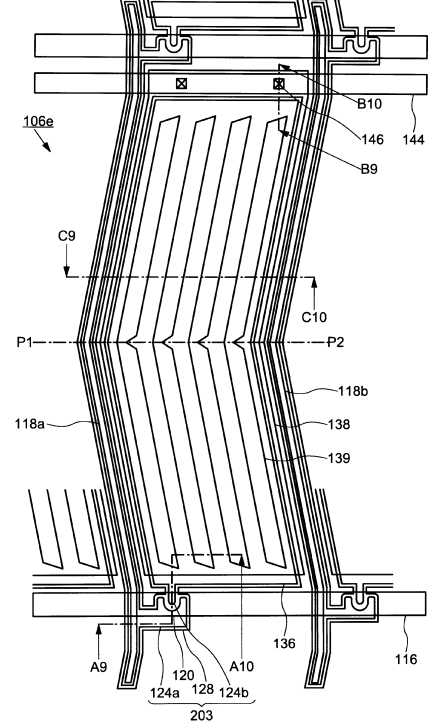
10

20

【図 2 7】



【図 2 8】

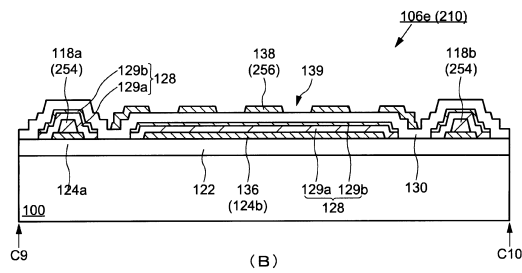
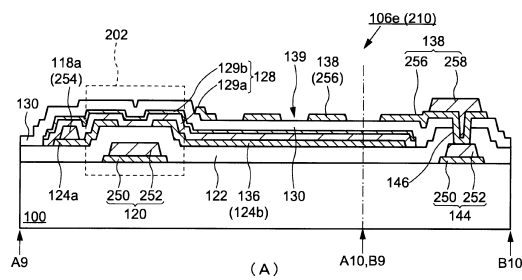


30

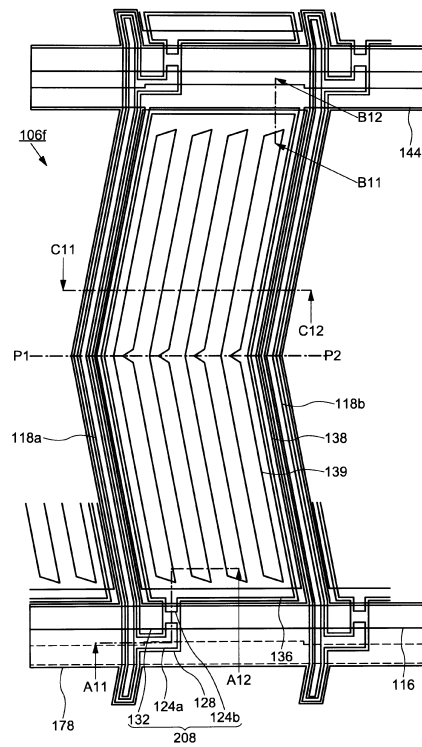
40

50

【図 29】



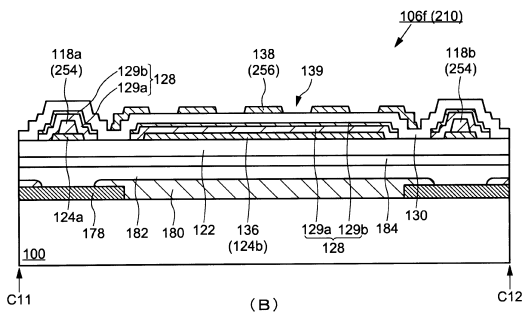
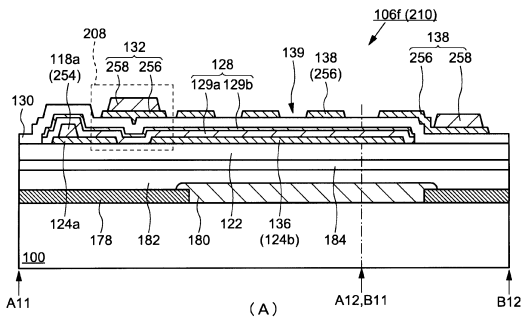
【図 30】



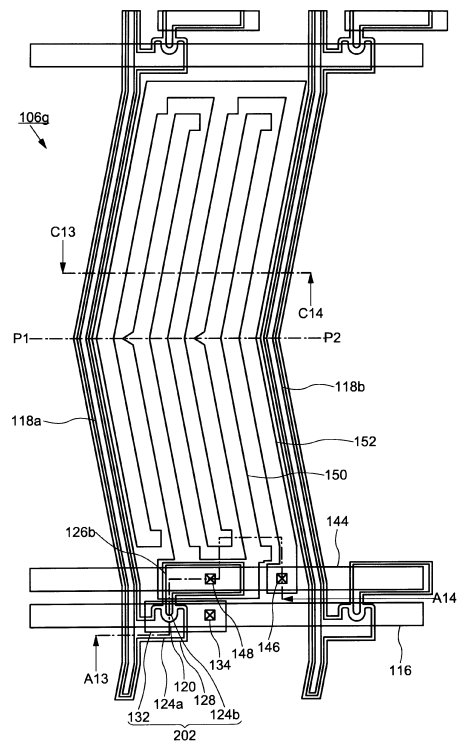
10

20

【図 31】



【図 32】

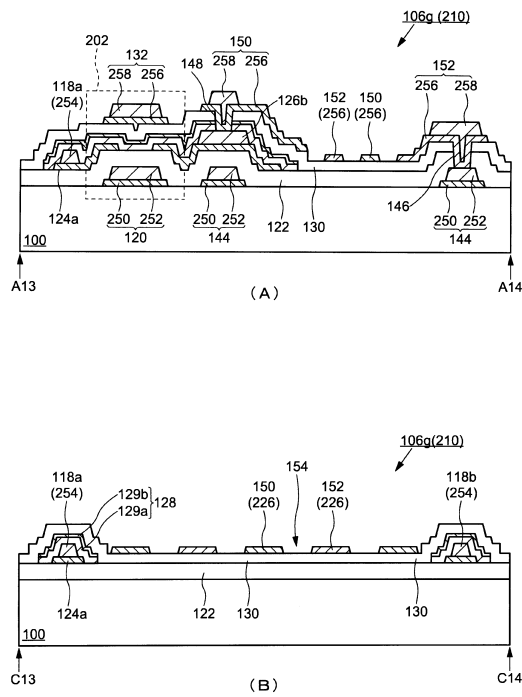


30

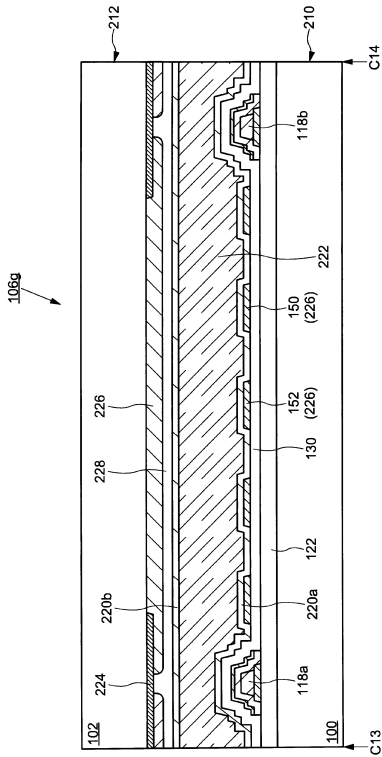
40

50

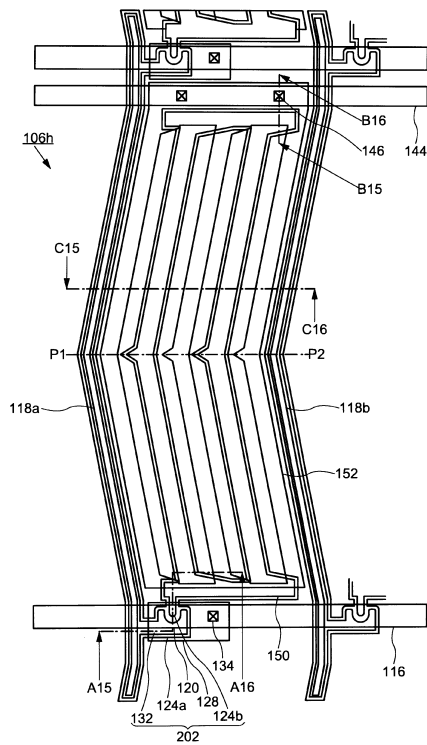
【図 3 3】



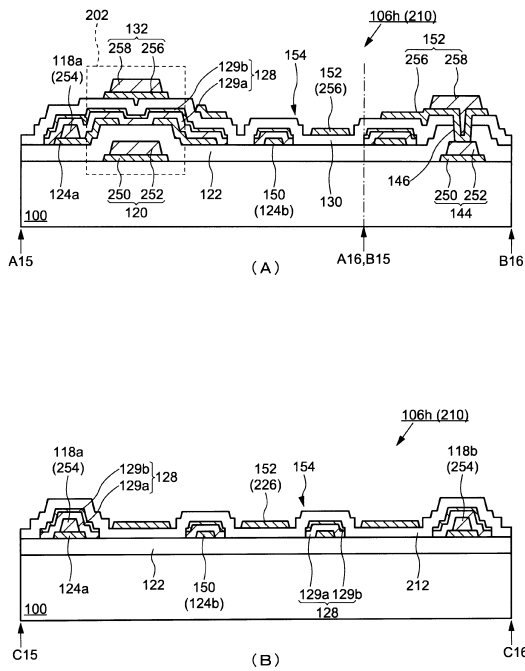
【図 3 4】



【図 3 5】



【図 3 6】



10

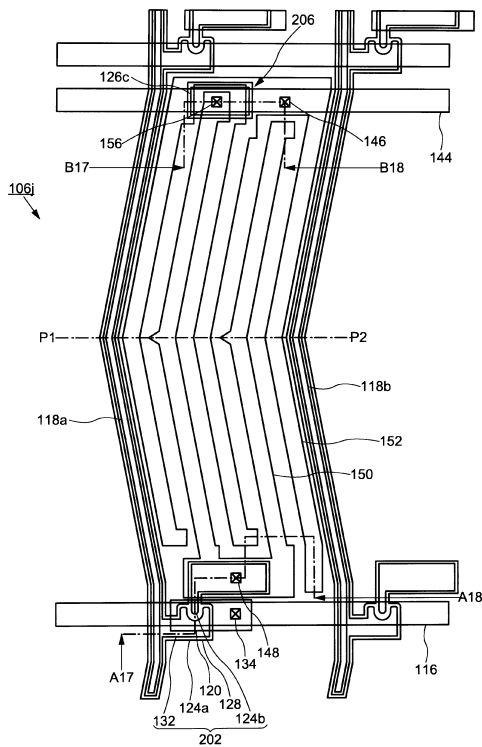
20

30

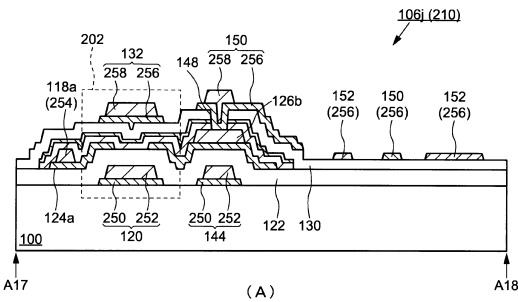
40

50

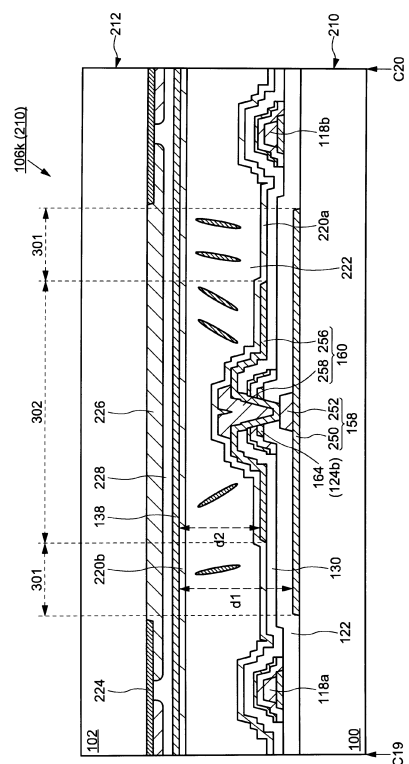
【図 37】



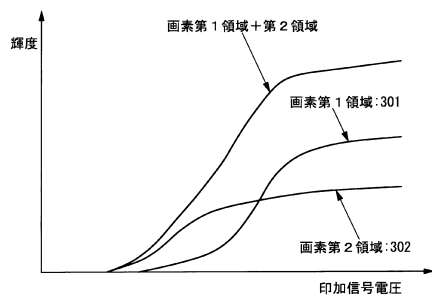
【図 38】



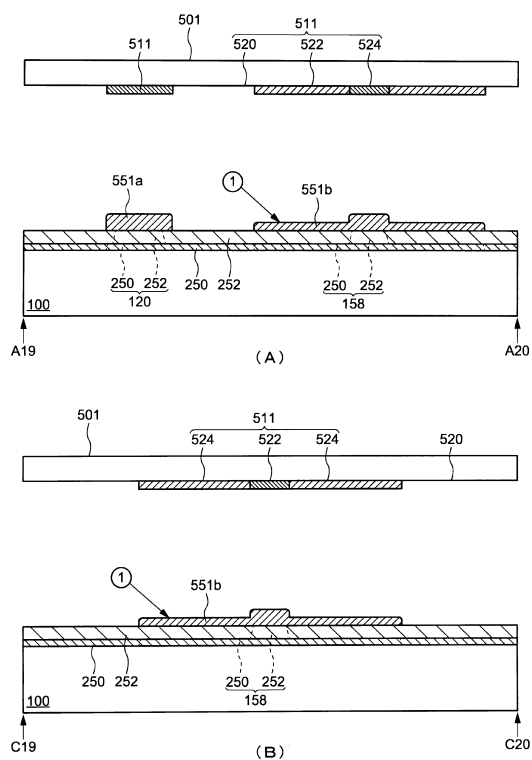
【図 4 1】



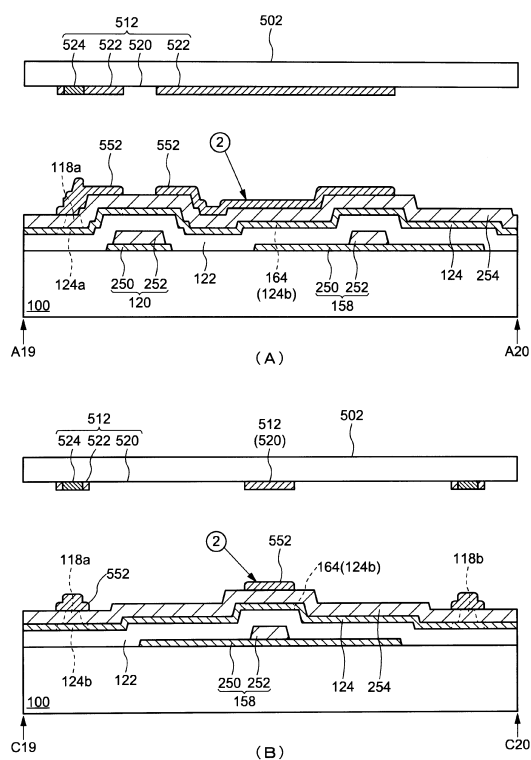
【圖 4 2】



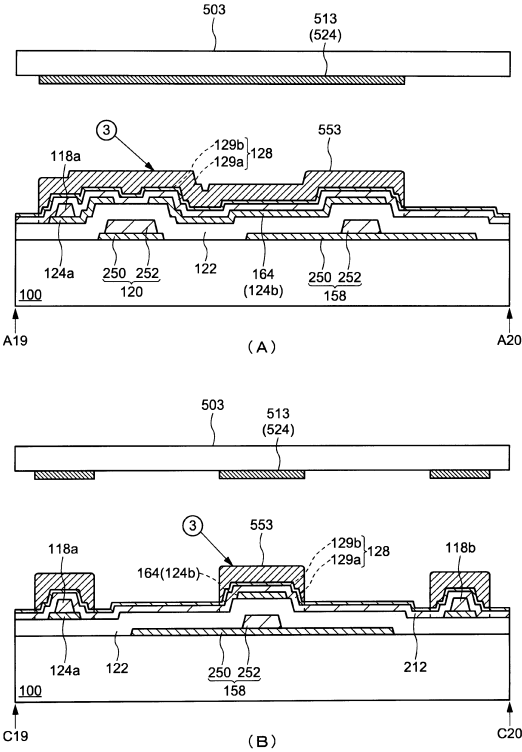
【図 4 3】



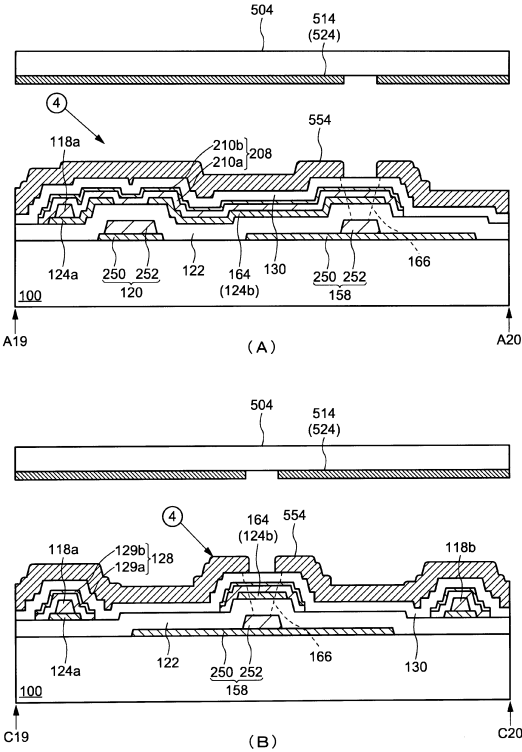
【図 4 4】



【図 4 5】



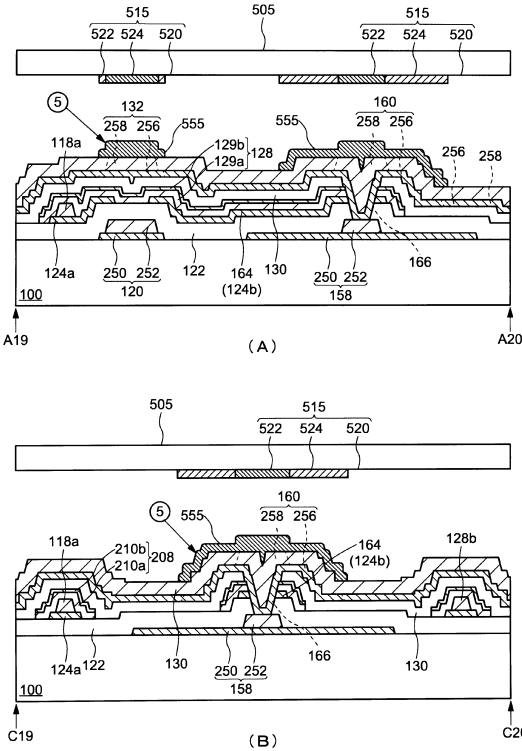
【図 4 6】



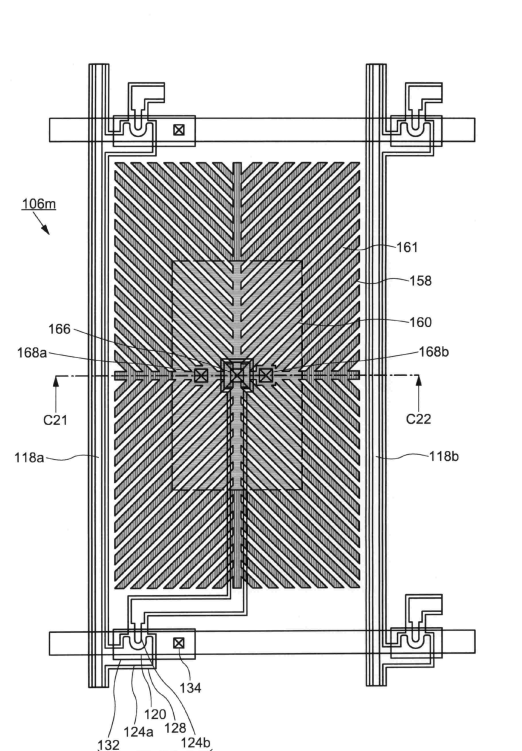
10

20

【図 4 7】



【図 4 8】



30

40

50

フロントページの続き

- (56)参考文献 特開 2012-151461 (JP, A)
 特開 2018-206822 (JP, A)
 特開 2017-028288 (JP, A)
 特開 2011-258940 (JP, A)
 特開 2017-076789 (JP, A)
 特開 2012-059860 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
 H10D 30/01
 H10D 30/67
 H10D 86/60
 G02F 1/1368