

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4159713号

(P4159713)

(45) 発行日 平成20年10月1日(2008.10.1)

(24) 登録日 平成20年7月25日(2008.7.25)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 7 K

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 6 A

H O 1 L 21/8234 (2006.01)

H O 1 L 29/78 6 1 3 Z

H O 1 L 27/088 (2006.01)

H O 1 L 27/08 1 0 2 B

H O 1 L 27/08 (2006.01)

H O 1 L 27/08 3 3 1 E

請求項の数 5 (全 34 頁) 最終頁に続く

(21) 出願番号 特願平11-331794
 (22) 出願日 平成11年11月22日(1999.11.22)
 (65) 公開番号 特開2000-223714(P2000-223714A)
 (43) 公開日 平成12年8月11日(2000.8.11)
 審査請求日 平成17年10月17日(2005.10.17)
 (31) 優先権主張番号 特願平10-333665
 (32) 優先日 平成10年11月25日(1998.11.25)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 河本 充雄

(56) 参考文献 特開2000-047263(JP, A
)

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の薄膜トランジスタと第2の薄膜トランジスタとを有し、

前記第1の薄膜トランジスタと前記第2の薄膜トランジスタとは、それぞれ、半導体層と、前記半導体層上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極とを含み、

前記半導体層は、チャネル形成領域と、n型不純物が添加された一対の第1の不純物領域と、n型不純物が添加された一対の第2の不純物領域と、n型不純物が添加された一対の第3の不純物領域とを有し、

前記ゲート電極は、端部にテーパー部を有し、

一対の前記第2の不純物領域は、前記チャネル形成領域を間に挟んで設けられ、

一対の前記第3の不純物領域は、前記チャネル形成領域及び一対の前記第2の不純物領域を間に挟んで設けられ、

一対の前記第1の不純物領域は、前記チャネル形成領域、一対の前記第2の不純物領域、及び一対の前記第3の不純物領域を間に挟んで設けられ、

一対の前記第2の不純物領域は、前記ゲート電極のテーパー部と重なり、

一対の前記第3の不純物領域は、前記ゲート電極と重ならず、

一対の前記第1の不純物領域は、一対の前記第2の不純物領域及び一対の前記第3の不純物領域よりもn型不純物の濃度が高く、ソース領域又はドレイン領域として機能し、

前記第1の薄膜トランジスタに含まれる前記第2の不純物領域のチャネル長方向の長さと、前記第2の薄膜トランジスタに含まれる前記第2の不純物領域のチャネル長方向の長

10

20

さとは異なることを特徴とする半導体装置。

【請求項 2】

第 1 の薄膜トランジスタと第 2 の薄膜トランジスタとを有し、

前記第 1 の薄膜トランジスタと前記第 2 の薄膜トランジスタとは、それぞれ、半導体層と、前記半導体層上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極とを含み、

前記半導体層は、チャンネル形成領域と、n 型不純物が添加された一对の第 1 の不純物領域と、n 型不純物が添加された一对の第 2 の不純物領域と、n 型不純物が添加された一对の第 3 の不純物領域とを有し、

前記ゲート電極は、端部にテーパー部を有する第 1 のゲート電極と、前記第 1 のゲート電極上の第 2 のゲート電極とを含み、

前記第 2 のゲート電極のチャンネル長方向の長さは前記第 1 のゲート電極のチャンネル長方向の長さよりも短く、

前記第 1 のゲート電極は、前記チャンネル形成領域及び一对の前記第 2 の不純物領域と重なり、

前記第 2 のゲート電極は、前記第 1 のゲート電極及び前記チャンネル形成領域と重なり、

一对の前記第 2 の不純物領域は、前記チャンネル形成領域を間に挟んで設けられ、

一对の前記第 3 の不純物領域は、前記チャンネル形成領域及び一对の前記第 2 の不純物領域を間に挟んで設けられ、

一对の前記第 1 の不純物領域は、前記チャンネル形成領域、一对の前記第 2 の不純物領域、及び一对の前記第 3 の不純物領域を間に挟んで設けられ、

一对の前記第 2 の不純物領域は、前記第 1 のゲート電極のテーパー部と重なり、

一对の前記第 3 の不純物領域は、前記第 1 のゲート電極と重ならず、

一对の前記第 1 の不純物領域は、一对の前記第 2 の不純物領域及び一对の前記第 3 の不純物領域よりも n 型不純物の濃度が高く、ソース領域又はドレイン領域として機能し、

前記第 1 の薄膜トランジスタに含まれる前記第 2 の不純物領域のチャンネル長方向の長さと、前記第 2 の薄膜トランジスタに含まれる前記第 2 の不純物領域のチャンネル長方向の長さとは異なることを特徴とする半導体装置。

【請求項 3】

請求項 2 において、

前記第 1 のゲート電極は、クロム膜、タンタル膜、タンタルを主成分とする薄膜、又はリンを含有する n 型のシリコン膜で形成されることを特徴とする半導体装置。

【請求項 4】

請求項 2 において、

前記第 2 のゲート電極は、アルミニウム膜、銅膜、アルミニウム又は銅を主成分とする薄膜、クロム膜、タンタル膜、窒化タンタル膜、チタン膜、タングステン膜、モリブデン膜、リンを含有する n 型のシリコン膜、タングステン - モリブデン膜、又はタンタル - モリブデン膜で形成されることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項に記載の半導体装置を用いていることを特徴とする電気器具。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本願発明は薄膜トランジスタ（以下、TFT という）及び薄膜トランジスタで構成された回路を有する半導体装置に関する。半導体装置として例えば、アクティブマトリクス型液晶ディスプレイ（以下、AM-LCD という）に代表される電気光学装置またはプロセッサ等の半導体回路並びにその様な電気光学装置や半導体回路を搭載した電気器具（電子機器）の構成に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電気器具も半導体装置である。

10

20

30

40

50

【 0 0 0 2 】

【従来の技術】

近年、ポリシリコン膜を利用したTFTで回路を構成したアクティブマトリクス型液晶表示装置が注目されている。これはマトリクス状に配置された複数の画素によって液晶にかかる電界をマトリクス状に制御し、高精細な画像表示を実現するものである。

【 0 0 0 3 】

この様なアクティブマトリクス型液晶表示装置は、解像度がXGA、SXGAと高精細になるに従い、画素数だけでも100万個を超えるようになる。そしてその全てを駆動するためのドライバ回路は非常に複雑かつ多くのTFTによって形成される。

【 0 0 0 4 】

実際の液晶表示装置（液晶パネルともいう）に要求される仕様は厳しく、全ての画素が正常に動作するためには画素、ドライバともに高い信頼性が確保されなければならない。特に、ドライバ回路で異常が発生すると一列（または一行）の画素が全滅するといった線欠陥と呼ばれる不良を招くことにつながる。

【 0 0 0 5 】

ところが、ポリシリコン膜を利用したTFTは信頼性の面でまだまだLSIなどに用いられるMOSFET（単結晶半導体基板上に形成されたトランジスタ）に及ばないとされている。そして、この弱点が克服されない限り、TFTでLSI回路を形成することは困難であるとの見方が強まっている。

【 0 0 0 6 】

【発明が解決しようとする課題】

本出願人はTFTとMOSFETとを比較した時に、TFTの構造上の問題が信頼性（特にホットキャリア耐性）に影響していると考えた。

【 0 0 0 7 】

本願発明はそのような問題点を克服するための技術であり、MOSFETと同等またはそれ以上の信頼性を誇るTFTを実現することを課題とする。そして、そのようなTFTで回路を形成した半導体回路を有する信頼性の高い半導体装置を実現することを課題とするものである。

【 0 0 0 8 】

【課題を解決するための手段】

上述した課題を解決するために、本発明に係るnチャネル型TFT（以下、NTFTという）は、反転層（チャネル）が形成される半導体層にソース領域またはドレイン領域として機能するn型の第1の不純物領域と、チャネル形成領域と第1の不純物領域の間に第1の不純物領域と同じ導電型を示す二種類の不純物領域（第2の不純物領域及び第3の不純物領域）を有する。これら第2及び第3の不純物領域はその導電型を決める不純物濃度が第1の不純物領域よりも低く、LDD領域とも呼ばれる高抵抗領域として機能する。

【 0 0 0 9 】

第2の不純物領域はゲート絶縁膜を介してゲート電極と重なった低濃度不純物領域であり、ホットキャリア耐性を高める作用を有する。他方、第3の不純物領域はゲート電極と重ならない低濃度不純物領域であり、オフ電流の増加を防ぐ作用を有する。

【 0 0 1 0 】

そして、本願発明で最も特徴的な点は、同一基板上に第2の不純物領域の長さが異なる第1のNTFTと第2のNTFTとが存在する点である。即ち、動作電圧の違いによって第2の不純物領域の長さを異なるものとして適切なTFTを配置することを特徴としている。具体的には、第2のTFTの動作電圧が第1のTFTの動作電圧よりも高い場合、第2の不純物領域の長さは第2のTFTの方が第1のTFTよりも長いことを特徴とする。

【 0 0 1 1 】

従来、いわゆるGOLD〔Gate-drain OverLapped LDD〕構造によってホットキャリア耐性が向上することは知られており、その技術をTFTに応用する試みはなされてきたが、従来のGOLD構造ではオフ電流（TFTがオフ状態にある時に流れる電流）が高くなっ

10

20

30

40

50

てしまうという問題は無視されてきた。

【 0 0 1 2 】

そこで本出願人は上記問題点を解決すべく検討し、ゲート電極と重ならない不純物領域（第3不純物領域）を設けることによってオフ電流が劇的に低下することを確認した。従って、本願発明において第3不純物領域を積極的に設ける点が特徴であると言える。

【 0 0 1 3 】

なお、ゲート電極とはゲート絶縁膜を挟んで半導体層と交差している電極であって、半導体層に電界を印加して反転層を形成するための電極である。ゲート配線においては、ゲート絶縁膜を挟んで半導体層と交差している部分がゲート電極である。

【 0 0 1 4 】

更に、本発明において、ゲート電極は、ゲート電極周囲は中央の平坦部から外側に向かって、その膜厚が線形または段階的に減少する。即ち、いわゆるテーパ形状にパターンニングしてある点に特徴がある。

【 0 0 1 5 】

第2の不純物領域にはゲート電極のテーパ部を通して（通過させて）、導電型を付与する不純物が添加されるため、その濃度勾配はゲート電極の側面の傾斜（テーパ部分の膜厚の変化）を反映することになる。すなわち、第2の不純物領域へ添加される不純物の濃度は、チャンネル形成領域から第1不純物領域に向かって徐々に増加することになる。

【 0 0 1 6 】

これはテーパ部分の膜厚の差によって不純物の到達深さが変化するためである。即ち、不純物の深さ方向の濃度分布をみた時、ピーク濃度で不純物が添加される深さは、ゲート電極のテーパ部分の傾斜に沿った形で変化する。

【 0 0 1 7 】

このような構造とすることで、前記第2不純物領域の内部において不純物の濃度勾配を形成することができる。本願発明では積極的にこのような濃度勾配を形成して電界緩和効果を高める構造のTFTを形成する点に特徴がある。

【 0 0 1 8 】

また、本発明において、他のゲート電極の構成においては、ゲート絶縁膜に接する第1のゲート電極と、第1のゲート電極上に形成された第2のゲート電極が積層されている。勿論、第1のゲート電極を単層で用いても構わない。

【 0 0 1 9 】

この構成において、第1のゲート電極の側面（テーパ部）はゲート絶縁膜となす角度（ θ ）で表す。以下、テーパ角という）が3度以上40度以下（好ましくは5度以上35度以下、さらに好ましくは8度以上20度以下）であるテーパ形状となっている。他方、第2のゲート電極はチャンネル長方向の幅が第1のゲート電極よりも狭くなっている。

【 0 0 2 0 】

上記の積層型のゲート電極を有する薄膜トランジスタにおいても、第2の不純物領域に含まれる不純物の濃度分布は、第1のゲート電極におけるテーパ部の膜厚の変化を反映し、その不純物濃度はチャンネル形成領域から第1の不純物領域に向かって徐々に増加することとなる。

【 0 0 2 1 】

以上のような構造のNTFTはホットキャリア耐性が高い上、耐圧特性（電界集中による絶縁破壊等に耐える特性）も良いため、オン電流（TFTがオン状態にある時に流れる電流）の経時劣化を効果的に防止することが可能である。これは第2の不純物領域を設けたことによる効果である。

【 0 0 2 2 】

さらに、第3の不純物領域を設けたことによって大幅にオフ電流を低減することが可能となる。この第3の不純物領域を設ける点が本願発明のNTFTの特徴であることは前述の通りである。

【 0 0 2 3 】

このように本願発明のNTFTは非常に信頼性が高く、PTFTと相補的に組み合わせて形成したCMOS回路や液晶表示装置やEL（エレクトロルミネセンス）表示装置の画素部（画素マトリクス回路）などに用いた場合に信頼性の高い回路を形成することを可能とする。即ち、従来に比べNTFTの劣化による回路の能力低下を防ぐことができる。

【0024】

なお、本願発明においてpチャネル型薄膜トランジスタ（以下、PTFTという）は、特に上記構造のFTTを用いる必要はない。即ち、PTFTはNTFTほど劣化が問題とならないため公知の構造であっても良い。勿論、NTFTと同様の構造とすることも可能である。

【0025】

【発明の実施の形態】

[実施形態1]

本実施形態は本願発明に用いるFTTの作製工程について図3、図4を用いて説明する。

【0026】

まず、基板100全面に下地膜101を形成し、下地膜101上に、島状の半導体層102を形成する。半導体層102を覆って基板100全面に、ゲート絶縁膜となる絶縁膜103を形成する。（図3（A））

【0027】

基板100には、ガラス基板、石英基板、結晶性ガラス基板、金属基板、ステンレス基板、またはポリエチレンテレフタレート（PET）等の樹脂基板を用いることができる。

【0028】

下地膜101は、半導体層102に基板100からナトリウムイオンなどの可動イオンが拡散するのを防いだり、基板100上に形成される半導体層の密着性を高めるための膜である。下地膜101には、酸化シリコン膜や、窒化シリコン膜、窒化酸化シリコン膜等の無機絶縁膜の単層又は多層膜が使用できる。

【0029】

例えば、下地膜はCVD法やスパッタ法などで成膜した膜だけでなく、石英基板のような耐熱性基板を用いた場合には、非晶質シリコン膜を成膜し熱酸化して、酸化シリコン膜を形成してもよい。

【0030】

半導体層102の材料はFTTに求められる特性に合わせて選択すればよい。非晶質シリコン膜、非晶質シリコンゲルマニウム膜、非晶質ゲルマニウム膜、又はこれら非晶質半導体膜をレーザ照射や加熱処理によって結晶化させた結晶質シリコン、結晶質ゲルマニウムや結晶質シリコンゲルマニウムを用いることができる。結晶化手段は公知の技術を用いれば良い。半導体層102の厚さは10～150nm（代表的には20～50nm）とする。

【0031】

絶縁膜103はゲート絶縁膜を構成する膜である。プラズマCVD法、スパッタ法で成膜される酸化シリコン、窒化シリコン、窒化酸化シリコンの無機絶縁膜の単層膜、多層膜が用いられる。例えば、積層膜とする場合には、窒化酸化シリコン膜と酸化シリコンの2層膜や、窒化シリコン膜を酸化シリコンで挟んだ積層膜などが用いられる。

【0032】

絶縁膜103上には、ゲート電極（ゲート配線）を構成する第1の導電膜104、第2の導電膜105を形成する。（図3（B））

【0033】

第1の導電膜104はテーパー部を有する第1のゲート電極（第1のゲート配線）を構成する。このため、テーパーエッチングが容易にできる材料でなる薄膜が望まれる。例えば、クロム（Cr）膜、タンタル（Ta）膜、タンタルを主成分（組成比が50%以上）とする薄膜、またはリンを含有するn型のシリコン（Si）膜などが代表的に用いられる。

【0034】

また、第1の導電膜104の膜厚は本願発明において第2の不純物領域（ゲート電極と重なった不純物領域）の長さ（チャンネル長方向の長さ）を決定する上でも重要なパラメータである。本願発明では50～500nm（好ましくは150～300nm、さらに好ましくは200～250nm）の範囲で選択する。

【0035】

また、第2の導電膜105は第2のゲート電極（第2のゲート配線）を構成する薄膜であり、アルミニウム（Al）膜、銅（Cu）膜またはアルミニウム又は銅を主成分（組成比が50%以上）とする薄膜、クロム（Cr）膜、タンタル（Ta）膜、窒化タンタル（Ta₂N₅）膜、チタン（Ti）膜、タングステン（W）膜、モリブデン（Mo）膜、リンを含むn型のシリコン膜、タングステン-モリブデン（W-Mo）膜、またはタンタル-モリブデン（Ta-Mo）膜などの薄膜で形成することができる。さらに、前記薄膜を単層膜として用いるだけでなく、あらゆる組み合わせで積層して用いても構わない。

10

【0036】

ただし、第1の導電膜と第2の導電膜は互いのパターニングにおいて、エッチング選択比が取れる材料を選択する必要がある。

【0037】

例えば、第1の導電膜104/第2の導電膜105としては、n型Si/Ta、n型Si/W-Mo合金、Ta/Al、Ti/Al等の組み合わせを選択することができる。また、材料の選択する他の指標として、第2の導電膜105はできるだけ抵抗率の低い、少なくとも第1の導電膜104よりもシート抵抗が低い材料とすることが望まれる。これは、ゲート配線と上層配線との接続を第2のゲート配線とるためである。

20

【0038】

次に、第2の導電膜105上にレジストマスク106を形成する。マスク106を用いて第2の導電膜105をエッチングして第2のゲート電極107を形成する。エッチングには等方性のウェットエッチングを用いればよい。（図3（C））

【0039】

次に、同じレジストマスク106を用いて、第1の導電膜104に対して異方性エッチングを行い、第1のゲート電極（第1のゲート配線）108を形成する。なお、このエッチング用に新しいレジストマスクを形成することもできる。

【0040】

このエッチングにより、図5に示すように、第1のゲート電極108の側面がゲート絶縁膜103となすテーパー角（ θ ）は3度以上40度以下とされる。このテーパー角は好ましくは5度以上35度以下、より好ましくは7度以上20度以下とする。テーパー角が小さいほどゲート電極108のテーパー部において膜厚の変化が小さくなり、これに対応して、後にテーパー部と重なる半導体層において不純物濃度の変化が緩やかになる。

30

【0041】

また、テーパー角が40度を超えてしまうと本願発明のNTFTの最も大きな特徴である、第2の不純物領域（不純物濃度が暫時変化する領域）の長さが極端に短くなってしまうため、40度以下とすることが好ましい。

【0042】

テーパー角はテーパー部の幅WGと、厚さ（第1のゲート電極108の膜厚）HGを用いて、 $\tan \theta = HG / WG$ と定義できる。

40

【0043】

次に、レジストマスク106を除去し、第2のゲート電極107、第1のゲート電極108をマスクにして半導体層102にn型又はp型の不純物を添加する。添加方法としては、イオン注入法（質量分離したもの）、イオンドーピング法（質量分離しないもの）を用いることができる。

【0044】

n型の不純物はドナーとなる不純物であり、シリコン、ゲルマニウムに対しては15族に属する元素であり、典型的にはリン（P）、砒素（As）である。p型の不純物はアクセ

50

プターとなる不純物であり、シリコン、ゲルマニウムに対しては 13 族に属する元素であり、典型的には、ボロン (B)、ガリウム (Ga) である。

【0045】

ここでは、リンをイオンドーピング法にて添加し、 n^- 型の不純物領域 109、110 を形成する。この場合、ゲート絶縁膜 103 及び第 1 のゲート電極 108 のテーパ部を通してリンを添加するため、イオンドーピング工程の加速電圧は 80 ~ 160 keV とかなり高めに設定する必要がある。なお、後述するが、加速電圧によってテーパ部の真下に入るリンの濃度や分布が変化するため、注意が必要である。

【0046】

この添加工程において、後述する n^- 型の第 2 の不純物領域、及び n^- 型の第 3 の不純物領域におけるリンの濃度分布が決定される。(図 4 (A))

10

【0047】

具体的には、 n^- 型の不純物領域 109、110 には第 1 のゲート電極 108 のテーパ部を通して (通過させて) リンが添加されるため、その濃度勾配は第 1 のゲート電極 108 の、テーパ部分の膜厚の変化を反映することになる。すなわち、 n^- 型の不純物領域 109、110 へ添加されるリンの濃度は、テーパ部の真下においてチャネル形成領域から遠ざかるにつれて徐々に増加することになる。

【0048】

これはテーパ部分の膜厚の差によってリンの深さ方向の添加濃度が変化するためである。即ち、リンの深さ方向の濃度分布において任意の濃度で添加された深さ (例えば深さ方向に平均化した濃度) に注目した時、その深さは半導体層中の断面方向においてゲート電極のテーパ部分の傾斜に沿った形で変化する。

20

【0049】

図 4 (A) ではリンの濃度分布を波線で示しているが、これは半導体層内において波線よりも下にリンが添加されていないという意味ではなく、上述のような断面方向のリン濃度の変化が、第 1 のゲート電極 108 が有するテーパ部の傾斜に沿って形成されていることを模式的に示している。

【0050】

なお、この時のリンの添加工程は基板に対して垂直に行う必要はなく、斜めにリンを含むイオン種を添加しても良い。このような添加方法は、ゲート電極の内側深くにリンを添加する場合に効果的である。

30

【0051】

次にゲート電極 107、108 を覆ってレジストマスク 111 を形成する。このマスク 111 によって、第 3 の不純物領域の長さが決定される。レジストマスク 111 を介して、再びイオンドーピング法により n 型の不純物であるリンを半導体層 102 に添加する。この場合、第 1 のゲート電極 108 のテーパ部を通して添加する必要がないため、加速電圧は 80 ~ 100 keV くらいで良い。(図 4 (B))

【0052】

このドーピング工程により、レジストマスク 111 で覆われていない n^- 型不純物領域 109、110 に選択的にリンが添加されて、 n^+ 型の第 1 の不純物領域 112、113 が形成される。又、第 2 のゲート電極 107 の真下にあたる領域 114 は図 4 (A)、(B) の添加工程でリンが添加されないため、チャネル形成領域となる。

40

【0053】

また、図 4 (B) の工程でリンの添加が行われなかった前記 n^- 型の不純物領域 109、110 は、第 1 のゲート電極 108 と重なっている領域 115、116 が n^- 型の第 2 の不純物領域となり、第 1 のゲート電極 108 と重なっていない領域が n^- 型の第 3 の不純物領域 117、118 となる。

【0054】

なお、図 4 (B) の添加工程に先立ってゲート配線をマスクにして、絶縁膜 103 をエッチングして、半導体層 102 表面を露出させても良い。その場合、絶縁膜をも通す必要が

50

ないため、加速電圧を10keV程度にまで低く設定することができる。即ち、装置負担を軽減できる。また、半導体層に直接的に添加できることからスループットの向上も図れる。

【0055】

この時、図6に示すように、第2の不純物領域115、116は4つのタイプに分類できる。これらを区別するため、図6では符号にA、B、C、Dの指標を付けた。なお、第2の不純物領域115、116はゲート電極を中心に左右対称に設けられるので、図6では第2の不純物領域115に注目して説明する。

【0056】

図6(A)に示すように、第2の不純物領域115Aにおけるリンの濃度分布は、第1のゲート電極108のテーパ部における膜厚の変化に対応し、テーパ部の傾斜に沿ってピーク濃度の深さが変化する。また、図6(A)の場合、チャンネル形成領域114Aにはリンは全く添加されず、第3の不純物領域117Aには膜中全体にほぼ均一に添加される。

10

【0057】

またこの時、第2の不純物領域115A内におけるリンの濃度分布は、図4(A)の説明に示したように、第1のゲート電極108のテーパ形状に沿った形で断面方向の濃度分布が形成される。即ち、半導体層に添加されたリンを深さ方向について平均化して考えた場合、リン濃度はチャンネル形成領域114Aから第3の不純物領域117Aに向かうにつれて徐々に高くなる。

20

【0058】

これは第1のゲート電極108のテーパ部を通してリンを添加することにより第2の不純物領域115A内において断面方向に濃度勾配ができたためである。この場合、チャンネル長L_Aは第2のゲート電極107におけるチャンネル長方向の幅に相当する。

【0059】

また、図6(B)は図4(A)のリン添加工程で、図6(A)の場合よりも加速電圧を大きくした場合の例である。この場合、図6(A)のように第2の不純物領域とチャンネル形成領域との接合部(以下、チャンネル接合部という)でリン濃度がほぼゼロ(またはチャンネル形成領域内のリン濃度と同濃度)になるのではなく、チャンネル接合部においてもある程度の濃度でリンが添加された状態になる。

30

【0060】

この場合、チャンネル長L_Bは第2のゲート電極107のチャンネル長方向における幅に相当する。また、図6(A)と同じ加速電圧であっても、テーパ角θが図6(A)よりも小さい時(テーパ部の膜厚が薄い時)、図6(B)のようなリンの濃度分布を持つ第2の不純物領域を得ることができる。

【0061】

更に加速電圧を大きくすることにより、図6(C)に示すように、第2の不純物領域115Cは半導体層の全体に渡ってほぼ均一にリンが添加される。この場合、チャンネル長L_Cは第2のゲート電極107のチャンネル長方向における幅に相当する。

【0062】

40

また、図6(D)は図4(A)のリン添加工程で、図6(A)の場合よりも加速電圧を小さくした場合の例である。この場合、図6(D)に示すように、第1のゲート電極108のテーパ部が一部においてマスクとして機能するため、テーパ部の膜厚が薄くなっている部分に選択的に添加される。

【0063】

即ち、チャンネル接合部よりも外側(第3の不純物領域に近い側)からリンの添加された領域が形成され始める。このため、チャンネル長は第2のゲート電極107のチャンネル長方向における幅と一致しなくなり、その幅よりも長くなる。

【0064】

また、図6(A)と同じ加速電圧であっても、テーパ角θが図6(A)よりも大きい時

50

(テーパー部の膜厚が厚い時)、図6(D)のようなリンの濃度分布を持つ第2の不純物領域を得ることができる。

【0065】

ここで、第1の不純物領域112、113の長さ(チャネル長方向の長さ)は2~20 μm (代表的には3~10 μm)である。また、半導体層中のリン濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{atoms/cm}^3$ (代表的には $1 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$)である。この第1の不純物領域112、113はソース配線又はドレイン配線とTFETとを電氣的に接続させるための低抵抗領域であり、ソース領域またはドレイン領域となる。

【0066】

また、第2の不純物領域115、116の長さは0.1~3.5 μm (代表的には0.1~0.5 μm 、好ましくは0.1~0.3 μm)であり、リンの濃度は $1 \times 10^{15} \sim 1 \times 10^{17} \text{atoms/cm}^3$ (代表的には $5 \times 10^{15} \sim 5 \times 10^{16} \text{atoms/cm}^3$ 、好ましくは $1 \times 10^{16} \sim 2 \times 10^{16} \text{atoms/cm}^3$)である。

【0067】

また、第3の不純物領域117、118の長さは0.5~3.5 μm (代表的には1.5~2.5 μm)であり、リンの濃度は $1 \times 10^{16} \sim 1 \times 10^{19} \text{atoms/cm}^3$ (代表的には $1 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ 、好ましくは $5 \times 10^{17} \sim 1 \times 10^{18} \text{atoms/cm}^3$)である。

【0068】

また、チャネル形成領域114は真性半導体層、又はボロンの濃度が $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ で添加された領域である。ボロンはしきい値電圧の制御用やパンチスルー防止用の不純物であり、同様の効果を生むものであれば他の元素で代用することもできる。

【0069】

なお、図4(B)では第1の不純物領域112、113と第2の不純物領域115、116の間に、ゲート電極と重ならない低濃度不純物領域(第3の不純物領域117、118)を1つ形成した例を示したが、この部分に、不純物濃度が互いに異なる不純物領域を2つ以上形成することもできる。本発明では、少なくとも第1の不純物領域112、113と第2の不純物領域115、116の間に、第1の不純物領域112、113よりも不純物(リン)濃度が低く、抵抗が高い不純物領域が少なくとも1つ存在すればよい。

【0070】

第1の不純物領域112、113を形成したら、レジストマスク111を除去する。そして、熱処理を行い、半導体層に添加されたリンを活性化する。活性化工程には、熱処理だけでなくエキシマレーザーや、赤外ランプ光による光アニールを行うこともできる。

【0071】

次に、酸化シリコン膜等なる層間絶縁膜119を形成する。次に、ゲート絶縁膜103、層間絶縁膜119に第1の不純物領域112、113、及び第2のゲート配線107に達するコンタクトホールを形成する。そして、ドレイン配線120、ソース配線121、及び図示しないゲート配線の取り出し配線を形成する。こうして図4(C)に示すような構造のNTFTが完成する。

【0072】

[実施形態2]

本実施形態は実施形態1において、ゲート電極(ゲート配線)の構造の変形例である。具体的には、実施形態1ではゲート電極は幅の異なる2つのゲート電極が積層された構造であったが、本実施形態は上部の第2のゲート電極を省略し、テーパー部を有する第1のゲート電極のみを形成する。

【0073】

本実施形態を図7に示す。なお、構造的には実施形態1で説明した構造とほぼ同一であるため、相違点のみに符号を付して説明することとする。

【0074】

10

20

30

40

50

図7において図4(C)に示した構造と異なる点は、ゲート電極130が単層膜で形成されている点である。従って、そのほかの部分については実施形態1の説明がそのままあてはまる。

【0075】

ゲート電極130となる導電膜は、テーパエッチングが容易にできる材料が望まれる。用いることのできる薄膜に関しては実施形態1で第1の導電膜104として用いたものを用いれば良い。

【0076】

また、ゲート電極130のテーパ角は3度以上40度以下とする。このテーパ角は好ましくは5度以上35度以下、より好ましくは7度以上20度以下とする。このようなテーパ形状は公知のエッチング技術でも達成できるが、高密度プラズマを用いたエッチング装置でバイアスパワー密度の制御を行うことにより所望のテーパ角を容易に得ることが可能である。

【0077】

また、本実施形態の構造のNTFTを形成するにあたって、作製工程の詳細な条件については実施形態1を参考にすれば良い。

【0078】

さらに、本実施形態でも、実施形態1と同様に第2の不純物領域は図6に示す4つのタイプに分類できる。本実施形態の場合には、チャンネル長を決定するのは第2のゲート電極107に代わって、第2のゲート電極130を形成するのに用いたレジストマスクである。

【0079】

しかし、実施形態1のゲート電極は積層構造を有するため、第1のゲート電極108の厚さを薄くしても、第2のゲート電極107を厚くすることで低抵抗化が可能であるが、本実施形態のゲート電極130はテーパ部を有する単層電極でなるため、その膜厚は実施形態1で説明した第1のゲート電極108よりも厚くなってしまう。

【0080】

そのため、テーパ角の調節によりテーパ部の幅WGの長さを長めにとることが可能であり、第2の不純物領域を長くしたい場合に有利である。その代わり、テーパ角が小さいと膜厚が厚い分リンが添加されにくくなり、図6(D)のような構造になると考えられる。

【0081】

[シミュレーション結果について]

本出願人は図4(A)に示したリンの添加工程において、第1のゲート電極のテーパ部下に添加されるリンの濃度および分布をシミュレーションによって調べた結果を図12に示す。なお、ここではISE(Integrated system engineering AG)半導体デバイスシミュレータ総合パッケージを用いた。

【0082】

図12は第1のゲート電極端部におけるリンの濃度分布を示している。ここでは第1のゲート電極の膜厚を300nm、テーパ角を10.5度として計算した。また、加速電圧は110keVとし、プラズマドーピング法(イオンドーピング法)により 1×10^{15} ions/cm²のドーズ量でリンを添加した場合について計算した。なお、ゲート絶縁膜の膜厚は115nm、半導体層の膜厚は50nm、下地膜(酸化シリコン膜)の膜厚は300nmとした。

【0083】

図12を見ると明らかなように、半導体層(Si Layerと表記)のうち、第1のゲート電極のテーパ部直下にあたる領域では、リンの濃度がチャンネル長方向に変化していることが判る。即ち、チャンネル形成領域から遠ざかるにつれて(第1の不純物領域に近づくにつれて)、リンの濃度が高くなっていく勾配の様子が顕著に現れている。

【0084】

ここでは加速電圧を110keVとしているが、加速電圧を高くすればリンの濃度はさらに内側(第1のゲート電極の内側)で高くなると予想できる。また、イオンインプランテ

10

20

30

40

50

ーション法を用いても濃度分布は変化するであろう。しかしながら、本願発明の主旨はこのようなリンの濃度勾配をLDD領域（ゲート電極に重なる部分を含む）内に形成し、電界緩和効果を高めるといものであるから、最適な濃度分布は実施者が適宜決定すればよい。

【0085】

【実施例】

〔実施例1〕

本実施例では発明の実施の形態において説明したNTFTを用いてアクティブマトリクス型液晶表示装置（AM-LCD）を形成する例を示す。

【0086】

図8は本実施例に示すAM-LCDの概略構成図である。AM-LCDは、アクティブマトリクス基板200と対向基板206との間に液晶が挟まれた構造を有している。アクティブマトリクス基板200は、基板上に画素部201、画素部201を駆動するためのゲートドライバ回路202及びソースドライバ回路203が形成されている。各ドライバ回路はそれぞれソース配線、ドレイン配線によって画素部201に接続されている。

【0087】

更に、基板上にはソースドライバ回路203に伝達されるビデオ信号を処理するための信号処理回路204が形成されている。信号処理回路としては、D/Aコンバータ回路、信号分割回路、補正回路などが挙げられる。そして、それらのビデオ信号を入力するための外部端子が形成され、この外部端子にFPC205が接続されている。

【0088】

対向基板206は、ガラス基板全面にITO膜等の透明導電膜が形成されている。透明導電膜は画素部201の画素電極に対する対向電極であり、画素電極、対向電極間に形成された電界によって液晶材料が駆動される。更に、対向基板206には必要であれば配向膜、カラーフィルタまたはブラックマスクなどが形成されている。

【0089】

以上のような構成でなるAM-LCDは、回路によって最低限必要な動作電圧（電源電圧）が異なる。例えば、画素部では液晶に印加する電圧と画素TFTを駆動するための電圧とを考慮すると、14～20Vもの動作電圧となる。そのため、そのような高電圧が印加されても耐えうる程度のTFT（以下、高耐圧型TFTという）を用いなければならない。

【0090】

また、ソースドライバ回路やゲートドライバ回路に用いられるシフトレジスタ回路などは、5～10V程度の動作電圧で十分である。動作電圧が低いほど外部信号との互換性もあり、さらに消費電力を抑えられるという利点がある。ところが、前述の高耐圧型TFTは耐圧特性が良い代わりに動作速度が犠牲になるため、シフトレジスタ回路のように高速動作が求められる回路には不適當である。

【0091】

このように、基板上に形成される回路は、目的に応じて耐圧特性を重視したTFTを求める回路と動作速度を重視したTFTを求める回路とに分かれる。従って、本願発明のNTFTを有効に活用するためには、回路に応じた構造を持たせることが重要である。

【0092】

ここで具体的に本実施例の構成を図1に示す。図1(A)に示したのは、AM-LCDのブロック図を上面から見た図である。11は画素部であり、表示部として機能する。また、12aはシフトレジスタ回路、12bはレベルシフタ回路、12cはバッファ回路である。これらでなる回路が全体としてゲートドライバ回路12を形成している。

【0093】

なお、図1(A)に示したAM-LCDではゲートドライバ回路12を、画素部を挟んで設け、それぞれで同一ゲート配線を共有している、即ち、どちらか片方のゲートドライバに不良が発生してもゲート配線に電圧を印加することができるという冗長性を持たせてい

10

20

30

40

50

る。

【0094】

また、13aはシフトレジスタ回路、13bはレベルシフト回路、13cはバッファ回路、13dはサンプリング回路であり、これらでなる回路が全体としてソースドライバ回路13を形成している。画素部11を挟んでソースドライバ回路13と反対側にはプリチャージ回路14が設けられている。

【0095】

このような構成でなるAM-LCDにおいて、シフトレジスタ回路12a、13aは高速動作を求める回路であり、動作電圧が3.3~10V(代表的には3.3~5V)と低く、高耐圧特性は特に要求されない。従って、本願発明のNTFTを用いる場合には、抵抗成分となる第2の不純物領域及び第3の不純物領域は必要最小限に狭くして、動作速度が低下しないような構造を採用することが望ましい。

10

【0096】

図1(B)に示したのは主としてシフトレジスタ回路やその他の信号処理回路のように高速動作を求められる回路に用いるべきCMOS回路の概略図である。なお、図1(B)において、15は第1のゲート電極(A)、16aは第2のゲート電極(A)であり、NTFTのみ図4(C)に示した構造を有している。また、17は活性層、18、19はソース配線、20はドレイン配線である。

【0097】

また、図1(B)のCMOS回路の断面構造を図2(A)に示す。図2(A)の構造の場合、第2の不純物領域(A)21の長さ(WG1)は0.1~3.0μm(好ましくは1.0~2.0μm)とすれば良い。この長さ(WG1)は第1のゲート電極(A)15のテーパ角を調節することによって制御することができる。なぜならば、第1のゲート電極(A)15のテーパ部を通して不純物を添加することによって濃度勾配を有する第2の不純物領域(A)21が形成されるからである。この時のテーパ角は25度以上40度以下とすれば良い。ただし、第1のゲート電極(A)15の膜厚によって適切な数値は変化する。

20

【0098】

また、第3の不純物領域(A)22aは極力小さくする方がよく、場合によっては設けなくても構わない。なぜならば、シフトレジスタ回路や信号処理回路などはオフ電流をさほど気にする必要がないからである。設ける場合には0.1~1.5μm(典型的には0.3~1.0μm)の範囲で設けることにする。

30

【0099】

ここで図1(B)の回路についてまとめると、電源電圧が(10±2)Vの時は、チャネル長は3.5±1.0μm、第2の不純物領域(A)21の長さは2.0±1.0μm、第3の不純物領域(A)22aは1.0±0.5μmとすれば良い。また、電源電圧が(5±2)Vの時は、チャネル長は3.0±1.0μm、第2の不純物領域(A)21の長さは2.0±1.0μm、第3の不純物領域(A)22aは0.5±0.2μmとすれば良い。

【0100】

次に、図1(C)に示すCMOS回路は、主としてレベルシフト回路12b、13b、バッファ回路12c、13c、サンプリング回路13d、プリチャージ回路14に適している。これらの回路は大電流を流す必要があるため、動作電圧は14~16Vと高い。特にゲートドライバ側では場合によっては19Vといった動作電圧を必要とする場合もある。従って、非常に良い耐圧特性(高耐圧特性)を有するTFTが必要となる。

40

【0101】

この時、図1(C)に示したCMOS回路の断面構造を図2(B)に示す。この場合、第2の不純物領域(B)24の長さ(WG2)は1.5~4.0μm(好ましくは2.0~3.0μm)とすれば良い。この時も、第1のゲート電極(B)23のテーパ角を制御することによって、所望の長さにできる。例えば、3度以上30度以下とすれば良い。ただし、第1のゲート電極(B)23の膜厚によって適切な数値は変化する。

50

【0102】

この場合も、第3の不純物領域(B)22bは極力小さくすることが望ましく、特に設けなくても構わない。その理由はシフトレジスタ回路等と同様で、オフ電流をさほど気にする必要がないからである。なお、設ける場合には $0.1 \sim 5.5 \mu\text{m}$ (典型的には $1.0 \sim 3.0 \mu\text{m}$)の範囲で設けることにする。ただし、ゲートドライバ側のバッファ回路は場合によって20Vといった高電圧がかかることもありうるため、その場合には第3の不純物領域(B)22bを長めに形成してオフ電流を低減することが必要である。

【0103】

ここで図1(C)の回路についてまとめると、電源電圧が $(16 \pm 2) \text{V}$ の時は、チャンネル長は $5.0 \pm 1.5 \mu\text{m}$ 、第2の不純物領域(B)24の長さは $2.5 \pm 1.0 \mu\text{m}$ 、第3の不純物領域(B)22bは $2.0 \pm 1.0 \mu\text{m}$ とすれば良い。また、電源電圧が $(20 \pm 2) \text{V}$ の時は、チャンネル長は $5.0 \pm 2.0 \mu\text{m}$ 、第2の不純物領域(B)24の長さは $3.0 \pm 1.0 \mu\text{m}$ 、第3の不純物領域(B)22bは $4.0 \pm 1.5 \mu\text{m}$ とすれば良い。

10

【0104】

特にサンプリング回路に関しては、チャンネル長は $4.0 \pm 2.0 \mu\text{m}$ 、第2の不純物領域(B)の長さは $1.5 \pm 1.0 \mu\text{m}$ 、第3の不純物領域(B)は $2.0 \pm 1.5 \mu\text{m}$ とすれば良い。

【0105】

次に、図1(D)は画素部11の概略図を示し、図2(C)にその任意の画素部における断面構造を示している。図1(D)において、25は第1のゲート電極(C)、26は第2のゲート電極(C)、27は活性層、28はソース配線、29はドレイン電極、30は画素電極である。

20

【0106】

また、図2(C)に示すように、ドレイン電極29に接続された画素電極30は、透明導電膜31との間に絶縁膜32を介して保持容量を形成している。この保持容量は画素領域(ソース配線およびゲート配線で囲まれた領域)の大部分を占めて形成される。また、透明導電膜31は樹脂材料でなる絶縁膜33によって完全に画素電極30と絶縁分離されている。

【0107】

ところで画素TFT(画素部におけるスイッチング素子)は液晶に印加する電圧分も加味されるため、 $14 \sim 16 \text{V}$ の動作電圧を必要とする。また、液晶及び保持容量に蓄積された電荷を1フレーム期間保持しなければならないため、極力オフ電流は小さくしなければならない。

30

【0108】

そういった理由から、本実施例では本願発明のNTFTを用いたダブルゲート構造とし、第2の不純物領域(C)34の長さ(WG3)を $0.5 \sim 3.0 \mu\text{m}$ (好ましくは $1.5 \sim 2.5 \mu\text{m}$)とする。また、WG2(図2(B)参照)とWG3とは同一の長さであっても良いし、異なる長さとしても良い。

【0109】

この時も、第1のゲート電極(C)25のテーパ角を制御することによって、所望の長さにできる。例えば、3度以上30度以下とすれば良い。ただし、第1のゲート電極(C)25の膜厚によって適切な数値は変化する。

40

【0110】

さらに、図2(C)の画素部に特徴的なのは、第3の不純物領域(C)35を図2(A)や図2(B)に示したCMOS回路よりも長くする点である。これは画素部にとってオフ電流を低減するという課題が最重要課題だからである。

【0111】

図4(B)で説明したように、第3の不純物領域(C)35の長さはレジスタマスクの配置によって制御される。この場合、第3の不純物領域(C)35の長さ(WG3)を0.

50

5 ~ 4 . 0 μm (代表的には 1 . 5 ~ 3 . 0 μm) とすれば良い。

【 0 1 1 2 】

ここで図 1 (D) の回路についてまとめると、電源電圧が (1 6 \pm 2) V の時は、チャネル長は 4 . 0 \pm 2 . 0 μm 、第 2 の不純物領域 (C) 3 4 の長さは 1 . 5 \pm 1 . 0 μm 、第 3 の不純物領域 (C) 3 5 は 2 . 0 \pm 1 . 5 μm とすれば良い。

【 0 1 1 3 】

以上のように、A M - L C D を例にとっても同一基板には様々な回路が設けられ、回路によって必要とする動作電圧 (電源電圧) が異なることがある。その結果を表 1 に示す。

【 0 1 1 4 】

【 表 1 】

10

| | 電源電圧 (V) | チャネル長 (μm) | 第2の不純物領域の長さ (μm) | 第3の不純物領域の長さ (μm) |
|-------------------------------------|-----------------|-------------------------|-------------------------------|-------------------------------|
| <ドライバ-回路> 信号処理回路 シフトレジスタ回路etc | (10 \pm 2) V系 | 3. 5 \pm 1. 0 | 2. 0 \pm 1. 0 | 1. 0 \pm 0. 5 |
| | (5 \pm 2) V系 | 3. 0 \pm 1. 0 | 2. 0 \pm 1. 0 | 0. 5 \pm 0. 2 |
| <ドライバ-回路> レベルシフト回路 バッファ回路etc | (16 \pm 2) V系 | 5. 0 \pm 1. 5 | 2. 5 \pm 1. 0 | 2. 0 \pm 1. 0 |
| | (20 \pm 2) V系 | 5. 0 \pm 2. 0 | 3. 0 \pm 1. 0 | 4. 0 \pm 1. 5 |
| サンプリング回路 | (16 \pm 2) V系 | 4. 0 \pm 2. 0 | 1. 5 \pm 1. 0 | 2. 0 \pm 1. 5 |
| 画素部 | (16 \pm 2) V系 | 4. 0 \pm 2. 0 | 1. 5 \pm 1. 0 | 2. 0 \pm 1. 5 |

20

30

【 0 1 1 5 】

この様に、回路の目的に応じて要求する耐圧特性が異なってくる場合もあり、そういった場合には本実施例のような T F T の使い分けが必要となる。本願発明の N T F T はこのような使い分けをしてこそ、その真価を発揮できると言える。

【 0 1 1 6 】

[実施例 2]

本実施例では実施例 1 に示した C M O S 回路や画素部を構成する N T F T の変形例について説明する。

【 0 1 1 7 】

40

図 9 (A) はシフトレジスタ回路等、高速動作を必要とする回路に適した構造の C M O S 回路である。本実施例の特徴は、ソース配線 3 6 側には第 2 の不純物領域 3 7 のみを設け、ドレイン配線 3 8 側には第 2 の不純物領域 3 9 および第 3 の不純物領域 4 0 を設けている点にある。

【 0 1 1 8 】

C M O S 回路は通常ソース領域とドレイン領域が固定されており、低濃度不純物領域 (L D D 領域) を必要とするのはドレイン領域側のみである。逆にソース領域側に設けられた L D D 領域 (またはオフセット領域) は単に抵抗成分として働き、動作速度を低下させる要因ともなる。

【 0 1 1 9 】

50

そのため本実施例のように、ドレイン領域側のみに第3の不純物領域を設ける構成が好ましいのである。第3の不純物領域はレジストマスクを用いて形成されるため、ドレイン領域側のみに設けることは容易である。

【0120】

また、図9(B)に示したのは、画素部を形成する画素TF T (NT F T) に対して本実施例の構成を適用した場合の例である。図9(B)において、41~44が第2の不純物領域、45、46が第3の不純物領域である。なお、図9(B)の構造は保持容量を二層の透明電極(代表的にはITO電極)で形成している点に特徴があるが、この構造の作製方法等については本出願人による特願平10-254097号出願を参考にすれば良い。

【0121】

画素TF Tの場合、動作モードがCMOS回路と異なり、ソース領域とドレイン領域とが入れ替わる動作をする。第3の不純物領域45、46は、画素TF Tと引き出し端子(ソース配線またはドレイン配線)との接続する部分に設けておく必要がある。

【0122】

しかし、図9(B)に示したようなダブルゲート構造の場合、二つのTF Tをつなぐ領域に設けられた第2の不純物領域42、43は実質的に抵抗成分として機能してしまう。まして、第3の不純物領域を設けてしまうとさらに抵抗の高い領域を形成してしまうことにもなる。従って、図9(B)の構造では直列に並んだ二つのTF Tの間には第3の不純物領域(ゲート電極と重ならない低濃度不純物領域)を設けない構造を採用している。

【0123】

液晶表示装置において、高精細な表示画面を要求されるようになると画素への書き込み時間(液晶に必要な電圧を印加する時間)は極端に短いものとなってくる。そうすると画素TF Tにもある程度の動作速度を求められるので、抵抗成分をできるだけ減らす構造が必要となる。そういった意味で、本実施例の構造は非常に好ましい形態であると言える。

【0124】

また、図9(A)ではソース配線36側に第2の不純物領域37のみを設け、ドレイン配線38側に第2の不純物領域39と第3の不純物領域40とを設ける構造を示したが、図9(C)に示す構造はこれをさらに顕著にし、ソース配線36側に第2の不純物領域も第3の不純物領域も設けない構造とする。

【0125】

即ち、ソース配線36と接続する第1の不純物領域(ソース領域)47がチャネル形成領域と直接的に接する構造となる。こうすることでソース側に不要な抵抗成分が形成されることを防ぎ、高速動作の可能なCMOS回路を実現することができる。

【0126】

なお、本実施例の構成は実施例1に示した全ての回路に対して有効である。即ち、NT F Tにおいてソース領域側には第3の不純物領域を設けず、ドレイン領域側のみに第3の不純物領域を設けることで、高い信頼性を確保したまま、動作速度を向上させることが可能である。勿論、図6に示した全ての場合についても本実施例と組み合わせることができる。

【0127】

[実施例3]

本実施例では、本願発明を用いたCMOS回路の作製工程について説明する。説明には図10を用いる。

【0128】

まず、前述の「実施形態1」の工程に従って図3(A)、(B)、(C)、(D)までを行う。この状態を図10(A)に示す。ただし、図10(A)では同一半導体層上に二つのTF T(図面に向かって左がNT F T、右がPT F T)を形成する例を示すことにする。

【0129】

図10(A)において、51、52は第1のゲート電極、53、54は第2のゲート電極

10

20

30

40

50

、55、56は第1のゲート電極および第2のゲート電極を形成する際に用いたレジストマスクである。このレジストマスク55、56は第1のゲート電極51、52にテーパーを形成する際にも用いられる。

【0130】

なお、図1に示したように、同一基板上で回路に応じて第2の不純物領域の長さを異ならせるためには、回路の動作する動作電圧に応じて第1のゲート電極のテーパー角を調節しなければならない。その場合、第1のゲート電極を形成する際に、動作電圧の異なる回路はレジストマスクを用いて別々にテーパー角を形成する必要がある。

【0131】

次に第2のゲート電極53、54をマスクにしてリンの添加工程を行い、 n^- 型の不純物領域57～59を形成する。添加条件は実施形態1を参考にすれば良い。この時、第1のゲート電極51、52のテーパー部ではリンが第1のゲート電極を突き抜けて添加されるため、図6を用いて説明したような濃度勾配を示す不純物領域が形成される。(図10(B))

10

【0132】

次に、レジストマスク60を形成し、その後、再度リンの添加工程を行って n^+ 型の不純物領域61～63を形成する。このレジストマスクによって図6で説明した第3の不純物領域が画定する。この時、動作電圧の異なる回路に応じて第3の不純物領域の長さを異ならせるためには、レジストマスクの幅を変更すれば良いだけである。(図10(C))

【0133】

20

図10(C)の工程が終了した時点でCMOS回路のNTFTが完成する。次に、PTFTの第2のゲート電極54をマスクにして自己整合的に第1のゲート電極52をエッチングしてテーパー部を除去する。こうして第2のゲート電極と同一形状の第1のゲート電極64が形成される。なお、この工程は省略しても構わない。(図10(D))

【0134】

次に、NTFTを覆ってレジストマスク65を形成し、実施形態1の条件でボロンの添加工程を行う。この工程では前述した n^- 型の不純物領域および n^+ 型の不純物領域がどちらも反転して p^{++} 型の不純物領域66、67が形成される。(図10(E))

【0135】

このあと、レジストマスク65を除去した後、窒化シリコン膜68で第1のゲート電極および第2のゲート電極を覆い、添加したリンおよびボロンの活性化を行う。この工程はファーストアニール、レーザーアニールまたはランプアニールを自由に組み合わせて行えば良い。また、この窒化シリコン膜68には第1及び第2のゲート電極を熱や酸化反応から保護する目的もある。

30

【0136】

次に、窒化シリコン膜68上に層間絶縁膜69を形成し、コンタクトホールを形成した後、ソース配線70、71およびドレイン配線72を形成する。こうして図10(F)に示すような構造のCMOS回路が得られる。

【0137】

なお、本実施例では本願発明のNTFTを用いたCMOS回路の一例を示しただけであり、本実施例のCMOS回路の構造に限定される必要はない。また、図1に示したような構成を実現する場合、動作電圧の異なる回路ごとに別々に第1のゲート電極のテーパー角を異ならせる必要がある。

40

【0138】

また、本実施例の構成は実施例1、2のいずれの構成とも自由に組み合わせる事が可能である。

【0139】

[実施例4]

本実施例では、本願発明のNTFTにおいて第1のゲート電極の側面をテーパー形状にするためのエッチング条件について説明する。本実施例では第1のゲート電極を形成する導

50

電膜を、純度が6N(99.9999%)以上のタングステターゲットを用いたスパッタ法により形成する。スパッタガスとしては希ガスを用いればよいが、窒素(N_2)を添加することにより窒化タングステン膜を形成することもできる。

【0140】

本実施例では30nmの窒化タングステン膜の上に370nmのタングステン膜を積層した構造とする。但し、窒化タングステン膜は設けなくても良いし、窒化タングステン膜の下にシリコン膜を形成しても良い。また、タングステン膜の上に窒化タングステン膜を設けた積層膜としても良い。

【0141】

このようにして得た積層膜は酸素の含有量を30ppm以下とすることができる。そのため、電気抵抗率は $20\mu\Omega/\text{cm}$ 以下、代表的には、 $6\mu\Omega/\text{cm}$ ~ $15\mu\Omega/\text{cm}$ とすることができる。膜の応力は $-5\times 10^9\sim 5\times 10^9\text{dyn}/\text{cm}^2$ とすることができる。

10

【0142】

次に、上記積層膜上にレジストパターンを形成し、積層膜のエッチングを行って第1のゲート電極を形成する。このとき、本実施例では、上記積層膜のパターニングに高密度プラズマを使用するICP(Inductively Coupled Plasma)エッチング装置を使用する。

【0143】

本実施例は、所望のテーパ角を得るためにICPエッチング装置のバイアスパワー密度を調節する点に特徴がある。図13は、テーパ角のバイアスパワー依存性を示した図である。図13に示したように、バイアスパワー密度に応じてテーパ角を制御することが

20

【0144】

本実施例ではテーパ角を20度とするために、バイアスパワー密度を $0.4\text{W}/\text{cm}^2$ とする。勿論、 $0.4\text{W}/\text{cm}^2$ 以上とすればテーパ角を20度とすることができる。なお、ICPパワーは500W、ガス圧は1.0Pa、ガス流量は $\text{CF}_4/\text{Cl}_2=30/30\text{sccm}$ とする。

【0145】

また、エッチングガス(CF_4 と Cl_2 との混合ガス)の CF_4 の流量比を調節してもテーパ角を制御することができる。図14はテーパ角と CF_4 の流量比依存性を示した図である。 CF_4 の流量比を大きくすればタングステン膜とレジストとの選択比が大きくなり、ほぼ CF_4 の流量比に比例して第1のゲート電極のテーパ角が増加する。

30

【0146】

このようにタングステン膜とレジストとの選択比によってテーパ角は変化する。ここでタングステン膜とレジストの選択比とテーパ角との関係を図15に示す。図15からも明らかなように、タングステン膜とレジストの選択比とテーパ角の間には比例関係が見られる。

【0147】

以上のようにICPエッチング装置を用いてバイアスパワー密度や反応ガス流量比を調節することで、容易に第1のゲート電極の側面におけるテーパ角を制御することができる。なお、実験データはテーパ角が20~80度の範囲しか示されていないが、条件を適切に設定すれば、20度以下(3~20度)のテーパ角も形成しうる。

40

【0148】

なお、本実施例では、タングステン膜を一例として示したが、Ta、Ti、Mo、Cr、Nb、Si等の導電膜についても、ICPエッチング装置を用いると、容易にパターンの端部をテーパ形状とすることができる。

【0149】

また、本実施例ではエッチングガスとして CF_4 と Cl_2 との混合ガスを例に挙げたが、これに限定する必要はなく、 C_2F_6 または C_4F_8 から選ばれたフッ素を含む反応ガスと Cl_2 、 SiCl_4 、または BCl_3 から選ばれた塩素を含むガスとの混合ガスを用いることも可能である。さらに、 CF_4 と Cl_2 との混合ガスに20~60%の酸素を添加しても良い

50

。

【 0 1 5 0 】

本実施例のエッチング技術は、実施形態 1、実施形態 2 または実施例 1 乃至実施例 3 のいずれの構成に組み合わせて実施しても良い。

【 0 1 5 1 】

〔 実施例 5 〕

本願発明の構成は実施例 1 に示した液晶表示装置だけでなく、あらゆる半導体回路に適用することが可能である。即ち、RISC プロセッサ、ASIC プロセッサ等のマイクロプロセッサに適用しても良いし、D/A コンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

10

【 0 1 5 2 】

さらに、従来の MOSFET 上に層間絶縁膜を形成し、その上に本発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本発明は現在 LSI が用いられている全ての半導体装置に適用することが可能である。即ち、SIMOX、Smart-Cut（SOITEC 社の登録商標）、ELTRAN（キャノン株式会社の登録商標）などの SOI 構造（単結晶半導体薄膜を用いた TFT 構造）に本発明を適用しても良い。

【 0 1 5 3 】

また、本実施例の半導体回路は実施例 1 ～ 4 のどのような組み合わせからなる構成を用いても実現することができる。

20

【 0 1 5 4 】

〔 実施例 6 〕

本実施例では、本願発明を用いて EL（エレクトロルミネッセンス）表示装置を作製した例について説明する。

【 0 1 5 5 】

図 16（A）は本願発明を用いた EL 表示装置の上面図である。図 16（A）において、4010 は基板、4011 は画素部、4012 はソース側駆動回路、4013 はゲート側駆動回路であり、それぞれの駆動回路は配線 4014 ～ 4016 を経て FPC（フレキシブルプリントサーキット）4017 に至り、外部機器へと接続される。

【 0 1 5 6 】

このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材 6000、第 1 シール材 7000 及び第 2 シール材 7001 が設けられている。

30

【 0 1 5 7 】

また、図 16（B）は本実施例の EL 表示装置の断面構造であり、基板 4010、下地膜 4021 の上に駆動回路部（但し、ここでは n チャネル型 TFT と p チャネル型 TFT を組み合わせた CMOS 回路を図示している。）4022 及び画素部（但し、ここでは EL 素子への電流を制御する TFT のみ図示している。）4023 が形成されている。

【 0 1 5 8 】

本実施例では、駆動回路部 4022 には図 2（A）の CMOS 回路が用いられる。また、画素部 4023 のうち、EL 素子への電流を制御する TFT（以下、電流制御用 TFT という）には図 9（C）の n チャネル型 TFT の構造が用いられ、電流制御用 TFT のゲート信号を切り替える TFT（以下、スイッチング用 TFT という）には図 2（C）の構造の TFT が用いられる。

40

【 0 1 5 9 】

本願発明を用いて駆動回路部 4022、画素部 4023 が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）4024 の上に画素部用 TFT 4023 のドレインと電氣的に接続する画素電極（陰極）4025 を形成する。画素電極 4025 としては遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）を用いることができる。本実施例ではアルミニウム合金を画素電極として用いる。そして、画素電極 4025 を形成したら、絶縁膜 4026 を形成し、画素電

50

極 4 0 2 5 上に開口部を形成する。

【 0 1 6 0 】

次に、E L (エレクトロルミネッセンス) 層 4 0 2 7 を形成する。E L 層 4 0 2 7 は公知の E L 材料 (正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層) を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、E L 材料には低分子系材料と高分子系 (ポリマー系) 材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【 0 1 6 1 】

本実施例では、シャドーマスクを用いて蒸着法により E L 層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層 (赤色発光層、緑色発光層及び青色発光層) を形成することで、カラー表示が可能となる。その他にも、色変換層 (C C M) とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の E L 表示装置とすることもできる。

【 0 1 6 2 】

E L 層 4 0 2 7 を形成したら、その上に透明導電膜からなる陽極 4 0 2 8 を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物または酸化インジウムと酸化亜鉛との化合物を用いることができる。陽極 4 0 2 8 と E L 層 4 0 2 7 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で E L 層 4 0 2 7 と陽極 4 0 2 8 を連続成膜するか、E L 層 4 0 2 7 を不活性雰囲気中で形成し、大気解放しないで陽極 4 0 2 8 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式 (クラスターツール方式) の成膜装置を用いることで上述のような成膜を可能とする。

【 0 1 6 3 】

そして陽極 4 0 2 8 は 4 0 2 9 で示される領域において配線 4 0 1 6 に接続される。配線 4 0 1 6 は陽極 4 0 2 8 に所定の電圧を与えるための配線であり、導電性材料 4 0 3 0 を介して F P C 4 0 1 7 に電氣的に接続される。

【 0 1 6 4 】

4 0 2 9 に示された領域において陽極 4 0 2 8 と配線 4 0 1 6 とを電氣的に接続するために、層間絶縁膜 4 0 2 4 及び絶縁膜 4 0 2 6 にコンタクトホールを形成する必要がある。これらは層間絶縁膜 4 0 2 4 のエッチング時 (画素電極用コンタクトホールの形成時) や絶縁膜 4 0 2 6 のエッチング時 (E L 層形成前の開口部の形成時) に形成しておけば良い。また、絶縁膜 4 0 2 6 をエッチングする際に、層間絶縁膜 4 0 2 4 まで一括でエッチングしても良い。この場合、層間絶縁膜 4 0 2 4 と絶縁膜 4 0 2 6 が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【 0 1 6 5 】

このようにして形成された E L 素子の表面を覆って、パッシベーション膜 4 0 3 1 形成される。さらに、E L 素子を囲むようにして第 1 シール材 7 0 0 0 が設けられ、第 1 シール材 7 0 0 0 によってカバー材 6 0 0 0 が貼り合わされる。そして、基板 4 0 1 0、カバー材 6 0 0 0 及び第 1 シール材 7 0 0 0 で囲まれた領域には充填材 6 0 0 4 が形成される。

【 0 1 6 6 】

このとき、この充填材 6 0 0 4 は、カバー材 6 0 0 0 を接着するための接着剤としても機能する。充填材 6 0 0 4 としては、P V C (ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、P V B (ポリビニルブチラル) または E V A (エチレンビニルアセテート) を用いることができる。この充填材 6 0 0 4 の内部に吸湿性物質 (好ましくは酸化バリウム) を設けておくと、吸湿効果を保持できるので好ましい。

【 0 1 6 7 】

また、充填材 6 0 0 4 の中にスペーサーを含有させてもよい。このとき、スペーサーを酸化バリウムで形成すればスペーサー自体に吸湿性をもたせることが可能である。また、ス

10

20

30

40

50

ペーサーを設けた場合、パッシベーション膜4031はスペーサーからの圧力を緩和するバッファとしても機能する。また、パッシベーション膜とは別のバッファとして樹脂膜を設けてもよい。

【0168】

尚、充填材の代わりに不活性ガス（窒素又は希ガス）を充填してもよい。

【0169】

また、カバー材6000としては、ガラス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。本実施例の場合、EL素子からの光の放射方向がカバー材6000の方へ向かうため透光性材料でなければならない。

10

【0170】

但し、EL素子からの光の放射方向がカバー材とは反対側に向かう場合には透光性材料を用いる必要はなく、金属板（代表的にはステンレス板）、セラミックス板、またはアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることができる。

【0171】

また、配線4016は第1シール材7000と基板4010との隙間を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にして第1シール材7000の下を通してFPC4017に電氣的に接続される。

20

【0172】

最後に、第1シール材7000の露呈部及びFPC4017の一部を覆うように第2シール材7001を設け、外気を完全に遮断した構造とする。こうして図16（B）の断面構造を有するEL表示装置となる。

【0173】

以上のような構成でなるEL表示装置において、本願発明を用いることで、信頼性の高いEL表示装置が得られる。なお、本実施例のEL表示装置は実施例1～実施例5のいずれの構成を組み合わせで作製しても構わない。

【0174】

30

〔実施例7〕

本実施例では、実施例6の構造EL表示装置において画素部のさらに詳細な断面構造を図17に、上面構造を図18（A）に、回路図を図18（B）に示す。図17、図18（A）及び図18（B）では共通の符号を用いるので互いに参照すれば良い。

【0175】

図17において、基板1701上に設けられたスイッチング用TFT1702は図2（C）の構造のNTFTを用いて形成される。本実施例ではダブルゲート構造としている。ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。

【0176】

40

なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、図2（A）や図2（B）に示されたPTFTを用いて形成しても構わない。

【0177】

また、電流制御用TFT1703は図9（C）の構造のNTFTを用いて形成される。このとき、スイッチング用TFT1702のドレイン配線1704は配線1705によって電流制御用TFTのゲート電極1706に電氣的に接続されている。

【0178】

このとき、電流制御用TFT1703が本願発明の構造であることは非常に重要な意味を持つ。電流制御用TFTはEL素子を流れる電流量を制御するための素子であるため、多

50

くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTのドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける本願発明の構造は極めて有効である。

【0179】

また、本実施例では電流制御用TFT1703をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0180】

また、図18(A)に示すように、電流制御用TFT1703のゲート電極1706となる配線は1707で示される領域で、電流制御用TFT1703のドレイン配線1708と絶縁膜を介して重なる。このとき、1707で示される領域ではコンデンサが形成される。このコンデンサ1707は電流制御用TFT1703のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線1708は電流供給線(電源線)1709に接続される。

10

【0181】

さらに、スイッチング用TFT1702及び電流制御用TFT1703の上には第1パッシベーション膜1710が設けられ、その上に樹脂絶縁膜でなる平坦化膜1711が形成される。平坦化膜1711を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

20

【0182】

また、1712は反射性の高い導電膜でなる画素電極(EL素子の陰極)であり、電流制御用TFT1703のドレインに電氣的に接続される。画素電極1712としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0183】

また、絶縁膜(好ましくは樹脂)で形成されたバンク1713a、1713bにより形成された溝(画素に相当する)の中に発光層1714が形成される。なお、ここでは一画素しか図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。本実施例では発光層とする有機EL材料としては共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン(PPV)系、ポリビニルカルバゾール(PVK)系、ポリフルオレン系などが挙げられる。

30

【0184】

なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0185】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150nm(好ましくは40~100nm)とすれば良い。

40

【0186】

但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層(発光及びそのためのキャリアの移動を行わせるための層)を形成すれば良い。

【0187】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機

50

E L 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 E L 材料や無機材料は公知の材料を用いることができる。

【0188】

本実施例では発光層 1714 の上に P E D O T (ポリチオフェン) または P A n i (ポリアニリン) でなる正孔注入層 1715 を設けた積層構造の E L 層としている。そして、正孔注入層 1715 の上には透明導電膜でなる陽極 1716 が設けられる。本実施例の場合、発光層 1714 で生成された光は上面側に向かって (T F T の上方に向かって) 放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

10

【0189】

陽極 1716 まで形成された時点で E L 素子 1717 が完成する。なお、ここでいう E L 素子 1717 は、画素電極 (陰極) 1712、発光層 1714、正孔注入層 1715 及び陽極 1716 で形成されたコンデンサを指す。図 18 (A) に示すように画素電極 1712 は画素の面積にほぼ一致するため、画素全体が E L 素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0190】

ところで、本実施例では、陽極 1716 の上にさらに第 2 パッシベーション膜 1718 を設けている。第 2 パッシベーション膜 1718 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と E L 素子とを遮断することであり、有機 E L 材料の酸化による劣化を防ぐ意味と、有機 E L 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより E L 表示装置の信頼性が高められる。

20

【0191】

以上のように本願発明の E L 表示装置は図 17 のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用 T F T と、ホットキャリア注入に強い電流制御用 T F T とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な E L 表示装置が得られる。

【0192】

なお、本実施例の構成は、実施例 1 ~ 5 のいずれの構成とも自由に組み合わせて実施することが可能である。

30

【0193】

〔実施例 8〕

本実施例では、実施例 7 に示した画素部において、E L 素子 1717 の構造を反転させた構造について説明する。説明には図 19 を用いる。なお、図 17 の構造と異なる点は E L 素子の部分と電流制御用 T F T だけであるので、その他の説明は省略し、同一部分には同じ符号を用いる。

【0194】

図 19 において、電流制御用 T F T 1901 は実施例 3 の作製工程で形成された P T F T を用いる。

40

【0195】

また、本実施例では、画素電極 (陽極) 1902 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0196】

そして、絶縁膜でなるバンク 1903a、1903b が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層 1904 が形成される。その上にはアルカリ金属錯体 (好ましくはカリウムアセチルアセトネート) でなる電子注入層 1905、アルミニウム合金でなる陰極 1906 が形成される。この場合、陰極 1906 がパッシベーション膜とし

50

ても機能する。こうしてE L 素子 1 9 0 7 が形成される。

【 0 1 9 7 】

本実施例の場合、発光層 1 9 0 4 で発生した光は、矢印で示されるように T F T が形成された基板の方に向かって放射される。

【 0 1 9 8 】

なお、本実施例の構成は、実施例 1 ~ 5 のいずれの構成とも自由に組み合わせて実施することが可能である。

【 0 1 9 9 】

[実施例 9]

本実施例では、図 1 8 (B) に示した回路図とは異なる構造の画素とした場合の例について図 2 0 (A) ~ (C) に示す。なお、本実施例において、3 8 0 1 はスイッチング用 T F T 3 8 0 2 のソース配線、3 8 0 3 はスイッチング用 T F T 3 8 0 2 のゲート配線、3 8 0 4 は電流制御用 T F T、3 8 0 5 はコンデンサ、3 8 0 6、3 8 0 8 は電流供給線、3 8 0 7 は E L 素子とする。

【 0 2 0 0 】

図 2 0 (A) は、二つの画素間で電流供給線 3 8 0 6 を共通とした場合の例である。即ち、二つの画素が電流供給線 3 8 0 6 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【 0 2 0 1 】

また、図 2 0 (B) は、電流供給線 3 8 0 8 をゲート配線 3 8 0 3 と平行に設けた場合の例である。なお、図 2 0 (B) では電流供給線 3 8 0 8 とゲート配線 3 8 0 3 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 3 8 0 8 とゲート配線 3 8 0 3 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【 0 2 0 2 】

また、図 2 0 (C) は、図 2 0 (B) の構造と同様に電流供給線 3 8 0 8 をゲート配線 3 8 0 3 と平行に設け、さらに、二つの画素を電流供給線 3 8 0 8 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 3 8 0 8 をゲート配線 3 8 0 3 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【 0 2 0 3 】

なお、本実施例の構成は、実施例 1 ~ 5 のいずれの構成とも自由に組み合わせて実施することが可能である。

【 0 2 0 4 】

[実施例 1 0]

実施例 7 に示した図 1 8 (A)、(B) では電流制御用 T F T 1 7 0 3 のゲートにかかる電圧を保持するためにコンデンサ 1 7 0 4 を設ける構造としているが、コンデンサ 1 7 0 4 を省略することも可能である。実施例 7 の場合、電流制御用 T F T 1 7 0 3 として図 9 (C) の N T F T を用いているため、ゲート絶縁膜を介してゲート電極に重なるように設けられた L D D 領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ 1 7 0 4 の代わりとして積極的に用いる点に特徴がある。

【 0 2 0 5 】

この寄生容量のキャパシタンスは、上記ゲート電極と L D D 領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれる L D D 領域の長さによって決まる。

【 0 2 0 6 】

また、実施例 9 に示した図 2 0 (A) ~ (C) の構造においても同様に、コンデンサ 3 8

10

20

30

40

50

05を省略することは可能である。

【0207】

なお、本実施例の構成は、実施例1～5のいずれの構成とも自由に組み合わせて実施することが可能である。

【0208】

〔実施例11〕

本願発明の電気光学装置、具体的には本願発明の液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al.や、米国特許第5594569号に開示された液晶を用いることが可能である。

10

【0209】

また、等方相 - コレステリック相 - カイラルスメクティックC相転移系列を示す強誘電性液晶 (FLC) を用い、DC電圧を印加しながらコレステリック相 - カイラルスメクティックC相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定FLCの電気光学特性を図21に示す。

20

【0210】

図21に示すような強誘電性液晶による表示モードは「Half-V字スイッチングモード」と呼ばれている。図21に示すグラフの縦軸は透過率 (任意単位)、横軸は印加電圧である。「Half-V字スイッチングモード」については、寺田らの「Half-V字スイッチングモードFLCD」、第46回応用物理学関係連合講演会講演予稿集、1999年3月、第1316頁、および吉原らの「強誘電性液晶による時分割フルカラーLCD」、液晶第3巻第3号第190頁に詳しい。

【0211】

図21に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本願発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

30

【0212】

また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶 (AFLC) という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約 ± 2.5 V程度 (セル厚約 $1\text{ }\mu\text{m} \sim 2\text{ }\mu\text{m}$) のものも見出されている。

【0213】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

40

【0214】

なお、このような無しきい値反強誘電性混合液晶を本願発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

【0215】

なお、本実施例に示す液晶は、実施例1～4のいずれの構成を有する液晶表示装置においても用いることが可能である。

【0216】

〔実施例12〕

50

本願発明の電気光学装置や半導体回路は電気器具の表示部や信号処理回路として用いることができる。そのような電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図22～23に示す。

【0217】

図22（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示部2004、操作スイッチ2005、アンテナ2006で構成される。本願発明の電気光学装置は表示部2004に、本願発明の半導体回路は音声出力部2002、音声入力部2003またはCPUやメモリ等に用いることができる。

10

【0218】

図22（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明の電気光学装置は表示部2102に、本願発明の半導体回路は音声入力部2103またはCPUやメモリ等に用いることができる。

【0219】

図22（C）はモバイルコンピュータ（モビルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成される。本願発明の電気光学装置は表示部2205に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

20

【0220】

図22（D）はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303で構成される。本願発明の電気光学装置は表示部2302に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

【0221】

図22（E）はリアプロジェクター（プロジェクションTV）であり、本体2401、光源2402、電気光学装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は電気光学装置2403に用いることができ、本願発明の半導体回路はCPUやメモリ等に用いることができる。

30

【0222】

図22（F）はフロントプロジェクターであり、本体2501、光源2502、電気光学装置2503、光学系2504、スクリーン2505で構成される。本発明は電気光学装置2502に用いることができ、本願発明の半導体回路はCPUやメモリ等に用いることができる。

【0223】

図23（A）はパーソナルコンピュータであり、本体2601、映像入力部2602、表示部2603、キーボード2604等を含む。本願発明の電気光学装置は表示部2603に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

40

【0224】

図23（B）は電子遊戯機器（ゲーム機器）であり、本体2701、記録媒体2702、表示部2703及びコントローラ2704を含む。この電子遊技機器から出力された音声や映像は筐体2705及び表示部2706を含む表示ディスプレイにて再生される。コントローラ2704と本体2701との間の通信手段または電子遊技機器と表示ディスプレイとの間の通信手段は、有線通信、無線通信もしくは光通信が使える。本実施例では赤外線センサ部2707、2708で検知する構成となっている。本願発明の電気光学装置は表示部2703、2706に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

【0225】

50

図 2 3 (C) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤー (画像再生装置) であり、本体 2 8 0 1、表示部 2 8 0 2、スピーカ部 2 8 0 3、記録媒体 2 8 0 4 及び操作スイッチ 2 8 0 5 を含む。なお、この画像再生装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 8 0 2 や CPU やメモリ等に用いることができる。

【 0 2 2 6 】

図 2 3 (D) はデジタルカメラであり、本体 2 9 0 1、表示部 2 9 0 2、接眼部 2 9 0 3、操作スイッチ 2 9 0 4、受像部 (図示せず) を含む。本願発明は表示部 2 9 0 2 や CPU やメモリ等に用いることができる。

10

【 0 2 2 7 】

なお、図 2 2 (E) のリアプロジェクターや図 2 2 (F) のフロントプロジェクターに用いることのできる光学エンジンについての詳細な説明を図 2 4 に示す。なお、図 2 4 (A) は光学エンジンであり、図 2 4 (B) は光学エンジンに内蔵される光源光学系である。

【 0 2 2 8 】

図 2 4 (A) に示す光学エンジンは、光源光学系 3 0 0 1、ミラー 3 0 0 2、3 0 0 5 ~ 3 0 0 7、ダイクロイックミラー 3 0 0 3、3 0 0 4、光学レンズ 3 0 0 8 a ~ 3 0 0 8 c、プリズム 3 0 1 1、液晶表示装置 3 0 1 0、投射光学系 3 0 1 2 を含む。投射光学系 3 0 1 2 は、投射レンズを備えた光学系である。本実施例は液晶表示装置 3 0 1 0 を三つ使用する三板式の例を示したが、単板式であってもよい。また、図 2 4 (A) 中において矢印で示した光路には、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルムもしくは IR フィルム等を設けてもよい。

20

【 0 2 2 9 】

また、図 2 4 (B) に示すように、光源光学系 3 0 0 1 は、光源 3 0 1 3、3 0 1 4、合成プリズム 3 0 1 5、コリメータレンズ 3 0 1 6、3 0 2 0、レンズアレイ 3 0 1 7、3 0 1 8、偏光変換素子 3 0 1 9 を含む。なお、図 2 4 (B) に示した光源光学系は光源を 2 つ用いたが、一つでも良いし、三つ以上としてもよい。また、光源光学系の光路のどこかに、光学レンズ、偏光機能を有するフィルム、位相差を調節するフィルムもしくは IR フィルム等を設けてもよい。

【 0 2 3 0 】

30

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例 1 ~ 1 1 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 2 3 1 】

【 発明の効果 】

本発明を実施することで NTF T の信頼性を高めることができる。従って、厳しい信頼性が要求される高い電気特性 (特に高いモビリティ) を有する NTF T の信頼性を確保することが可能となった。また同時に、特性バランスに優れた NTF T と PTF T とを組み合わせることで CMOS 回路を形成することで、信頼性が高く且つ優れた電気特性を示す半導体回路を形成できる。

40

【 0 2 3 2 】

さらに、本願発明では、同一基板上において動作電圧の異なる回路ごとに第 2 の不純物領域および / または第 3 の不純物領域の長さを最適化して異ならせる。こうすることにより、高速動作を要求する回路にはそれに見合った動作速度を有する回路を形成し、耐圧特性の良さを要求する回路にはそれに見合った耐圧特性を有する回路を形成することができる。

【 0 2 3 3 】

従って、回路の種類に応じた構造の NTF T (特に CMOS 回路として配置される場合) を適切に配置することで、回路の性能を最大限に引き出すことが可能となり、高い信頼性と高い動作性能を有する半導体回路 (または電気光学装置) を実現することができる。

50

【 0 2 3 4 】

また、以上のような電気光学装置や半導体回路を部品として搭載した電気器具の性能向上や信頼性向上を図ることが可能となる。

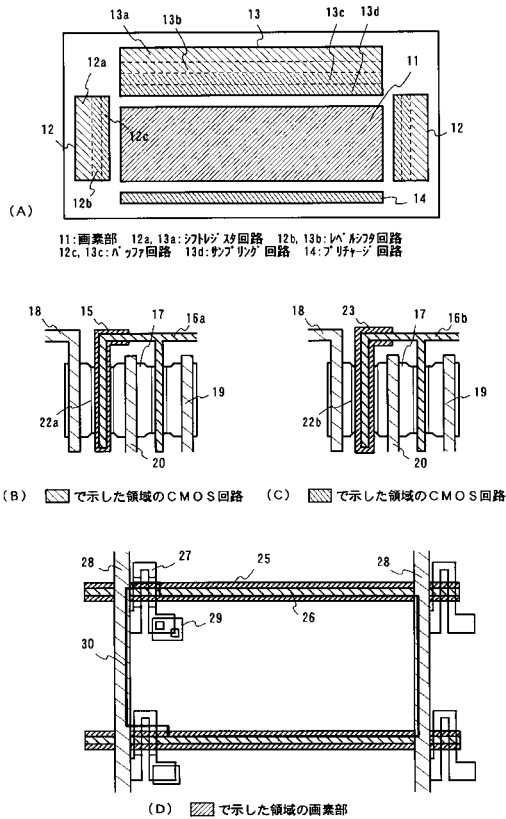
【図面の簡単な説明】

- 【図 1】 AM - LCD の回路配置を説明するための図。
- 【図 2】 AM - LCD の回路の断面構造を示す図。
- 【図 3】 NTF T の作製工程を示す図。
- 【図 4】 NTF T の作製工程を示す図。
- 【図 5】 NTF T の断面構造を示す図。
- 【図 6】 NTF T の断面構造を示す図。
- 【図 7】 NTF T の断面構造を示す図。
- 【図 8】 AM - LCD の外観を示す図。
- 【図 9】 CMOS 回路の断面構造を示す図。
- 【図 10】 CMOS 回路の作製工程を示す図。
- 【図 11】 電気器具の一例を示す図。
- 【図 12】 シミュレーション結果を示す図。
- 【図 13】 バイアスパワー密度とテーパ角の関係を示す図。
- 【図 14】 CF₄ 流量とテーパ角の関係を示す図。
- 【図 15】 W / レジスト選択比とテーパ角の関係を示す図。
- 【図 16】 EL 表示装置の上面構造及び断面構造を示す図。
- 【図 17】 EL 表示装置の断面構造を示す図。
- 【図 18】 EL 表示装置の上面構造及び回路構成を示す図。
- 【図 19】 EL 表示装置の断面構造を示す図。
- 【図 20】 EL 表示装置の回路構成を示す図。
- 【図 21】 液晶の電気光学特性を示す図。
- 【図 22】 電気器具の一例を示す図。
- 【図 23】 電気器具の一例を示す図。
- 【図 24】 光学エンジンの構成を示す図。

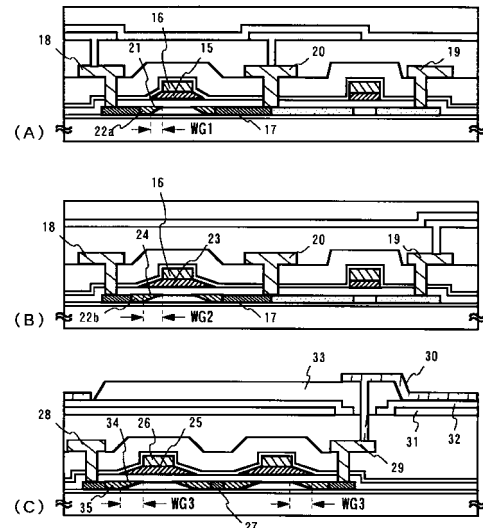
10

20

【図 1】

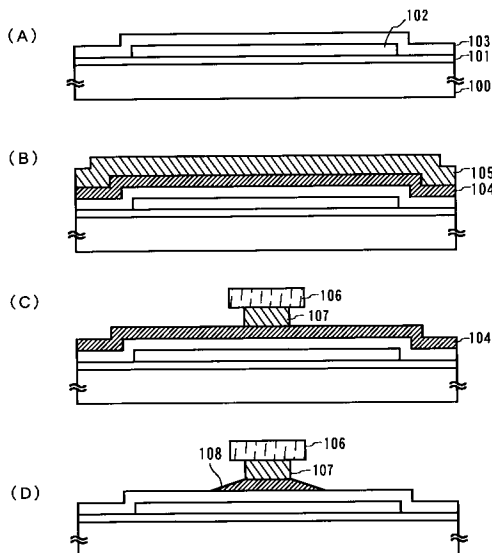


【図 2】



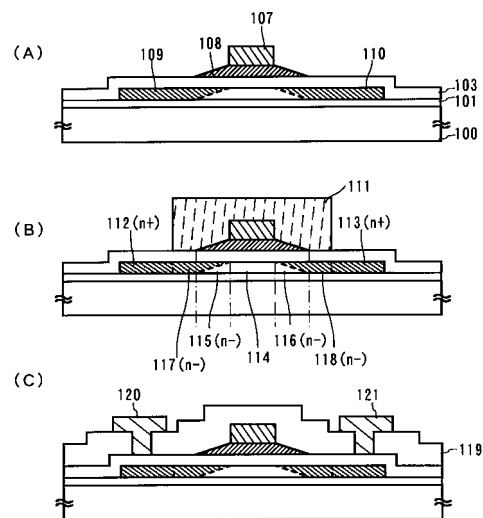
15, 23, 25:第1のゲート電極 16:第2のゲート電極
17, 27:半導体層 18, 19, 28:ソース配線(ソース電極含む)
20, 29:ドレイン配線(ドレイン電極含む)
21, 24, 34:第2の不純物領域 22, 25, 35:第3の不純物領域

【図 3】



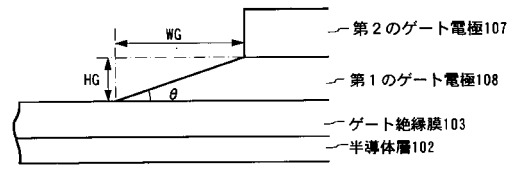
100:基板 101:下地膜 102:半導体層
103:絶縁膜(ゲート絶縁膜)
104:第1の導電膜 105:第2の導電膜
106:レジスタマスク
107:第2のゲート電極(第2のゲート配線)
108:第1のゲート電極(第1のゲート配線)

【図 4】



100:基板 101:下地膜
103:絶縁膜(ゲート絶縁膜)
104:第1の導電膜 105:第2の導電膜
108:第1のゲート電極(第1のゲート配線)
107:第2のゲート電極(第2のゲート配線)
111:レジスタマスク
114:チャネル形成領域
112, 113:第1の不純物領域
115, 116:第2の不純物領域
117, 118:第3の不純物領域
119:層間絶縁膜
120:ドレイン配線 121:ソース配線

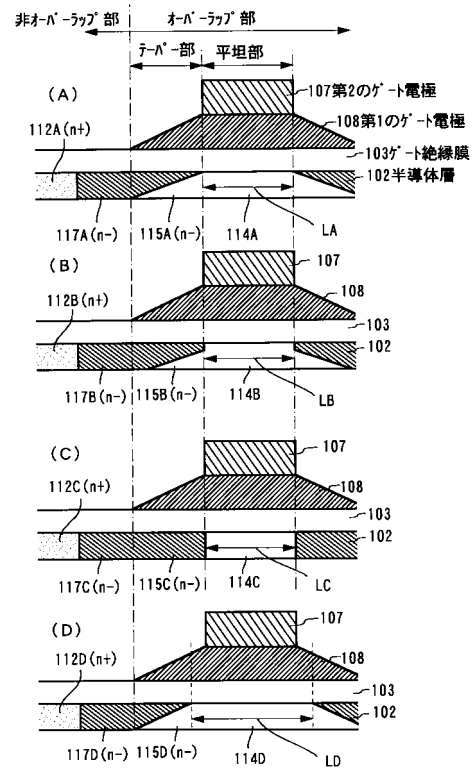
【図5】



θ : テーパー角

ゲート電極の断面図 (チャネル長方向)

【図6】



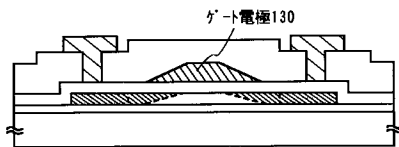
114A, B, C, D: チャネル形成領域

112A, B, C, D: 第1の不純物領域

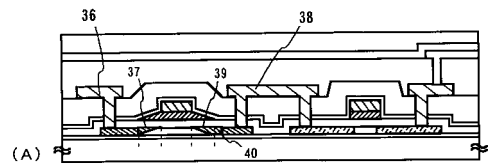
115A, B, C, D: 第2の不純物領域 (オーバーラップ型低濃度不純物領域)

117A, B, C, D: 第3の不純物領域 (非オーバーラップ型低濃度不純物領域)

【図7】

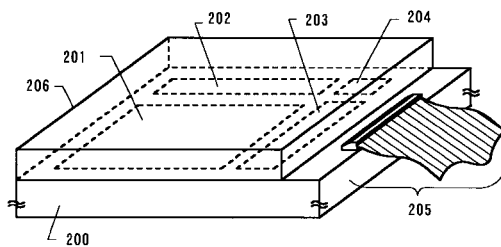


【図9】



36: ソース配線 38: ドレイン配線
37, 39: 第2の不純物領域 40: 第3の不純物領域

【図8】

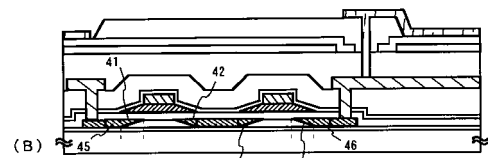


アクティブマトリクス基板200

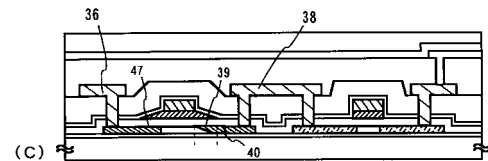
201: 画素 202: ゲートライン回路

203: ソースライン回路 204: 信号処理回路

205: FPC 206: 対向基板

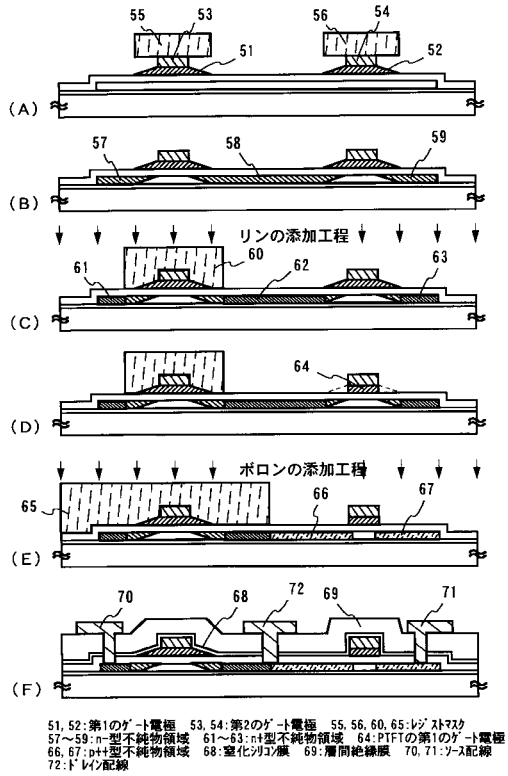


41~44: 第2の不純物領域 45, 46: 第3の不純物領域

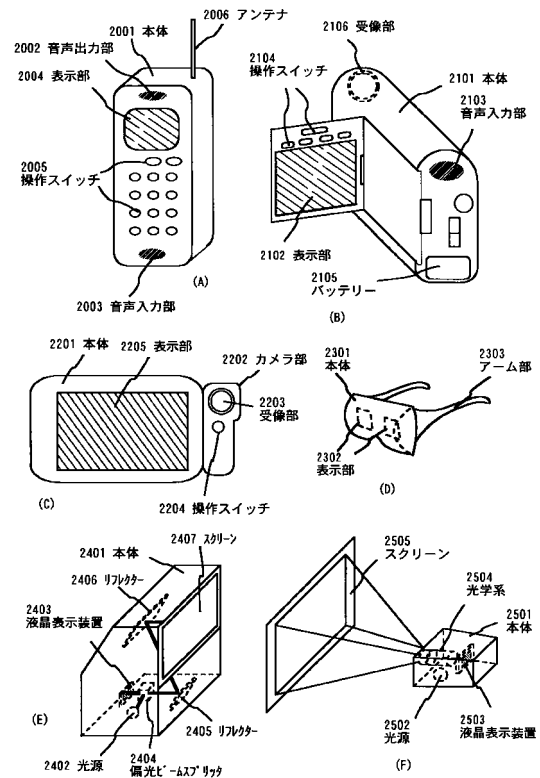


36: ソース配線 38: ドレイン配線
39: 第2の不純物領域 40: 第3の不純物領域
47: ソース側の第1の不純物領域

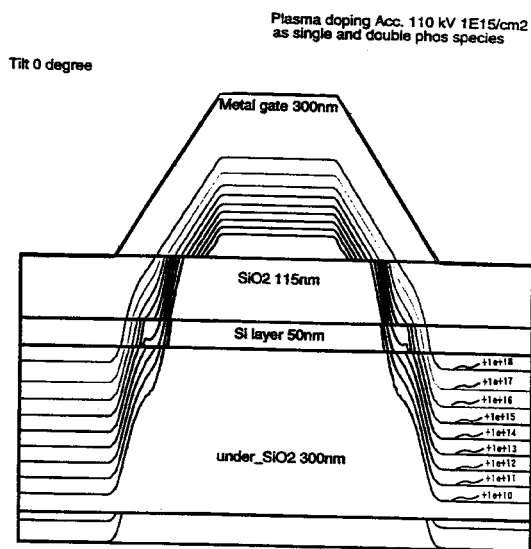
【図10】



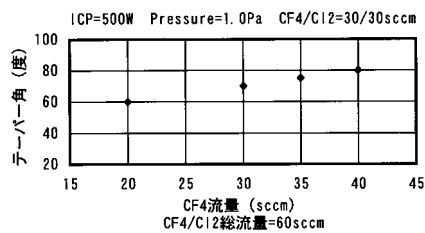
【図11】



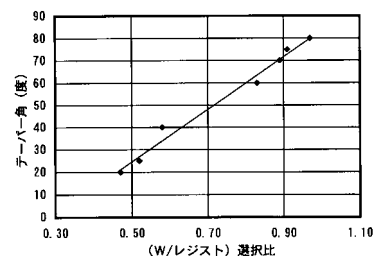
【図12】



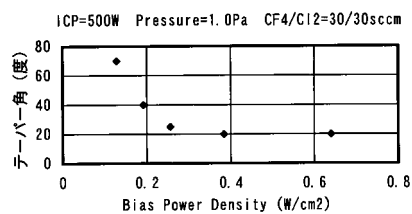
【図14】



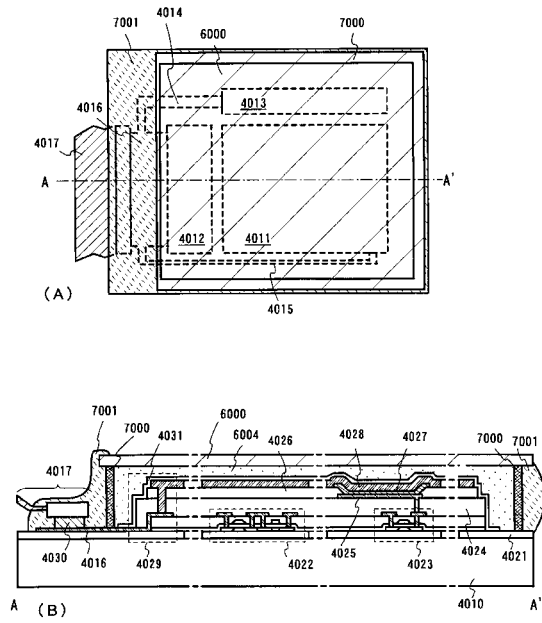
【図15】



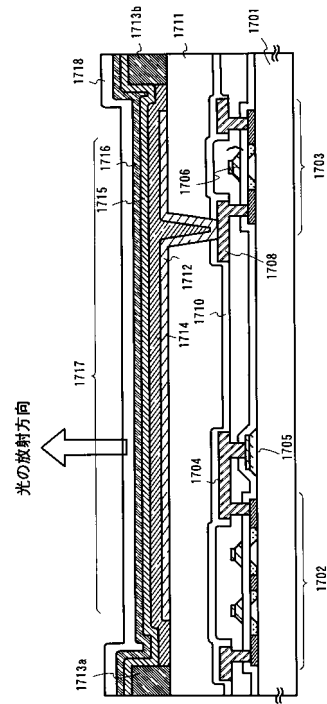
【図13】



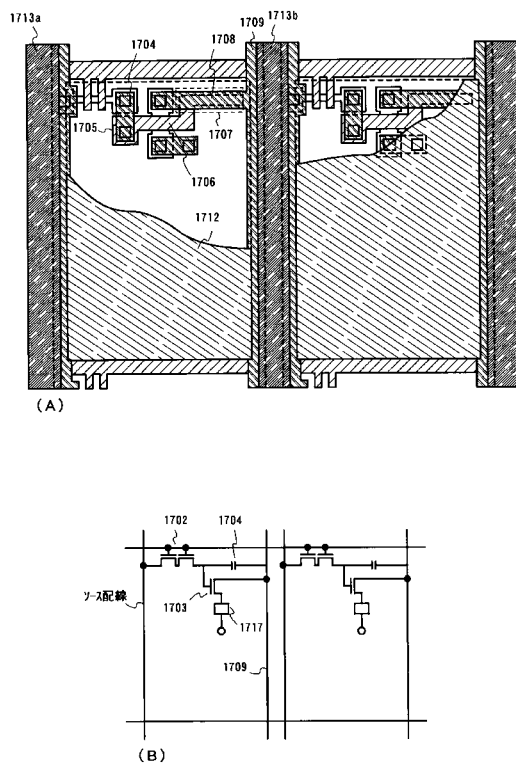
【図 16】



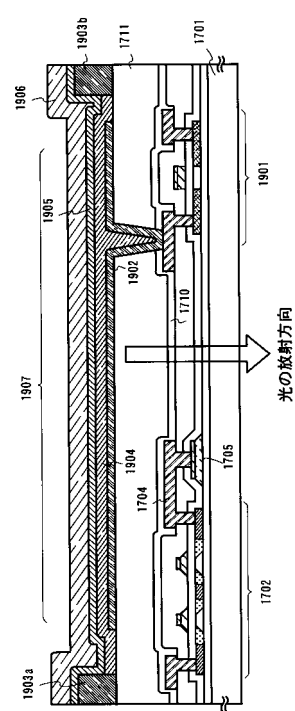
【図 17】



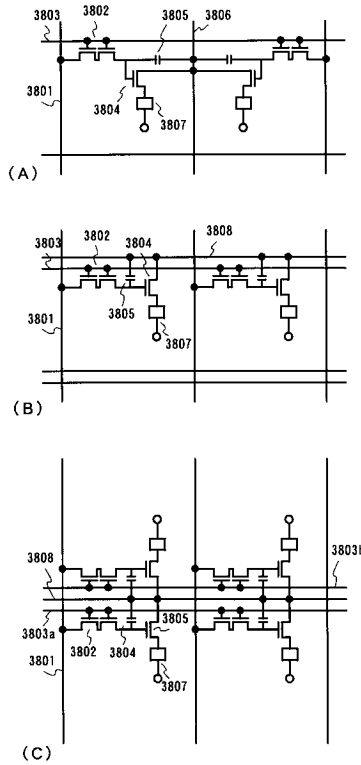
【図 18】



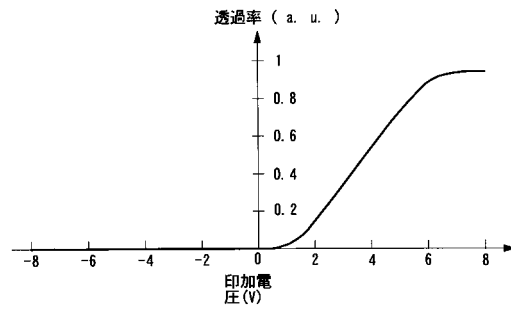
【図 19】



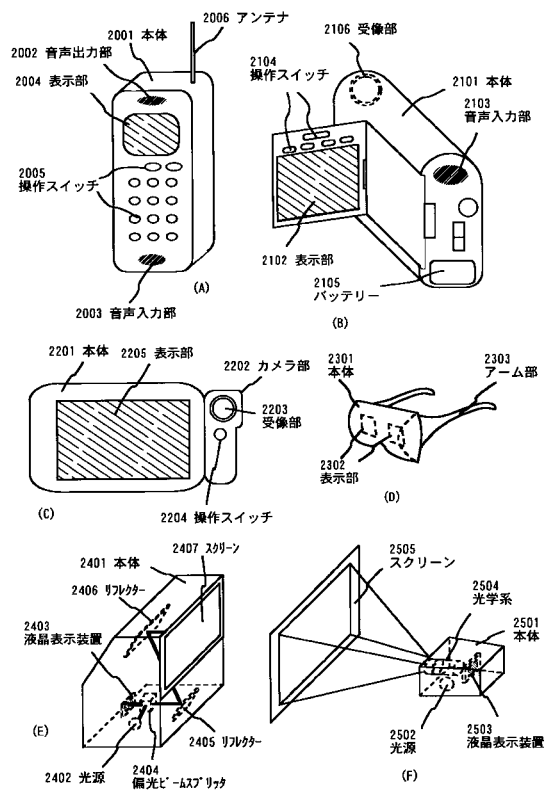
【図 20】



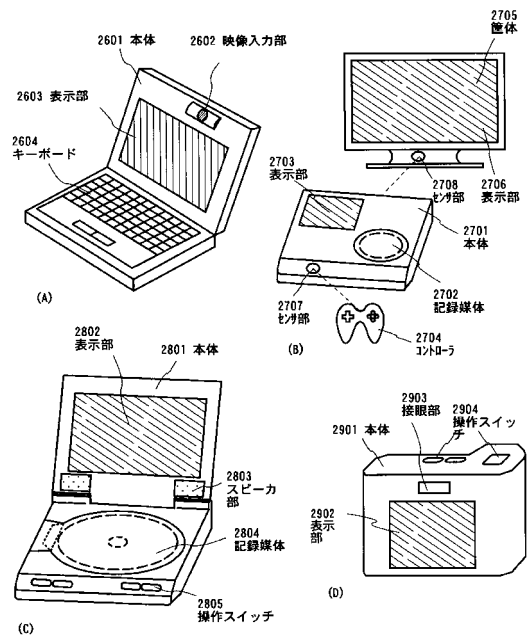
【図 21】



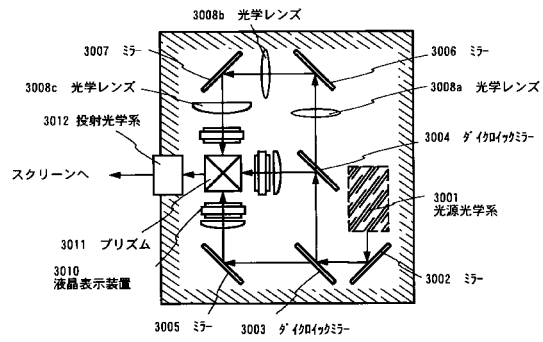
【図 22】



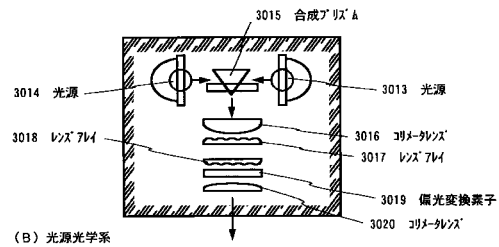
【図 23】



【図 24】



(A) 光学エンジン (三板式)



(B) 光源光学系

フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/41 (2006.01)
H 0 1 L 29/423 (2006.01)
H 0 1 L 29/49 (2006.01)

H 0 1 L 29/44 S
H 0 1 L 29/58 G

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/786
H01L 21/28
H01L 21/336
H01L 21/8234
H01L 21/8238
H01L 27/08
H01L 27/088
H01L 27/092
H01L 29/41
H01L 29/423
H01L 29/49
G02F 1/1368