

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
10. November 2005 (10.11.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/106946 A1

(51) Internationale Patentklassifikation⁷: **H01L 21/768**

(21) Internationales Aktenzeichen: PCT/EP2005/051808

(22) Internationales Anmeldedatum:
22. April 2005 (22.04.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2004 021 239.2 30. April 2004 (30.04.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **AUBEL, Oliver**
[DE/DE]; Oschatzerstr. 20, 01127 Dresden (DE).
HASSE, Wolfgang [DE/DE]; An der Bornau 10, 31655

Stadthagen (DE). **HOMMEL, Martina** [DE/DE];
Therese-Giehse-Allee 66, 81739 München (DE).
KÖRNER, Heinrich [DE/DE]; Föhrenstr. 31, 83052
Bruckmühl (DE).

(74) Anwälte: **KARL, Frank** usw.; Kindermann, Postfach
1330, 85627 Grasbrunn (DE).

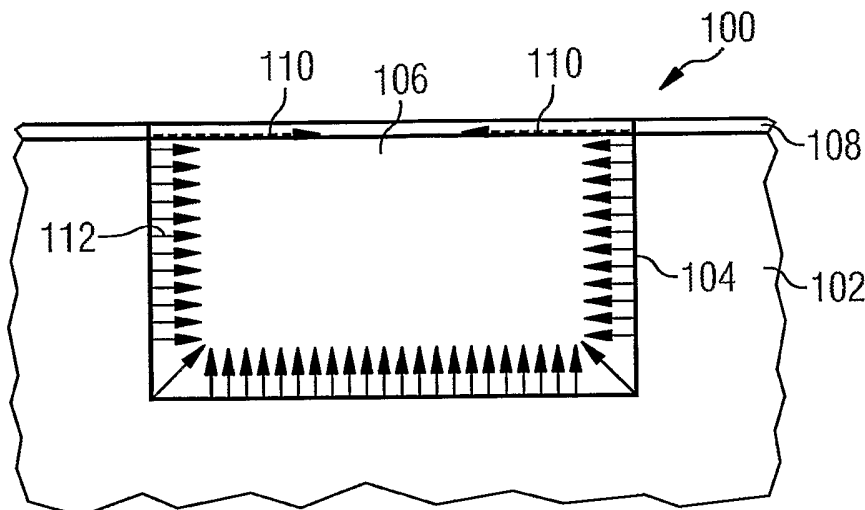
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA,
MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM,
PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU,
ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,

[Fortsetzung auf der nächsten Seite]

(54) Title: LONG-TERM ANNEALED INTEGRATED CIRCUIT ARRANGEMENTS AND METHOD FOR PRODUCING THE
SAME

(54) Bezeichnung: LANGE GETEMPERTE INTEGRIERTE SCHALTUNGSANORDNUNGEN UND DEREN HERSTEL-
LUNGSVERFAHREN



(57) Abstract: The invention inter alia relates to methods that allow removal of barrier material on a via board or a via cover by long-term annealing. Concurrently or alternatively thereto, the long-term annealing is a simple and straightforward method for coating tracks (106) with a barrier material (110).

(57) Zusammenfassung: Erläutert werden unter anderem Verfahren, bei denen durch langes Tempern Barrierematerial an einem Viaboden oder an einer Viadeckfläche entfernt werden. Gleichzeitig oder alternativ werden durch das lange Tempern Leitbahnen (106) mit Barrierematerial (110) auf einfache und unkomplizierte Weise beschichtet.



GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Lange getemperte integrierte Schaltungsanordnungen und deren Herstellungsverfahren

5

Die Erfindung betrifft unter anderem eine integrierte Schaltungsanordnung, die eine Vielzahl von elektrisch leitfähigen Leitstrukturen enthält, die gemäß einer Kornstruktur strukturiert sind. Insbesondere sind Leitstrukturen aus Kupfer oder
10 aus einer Kupferlegierung betroffen.

Mit abnehmenden minimalen Strukturbreiten ist ein Trend in der Halbleitertechnik hin zu immer kürzeren Temperzeiten zu beobachten. Sowohl die Summe der Zeit für Tempervorgänge als
15 auch die Dauer einzelner Temperschritte verkürzt sich, weil auch mit kurzen Tempervorgängen bei kleinen Abmessungen bereits eine ausreichende Ausheilung von Materialfehlern oder eine ausreichende Kornbildung auftritt. So werden RTP-Verfahren mit wenigen Sekunden Temperzeit angewendet.

20

Leitbahnen aus Kupfer werden üblicherweise mit einem Barrierematerial umkleidet, das vorzugsweise keine Legierung mit Kupfer bildet und das eine Diffusionsbarriere für Kupferatome gegen Ausdiffusion in das Intermetalldielektrikum bzw in das
25 Substrat darstellt. Die elektrische Leitfähigkeit des Barrierematerials ist kleiner als die des Kupfers. Jedoch wird durch die Auskleidung die Beständigkeit der Leitstruktur gegen Elektromigration größer.

30 Die Leitstrukturen lassen sich in Vias und Leitbahnen einteilen. Die Vias sind in Isolierlagen zwischen zwei Leitbahnlagen angeordnet und dienen dem vertikalen Stromtransport zwischen den Leitbahnen verschiedener Ebenen. Die Isolierlage mit den Vias dient außerdem der kapazitiven Entkopplung von
35 Leitbahnen verschiedener Ebenen.

Es ist Aufgabe der Erfindung einfach aufgebaute und einfach herzustellende integrierte Schaltungsanordnungen anzugeben, deren Leitstrukturen insbesondere eine hohe Stromtragfähigkeit aufgrund einer verminderten Neigung zur Elektromigration haben. Außerdem sollen Herstellungsverfahren für solche Schaltungsanordnungen angegeben werden.

Die Erfindung geht von der Erkenntnis aus, dass im Vergleich zu bisherigen Temperzeiten mindestens um den Faktor 2 oder 3 längere Temperzeiten die Stromtragfähigkeit der Leitstrukturen beträchtlich erhöhen können. Dies gilt auch für Schaltungsanordnungen mit minimalen Strukturbreiten durch Fotolithografie kleiner als 100 Nanometer oder sogar kleiner als 50 Nanometer unter Beachtung des Trends zu kürzeren Temperzeiten. Die erfindungsgemäße Temperzeit liegt also bei künftigen Generationen integrierter Schaltkreise unter den heute üblichen Temperzeiten, jedoch mindestens um den Faktor 2 oder 3 über den ohne Nutzung der Erfindung erforderlichen Temperzeiten.

Aufgrund der vergleichsweise langen Temperzeiten wird ohne zusätzliche Maßnahmen zwar die thermische Belastung der Schaltungsanordnung bei der Herstellung größer. Jedoch erhöht sich die Stromtragfähigkeit beträchtlich, was insbesondere bei kleinen Strukturbreiten mit zunächst geringer Stromtragfähigkeit für die Funktion der Schaltungsanordnung von großer Bedeutung ist.

Durch das lange Tempern kommt es gemäß einem ersten Aspekt der Erfindung zu einem Eindringen des Barrierematerials in die Leitstruktur entlang von Korngrenzen. Dies kann zunächst zu einem Anstieg des elektrischen Widerstandes der Leitstruktur im Bereich zwischen 3 Prozent und 6 Prozent führen. Überraschender Weise lässt sich die Stromtragfähigkeit aber trotzdem erhöhen, wenn so lange getempert wird, dass eine Barrierschicht an Viaböden oder an Viadeckflächen aufgelöst bzw. stark gedünnt wird. Bei einem derartig langen Tempern

wird das elektrisch leitfähige Barrierematerial teilweise in einem Korngrenzenbereich der Leitstruktur angeordnet, der mindestens 5 Nanometer oder der mindestens 10 Nanometer im Innern der Leitstruktur liegt.

5

Bei einer Weiterbildung grenzt die Vialeitstruktur, an deren Seitenwänden eine Barrierieschicht mit einer Dicke größer als 1 Nanometer angeordnet ist und an deren Boden eine Barrierematerialschicht dünner als 1 Nanometer bzw. kein Barrierema-
10 terial angeordnet ist an eine substratferne Leitbahn, deren Bodenfläche an eine Barrierematerialschicht grenzt, die dicker als 1 Nanometer ist. Insbesondere bei Verwendung einer Dualen Damascene-Technik zur Herstellung der Leitbahn und der Vialeitstruktur kann durch das Tempern Barrierematerial am
15 Viaboden selektiv zu Barrierematerial am Leitbahnboden entfernt werden. Die Selektivität hat ihre Ursache bspw. darin, dass am Viaboden Barrierematerial nach oben und unten beim Tempern entlang von Korngrenzen diffundiert und ggf. zusätzlich lateral längs einer Cu/SiN-Grenzfläche, während am Leit-
20 bahnboden nur eine Diffusion nach oben entlang von Korngrenzen möglich ist. Bei diesem Verfahren enthält auch die Vialeitstruktur Barrierematerial insbesondere mindestens 5 Nanometer oder mindestens 10 Nanometer im Innern der Vialeitstruktur. Das Barrierematerial befindet sich in der Via-
25 leitstruktur insbesondere in der Nachbarschaft zur Leitbahn.

Jedoch lässt sich die Selektivität auch dadurch erreichen, dass getempert wird, wenn nach der Abscheidung von Barrierematerial am Viaboden, an den Viaseitenwänden, am Leitbahnbo-
30 den der substratfernen Leitbahn und an den Seitenflächen der substratfernen Leitbahn noch kein Leitmaterial bzw. Kupfer in das Via und in die obere Leitbahnaussparung eingebracht worden ist. In diesem Fall wird beim Tempern die Barrierieschicht am Viaboden durch Materialdiffusion in die untere Leitbahn
35 gedünnt, während das übrige Barrierematerial nicht an Leitstrukturen angrenzt und demzufolge nicht durch Korngrenzen- oder ggf. Grenzflächendiffusion abtransportiert werden kann.

- Bei dieser Ausgestaltung ist die Vialeitstruktur barrierematerialfrei oder die Vialeitstruktur ist abgesehen von einem Randbereich oder mehreren Randbereichen, die sich weniger als 5 Nanometer ins Innere der Vialeitstruktur (550) erstrecken, barrierematerialfrei ist. Die geringe Ausdiffusion von Barrierematerial ist auf kurze Tempervorgänge zurückzuführen, die nach dem Tempern zum Entfernen des Barrierematerials am Viaboden durchgeführt werden.
- Bei einer anderen Weiterbildung wird durch das lange Tempern Barrierematerial an einer Deckfläche einer Vialeitstruktur entfernt bzw. gedünnt. Die beiden oben erwähnten selektiven Verfahren zur Entfernung des Barrierematerials lassen sich auch hier anwenden. Bei der Verwendung des ersten Verfahrens enthält die Leitbahn Barrierematerial, insbesondere mindestens 5 Nanometer oder mindestens 10 Nanometer im Innern der Leitbahn. Bei dem zweiten Verfahren ist die Leitbahn dagegen barrierematerialfrei oder die Leitbahn ist abgesehen von einem Randbereich oder mehreren Randbereichen, die sich weniger als 5 Nanometer ins Innere der Vialeitstruktur erstrecken barrierematerialfrei.

Die Weiterbildung wird sowohl bei Leitstrukturen eingesetzt, die nach dem Einfach-Damascene-Verfahren oder nach einem sogenannten subtraktiven Verfahren hergestellt worden sind. Die subtraktiven Verfahren werden verwendet, wenn Damascene-Verfahren nicht mehr anwendbar sind, insbesondere bei einer Breite der Leitbahn größer als 30 Mikrometer und/oder einer Dicke der Leitbahn größer als 5 Mikrometer. Insbesondere Hochstromanwendungen benötigen breite Leitbahnen. Die Stromtragfähigkeit ist aufgrund der hohen Stromdichte dann auch für breite Leitbahnen wichtig.

Bei einer Weiterbildung erstreckt sich Barrierematerial kontinuierlich vom Rand der Leitstruktur entlang einer Korngrenze bis in das Innere der Leitbahn. Jedoch kann bei sehr langen Tempern auch ein "Abreißen" des Barrierematerials auftreten.

ten, so dass eine Lücke zwischen dem Ort entsteht, aus dem das Barrierematerial in die Korngrenze diffundiert ist und dem Ort an dem das Barrierematerial nach der Herstellung angeordnet ist. Jedoch ist auch in diesem Fall das Barriere-
5 material kontinuierlich entlang der Korngrenze entlang einer Strecke größer 5 Nanometer oder größer 10 Nanometer angeordnet.

Bei einer nächsten Weiterbildung der erfindungsgemäßen Schaltungsanordnung gemäß ersten Aspekt gibt es eine amorphe elektrisch leitfähige Barrierematerialschicht, die angrenzend an die Leitstruktur angeordnet ist. Solche amorphen Schichten entstehen durch das lange Tempern. Beispielsweise entsteht aus kubisch raumzentrierten alpha Tantal bei einer Temperdauer größer 30 Minuten und einer Temperatur größer 420 Grad Celsius eine schmale Zone aus amorphem Tantal an einer Cu/Ta-Grenzfläche. Mit Bezug zu dem nachfolgend erläuterten zweiten Aspekt der Erfindung kann das amorphe Material zur Ausdiffusion von Barrierematerial entlang von Grenzflächen genutzt
15 werden. Damit wird sowohl Barrierematerial am Viaboden oder an einer Viadeckfläche entfernt als auch Barrierematerial durch Grenzflächendiffusion auf Leitstrukturen aufgebracht. Die erforderliche Gesamttemperdauer wird bei einer Ausgestaltung durch die für das Entfernen bestimmte Temperdauer bestimmt, wenn die Grenzflächendiffusion schneller verläuft als
20 die Korngrenzendiffusion zwischen einander benachbarten Körnern der Leitstruktur.

Ein zweiter Aspekt der Erfindung, der unabhängig vom ersten Aspekt genutzt werden kann, geht von der Überlegung aus, dass es durch das lange Tempern zu einer Barrierematerialdiffusion entlang von Grenzflächen der Leitstruktur zu einem anderen Material kommt, bspw. zu einem dielektrischen Material. Die Grenzflächendiffusion wird ausgenutzt, um die Leitstruktur
35 mit Barrierematerial selbstjustierend teilweise oder vollständig zu bedecken. Auch hier steigt der elektrische Widerstand der Leitbahn in einem Bereich zwischen 3 Prozent und 6

Prozent aufgrund der nicht zu verhindernden Korngrenzendiffusion an. Jedoch verbessert sich die Stromtragfähigkeit auf Grund der allseitigen Ummantelung erheblich, so dass die geringe Vergrößerung des Widerstandes die Stromtragfähigkeit nur unwesentlich beeinträchtigt.

Das vor der Grenzflächendiffusion bspw. am Kupfer anliegende Barrierematerial ist bspw. ein dielektrisches Material, das ein Ausdiffundieren von Kupfer in ein nachfolgend abgeschiedenes Dielektrikum verhindern soll. Anstelle von Siliziumnitrid SiN wird bei anderen Ausführungsbeispielen auch Siliziumcarbid SiC, Siliziumkohlenstoffnitrid SiCN, oder ein Block-Material (Barrier low k) verwendet.

Eine Kombination der beiden Aspekte in einer integrierten Schaltungsanordnung führt zu besonders stromtragfähigen Leitstrukturen, die allseitig mit Barrierematerial umgeben sind und an Viaböden und Viadeckflächen keine dicken Barrierematerialschichten haben.

Das Material für die Grenzflächendiffusion tritt besonders aus amorphen Material, bzw. aus amorphen Bereichen aus, das bzw. die sich bspw. bei längerem Tempern bildet. Deshalb enthält die erfindungsgemäße Schaltungsanordnung gemäß zweitem Aspekt eine elektrisch leitfähige Leitstruktur, die an eine amorphe Barrierematerialschicht grenzt. Eine durch die Grenzflächendiffusion entstandene Barrierematerialschicht ist bei einer Ausgestaltung dünner als 1 Nanometer, insbesondere in Bereichen mit lateralen Abmessungen größer als 10 Nanometern. Weiterhin ist die durch Grenzflächendiffusion entstandene Barrierematerialschicht homogen bzgl. ihrer Zusammensetzung, z.B. elementar. Bei einer Ausgestaltung grenzt die homogene Barrierschicht auf der einen Seite an die Leitbahn und an der anderen Seite an ein Dielektrikum, d.h. an mindestens einer Seite der Leitbahn wird keine Doppel- bzw. Mehrfachschicht aus mehreren elektrisch leitfähigen Schichten

unterschiedlicher Materialzusammensetzung oder mit unterschiedlicher Materialstruktur verwendet.

Bei einer Weiterbildung enthält die Schaltungsanordnung außerdem eine polykristalline elektrisch leitfähige Barrierematerialschicht die zwischen der Leitstruktur (106) und dem Grenzmaterial angeordnet ist. Die amorphe Schicht ist zwischen der Barrierematerialschicht und der Leitstruktur angeordnet und besteht überwiegend aus einem elektrisch leitfähigen Material, das auch in der polykristallinen Barrierschicht enthalten ist oder aus dem die polykristalline Barrierschicht besteht.

Bei einer Weiterbildung der Schaltungsanordnung gemäß zweiten Aspekt ist an einer substratfernen Deckfläche der Leitstruktur eine Barrierematerialschicht ohne Überstand über ein seitlich der Leitstruktur liegendes Dielektrikum angeordnet. Bei der Verwendung eines fotolithografischen Verfahrens zur Strukturierung einer Barrierschicht auf der Deckfläche würde ein solcher Überstand an zwei voneinander abgewandten Seitenflächen der Leitstruktur auftreten. Zumindest tritt der Überstand bei Verwendung eines fotolithografischen Verfahrens aber an einer Seitenfläche auf. Dagegen gibt es bei der Verwendung eines selbstjustierenden Verfahrens keinen Überstand, d.h. insbesondere nicht bei der selbstjustierenden Beschichtung durch Grenzflächendiffusion.

Bei einer Weiterbildung ist die Leitstruktur eine Leitbahn, die abgesehen von Grenzen zu anderen Leitstrukturen vollständig mit einem elektrisch leitfähigen Barrierematerial umgeben ist. An mindestens einer Seitenfläche der Leitbahn ist eine Barrierschicht mit einer Schichtdicke größer 2 Nanometer oder größer 4 Nanometer angeordnet und an mindestens einer Seitenfläche der Leitbahn eine Barrierschicht mit einer Schichtdicke kleiner als 1 Nanometer angeordnet. Die dickere Barrierschicht enthält insbesondere die amorphe Barrierschicht und dient als Quelle für Barrierematerial, das auf-

grund der Grenzflächendiffusion beim Tempern transportiert wird und das die dünne Barrierschicht bildet.

Bei einer nächsten Weiterbildung besteht die Leitstruktur aus
5 Kupfer oder aus einer Kupferlegierung mit mindestens 90 Atom-
prozent Kupfer. Alternativ besteht die Leitstruktur aus Gold
oder aus einer Goldlegierung mit mindestens 90 Atomprozent
Gold. Bei einer anderen Weiterbildung ist das Barrieremateri-
al Tantal, Tantalnitrid, Titan, Titannitrid, Wolfram, Wolf-
10 ramnitrid oder Titanwolfram. Auch andere Refraktärmetalle
oder Refraktärmetalllegierungen sind geeignet.

Die Erfindung betrifft außerdem ein Verfahren bei dem einmal
oder mehrmals getempert wird. Durch das Tempern wird eine
15 Barriere materialschicht zwischen einer Vialleitstruktur und
einer Leitbahn entfernt, durchbrochen oder um mindestens 50
Prozent oder um mindestens 90 Prozent gedünnt. Dieses Verfah-
ren dient zum Herstellen einer Schaltungsanordnung gemäß
erstem Aspekt, so dass die oben genannten technischen Wirkun-
20 gen auch für das Verfahren gelten.

Das Barrierematerial wird bei einer Weiterbildung durch Dif-
fusion entlang von Korngrenzen einer Leitstruktur und durch
Grenzflächendiffusion entlang einer Grenzfläche zwischen zwei
25 verschiedenen Materialien entfernt, wobei der Hauptteil des
Barrierematerials durch Korngrenzendiffusion abtransportiert
wird, die Grenzflächendiffusion jedoch insbesondere in Rand-
bereichen der zu entfernenden Barriere materialschicht unter-
stützend wirkt. Bei einer Alternative wird nur Korngrenzen-
30 diffusion genutzt.

Bei einer Ausgestaltung wird das zu entfernende Barriere mate-
rial in einer Dicke bis 2 Nanometern abgeschieden, wobei in
Summe mindestens 1,5 Stunden getempert wird. Hat das zu ent-
35 fernende Barriere material eine Dicke im Bereich von 2 Nanome-
tern bis 5 Nanometern, so wird bei einer anderen Weiterbil-
dung in Summe mindestens 3 Stunden getempert. Die Temperatur

beim Tempern ist dabei gleich 430°C. Bei Temperaturen größer als 430 Grad Celsius und kleiner als 500 Grad Celsius verkürzen sich die angegebenen Mindesttemperzeiten und können bspw. empirisch bestimmt werden. Durch die Einhaltung dieser Temperparameter wird eine ausreichende Entfernung des Barrierematerials gewährleistet. Die Obergrenze für die Temperdauer wird durch den Zeitpunkt bestimmt zu dem ausreichend Barrierematerial entfernt ist. Auch der noch vertretbare Durchsatz bestimmt die Temperatur und die Temperdauer. Außerdem sollten Barrierematerialschichten an Seitenwänden der Leitstruktur nicht zu stark gedünnt werden. Getempert wird bspw. in einem kontinuierlichen Tempervorgang über die genannten Zeiten oder mit mehreren Tempervorgängen, wobei die genannten Zeiten die Summe der Zeiten für alle Tempervorgänge betreffen. Zwischen zwei Tempervorgängen werden bspw. Schichten abgeschieden oder strukturiert.

Als alternatives Maß zu den Temperparametern lässt sich angeben, dass während des Temperns zu entfernendes Barrierematerial entlang von Korngrenzen um mindestens 5 Nanometer oder um mindestens 10 Nanometer transportiert und damit ausreichend verteilt wird, um die Stromtragfähigkeit zu erhöhen. Die Erfindung betrifft außerdem ein weiteres Verfahren, bei dem einmal oder mehrmals getempert wird. Sekundär-Barrierematerial wird bei diesem Tempern aus Ursprungs-Barrierematerial durch Grenzflächendiffusion entlang der Grenzfläche einer Leitstruktur transportiert, so dass insbesondere eine Schaltungsanordnung gemäß zweitem Aspekt entsteht. Die oben genannten technischen Wirkungen gelten somit auch für das weitere Verfahren.

Bei einer Weiterbildung befindet sich eine Ursprungs-Barriereschicht:

- an einer Seitenfläche der Leitstruktur,
- an einer Grenze zu einer Vialeitstruktur, oder
- auf Teilbereichen der Fläche der Leitstruktur, an der die Grenzflächendiffusion auftritt, wobei die Schichtdicke der

Ursprungs-Barriereschicht in den Teilbereichen z.B. kleiner als 10 Nanometer oder sogar kleiner als 5 Nanometer ist.

Besonders gut sind amorphe Ursprungsbarriereschichten als
5 Quelle für das Barrierematerial geeignet, das entlang der Grenzfläche diffundiert. Insbesondere an schwer zu beschichtenden Kanten und Ecken der Leitstruktur sind amorphe Ursprungsbarriereschichten sehr hilfreich. Amorphe Ursprungsbarriereschichten bilden sich bspw. durch Tempern.

10

Bei einer Weiterbildung wird vor dem Tempern für die Grenzflächendiffusion durch Vortempern Barrierematerial aus dem Innern der Leitbahn an die Außenfläche der Leitbahn transportiert, insbesondere entlang von Korngrenzen. Alternativ wird
15 durch Vortempern Barrierematerial aus einem elektrisch leitfähigen Hilfsbereich in einen Bereich der Leitbahn transportiert, in dem nach dem Entfernen des Hilfsbereiches die Außenfläche der Leitbahn liegt. Auch hier tritt während des Vortemperns insbesondere Korngrenzendiffusion auf. Durch dass
20 Haupttempern für die Grenzflächendiffusion wird Barrierematerial aus den Korngrenzen, die an der Grenzfläche münden, an die Grenzfläche transportiert und dort durch Grenzflächendiffusion verteilt.

25 Als Maß zur Beschreibung des Haupttempervorgangs lässt sich angeben, dass die Transportstrecke des Barrierematerials während des Temperns mit Grenzflächendiffusion größer als 10 Nanometer oder größer als 20 Nanometer ist. Das Haupttempern folgt dem Vortempern bei einem Ausführungsbeispiel unmittelbar.
30 Die Transportstrecke beträgt bei einer Ausgestaltung mindestens eine halbe minimale Leitbahnbreite einer in der Schaltungsanordnung angeordneten Leitbahn.

Bei einer Ausgestaltung hat die Leitstruktur eine Breite
35 größer 200 Nanometern. In Summe wird mehr als 4 Stunden bei 430°C oder mehr als 8 Stunden bei 430°C getempert. Bei einem anderen Ausführungsbeispiel hat die Leitstruktur eine Breite

im Bereich von 100 Nanometern bis 200 Nanometern, wobei in diesem Fall in Summe mehr als 2,5 h bei 430°C oder mehr als vier Stunden bei 430°C getempert wird. Bei einem weiteren Ausführungsbeispiel hat die Leitstruktur eine Breite größer

5 50 Nanometer und es werden mehr als 60 Minuten (430°C) getempert. Die Temperatur beim Tempern ist dabei größer als 420 Grad Celsius und kleiner als 510 Grad Celsius bzw. größer als 430 Grad Celsius und kleiner als 500 Grad Celsius. Durch die Einhaltung dieser Temperparameter wird ein ausreichendes

10 Aufbringen des Barrierematerials in noch nicht bedeckten Leitbahnbereichen gewährleistet. Die Obergrenze für die Temperdauer wird durch die Leitbahnbreite bzw. durch die Breite der Leitbahn und die Breite von Ablagerungen auf zu beschichtenden Bereichen der Leitstruktur bestimmt. Getempert wird

15 bspw. in einem kontinuierlichen Tempervorgang über die genannten Zeiten oder mit mehreren Tempervorgängen, wobei die genannten Zeiten die Summe der Zeiten für alle Tempervorgänge betreffen. Zwischen zwei Tempervorgängen werden bspw. Schichten abgeschieden oder strukturiert. Für die durch Grenzflächendiffusion zurückgelegte Entfernung gibt eine Wurzelfunktion die Abhängigkeit von der Temperzeit an. Umgekehrt ist die Abhängigkeit quadratisch, siehe die Formel am Ende der Beschreibung.

20

25 Bei Ausgestaltungen wird die zum Tempern erforderliche Wärme stärker den Leitstrukturen zugeführt als in der Umgebung der Leitstrukturen, vorzugsweise durch Mikrowelleneinkopplung, durch induktive Einkopplung oder durch Laserstrahleinkopplung. Durch die selektive Wärmezuführung lässt sich die Temperaturbelastung von wärmeempfindlichen Bereichen der Schaltungsanordnung trotz der langen Temperdauer und der hohen Tempertemperaturen verringern. Insbesondere Diffusionsbereiche von Halbleiterbauelementen oder wärmeempfindliche "low k"-Dielektrika werden so geschützt.

30

35 Im folgenden werden Ausführungsbeispiele der Erfindung anhand der beiliegenden Zeichnungen erläutert. Darin zeigen:

- Figur 1 eine Herstellungsstufe zur Beschichtung einer Leitbahn durch Grenzflächendiffusion,
- Figur 2 eine Herstellungsstufe eines Verfahrens, bei dem die Grenzflächendiffusion durch nicht konforme Abscheidung von Barrierematerial unterstützt wird,
- 5 Figur 3 eine Herstellungsstufe eines Verfahrens, bei dem nach einer selektiven Beschichtung noch unbeschichtete Bereiche durch Grenzflächendiffusion beschichtet werden,
- Figur 4 eine Herstellungsstufe eines Verfahrens, bei dem durch Vortempern im Innern der Leitbahn eingebrachtes Barrierematerial aus dem Innern der Leitbahn an eine spätere Außenfläche der Leitbahn transportiert wird,
- 10 Figur 5 eine Herstellungsstufe eines Verfahrens, bei dem durch Vortempern Barrierematerial aus einem an die Leitbahn angrenzenden Hilfsbereich an eine spätere Außenfläche der Leitbahn transportiert wird,
- 15 Figur 6 eine Herstellungsstufe eines Verfahrens, bei dem ein CMP-Prozess unterbrochen wird, um Barrierematerial ganzflächig abzuschleifen und durch Vortempern in Korngrenzen einzutreiben,
- 20 Figur 7 eine Herstellungsstufe eines Verfahrens, bei dem eine Barrierematerialschicht durch ein fotolithografisches Verfahren strukturiert wird,
- Figuren 8A und 8B Herstellungsstufen eines Verfahrens, bei dem eine Leitstruktur, die mit einem anderen Verfahren als ein Damascene-Verfahren hergestellt worden ist, vollständig mit einem Barrierematerial umgeben wird,
- 25 Figur 9 eine Herstellungsstufe eines Verfahrens, bei dem Barrierematerial an einem Viaboden in die darunter liegende Leitbahn entfernt wird,
- 30 Figur 10 eine Herstellungsstufe eines Verfahrens, bei dem Barrierematerial an einem Viaboden in die darunter liegende Leitbahn und in eine angrenzende Vialeitstruktur entfernt wird, und
- 35 Figur 11 eine Herstellungsstufe eines Verfahrens, bei dem an einer Viadeckfläche Barrierematerial entfernt wird.

Die Figur 1 zeigt eine Herstellungsstufe zur Beschichtung einer Leitbahn durch Grenzflächendiffusion. Eine integrierte Schaltungsanordnung 100 enthält in einem nicht dargestellten Siliziumsubstrat eine Vielzahl von Halbleiterbauelementen, z.B. von Transistoren. In einer Isolierlage 102 befindet sich eine mit einer elektrisch leitfähigen Barrierschicht 104 ausgekleidete Aussparung. Die Barrierschicht 104 ist beispielsweise eine Tantal / Tantalnitrid Doppelschicht, bei der das Tantalnitrid an der Isolierlage 102 liegt, oder eine Tantalschicht, insbesondere eine α -Tantalschicht mit einer Schichtdicke beispielsweise im Bereich von 10 bis 50 nm. Im Ausführungsbeispiel hat die Aussparung eine Breite von beispielsweise 600 nm. In die Aussparung wurde nach dem Aufbringen der Barrierschicht 104 Kupfermaterial eingebracht. Anschließend wurde das Kupfer mit Hilfe eines chemisch-mechanischen Polierverfahrens (CMP) planarisiert, wobei eine Leitbahn 106 in der Aussparung entstand. Nach dem Planarisieren wurde eine dielektrische Barrierschicht 108 ganzflächig abgeschieden, beispielsweise eine Siliziumnitridschicht mit einer Schichtdicke im Bereich von 30 nm bis 60 nm.

Nach dem Abscheiden der dielektrischen Barrierschicht 108 wurde ein Temperverfahren bei Temperaturen von 450°C für eine Zeitdauer von mehreren Stunden durchgeführt, wobei Barriermaterial 104 entlang der Grenzfläche zwischen der dielektrischen Barriere 108 und der Leitbahn 106 von beiden Seitenflächen der Leitbahn 106 her durch Grenzflächendiffusion die Deckfläche der Leitbahn 106 beschichtet, siehe Pfeile 110. Gleichzeitig tritt eine nicht zu verhindernde Korngrenzendiffusion auf, siehe Pfeile 112.

Nach dem langen Tempern hat sich Barriermaterial an der Kupfer/Siliziumnitrid-Grenzfläche angereichert, bspw. gibt es an Kupferkorngrenzen keine direkte Kupfer-Siliziumnitrid-Grenzfläche mehr, so dass die bezüglich Elektromigration schwächste Stelle an der Leitbahn 106 beseitigt worden ist. Die Folge ist eine erhebliche Erhöhung der Stromtragfähigkeit

der Leitbahn 106, beispielsweise um den Faktor 8 bei 0,6 μm breiten Kupferleitbahnen. Aufgrund der dünnen Tantalschicht an der Deckfläche der Leitbahn 106 sind Kupferdiffusionswege entlang der Grenzfläche Kupfer zu Siliziumnitrid blockiert.
5 Dies führt zu einer verlängerten Lebensdauer der Leitbahn 106 und zu einer verbesserten Stromtragfähigkeit.

Die lange Temperung unterscheidet sich mindestens in Zeit und/oder Temperatur sowie auch noch im Prozess-Stadium von
10 der bekannten ersten Temperung nach der Kupferabscheidung 106, durch welche die Ausheilung des Korns und des Gefüges erreicht wird. Überraschenderweise diffundiert das Barriere-
metall längs der Kupfer/SiN-Grenzfläche schneller als entlang der Kupferkorngrenzen. Dies führt zu einer vergleichsweise
15 schnellen Gleichverteilung und Anreicherung des Tantals an der kritischen Grenzfläche. Hierbei steht Cu/SiN exemplarisch für alle üblichen Kupfer/Dielektrika-Grenzflächen, d.h. beispielsweise für eine Grenzfläche Kupfer zu SiC (Siliziumcar-
bid), SiCN (Siliziumkohlenstoffnitrid), BLOK (Barrier with
20 Low Dielectric Constant k). Im Ausführungsbeispiel enthält die an der Grenzfläche entstehende Tantalschicht nur einige
Atomlagen, beispielsweise nur weniger als fünf Atomlagen oder nur weniger als zehn Atomlagen. Durch das lange Tempern ent-
steht außerdem zwischen der Barrierschicht 104 und der Leit-
25 bahn 106 eine amorphe Tantalschicht aus der Tantal für die Grenzflächendiffusion austritt.

Es handelt sich um einen einfachen, kostengünstigen Prozess, der selbstjustierend ist und keiner Lithographie- oder Ätz-
30 schritte bedarf um Barrierematerial an die beschriebenen Stellen zu bringen und um wie beschrieben zu wirken. Die dafür benötigten Anlagen sind in jeder Fertigung vorhanden bzw. kostengünstig anzuschaffen. Komplizierte Lithografie- oder Ätzschritte sowie aufwendige Prozesskontrollen werden
35 nicht benötigt. Das Verfahren ist sowohl für Damascene- als auch für RIE- (Reactive Ion Etching)-Leitbahnen anwendbar. Das Verfahren wird in mindestens einer oder in allen Metall-

lagen der integrierten Schaltungsanordnung 100 angewendet. Kombinationen mit anderen thermischen Prozessen sind auch möglich.

- 5 Bei dem an Hand der Figur 1 dargestellten Ausführungsbeispiel wurde die Tantalgrenzflächendiffusion bei unerwartet niedrigen Temperaturen ab ca. 400°C und kleiner als 500°C durch die folgenden Maßnahmen erreicht:
- 10 - Die Barrierschicht 104 lag als Doppelschicht Tantalnitrid/Tantal vor,
 - die TaN_x-Komponente war unterstöchiometrisch, wobei X kleiner als 1 bzw. kleiner als 0,75 war,
 - das Tantalmetall der Barrierschicht 104 lag teilweise als α -Tantal vor, d.h. als kubisch raumzentrierte Kristallstruktur,
 - 15 - die dielektrische Barriere 108 wurde mit PECVD (Plasma Enhanced Chemical Vapor Deposition) als Multilagenschicht abgeschieden,
 - das Barrierematerial, d.h. hier das Tantal, bildete in dem beim Tempern verwendeten Temperaturbereich keine Legierung mit dem Kupfer und zeigte eine in Kupfer vernachlässigbare Löslichkeit,
 - 20 - an der Kupfer/Tantalgrenzfläche, d.h. an der Seitenwand und am Boden der Leitbahn 106, bildete sich eine amorphe, stark tantalreiche Zone, in der und aus der Tantal bei den überraschenden milden thermischen Aktivierungen ausdiffundiert,
 - 25 - am Ende des Aktivierungsprozesses wurde vergleichsweise langsam abgekühlt, wobei die Abkühlrate kleiner als 20 Kelvin/Minute war, und
 - 30 - an der Kupfer/Siliziumnitrid-Grenzschicht reicherte sich eine dünne, amorphe, tantalhaltige Schicht an, deren Wirkung bei einer Dicke von wenigen Atomlagen bzw. bereits bei Bruchteilen einer Atomlage einsetzt.

35

Die folgenden experimentellen Ergebnisse gelten für das Ausführungsbeispiel gemäß der Figur 1:

- Die Grenzflächendiffusion des Tantals ist bei 0,6 μm breiten Leitbahnen 106 ab 430°C für zehn Stunden Temperaturzeit zu beobachten. Es ergibt sich eine Verbesserung der Lebensdauer um mindestens den Faktor 10 für eine 0,6 μm breite Leitbahn 106 nach Lagerung bei 450°C für eine Temperaturzeit von zwanzig Stunden ohne zusätzliche "unterstützende Prozesse". Unterstützende Prozesse dienen der verstärkten Heranführung von Barrierematerial an oder in den Grenzflächenbereich an dem die Grenzflächendiffusion stattfinden soll. In schmaleren Bahnen ist eine geringere Temperaturzeit notwendig, weil die Diffusionslänge proportional der Wurzel aus der Temperaturzeit ist. So ergibt sich bei einer 200 nm breiten Bahn, d.h. bei einer 0,18 μm -Technologie, bei einer Diffusionslänge von 100 nm eine Temperaturzeit von 2,2 Stunden bei 450°C.
- Die Tantaldiffusion konnte mittels SIMS (Secondary Ion Mass Spectrometry) und TEM (Transmission Electron Microscopy) nachgewiesen werden, und
- die Tantaldiffusion führte zu einem Widerstandsanstieg kleiner als 5 % in 0,6 μm breiten Leitbahnen bei der oben erwähnten deutlich höheren Stromtragfähigkeit.

Überraschenderweise bewirken bereits geringe Tantalanteile an der Grenzfläche zwischen dem Barrierematerial 108 und dem Kupfer 106, z.B. Tantalanteile kleiner als 5 Prozent der Grenzfläche, eine beträchtliche Erhöhung der Elektromigrationsfestigkeit, insbesondere wenn Kupferkorngrenzen an der Grenzfläche mit Tantal bedeckt sind. Bei der Erläuterung der Ausführungsbeispiele steht Tantal stellvertretend für alle metallische Barrierematerialien, die in dem beim Tempern genutzten Temperaturbereich keine Legierung mit Kupfer bilden und nur eine sehr geringe Löslichkeit in Kupfer besitzen. So kann z.B. an Stelle von Tantal bzw. Tantalnitrid auch Wolfram, Wolframnitrid, Titanwolfram, Titan oder Titanitrid als Barriere verwendet werden. Das Barrierematerial stammt alternativ auch aus einer nichtleitenden Barriere bzw. ist elektrisch nichtleitend. Es diffundiert dann das entsprechen-

de Element oder die entsprechende Komponente entlang der Grenzfläche und führt zu einer gleichmäßigen Verteilung an der Grenzfläche. Im übrigen lassen sich die an Hand der Figuren erläuterten Verfahren sowohl in Metallisierungsebenen durchführen, die mit einem Einfach-Damascene- oder mit einem Dual-Damascene-Verfahren hergestellt worden sind. Auch lassen sich die Verfahrensschritte anwenden, wenn "subtraktiv" erzeugte Leitbahnen benutzt werden d.h. z.B. durch RIE, lift-off, pattern plating oder ähnliches.

10

Die Aktivierung der Tantaldiffusion aus der Barriere kann nach unterschiedlichen Prozessstadien bei der Waferbearbeitung erfolgen, z.B.:

- 15 - nach dem Abdecken mit Siliziumnitrid oder einem anderen Dielektrikum, insbesondere aber vor dem Herstellen weiterer Metallisierungslagen der Schaltungsanordnung,
- nach der Fertigstellung einer bestimmten Metallisierungslage, insbesondere aber vor der Herstellung weiterer Metallisierungslagen,
- 20 - nach der Herstellung mehrerer Metallisierungslagen, aber noch vor der Herstellung weiterer Metallisierungslagen,
- nach der Herstellung aller Metallisierungslagen der Schaltungsanordnung, insbesondere aber noch vor der finalen Passivierung des Wafers, oder
- 25 - nach der finalen Passivierung des Wafers.

Die zuletzt genannte Vorgehensweise hat den Vorteil, dass die ohnehin vorgesehene finale Temperung und der Tempersschritt in einem einzigen Verfahren durchgeführt werden können. Der Aktivierungsschritt kann gegebenenfalls auch mit anderen Schritten vor Auslieferung des Bausteins zusammengelegt werden, z.B. mit einem sogenannten Burn-in-Schritt, bei dem die Schaltungsanordnung bei erhöhter Temperatur getestet oder stabilisiert wird.

35

Zur thermischen Aktivierung des Wafers bezüglich der Grenzflächendiffusion gibt es unter anderem die folgenden Möglichkeiten:

- 5 - Die thermische Aktivierung des Wafers oder von Einzelbausteinen bei Temperaturen größer 350°C bis 550°C mit Hilfe eines Ofenprozesses, insbesondere für unterschiedliche Zeiten,
- 10 - falls ein geringeres Temperaturbudget verwendet werden muss, um z.B. Transistoren, Metallisierungselemente oder Dielektrika vor Degradation zu bewahren, so können auch verschiedene Methoden zur selektiven Aufheizung der Leitbahnen bzw. zur selektiven Aufheizung von Randbereichen der Leitbahnen verwendet werden, unter anderem:
 - 15 - eine selektive Erwärmung der Leitbahn durch Mikrowellenanregung, bevorzugt im Bereich der Resonanzfrequenz einer Leitbahn. Die Resonanzfrequenzen sind längenabhängig und liegen im Bereich kleiner als 1000 GHz. Realisiert werden kann die Mikrowellenanregung z.B. mit Hilfe einer Wanderfeldröhre (Magnetron)
 - 20 oder eines Hohlraumresonators.
 - 25 - Die selektive Heizung der Metallstrukturen ist ebenfalls möglich, z.B. durch indirekte Heizung oder durch induktive Energieeinkopplung in den Wafer. Benötigte Frequenzen liegen im Bereich von 10 kHz bis
 - 30 1 MHz. Aufgrund der Leitbahndimensionen ist der Skin-effekt vernachlässigbar. In einem Sonderfall werden als "Heizdraht" oder als Spulenwicklung Strukturelemente verwendet, die bereits auf dem Wafer vorliegen. Beispielsweise aus den ohnehin in jeder Ebene benötigten metallischen Stützstellen aufgebaut oder aus Elementen, die dafür zusätzlich integriert werden.
 - 35 - Andere Methoden der selektiven Heizung nutzen optische Verfahren zur Energieeinspeisung. Die Selektivität kann z.B. durch eine räumliche Begrenzung des aktivierten Bereichs erreicht werden, beispielsweise durch eine lokale Erwärmung der Leitbahn mittels Laser oder durch Nutzung der bevorzugten Lichtabsorpti-

on und bevorzugten Aufheizung metallischer Strukturen im Vergleich zu Dielektrika, wie sie beispielsweise bei RTP-Verfahren (Rapid Thermal Processing) bekannt ist.

5

Bei den folgenden Ausführungsbeispielen gibt es bspw. zumindest in einigen Metallisierungslagen neben schmalen Leitbahnen mit minimaler Strukturbreite auch deutlich breitere Leitbahnen, die z.B. je nach Technologie und Designregel bis zu
10 25 μm breit sind. Die in den breiten Leitbahnen fließenden Ströme haben entweder eine vergleichsweise geringe Stromdichte im Vergleich zu den schmalen Bahnen oder bei Hochstromanwendungen sind die Stromdichten in den breiten Leitbahnen vergleichbar mit den Stromdichten in den schmalen Leitbahnen.
15 Werden an Stelle von Siliziumdioxid als Isoliermaterial sogenannte "Low-k-Dielektrika" verwendet, so sind diese thermisch sehr empfindlich. Im erstgenannten Fall ist der Diffusionsweg längs der Kupfer/Siliziumnitridgrenzfläche sehr lang und die benötigte Tantalmenge zur Absättigung der Grenzfläche ist
20 relativ groß. Im zweiten Fall muss das thermische Budget für die Aktivierung in zulässigen Grenzen gehalten werden. In solchen Fällen können unterstützend weitere Prozesse angewandt werden, die zusätzliche Tantalmenen direkt an die oder nahe an die spätere Kupfer/Siliziumnitridgrenzfläche bringen.
25 Dadurch wird insbesondere in diesen besonderen Fällen die gewünschte höhere Stromtragfähigkeit ohne Einschränkung sichergestellt. Die unterstützenden Prozesse werden im Folgenden an Hand der Figuren 2 bis 8B näher erläutert. Dabei werden sowohl unterstützende Prozesse erläutert, die eine lange
30 thermische Aktivierung voraussetzen als auch unterstützende Prozesse, die ohne eine solche bzw. mit einer kurzen thermische Aktivierung auskommen.

Die Figur 2 zeigt eine Herstellungsstufe eines Verfahrens,
35 bei dem die Grenzflächendiffusion durch nicht-konforme Abscheidung von Barrierematerial unterstützt wird. Eine Schaltungsanordnung 100b enthält zusätzlich zu einem nicht darge-

stellten Halbleitersubstrat eine Isolierlage 102b, z.B. aus Siliziumdioxid. Eine Aussparung für eine Kupferleitbahn 106b wird mit geringer Breite im Bereich von beispielsweise 130 nm bis 500 nm erzeugt. Um die Tantalbarriere bzw. die Tantalnitridbarriere an der Seitenwand der Leitbahn 106 durch den bei der späteren Temperung entstehenden Materialtransport nicht zu stark "auszudünnen", wird die für die Grenzflächendiffusion notwendige Tantalmenge bereits vorher durch eine gezielte Mehrabscheidung beim Aufbringen einer Barrierschicht 104b abgeschieden, beispielsweise durch Verwendung eines nicht konform ausgeführten PVD-Verfahrens (Physical Vapor Deposition). Dadurch wird der größte Teil des Materials im oberen Bereich der Aussparung bzw. des Trenches und damit nahe zu der Kupfer/ Siliziumnitrid-Grenzfläche, an der die schnellere Diffusion stattfindet, abgelagert. Die nicht-konforme Abscheidung lässt sich durch geeignete Wahl der Plasmaspannungen und der Gasflüsse bei dem PVD-Verfahren weiter unterstützen. Auch lässt sich ein Ausdünnen des Barrierematerials an den Seitenwänden der Leitbahn 106b oder ein zu hohes, „nicht-verträgliches“ Temperaturbudget dadurch vermeiden, dass zusätzlich "unterstützende" Prozesse verwendet werden, wie sie unten an Hand der Figuren 3 bis 8B erläutert werden.

Bei dem Verfahren gemäß Figur 2 ist die nichtkonforme Abscheidung der unterstützende Prozess. An die in Figur 2 dargestellte Herstellungsstufe schließt sich ein Planarisierungsschritt an, bei dem das über die Aussparung hinausragende Kupfer und Tantal mit Hilfe eines chemisch-mechanischen Polierverfahrens entfernt wird. Anschließend wird eine dielektrische Barrierschicht, z. B. eine Siliziumnitridschicht, abgeschieden. Danach wird bspw. Siliziumdioxid für die nächste Via- oder Metallisierungslage abgeschieden. Anschließend wird die lange Temperung mit Grenzflächendiffusion durchgeführt.

35

Wie in der Figur 3 dargestellt, wird eine Schaltungsanordnung 100c hergestellt, indem in eine Isolierlage 102c eine Ausspa-

rung für eine Leitbahn eingebracht wird. Es wird ganzflächig eine elektrisch leitfähige Barrierschicht 104c abgeschieden, z. B. eine Tantalschicht. Danach wird Kupfer abgeschieden und planarisiert, wobei auch Tantal außerhalb der Aussparung für eine Leitbahn 106c entfernt wird. Danach wird bei einer ersten Verfahrensvariante Tantal selektiv durch einen CVD-Prozess (Chemical Vapor Deposition) unter Verwendung von z.B. TaCl_5 oder von $\text{Ta}(\text{OC}_2\text{H}_5)_5$ und wasserstoffhaltigen oder anderen reduzierenden Gasen abgeschieden. Die selektive Abscheidung von Tantal durch CVD erfolgt beispielsweise bei 400°C.

Die metallische Kupferoberfläche ist unmittelbar nach dem CMP-Schritt und einem gegebenenfalls durchgeführten Säuberungsschritt besonders reaktiv und eine geeignete Oberfläche für die selektive Tantalabscheidung, weil an ihr Wasserstoff leicht dissoziiert und die Tantalabscheidung bei relativ niedrigen Temperaturen erfolgen kann.

Bei einer zweiten Verfahrensvariante wird nach dem CMP-Verfahren Tantal selektiv mit einer außenstromlosen Abscheidung aus einer Elektrolytlösung abgeschieden. Gegebenenfalls wird vorher ein Reinigungsschritt und eine Vorbehandlung sowie eine geeignete Aktivierung der Leitbahnoberfläche durchgeführt.

Bei beiden Verfahrensvarianten wird nach der selektiven Tantalabscheidung einer dielektrischen Barrierschicht, z.B. einer Siliziumnitridschicht, aufgebracht. Danach wird bspw. Siliziumdioxid für die nächste Isolierlage aufgebracht. Zu diesem Zeitpunkt oder zu einem späteren Zeitpunkt erfolgt das lange Tempern zum Hervorrufen der Grenzflächendiffusion.

Im Ausführungsbeispiel wird eine elektrisch leitfähige Barrierschicht mit einer Schichtdicke kleiner als 10 nm oder sogar mit einer Schichtdicke kleiner als 5 nm selektiv abgeschieden. Bei derart dünnen selektiv abgeschiedenen Schichten kann nicht gewährleistet werden, dass die Deckfläche der

Leitbahn 106c vollständig bedeckt ist. Insbesondere an Fehlstellen oder an verunreinigten Stellen, an denen sich beispielsweise schon Kupferoxide gebildet haben, gibt es Bereiche, die noch nicht mit Tantal bedeckt sind. Durch den langen
5 Temperschnitt wird erreicht, dass auch diese Bereiche mit Tantal bedeckt werden und so die Stromtragfähigkeit der Leitbahn 106c erheblich erhöhen.

Die Figur 4 zeigt einen weiteren "unterstützenden" Prozess.
10 Bei der Herstellung einer Schaltungsanordnung 100d wird in einer Isolierlage 102d eine Aussparung für eine Leitbahn 106d erzeugt. Nach dem Erzeugen der Aussparung wird eine Tantal-Barriereschicht 104d ganzflächig abgeschieden. Danach wird Kupfer galvanisch mit Hilfe einer Spannungsquelle abgeschie-
15 den. Bevor, gerade wenn oder unmittelbar nachdem die Aussparung vollständig mit Kupfer gefüllt ist, wird eine Hilfsschicht 200 aus elektrisch leitfähigem Barrierematerial, z. B. aus Tantal, abgeschieden, beispielsweise in einer Dicke von 30 nm bis 50 nm. Nach dem Abscheiden der Hilfsschicht 200
20 wird weiter Kupfer in der Aussparung abgeschieden, so dass Kupfer zwischen der Hilfsschicht 200 und der Öffnung 204 der Aussparung liegt. Anschließend wird ein CMP-Verfahren durchgeführt, um Kupfer und Tantal zu entfernen, das außerhalb der Aussparung liegt. Das CMP-Verfahren wird beim Erreichen der
25 Öffnung 204 der Aussparung beendet. Anschließend wird eine dielektrische Schicht, insbesondere eine Barriereschicht, z. B. eine Siliziumnitridschicht, abgeschieden und es wird der lange Temperschnitt mit Grenzflächendiffusion durchgeführt. Dabei diffundiert Barrierematerial 104d von den Seitenflächen
30 der Leitbahn 106d entlang der Grenzfläche zur Siliziumnitridschicht/Kupferleitbahn 106d. Außerdem diffundiert Material der Hilfsschicht 200 aus dem Innern der Leitbahn 106d entlang von Korngrenzen an die Grenzfläche Siliziumnitrid/Kupfer und verteilt sich an der Grenzfläche durch Grenzflächendiffusion.

35

Zur Abscheidung der Hilfsschicht 200 wird bei einer ersten Verfahrensvariante eine elektrolytische Abscheidung einer

stark tantalhaltigen Komponente aus einem Zweikomponenten-
elektrolysebad genutzt, das Kupferverbindungen und Tantalver-
bindungen enthält, insbesondere Komplexverbindungen. Durch
Veränderung der Galvanisierspannung lässt sich auf die Ab-
5 scheidung der Hilfsschicht 200 umschalten. Nach dem Abschei-
den einer ausreichend dicken Hilfsschicht wird die Spannung
wieder zurückgeschaltet, so dass wieder hauptsächlich Kupfer
abgelagert wird. Die Dicke der Hilfsschicht 200 lässt sich
beispielsweise über den Elektrolysestrom kontrollieren. Die
10 benötigten Elektrolyse-Spannungen lassen sich durch geeignete
Wahl der Komplexbildner und des pH-Wertes ausreichend unter-
schiedlich und in gut kontrollierbaren Bereichen einstellen.

Bei einer zweiten Verfahrensvariante werden zur Abscheidung
15 des Kupfers und zur Abscheidung der Hilfsschicht 200 getrenn-
te Elektrolysebäder in separaten Anlagen oder in zwei benach-
barten Kammern einer Mehrkammeranlage verwendet.

Die Figur 5 zeigt eine Herstellungsstufe eines "unterstützen-
20 den" Prozesses, bei dem zur Herstellung einer Schaltungsan-
ordnung 100e in einer Isolationsschicht 102e eine Aussparung
für eine Leitbahn 106e erzeugt wird. Nach dem Erzeugen der
Aussparung wird ganzflächig eine Barrierschicht 104e, z.B.
aus Tantal, abgeschieden. Danach wird Kupfer mit Hilfe eines
25 Verfahrens abgeschieden, bei dem im periodischen Wechsel
Kupfer abgeschieden und dann rein elektrochemisch oder mit
mechanischer Unterstützung partiell abgetragen wird. Bei-
spielsweise bietet die Firma Nutool ein solches Verfahren
unter dem Namen "ECMD" an. Die Anwendung eines solchen Ver-
30 fahrens führt zu einer planaren Kupferoberfläche mit einer
nur geringen durch CMP zu entfernenden Kupferschichtdicke
oberhalb der Öffnung der Aussparung für die Leitbahn 106e.
Beispielsweise liegt die Schichtdicke des Kupfers außerhalb
der Aussparung für die Leitbahn 106e in einem Bereich von
35 30 nm bis 60 nm, siehe Abstand A1. Nach dem Aufbringen des
Kupfers wird eine dünne Barrierschicht 250, z.B. aus Tantal,
ganzflächig aufgebracht, beispielsweise durch Sputtern. Die

Dicke der Tantalschicht 250 liegt beispielsweise im Bereich von 30 nm bis 50 nm.

Anschließend wird ein Eintreibschritt durchgeführt, bei dem
5 Material der Tantalschicht 250 entlang von Korngrenzen bis in die Nähe der Öffnung der Aussparung entlang von Korngrenzen diffundiert. Gegebenenfalls wird der Eintreibschritt so lange durchgeführt, bis eingetriebenes Barrierematerial mehr als 10 Nanometer oder mehr als 20 Nanometer innerhalb der Aussparung für die Leitbahn 106e liegt.
10

Nach dem Vortempersschritt wird ein CMP-Verfahren durchgeführt, bei dem Kupfer und Material der Tantalbarriere 104e außerhalb der Aussparung entfernt werden. Anschließend wird
15 eine dielektrische Barriereschicht, z.B. eine Siliziumnitridschicht, abgeschieden. Im weiteren Verlauf der Herstellung der Schaltungsanordnung 100e wird ein langer Haupttempersschritt mit Grenzflächendiffusion durchgeführt, bei dem Barrierematerial 252 an Korngrenzen im Innern der Leitbahn
20 106e an die Grenzfläche Kupfer/Siliziumnitrid austritt und dort an der Grenzfläche diffundiert. Außerdem tritt Grenzflächendiffusion von Barrierematerial auf, das aus der Tantalbarriere 104e stammt.

25 Die Figur 6 zeigt eine weitere Variante für einen "unterstützenden" Prozess bei der Herstellung einer Schaltungsanordnung 100f, die eine Isolierlage 102f enthält. In der Isolierlage 102f wird eine Aussparung für eine Leitbahn 106f mit Hilfe eines fotolithografischen Verfahrens erzeugt. In der Aussparung wird eine Barriereschicht 104f abgeschieden, z. B. eine
30 Tantalschicht. Danach wird Kupfer galvanisch abgeschieden und mit Hilfe eines CMP-Verfahrens bis zur Barriereschicht 104f planarisiert. Beim Erreichen der Barriereschicht 104f wird das CMP-Verfahren unterbrochen. Das Erreichen der Barriereschicht 104f wird beispielsweise durch eine Endpunkterfassung
35 automatisch erfasst und lässt sich auf einfache Art ermitteln. Anschließend wird eine dünne Tantalbarriere, beispiels-

weise mit einer Schichtdicke kleiner als 20 Nanometer oder kleiner als 5 Nanometer, aufgebracht. Geeignete Verfahren zum Aufbringen der Barrierschicht 300 sind CVD, PVD, elektrolytische Abscheidungen oder Implantationen.

5

Nach dem Aufbringen der Barrierschicht 300 wird eine Vortempering durchgeführt, bei der Material der Barrierschicht 300 entlang von Korngrenzen in die Leitbahn 106f eindringt, insbesondere in Bereiche, die mehr als 10 Nanometer oder mehr
10 als 20 Nanometer von der Öffnung der Aussparung für die Leitbahn 106f entfernt sind. Danach wird Material der Barrierschicht 106f außerhalb der Aussparung für die Leitbahn 106f mit Hilfe eines CMP-Verfahrens entfernt. Nach dem Abschluss des CMP-Verfahrens wird eine der Barrierschicht 108, entsprechende Barrierschicht, z.B. aus Siliziumnitridschicht,
15 abgeschieden. Im weiteren Verfahrensverlauf wird eine längere Temperung durchgeführt, bei der Barrierematerial der Barrierschicht 300 aus den Korngrenzen an die Grenzfläche Kupfer/Siliziumnitrid ausgetrieben wird und entlang dieser
20 Grenzfläche diffundiert. Zusätzlich tritt auch Grenzflächen-diffusion von Barrierematerial auf, das aus der Barrierschicht 104f stammt.

Die Figur 7 zeigt einen "unterstützenden" Prozess, bei dem
25 bei der Herstellung einer Schaltungsanordnung 100g eine Isolierschicht 102g aus Siliziumdioxid aufgebracht wird. In der Isolierschicht 102g wird eine Aussparung für eine Leitbahn 106g erzeugt. Nach dem Erzeugen der Aussparung wird eine elektrisch leitfähige Barrierschicht 104g ganzflächig abge-
30 schieden, beispielsweise eine Tantalschicht mit einer Schichtdicke im Bereich von 10 bis 30 nm. Danach wird Kupfer abgeschieden und es wird planarisiert, wobei Kupfer und Material der Barriere 104g außerhalb der Aussparung für die Leitbahn 106g entfernt werden. Nach dem Planarisieren wird eine
35 dünne Tantalschicht 350 ganzflächig aufgebracht, beispielsweise mit einer Schichtdicke kleiner als 10 nm oder sogar kleiner als 5 nm. Anschließend wird die Tantalschicht 350 mit

Hilfe eines fotolithografischen Verfahrens strukturiert, wobei ein Resistbereich 352 verwendet wird, der die Leitbahn 106g abdeckt. Nach dem Entfernen des Resists wird eine dielektrische Barrierschicht, z. B. eine Siliziumnitridschicht, abgeschieden. Nach dem Abscheiden der Siliziumnitridschicht wird im weiteren Verfahrensverlauf eine Temperung durchgeführt, durch die noch nicht bedeckte Bereiche der Deckfläche der Leitbahn 106g mit Barrierematerial aufgrund von Grenzflächendiffusion bedeckt werden.

10

Die Figuren 8A und 8B zeigen Herstellungsstufen bei der Herstellung einer integrierten Schaltungsanordnung 100h. Nach der Herstellung einer Isolierlage 102h und einer darin eingebetteten Vialeitstruktur 106h wird ganzflächig eine Barrierschicht 400 abgeschieden, beispielsweise eine Tantalschicht mit einer Schichtdicke im Bereich von 10 nm bis 50 nm. Nach dem Abscheiden der Barrierschicht 400 wird auf der Barrierschicht 400 eine Keimbildungsschicht aus Kupfer abgeschieden. Danach wird eine Resistschicht aufgebracht und strukturiert, wobei Resistbereiche 404 und 405 entstehen, zwischen denen eine Aussparung für eine Leitbahn 406 angeordnet ist, die anschließend mit Hilfe eines galvanischen Verfahrens durch selektive (lokale) Abscheidung in die Öffnung erzeugt wird. Die Resistbereiche 404 und 405 werden nach dem Erzeugen der Leitbahn 406 entfernt. Anschließend wird, wie in der Figur 8B gezeigt, eine dünne Barrierschicht 450 abgeschieden, die die Deckfläche der Leitbahn 406 und die Seitenflächen der Leitbahn 406 bedeckt. Die Barrierschicht 450 besteht beispielsweise aus Tantal und hat eine Schichtdicke von beispielsweise kleiner als 10 nm oder kleiner als 5 nm. Die Barrierschicht 450 wird beispielsweise mit einem CVD-Verfahren, mit einem PVD-Verfahren oder mit einem außenstromlosen galvanischen Verfahren abgeschieden. Nach dem Abscheiden der Barrierschicht 450 wird eine dielektrische Barrierschicht 452 abgeschieden, z. B. eine Siliziumnitridschicht, um an Bereichen der Leitbahn 406, die nicht von der Barrierschicht 450 bedeckt sind, eine Grenzfläche zu bilden.

35

Nach dem Abscheiden der Siliziumnitridschicht 452 wird eine längere Temperung durchgeführt, um auch die noch nicht von Tantal bedeckten Bereiche auf der Deckfläche der Leitbahn 406 oder an den Seitenflächen der Leitbahn 406 durch Grenzflächendiffusion von Tantal mit Tantal zu bedecken.

Danach wird mit Hilfe eines fotolithografischen Verfahrens oder mit Hilfe eines anisotropen Ätzverfahrens der auf der Isolierlage 102h angeordnete Schichtstapel aus der Siliziumnitridschicht 452, der Barriereschicht 450, der Keimbildungsschicht 402 und der Barriereschicht 400 entfernt. Die Leitbahn 406 bleibt also von einer Tantalschicht umgeben. Durch das lange Tempern wird die Barriereschicht 400 jedoch auch an der Grenze zwischen der Leitbahn 104h und der Leitbahn 406 gedünnt bzw. entfernt.

Bei weiteren Ausführungsbeispielen wird die Leitbahn 406 mit Hilfe eines Kupfer-RIE-Verfahrens (Reactive Ion Etching), mit Hilfe eines sogenannten Lift-Off-Verfahrens oder mit Hilfe eines anderen "subtraktiven" Verfahrens erzeugt.

Bei allen an Hand der Figuren 1 bis 8B erläuterten Varianten wird zusätzliches Tantal direkt an die oder nahe an die horizontale bzw. vertikale (Figur 8B) Kupfer/Dielektrikums-Grenzfläche gebracht. Durch eine nachfolgende kurze Aktivierung kann nahe an der Grenzfläche angeordnetes Material an die spätere Kupferschicht der Siliziumnitrid-Grenzfläche getrieben werden. In anderen Fällen wird erst die Siliziumnitrid-Deckschicht aufgebracht und das Barrierenmetall wird dann durch Diffusion längs der Kupfer/Dielektrikums-Grenzfläche verteilt. In allen Fällen, in denen ein "unterstützender" Prozess eingesetzt wird, kann das "unterstützend" eingebrachte Material auch von jenen in der verwendeten metallischen Diffusionsbarriere 104 verschieden sein.

Wird der "unterstützende" Prozessschritt geeignet gewählt, so liegt das zusätzlich aufgebrachte Tantal bereits gleich ver-

teilt an der gewünschten Stelle, nämlich unmittelbar an der Kupfer/Siliziumnitrid-Grenzfläche vor und der zusätzlich benötigte Aktivierungsschritt kann bei einem Final-Tempersschritt bei z.B. 430°C für 30 Minuten durchgeführt werden. In bestimmten Fällen ist dadurch für den langen Temperaturschritt keine zusätzliche Temperzeit erforderlich.

Die Figuren 9 bis 11 betreffen Ausführungsbeispiele, bei denen primär Barrierematerial vom Boden einer Vialeitstruktur bzw. zwischen zwei Leitstrukturen entfernt werden soll. Eine Kombination mit Verfahren, bei denen Tantal durch Grenzflächendiffusion aufgebracht wird, ist möglich und wird auch im Folgenden wiederholt angesprochen. Durch die an Hand der Figuren 9 bis 11 erläuterten Ausführungsbeispiele verringert sich der ohmsche Viawiderstand erheblich und die Stromtragfähigkeit des Vias steigt. In allen drei Ausführungsbeispielen wird zunächst eine ganzflächige Abscheidung einer elektrisch leitfähigen Diffusions-Barriereschicht durchgeführt. Zur Entfernung der Barriereschicht im Bereich des Via-/Bahn-Übergangs wird ein überraschend milder Temperprozess genutzt, bei dem das Barrierematerial in Kupfer oder längs von Grenzflächen, z.B. Kupfer/Tantal oder Kupfer/Siliziumnitrid, diffundiert.

Bei den Ausführungsbeispielen, bei denen Tempertemperaturen zwischen 400 und 500°C benutzt worden sind, wurden folgende Bedingungen eingehalten:

- Die Barriere bestand aus einer Doppelschicht Tantalnitrid/Tantal,
- die TaN_x -Komponente war unterstöchiometrisch, d.h. $X < 1$ bzw. $X < 0,75$,
- das Tantalmetall der Barriere lag zumindest teilweise als α -Tantal vor, d.h. als kubisch raumzentriertes Gitter,
- an der Kupfer/Tantal-Grenzfläche, d.h. an der Seitenwand und am Boden der Leitstrukturen, bildet sich eine amorphe, stark tantalreiche Zone, in der und aus der Tantal

bei überraschend milden thermischen Aktivierungen diffundiert, und

- keine Einschränkungen gibt es hier bei der Auswahl des Barrierematerials. Es kann, muss aber nicht, im in Frage kommenden Temperaturbereich beim Tempern Kupferlegierungen bilden oder kann eine endliche Löslichkeit in Kupfer aufweisen. Somit sind die Verfahren nicht nur auf Tantalbarrieren beschränkt.

Die Ausführungsbeispiele der Figuren 9 und 10 betreffen Dual-Damascene-Architekturen. Die angesprochenen Verfahren sind aber auch bei Einfach-Damascene-Architekturen oder wie in Figur 11 dargestellt, auch bei Leitbahnen nutzbar, die durch subtraktive Verfahren erzeugt worden sind, d.h. durch Lift-Off-Verfahren, durch Pattern-Plating oder durch Kupfer-RIE. Der Tempersschritt zum Entfernen des Barrierematerials lässt sich in oder nach unterschiedlichen Prozessstadien durchführen, siehe die oben für die Figuren 1 bis 8B erläuterten Möglichkeiten.

20

Es ergeben sich folgende Vorteile:

- Sichere, reproduzierbare und risikoarme Verfahrensweise, wobei der Viawiderstand verringert wird und sich die Elektromigrationsfestigkeit erhöht,
- es werden kostengünstige thermische Prozesse genutzt, die in der Regel ohne Investitionsbedarf bzw. ohne hohen Investitionsbedarf durchführbar sind,
- es werden kostengünstige Batchprozesse genutzt, und
- zusätzliche positive Auswirkungen treten an allen Schichten und Grenzflächen durch die lange Temperung auf.

30

Die thermische Aktivierung wird bei Temperaturen $\geq 350^\circ$ bis 550°C für unterschiedlich lange Zeiten durchgeführt, die im Wesentlichen von der Dicke der Barriereschicht abhängen. Die oben genannten Verfahren zum selektiven Erhitzen der metallischen Strukturen werden auch bei den Temperverfahren zum Entfernen von Barrierematerial angewendet.

35

Figur 9 zeigt eine Schaltungsanordnung 500 mit einem Substrat 501. Nach der Herstellung von integrierten Halbleiterbauelementen in dem Substrat 501 wurde eine Isolierlage 502 erzeugt, die Isoliermaterial 504 enthält, beispielsweise Siliziumdioxid. In der Isolierlage 502 wurde mit Hilfe eines Dual-Damascene-Verfahrens eine Leitbahn 506 aus Kupfer erzeugt. Anschließend wurde eine dielektrische Barrierschicht 508 abgeschieden, beispielsweise eine Siliziumnitridschicht in einer Schichtdicke von 50 nm. Anschließend werden eine Vialage 510 und eine Leitbahnlage 520 mit Hilfe eines Dual-Damascene-Verfahrens hergestellt. In einem Isoliermaterial 512 der Vialage 510 wird eine Aussparung 514 eingebracht. In ein Isoliermaterial 516 der Leitbahnlage 520 wird eine Aussparung 522 für eine Leitbahn 560 eingebracht. Zwischen der Vialage 510 und der Leitbahnlage 520 wird gegebenenfalls eine Ätzstoppschicht 518 angeordnet, z.B. eine Siliziumnitridschicht.

Figur 9 zeigt eine Herstellungsstufe, bei der die Aussparungen 514 und 522 noch nicht mit Kupfer gefüllt sind. Jedoch wurde schon ganzflächig eine Barrierschicht 530 abgeschieden, beispielsweise eine Tantalschicht mit einer Schichtdicke von 20 nm. Am Boden der Aussparung 514 hat sich dabei eine Barrierematerialschicht mit einer Schichtdicke von 10 nm abgelagert.

Nach dem Ablagern der Barrierschicht 530 und vor dem Auffüllen der Aussparung 514 und 522 mit Kupfer wird ein langer Tempersschritt durchgeführt, bei dem das Barrierematerial am Boden der Aussparung 514 in die Kupferleitbahn 506 entlang von Korngrenzen diffundiert. Außerdem tritt eine Grenzflächendiffusion des am Boden der Aussparung 514 angeordneten Barrierematerials entlang der Grenzfläche der Leitbahn 506 zu der dielektrischen Barrierschicht 508 auf. Im Ausführungsbeispiel wird die thermische Aktivierung in einem Ofen durchgeführt. Deshalb wird in einer Wasserstoffatmosphäre getem-

pert, wobei Stickstoff zugesetzt wird. Der Wasserstoffanteil hat eine reduzierende Wirkung und verhindert eine Oxidation des freigelegten Kupfers der Leitbahn 506. Der Stickstoffanteil dient einer Verdichtung der nicht beim Tempern entfernten Barrierschichten. Beispielsweise werden Formiergasgemische beim Tempern verwendet. Die Abkühlung wurde rasch durchgeführt, d.h. mit einer Abkühlungsrate größer als 50 Kelvin/Minute, um in Kupferkorngrenzen der Leitbahn 506 sitzendes Tantal dort "einzufrieren". Am Boden der Aussparung 514 war die Tantalbarriere typischerweise kleiner als 15 nm. Deswegen erfolgt die Auflösung der Tantalbarriere am Boden der Aussparung 514 vergleichsweise schnell. Die Tantal/Siliziumdioxidgrenzfläche ist bis zu 600°C stabil. Somit erfolgt an der Tantal/Siliziumdioxidgrenzfläche keinerlei Reaktion oder Diffusion. Es resultiert ein barrierefreier Via/Leitbahn-Übergang.

Außerdem gelten für das Ausführungsbeispiel der Figur 9 folgende weiteren positiven Aspekte:

- 20 - Durch die Verwendung von Stickstoff im Tempergas wird die Tantalbarriere bzw. die Tantalnitridbarriere an den Tantal/Siliziumdioxidgrenzflächen, insbesondere an den oberen Tantal/Siliziumdioxidgrenzflächen verdichtet. Dies ist besonders wichtig an Siliziumnitrid-Hinterschneidungskanten, die typischerweise Schwachstellen im Via oder am Boden der Leitbahn darstellen.
- Der Barriereabscheideprozess kann bewusst nicht konform eingestellt werden, z.B. mit bewusst geringer Tantal-Bedeckung am Viaboden, wodurch vergleichsweise kurze Temperzeiten erforderlich sind, und
- 30 - es sind kostengünstige Batch-Prozesse möglich, bei denen mehrere Wafer, beispielsweise mehr als 80 Wafer gleichzeitig getempert werden, so dass auch bei Temperzeiten von einer Stunde oder mehr ein hoher Durchsatz möglich ist.

Die Figur 10 zeigt eine Schaltungsanordnung 500b, die wie die Schaltungsanordnung 500 aufgebaut ist, so dass gleiche Elemente mit den gleichen Bezugszeichen, jedoch mit dem nachgestellten Kleinbuchstaben b gekennzeichnet sind. Bei der Herstellung der Schaltungsanordnung 500b wird im Unterschied zur Herstellung der Schaltungsanordnung 500 jedoch erst dann der längere Tempervorgang zum Entfernen des Barrierematerials 530b am Boden der Aussparung 514b bzw. der Vialeitstruktur 550b durchgeführt, wenn das Kupfermaterial für die Vialeitstruktur 550b und für die Leitbahn 560b abgeschieden ist. Außerdem wurde im Ausführungsbeispiel das Kupfermaterial bereits planarisiert und es wurde eine dielektrische Barrierschicht 750, z.B. eine Siliziumnitridschicht, abgeschieden.

Bei dem Ausführungsbeispiel gemäß Figur 10 diffundiert Barrierematerial zwischen der Vialeitstruktur 550b und der Leitbahn 506b während des langen Temperns sowohl entlang von Korngrenzen in die Leitbahn 506b als auch in die Vialeitstruktur 550b. Außerdem tritt wieder eine Grenzflächendiffusion entlang der Grenzfläche Kupfer/ Siliziumnitridschicht 508b auf.

Optional wird die Barrierschicht 530b nicht konform und dicker als benötigt abgeschieden. Ebenfalls optional ist ein partieller Re-Sputter-Schritt, der die Barriere auf den horizontalen Dielektrikumsflächen und am Viaboden dünnt und sie gleichzeitig an der unteren Viaseitenwand verdickt.

Bei dem Ausführungsbeispiel gemäß Figur 10 ergeben sich die folgenden technischen Wirkungen:

- Verwendung von Stickstoff im Tempergas bewirkt eine Verdichtung der Siliziumnitrid-Cap-Schicht 570 an den Kupfer/Siliziumnitrid-Grenzflächen und damit eine Stabilisierung und Qualitätsverbesserung dieser Grenzfläche,
- die Tantal/Siliziumdioxid-Grenzfläche ist bis 600°C stabil, hier erfolgt keinerlei Reaktion oder Diffusion,

- diese Vorgehensweise bewirkt gleichzeitig eine Verbesserung des Kupfer/Siliziumnitrid-Interfaces durch Tantal-Grenzflächendiffusion in den verschiedenen Ebenen, wie oben an Hand der Figuren 1 bis 8B erläutert,
- 5 - diese Variante wird besonders nach kompletter Herstellung aller Leitbahnebenen benutzt und muss dann nur einmal ausgeführt werden, und
- wird die Metallisierung nicht in Dual-Damascene-Technik, sondern in Einfach-Damascene-Technik hergestellt, lässt
10 sich das Verfahren gemäß diesem Ausführungsbeispiel ebenfalls einsetzen. Die Barriere baut sich dann an den Übergängen Via(n)/Leitbahn(n) bzw. Via(n)/Leitbahn(n+1) besonders schnell ab, weil die Korngrenzendiffusion dort in mehreren Richtungen möglich ist. Somit werden beide
15 Grenzflächen, die die Einfach-Damascene-Technik bietet, abgebaut. Es resultieren barrierefreie Via/Bahn-Übergänge.

Figur 11 zeigt eine Schaltungsanordnung 600, die ein Substrat
20 601 mit einer Vielzahl von Halbleiterbauelementen enthält. Die Schaltungsanordnung 600 enthält außerdem eine Isolierlage 602, die ein dielektrisches Material 604 erzeugt, in dem eine Kupferleitbahn 606 angeordnet ist. Nach dem Herstellen der Kupferleitbahn 606 mit einem Einfach-Damascene- oder mit
25 Hilfe eines Dual-Damascene-Verfahrens wurde eine dielektrische Barrierschicht 608 abgeschieden, beispielsweise eine Siliziumnitridschicht. Anschließend wurde für eine Vialage 610 Isoliermaterial 612 abgeschieden. Mit Hilfe eines Einfach-Damascene-Verfahrens wurde eine Vialeitstruktur 650
30 erzeugt, die an den Seitenwänden und am Boden an eine Barrierschicht 630 grenzt, beispielsweise an eine Tantalbarrierschicht mit einer Schichtdicke von 20 nm im oberen Bereich der Vialeitstruktur 650. Nach einem CMP-Schritt wurde eine dielektrische Barriere 670 abgeschieden, beispielsweise eine
35 Siliziumnitridschicht mit einer Schichtdicke von 50 nm. Danach wurde eine Barrierschicht 680 abgeschieden, beispielsweise eine Tantal-Barrierschicht mit einer Schichtdicke von

20 nm. Mit Hilfe eines "subtraktiven" Verfahrens wurde anschließend eine Leitbahn 690 erzeugt und mit einer Siliziumnitridschicht 700 an ihrer Deckfläche und an ihren Seitenflächen bedeckt. Optional ist zwischen der Siliziumnitridschicht
5 700 und der Leitbahn 690 eine Barrierschicht aus Tantal angeordnet, siehe die Erläuterungen zu den Figuren 8A und 8B.

Nach dem Erzeugen der Leitbahn 690 wird ein langer Temperschnitt durchgeführt, bei dem das Barrierematerial 630
10 zwischen der Vialleitstruktur 650 und der Leitbahn 606 entfernt wird. Außerdem wird bei diesem langen Temperschnitt Material der Barrierschicht 680 zwischen der Vialleitstruktur 650 und der Leitbahn 690 entfernt. Der Großteil des Barrierematerials diffundiert entlang von Korngrenzen der Leitbahn
15 606, der Vialleitstruktur 650 bzw. der Leitbahn 690. Jedoch werden insbesondere Randbereiche des zu entfernenden Barrierematerials auch durch Grenzflächendiffusion entlang der Kupfer/Siliziumnitrid-Grenzfläche der Leitbahn 606 bzw. der Barrierschicht/Siliziumnitrid-Grenzfläche der Barrierschicht 680 transportiert.
20

Bei dem Ausführungsbeispiel gemäß Figur 11 ergeben sich die gleichen Vorteile, die oben an Hand der Figuren 9 und 10 erläutert worden sind. Bei einem weiteren Ausführungsbeispiel
25 wird die diffusionsbedingte Entfernung des Barrierematerials von Tantal/Kupfer-Kontaktflächen mit den an Hand der Figuren 1 bis 8B erläuterten diffusionsbedingten Verbesserungen der Kupfer/Siliziumnitrid-Grenzfläche kombiniert. Dadurch lassen sich die erforderlichen thermischen Aktivierungsschritte mit
30 vertretbarem Temperaturbudget auch für empfindliche BEOL-Prozesse (Back End Of Line) durchführen.

Um die beschriebenen positiven Effekte zu erreichen, ist es nicht zwingend erforderlich, die Barriere am Viaboden bzw. an
35 der Viadeckfläche vollständig zu entfernen. Es genügt bereits eine partielle Entfernung, z.B. lokale Aufrisse, wenn dadurch ein partieller direkter Kupfer/Kupfer-Kontakt erreicht wird

- und dann bei Einsetzen der Elektromigration ein weitgehend unbehinderter Kupfer-Materialfluss erfolgen kann. Das benötigte thermische Budget zur weitestgehenden Entfernung der Barriere am Viaboden bzw. an der Viadeckfläche wird durch die Schichtdicke der Barriere an diesen Orten gesteuert. Eine Kombination der erläuterten Verfahren mit Re-Sputter-Schritten wird bei weiteren Ausführungsbeispielen durchgeführt. Durch das Re-Sputtern muss jedoch die Barriere am Viaboden nicht komplett entfernt, sondern nur gedünnt werden. Damit verbleibt die Barriereschicht auch an anderen horizontalen Stellen, z.B. am Boden einer Leitbahn. Durch das Re-Sputtern wird das am Viaboden abgetragene Material im unteren Bereich der Viaseitenwände deponiert, sodass dort die Schichtdicke erhöht wird. Dadurch wird verhindert, dass sich im unteren Bereich der Viaseitenwände die Barriere "auflöst" und hier ihre erforderliche Schutzwirkung verliert oder dass sie an anderen horizontalen Stellen (z.B. Boden der Leitbahn) durch einen zu langen Resputter-Schritt entfernt wird.
- Es wurde eine REM-Aufnahme einer Cu-MLM (Mehrlagenmetallisierung) nach einer Temperung bei 450°C für zehn Stunden untersucht. Bei einem Viadurchmesser am Viaboden von 500 nm war nach dieser Temperzeit eine zuvor vorhandene Barriere nicht mehr zu erkennen.
- Dem Entfernen von Barrierematerial und der Beschichtung mit Barrierematerial durch langes Tempern sind in den Ausführungsbeispielen u.a. gemeinsam:
- anfängliches Amorphisieren der zunächst kristallinen Ursprungs-Barriere,
 - und vor allen Dingen die Selbstjustierung der Verfahren, die keine Lithografieverfahren benötigt und prozesstechnisch sehr sicher ist.
- Die Dicke der amorphen Zone ist insbesondere kleiner als 10 Nanometer. Außerdem besteht die amorphe Zone zu mindestens 80 Atomprozent aus Barrierematerial. Die amorphe Zone ist bspw.

zwischen einer kristallinen Barriere und der kristallinen Cu-Leitstruktur angeordnet. Bei einem anderen Ausführungsbeispiel wurde die amorphe Barriere abgeschieden.

- 5 Bei einem anderen Ausführungsbeispiel werden für das diffundierte Barrierenmaterial, insbesondere für das grenzflächen-diffundierte Barrierematerial, auch elektrisch nicht leitfähige, d.h. dielektrische Barrieren, verwendet, z.B. Ta₂O₅, Al₂O₃, HfO₂ oder einer siliziumhaltigen Verbindung.
- 10 Temperzeiten für Grenzflächendiffusionsvorgänge werden nach der folgenden Formel berechnet:
- $$t(\text{min}) = l(\text{min})^2 / D$$
- t(min) = minimale Temperzeit, $D = D_0 \cdot \exp(E_a/kT)$; l(min) = ½ minimale Bahnbreite für Grenzflächendiffusion, und den abgeschätzten Konstanten: $D = 6 \cdot 10^{-17} \text{ cm}^2/\text{s}$; $E_a = 1,68 \text{ eV}$ für
- 15 Grenzflächen-Diffusion.

- Die gleiche Formel lässt sich auch für die Berechnung der Temperzeit für das Entfernen von Barrierematerial nutzen,
- 20 wobei $E_a = 1,82 \text{ eV}$ für Korngrenzendiffusion ist und die Temperzeit auch von der Anzahl der an die zu entfernende Barriere angrenzenden Korngrenzen abhängig ist.

Patentansprüche

1. Integrierte Schaltungsanordnung (500, 500b, 600),
mit einer elektrisch leitfähigen Leitstruktur (506, 550), die
5 gemäß einer Kornstruktur strukturiert ist,
dadurch gekennzeichnet, dass elektrisch leitfähiges Barriere-
material in einem Korngrenzenbereich der Leitstruktur (506)
angeordnet ist, der mindestens 5 Nanometer oder der mindes-
tens 10 Nanometer im Innern der Leitstruktur angeordnet ist.
- 10 2. Schaltungsanordnung (500, 500b) nach Anspruch 1, dadurch
gekennzeichnet, dass die Schaltungsanordnung (500) ein Sub-
strat (501) enthält, das eine Vielzahl von Halbleiterbauele-
menten enthält,
15 dass die Leitstruktur eine Leitbahn (506) ist, die zwischen
dem Substrat (501) und einer VIAleitstruktur (550) angrenzend
an die VIAleitstruktur (550) angeordnet ist,
dass eine Seitenwand der VIAleitstruktur (550, 550b) an eine
Barrierematerialschicht grenzt und dass zwischen der Via-
20 leitstruktur und der Leitbahn (506, 506b) keine Barrieremate-
rialschicht oder keine durchgehende Barrierematerialschicht
angeordnet ist, insbesondere keine Barrierematerialschicht
mit einer Dicke größer als 1 Nanometer.
- 25 3. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeich-
net, dass die VIAleitstruktur an eine substratferne Leitbahn
(560) grenzt, deren Bodenfläche an eine Barrierematerial-
schicht grenzt.
- 30 4. Schaltungsanordnung (600) nach Anspruch 1, dadurch gekenn-
zeichnet, dass die Schaltungsanordnung (600) ein Substrat
(601) enthält, das eine Vielzahl von Halbleiterbauelementen
enthält,
dass die Leitstruktur eine VIAleitstruktur (650) ist, die
35 zwischen dem Substrat (601) und einer Leitbahn (690) angren-
zend an die Leitbahn (690) angeordnet ist,

dass eine Bodenfläche der Leitbahn (690) an eine Barrierematerialschicht grenzt und dass zwischen der Vialeitstruktur und der Leitbahn (690) keine Barrierematerialschicht oder keine durchgehende Barrierematerialschicht angeordnet ist,
5 insbesondere keine Barrierematerialschicht mit einer Dicke größer als 1 Nanometer.

5. Schaltungsanordnung (600) nach Anspruch 4, dadurch gekennzeichnet, dass die Leitbahn (690) mindestens eines der folgenden Merkmale erfüllt:
10 die Breite der Leitbahn (690) ist größer als 20 Mikrometer, die Dicke der Leitbahn ist größer als 3 Mikrometer.

6. Schaltungsanordnung (500, 500b, 600) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass sich Barrierematerial kontinuierlich entlang einer Strecke größer als 5 Nanometer oder größer als 10 Nanometer in dem Korngrenzenbereich erstreckt.

20 7. Schaltungsanordnung (500, 500b, 600) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet dass, eine amorphe elektrisch leitfähige oder elektrisch isolierende Barrierematerialschicht angrenzend an die Leitstruktur (506, 550, 560, 650) angeordnet ist.

25 8. Integrierte Schaltungsanordnung (100), mit einer elektrisch leitfähigen Leitstruktur (106), gekennzeichnet durch ein amorphes Barrierematerial, die an der Leitstruktur (106) angeordnet ist.

30 9. Schaltungsanordnung (100) nach Anspruch 8, dadurch gekennzeichnet, dass an einer substratfernen Deckfläche der Leitstruktur (106) Barrierematerial ohne Überstand über ein sich unmittelbar seitlich der Leitstruktur befindendes Dielektrikum angeordnet ist,
35 oder dass entweder die Schaltungsanordnung eine polykristalline elektrisch leitfähige oder eine mikrokristalline elekt-

risch isolierende Barrierematerialschicht (104) enthält, die angrenzend an das amorphe Barrierematerial angeordnet ist, oder dass das amorphe Barrierematerial eine homogene Materialzusammensetzung hat und zwischen einem Dielektrikum und der
5 Leitbahn angrenzend an das Dielektrikum angeordnet ist.

10. Schaltungsanordnung (100) nach Anspruch 8 oder 9, dadurch gekennzeichnet, dass die Leitstruktur eine Leitbahn (106) ist, und dass die Leitbahn (106) abgesehen von Grenzen zu
10 anderen Leitstrukturen an außenliegenden Korngrenzen vollständig mit einem elektrisch leitfähigen Barrierematerial (104, 110) umgeben ist, wobei vorzugsweise barrierematerialfreie Bereiche abgesehen von Grenzen zu anderen Leitstrukturen an Außenflächen der
15 Leitbahn vorhanden sind.

11. Schaltungsanordnung (100) nach Anspruch 10, dadurch gekennzeichnet, dass an mindestens einer Seitenfläche der Leitbahn (106) eine Barrierschicht (104) mit einer Schichtdicke
20 größer 2 Nanometer oder größer 5 Nanometer angeordnet ist und dass an mindestens einer Deckfläche oder einer Bodenfläche der Leitbahn (106) eine Barrierschicht (110) mit einer Schichtdicke kleiner als 1 Nanometer angeordnet ist.

25 12. Schaltungsanordnung (100 500) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Leitstruktur (106, 506) aus Kupfer oder aus einer Kupferlegierung mit mindestens 90 Atomprozent Kupfer besteht,
oder dass die Leitstruktur (106, 506) aus Gold oder aus einer
30 Goldlegierung mit mindestens 90 Atomprozent Gold besteht.

13. Schaltungsanordnung (100 500) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Barrierematerial elektrisch leitfähig ist oder dass das Barrierematerial
35 bei Rückbeziehung auf Anspruch 8 ein dielektrisches Barrierematerial ist, vorzugsweise Tantal, Tantalnitrid, Titan, Ti-

tannitrid, Wolfram, Wolframnitrid, Titanwolfram, Tantaloxid, Aluminiumoxid oder Hafniumoxid ist,
oder dass das Barrierematerial aus einem Material besteht
oder ein Material enthält, das mit dem Leitbahnmaterial keine
5 Legierung bildet und das nicht oder nur geringfügig in dem
Leitbahnmaterial lösbar ist,
oder dass das Barrierematerial bei Rückbeziehung auf einen
der Ansprüche 1 bis 7 aus einem Material besteht oder ein
Material enthält, das mit dem Leitbahnmaterial Legierungen
10 bildet oder das darin löslich ist.

14. Verfahren zum Herstellen einer integrierten Schaltungsanordnung (500, 500b, 600),
bei dem einmal oder mehrmals getempert wird,
15 dadurch gekennzeichnet, dass durch das Tempern einer Barrierematerialschicht (530) zwischen einer VIAleitstruktur (550) und einer Leitbahn (506) entfernt, durchbrochen oder um mindestens 50 Prozent oder um mindestens 90 Prozent gedünnt wird.

20
15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, dass das Barrierematerial (530) auf mindestens eine der folgenden Arten entfernt wird:
durch Diffusion entlang von Korngrenzen einer Leitstruktur
25 (506),
durch Grenzflächendiffusion entlang einer Grenzfläche zwischen zwei verschiedenen Materialien (506, 508).

16. Verfahren nach Anspruch 14 oder 15, dadurch gekennzeichnet, dass das zu entfernende Barrierematerial in einer Dicke
30 bis zu 2 Nanometer vorliegt und dass in Summe mehr als 1,5 Stunde getempert wird,
oder dass das zu entfernende Barrierematerial in einer Dicke im Bereich von 2 Nanometern bis 5 Nanometer vorliegt und dass
35 in Summe mehr als 3 Stunden getempert wird,
wobei die Temperatur beim Tempern 430 Grad Celsius beträgt.

17. Verfahren nach einem der Ansprüche 14 bis 16, dadurch gekennzeichnet dass während des Temperns zu entfernendes Barrierematerial entlang von Korngrenzen um mindestens 5 Nanometer oder um mindestens 10 Nanometer transportiert wird.

5

18. Verfahren zum Herstellen einer integrierten Schaltungsanordnung (100),
bei dem einmal oder mehrmals getempert wird,
dadurch gekennzeichnet, dass Sekundär-Barrierematerial (110)
10 aus Ursprungs-Barrierematerial durch Grenzflächendiffusion entlang der Grenzfläche einer Leitstruktur (106) transportiert wird.

19. Verfahren nach Anspruch 18, dadurch gekennzeichnet, dass
15 das Sekundär-Barrierematerial (110) aus einer Ursprungs-Barriereschicht (104) ausdiffundiert, die an einer Seitenfläche der Leitstruktur (106) oder die an einer Grenze (530) zu einer Vialeitstruktur angeordnet ist oder die Teilbereiche der Fläche der Leitstruktur bedeckt, an der die Grenzflächendiffusion auftritt.
20

20. Verfahren nach Anspruch 19, dadurch gekennzeichnet, dass die Ursprungsbarriereschicht eine amorphe Schicht ist.

21. Verfahren nach einem der Ansprüche 18 bis 20, dadurch gekennzeichnet, dass durch zuvor durchgeführtes Tempern Ursprungs-Barrierematerial (200) aus dem Innern der Leitbahn (106d) an die Außenfläche der Leitbahn (106d) transportiert wird,
25
30 oder dass durch zuvor durchgeführtes Tempern Ursprungs-Barrierematerial (250, 300) aus einem elektrisch leitfähigen Hilfsbereich in einen Bereich der Leitbahn (106e, 106f) transportiert wird, in dem nach dem Entfernen des Hilfsbereiches die Außenfläche der Leitbahn (106e, 106f) liegt.

35

22. Verfahren nach einem der Ansprüche 18 bis 21, dadurch gekennzeichnet, dass die Transportstrecke des Barrieremateri-

als während des Temperns mit Grenzflächendiffusion größer als 10 Nanometer oder größer als 20 Nanometer ist.

23. Verfahren nach einem der Ansprüche 18 bis 22, dadurch gekennzeichnet, dass die Leitstruktur mindestens für eine Zeit getempert wird, die sich aus der folgenden Formel ergibt:

$$t = l^2/D$$

mit $D = D_0 \cdot \exp(E_a/kT)$; l = die Hälfte der minimalen Bahnbreite in der Schaltungsanordnung;
 $D = 6 \cdot 10^{-17} \text{ cm}^2/\text{s}$; $E_a = 1,68 \text{ eV}$ für Grenzflächendiffusion, k = Boltzmannkonstante, T = Temperatur, wobei die Temperatur T beim Tempern dabei größer als 420 Grad Celsius und kleiner als 510 Grad Celsius ist.

$\frac{1}{5}$

FIG 1

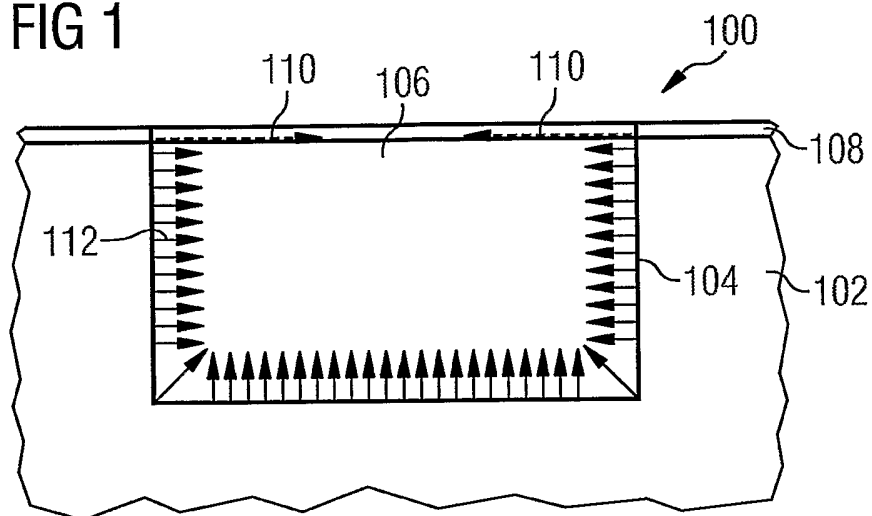


FIG 2

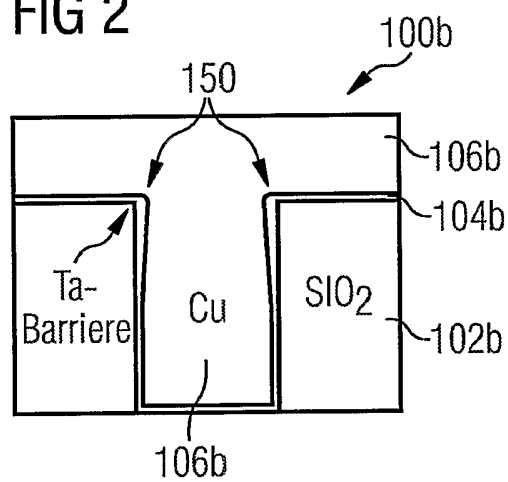
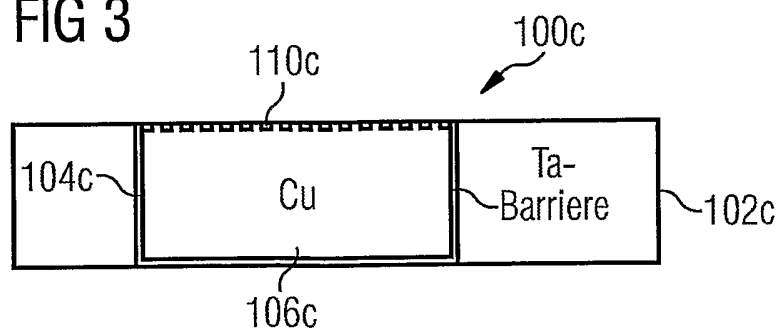


FIG 3



2/5

FIG 4

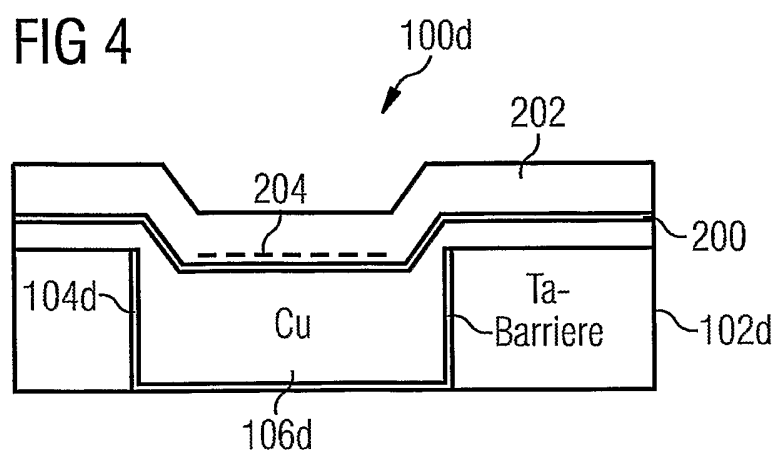


FIG 5

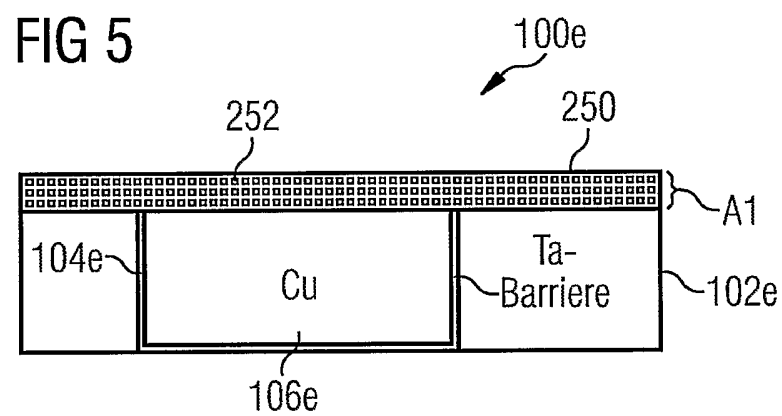
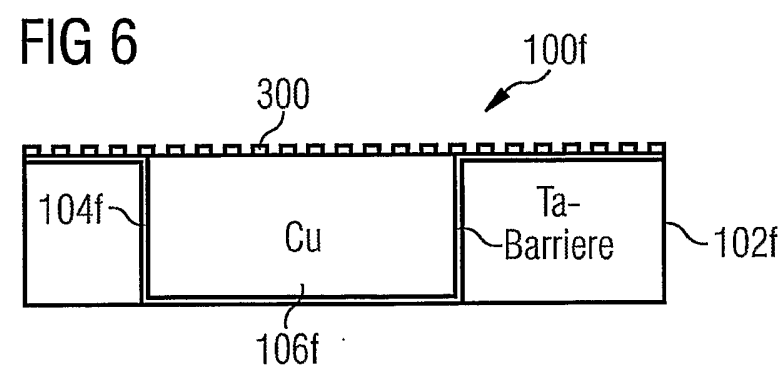


FIG 6



3/5

FIG 7

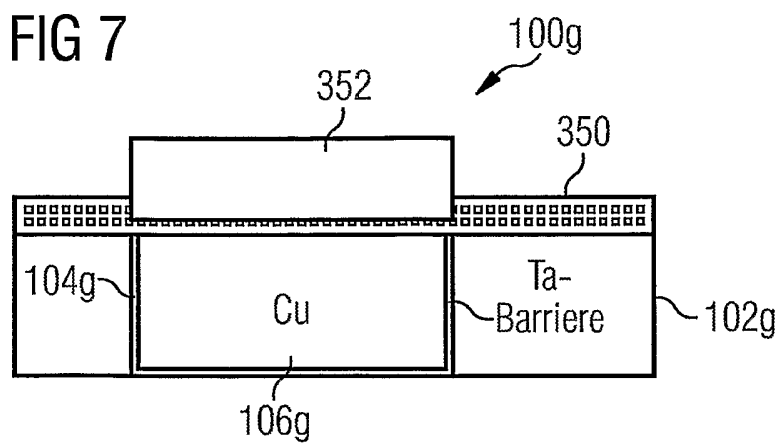


FIG 8A

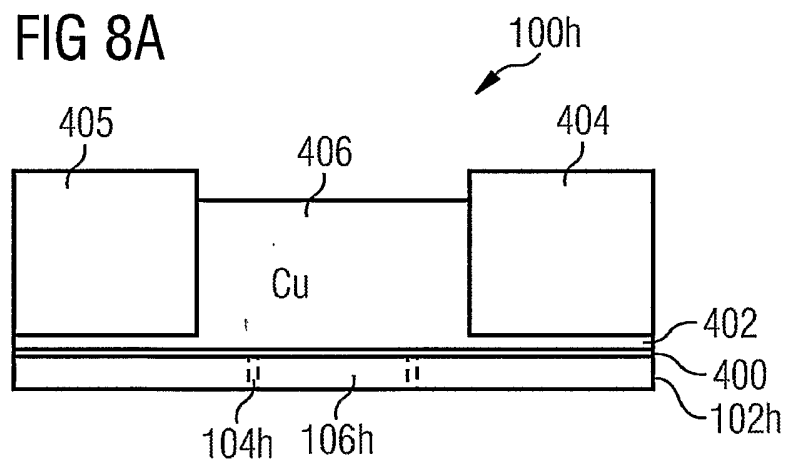


FIG 8B

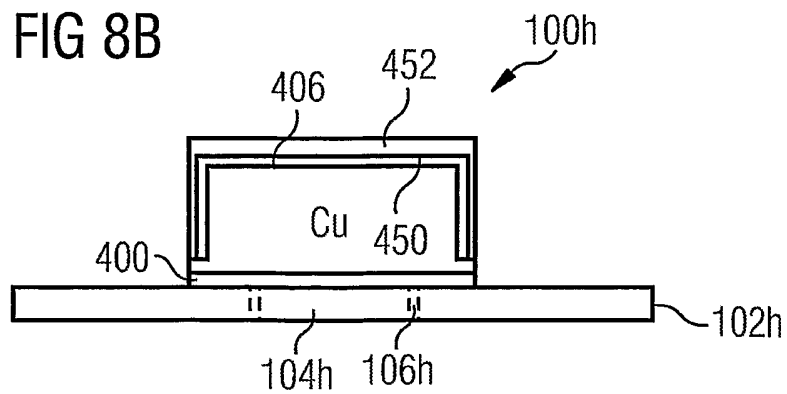


FIG 9

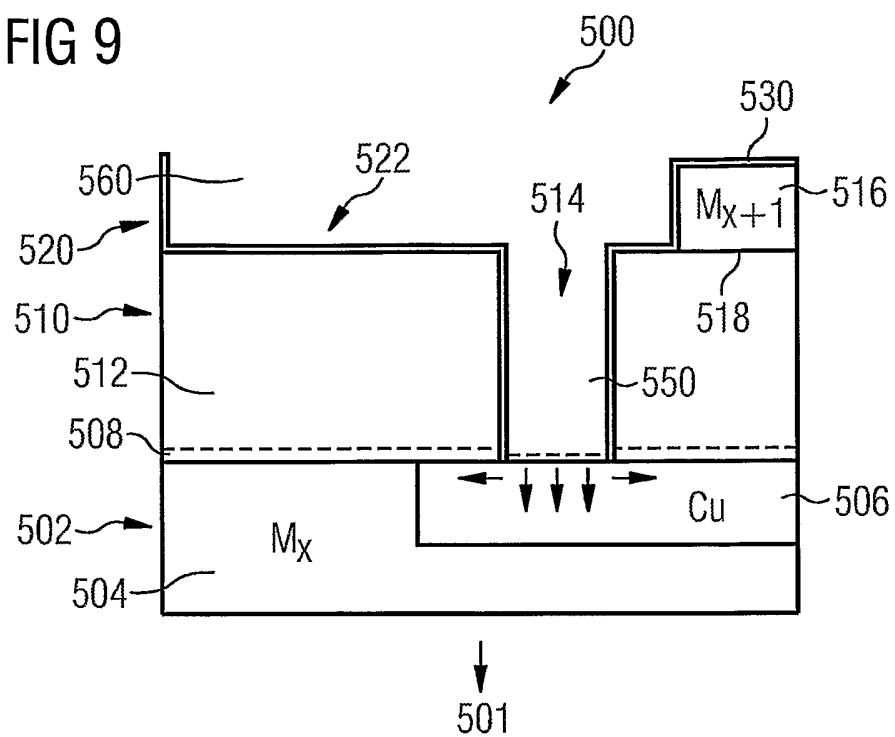
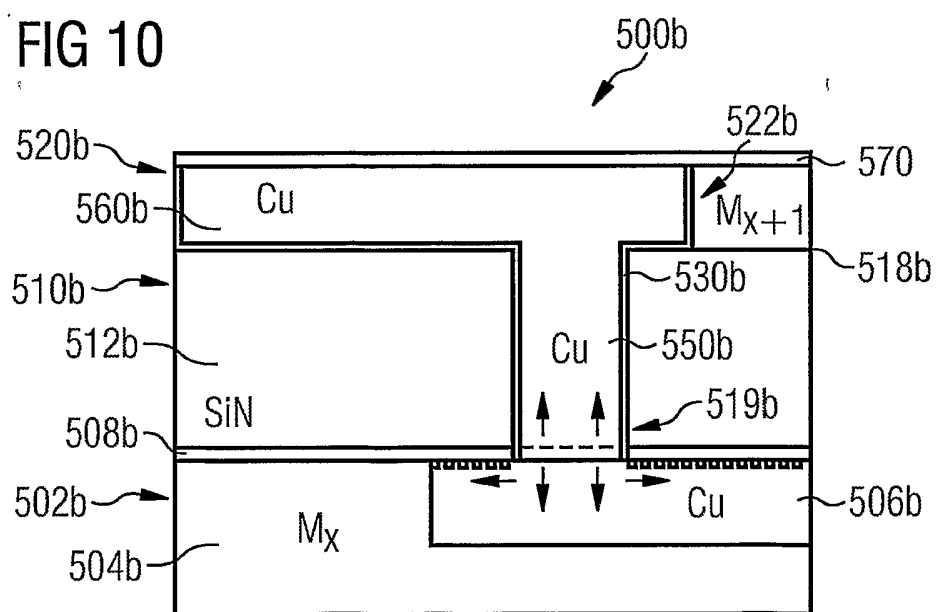
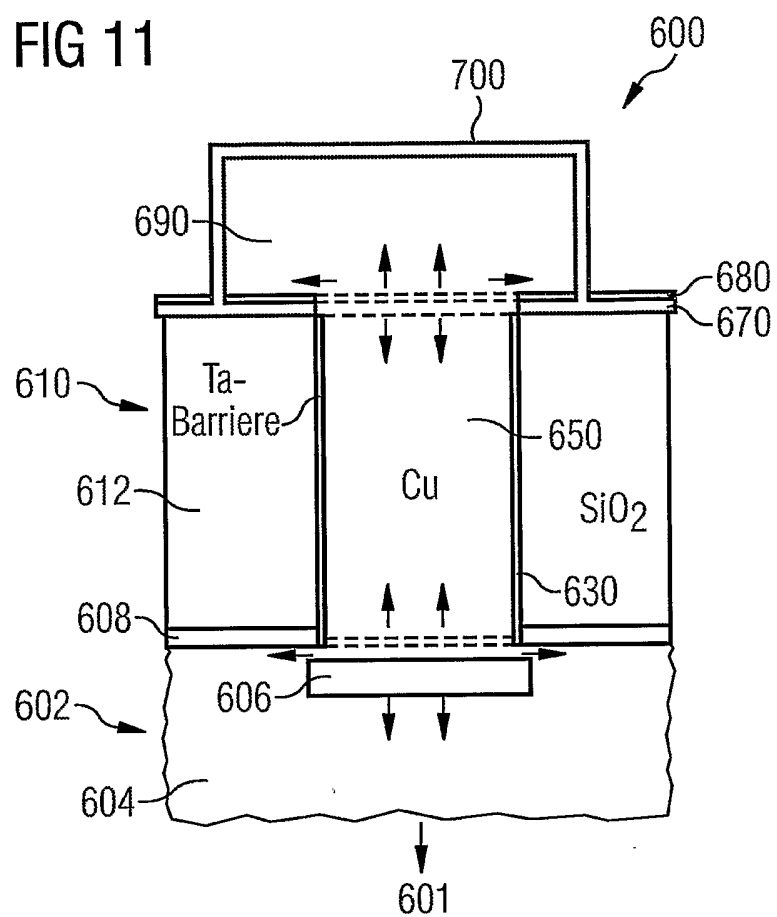


FIG 10



5/5

FIG 11



INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP2005/051808

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/768

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 150 723 A (HARPER ET AL) 21 November 2000 (2000-11-21)	1-4, 6, 14, 15
Y	column 1, line 66 - column 3, line 30	7
A	column 4, line 22 - column 5, line 32; figures 1-4	5
X	EP 0 421 735 A (KABUSHIKI KAISHA TOSHIBA) 10 April 1991 (1991-04-10) column 1, line 1 - column 2, line 6 column 3, line 20 - line 25 column 5, line 7 - column 8, line 1 column 9, line 25 - column 11, line 15 column 13, line 40 - column 14, line 25; claims 1,2; figures 2d-g, 3,4	1, 6, 14, 15, 17
	----- -/--	



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

° Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

27 September 2005

Date of mailing of the international search report

03 SEP 2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Micke, K

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP2005/051808

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 160 315 A (CHIANG ET AL) 12 December 2000 (2000-12-12) column 3, line 9 - column 4, line 64 column 5, line 18 - column 6, line 53 column 7, line 42 - column 8, line 67; figures 4,5,9	14,15
X	US 6 649 511 B1 (ACHUTHAN KRISHNASHREE ET AL) 18 November 2003 (2003-11-18) column 1, line 44 - line 46 column 3, line 28 - line 30 column 4, line 22 - column 5, line 51; figure 3	8-10,12, 13
X	US 6 228 759 B1 (WANG PIN-CHIN C ET AL) 8 May 2001 (2001-05-08) column 4, line 29 - column 7, line 24; figures 4-11	18,19
X	US 6 358 840 B1 (WANG PIN-CHIN C ET AL) 19 March 2002 (2002-03-19) column 4, line 4 - column 6, line 31; figures 3-6	18,19
Y	US 6 306 732 B1 (BROWN DIRK D) 23 October 2001 (2001-10-23)	7
A	column 1, line 10 - line 17 column 2, line 65 - column 3, line 54 column 5, line 22 - column 9, line 64 column 10, line 66 - column 13, line 4; figures 3,4,6ac,7c,10a-d	2-5
A	US 6 057 223 A (LANFORD ET AL) 2 May 2000 (2000-05-02) column 5, line 1 - column 8, line 15; figures 2-4	18-23

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2005/051808

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6150723	A	21-11-2000	CN 1213851 A	14-04-1999
			JP 3330546 B2	30-09-2002
			JP 11191676 A	13-07-1999
			SG 70654 A1	22-02-2000
			TW 404034 B	01-09-2000
			US 6300236 B1	09-10-2001
EP 0421735	A	10-04-1991	DE 69030229 D1	24-04-1997
			DE 69030229 T2	14-08-1997
			JP 2839579 B2	16-12-1998
			JP 3119727 A	22-05-1991
			KR 9410520 B1	24-10-1994
			US 5084412 A	28-01-1992
US 6160315	A	12-12-2000	US 6037257 A	14-03-2000
			US 2001034126 A1	25-10-2001
US 6649511	B1	18-11-2003	US 6498397 B1	24-12-2002
US 6228759	B1	08-05-2001	NONE	
US 6358840	B1	19-03-2002	NONE	
US 6306732	B1	23-10-2001	NONE	
US 6057223	A	02-05-2000	US 5766379 A	16-06-1998

INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2005 /051808**Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See Additional Sheet

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

PCT/ISA/210

International application No.

PCT/ EP2005/051808

Continuation of Box III

The International Searching Authority has found that the international application contains multiple (groups of) inventions, as follows:

1. Claims 1-7 and 14-17:

an integrated circuit arrangement, and a method for the production thereof, said arrangement having an electrically conductive primary structure, electrically conductive barrier material being arranged in a grain boundary region of said primary structure, which region is located at least 5nm or 10nm into the primary structure.

2. Claims 8-13 and 18-23:

an integrated circuit arrangement, and a method for the production thereof, said arrangement having an electrically conductive primary structure, amorphous barrier material being arranged thereupon.

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2005/051808

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H01L21/768

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RESEARCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, INSPEC

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 150 723 A (HARPER ET AL) 21. November 2000 (2000-11-21) Spalte 1, Zeile 66 - Spalte 3, Zeile 30	1-4, 6, 14, 15
Y	Spalte 4, Zeile 22 - Spalte 5, Zeile 32;	7
A	Abbildungen 1-4	5
X	EP 0 421 735 A (KABUSHIKI KAISHA TOSHIBA) 10. April 1991 (1991-04-10) Spalte 1, Zeile 1 - Spalte 2, Zeile 6 Spalte 3, Zeile 20 - Zeile 25 Spalte 5, Zeile 7 - Spalte 8, Zeile 1 Spalte 9, Zeile 25 - Spalte 11, Zeile 15 Spalte 13, Zeile 40 - Spalte 14, Zeile 25; Ansprüche 1,2; Abbildungen 2d-g,3,4	1, 6, 14, 15, 17
	----- -/-	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

° Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

27. September 2005

Absendedatum des internationalen Recherchenberichts

03 SEP 2005

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Micke, K

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2005/051808

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ^a	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 160 315 A (CHIANG ET AL) 12. Dezember 2000 (2000-12-12) Spalte 3, Zeile 9 - Spalte 4, Zeile 64 Spalte 5, Zeile 18 - Spalte 6, Zeile 53 Spalte 7, Zeile 42 - Spalte 8, Zeile 67; Abbildungen 4,5,9	14,15
X	US 6 649 511 B1 (ACHUTHAN KRISHNASHREE ET AL) 18. November 2003 (2003-11-18) Spalte 1, Zeile 44 - Zeile 46 Spalte 3, Zeile 28 - Zeile 30 Spalte 4, Zeile 22 - Spalte 5, Zeile 51; Abbildung 3	8-10,12,13
X	US 6 228 759 B1 (WANG PIN-CHIN C ET AL) 8. Mai 2001 (2001-05-08) Spalte 4, Zeile 29 - Spalte 7, Zeile 24; Abbildungen 4-11	18,19
X	US 6 358 840 B1 (WANG PIN-CHIN C ET AL) 19. März 2002 (2002-03-19) Spalte 4, Zeile 4 - Spalte 6, Zeile 31; Abbildungen 3-6	18,19
Y	US 6 306 732 B1 (BROWN DIRK D) 23. Oktober 2001 (2001-10-23)	7
A	Spalte 1, Zeile 10 - Zeile 17 Spalte 2, Zeile 65 - Spalte 3, Zeile 54 Spalte 5, Zeile 22 - Spalte 9, Zeile 64 Spalte 10, Zeile 66 - Spalte 13, Zeile 4; Abbildungen 3,4,6ac,7c,10a-d	2-5
A	US 6 057 223 A (LANFORD ET AL) 2. Mai 2000 (2000-05-02) Spalte 5, Zeile 1 - Spalte 8, Zeile 15; Abbildungen 2-4	18-23

INTERNATIONAL RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2005/051808

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6150723 A	21-11-2000	CN 1213851 A	14-04-1999
		JP 3330546 B2	30-09-2002
		JP 11191676 A	13-07-1999
		SG 70654 A1	22-02-2000
		TW 404034 B	01-09-2000
		US 6300236 B1	09-10-2001
EP 0421735 A	10-04-1991	DE 69030229 D1	24-04-1997
		DE 69030229 T2	14-08-1997
		JP 2839579 B2	16-12-1998
		JP 3119727 A	22-05-1991
		KR 9410520 B1	24-10-1994
		US 5084412 A	28-01-1992
US 6160315 A	12-12-2000	US 6037257 A	14-03-2000
		US 2001034126 A1	25-10-2001
US 6649511 B1	18-11-2003	US 6498397 B1	24-12-2002
US 6228759 B1	08-05-2001	KEINE	
US 6358840 B1	19-03-2002	KEINE	
US 6306732 B1	23-10-2001	KEINE	
US 6057223 A	02-05-2000	US 5766379 A	16-06-1998

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2005/051808

Feld II Bemerkungen zu den Ansprüchen, die sich als nicht recherchierbar erwiesen haben (Fortsetzung von Punkt 2 auf Blatt 1)

Gemäß Artikel 17(2)a) wurde aus folgenden Gründen für bestimmte Ansprüche kein Recherchenbericht erstellt:

1. ☐ Ansprüche Nr.
weil sie sich auf Gegenstände beziehen, zu deren Recherche die Behörde nicht verpflichtet ist, nämlich

2. ☐ Ansprüche Nr.
weil sie sich auf Teile der internationalen Anmeldung beziehen, die den vorgeschriebenen Anforderungen so wenig entsprechen, daß eine sinnvolle internationale Recherche nicht durchgeführt werden kann, nämlich

3. ☐ Ansprüche Nr.
weil es sich dabei um abhängige Ansprüche handelt, die nicht entsprechend Satz 2 und 3 der Regel 6.4 a) abgefaßt sind.

Feld III Bemerkungen bei mangelnder Einheitlichkeit der Erfindung (Fortsetzung von Punkt 3 auf Blatt 1)

Die internationale Recherchenbehörde hat festgestellt, daß diese internationale Anmeldung mehrere Erfindungen enthält:

siehe Zusatzblatt

1. ☒ Da der Anmelder alle erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht auf alle recherchierbaren Ansprüche.

2. ☐ Da für alle recherchierbaren Ansprüche die Recherche ohne einen Arbeitsaufwand durchgeführt werden konnte, der eine zusätzliche Recherchegebühr gerechtfertigt hätte, hat die Behörde nicht zur Zahlung einer solchen Gebühr aufgefordert.

3. ☐ Da der Anmelder nur einige der erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht nur auf die Ansprüche, für die Gebühren entrichtet worden sind, nämlich auf die Ansprüche Nr.

4. ☐ Der Anmelder hat die erforderlichen zusätzlichen Recherchegebühren nicht rechtzeitig entrichtet. Der internationale Recherchenbericht beschränkt sich daher auf die in den Ansprüchen zuerst erwähnte Erfindung; diese ist in folgenden Ansprüchen erfaßt:

Bemerkungen hinsichtlich eines Widerspruchs

- ☒ Die zusätzlichen Gebühren wurden vom Anmelder unter Widerspruch gezahlt.
- ☐ Die Zahlung zusätzlicher Recherchegebühren erfolgte ohne Widerspruch.

WEITERE ANGABEN

PCT/ISA/ 210

Die internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere (Gruppen von) Erfindungen enthält, nämlich:

1. Ansprüche: 1-7,14-17

Integrierte Schaltungsanordnung, und Verfahren zu deren Herstellung, mit einer elektrisch leitfähigen Leitstruktur, wobei elektrisch leitfähiges Barrierematerial in einem Korngrenzenbereich der Leitstruktur angeordnet ist, der mindestens 5 oder 10nm im Innern der Leitstruktur angeordnet ist.

2. Ansprüche: 8-13,18-23

Integrierte Schaltungsanordnung, und Verfahren zu deren Herstellung, mit einer elektrisch leitfähigen Leitstruktur, wobei amorphes Barrierematerial an der Leitstruktur angeordnet ist.
