

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年9月2日(2005.9.2)

【公開番号】特開2004-118940(P2004-118940A)

【公開日】平成16年4月15日(2004.4.15)

【年通号数】公開・登録公報2004-015

【出願番号】特願2002-281205(P2002-281205)

【国際特許分類第7版】

G 1 1 C 16/02

【F I】

G 1 1 C 17/00 6 0 1 T

G 1 1 C 17/00 6 4 1

G 1 1 C 17/00 6 1 1 A

【手続補正書】

【提出日】平成17年2月23日(2005.2.23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリセルと、

前記メモリセルの一端に接続されるピット線と、

前記ピット線に接続され、前記メモリセルに関するプログラムデータ又はリードデータを一時的に記憶するデータ回路とを具備し、

前記データ回路は、第1、第2及び第3データ記憶部と、前記第1及び第3データ記憶部の間に接続される第1データ転送回路と、前記第2及び第3データ記憶部の間に接続される第2データ転送回路とを有し、

前記第1データ記憶部は、前記ピット線に接続され、前記第2データ記憶部は、自らが記憶するデータに基づいて、前記第1データ記憶部のデータを強制的に変更する機能を有することを特徴とする不揮発性半導体メモリ。

【請求項2】

前記第1及び第2データ記憶部は、キャパシタにより構成されることを特徴とする請求項1記載の不揮発性半導体メモリ。

【請求項3】

前記第2データ記憶部は、ゲートが前記第2データ転送回路に接続されるMOSトランジスタにより構成され、前記MOSトランジスタのドレインと前記第1データ記憶部との間には、第3データ転送回路が接続され、

前記データ回路は、カラム選択スイッチを経由してデータ線に接続される第4データ記憶部と、前記第1及び第4データ記憶部の間に接続される第4データ転送回路とをさらに有し、

前記データ回路内における前記リードデータの移動を制御する制御回路をさらに備え、

前記メモリセルが4つの状態を持つ場合に、前記制御回路は、第1リード電位で前記メモリセルから読み出した第1リードデータを前記第3データ記憶部に記憶させる手段と、前記第1リードデータを前記第3データ記憶部から前記第2データ記憶部に転送させる手段と、第2リード電位で前記メモリセルから読み出した第2リードデータを前記第1データ記憶部に記憶させる手段と、前記第2データ記憶部に記憶された前記第1リードデータに

基づいて、前記第1データ記憶部に記憶された前記第2リードデータの値を強制的に変更させる手段と、前記第2リードデータを前記1データ記憶部から前記第4データ記憶部に転送させる手段とから構成されることを特徴とする請求項1記載の不揮発性半導体メモリ。

【請求項4】

前記第2データ記憶部は、ゲートが前記第2データ転送回路に接続されるMOSトランジスタにより構成され、前記MOSトランジスタのドレインと前記第1データ記憶部との間には、第3データ転送回路が接続され、

前記データ回路は、カラム選択スイッチを経由してデータ線に接続される第4データ記憶部と、前記第1及び第4データ記憶部の間に接続される第4データ転送回路とをさらに有し、

前記データ回路内における前記プログラムデータの移動を制御する制御回路をさらに備えることを特徴とする請求項1記載の不揮発性半導体メモリ。

【請求項5】

前記制御回路は、前記プログラムデータを前記第4データ記憶部に記憶させる手段と、前記プログラムデータを前記第4データ記憶部から前記第3データ記憶部に転送させる手段と、前記プログラムデータを前記第3データ記憶部から前記第2データ記憶部に転送させる手段とから構成されることを特徴とする請求項4記載の不揮発性半導体メモリ。

【請求項6】

前記メモリセルが2ビットデータを記憶する機能を有し、かつ、そのうちの1ビットデータが既に前記メモリセルに記憶されている場合に、前記制御回路は、前記プログラムデータを前記第4データ記憶部から前記第3データ記憶部に転送させた後に、前記第4データ記憶部の状態をリセットする手段と、前記メモリセルに記憶された前記1ビットデータを前記第4データ記憶部に読み出す手段とから構成されることを特徴とする請求項5記載の不揮発性半導体メモリ。

【請求項7】

前記第2及び第3データ記憶部に前記プログラムデータが記憶され、ライト動作時に、前記第3データ記憶部に記憶された前記プログラムデータの値に基づいて、前記メモリセルの閾値電圧を変動させるか否かを決定する場合に、前記制御回路は、ベリファイリードにより前記リードデータを前記第1データ記憶部に記憶させる手段と、前記第2データ記憶部に記憶された前記プログラムデータの値に応じて、前記第1データ記憶部に記憶された前記リードデータの値を強制的に変更させる手段と、前記第1データ記憶部に記憶された前記リードデータを、前記プログラムデータとして前記第3データ記憶部に記憶させる手段とを具備することを特徴とする請求項1記載の不揮発性半導体メモリ。

【請求項8】

電気的に書換可能な不揮発性半導体メモリセルと、

前記メモリセルに繋がるビット線と、

前記メモリセルのデータを読み出すための読み出し回路とを備え、

さらに、前記読み出し回路は、ビット線と繋がる第1のデータ記憶部と、前記第1のデータ記憶部のデータを自身が記憶しているデータに従って書換える機能を有する第2のデータ記憶部と、前記第1のデータ記憶部のデータを読み出す機能を有する第3のデータ記憶部と、前記第3のデータ記憶部のデータを前記第2のデータ記憶部に転送するデータ転送回路とを備え、

前記メモリセルのデータを前記ビット線を介して前記第1のデータ記憶部に読み出し、前記第2のデータ記憶部のデータに従って前記第1のデータ記憶部の読み出しデータを書換え、その後、前記第3のデータ記憶部のデータを前記第2のデータ記憶部に転送し、さらに、その後、前記第3のデータ記憶部で前記第1のデータ記憶部のデータを読み出す読み出し制御回路をさらに備える

ことを特徴とする不揮発性半導体メモリ。