

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4703764号
(P4703764)

(45) 発行日 平成23年6月15日(2011.6.15)

(24) 登録日 平成23年3月18日(2011.3.18)

(51) Int.Cl. F I
G06F 12/16 (2006.01) G06F 12/16 310A

請求項の数 22 (全 33 頁)

(21) 出願番号	特願2009-296094 (P2009-296094)	(73) 特許権者	000003078
(22) 出願日	平成21年12月25日(2009.12.25)		株式会社東芝
(62) 分割の表示	特願2008-114230 (P2008-114230) の分割		東京都港区芝浦一丁目1番1号
原出願日	平成20年4月24日(2008.4.24)	(74) 代理人	100108855
(65) 公開番号	特開2010-67284 (P2010-67284A)		弁理士 蔵田 昌俊
(43) 公開日	平成22年3月25日(2010.3.25)	(74) 代理人	100091351
審査請求日	平成21年12月25日(2009.12.25)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 メモリシステムの制御方法

(57) 【特許請求の範囲】

【請求項1】

データ消去の単位であるブロックを複数個有する不揮発性メモリを含むメモリシステムの制御方法であって、

各ブロックのデータが消去された消去時期を計測する工程と、

ブロックごとに、空き状態或いは使用中状態を示す状態値と前記消去時期とを対応付けるブロックテーブルを作成する工程と、

短期的に書き換えが集中したブロックを検出する工程と、

前記ブロックテーブルの情報に基づいて、空き状態かつ消去時期が古い第1のブロックを選択する工程と、

前記ブロックテーブルの情報に基づいて、使用中状態かつ消去時期が古い第2のブロックを選択する工程と、

前記第1のブロックが前記検出されたブロックに含まれる場合に、前記第2のブロックのデータを前記第1のブロックに移動する工程と、

を具備することを特徴とするメモリシステムの制御方法。

【請求項2】

前記第1のブロックを選択する工程は、前記第2のブロックから前記第1のブロックへデータが移動された場合に、再度、ブロックの選択を行うことを特徴とする請求項1に記載のメモリシステムの制御方法。

【請求項3】

各ブロックの消去回数をカウントする工程をさらに具備し、

前記ブロックテーブルは、前記消去回数を格納することを特徴とする請求項 1 又は 2 に記載のメモリシステムの制御方法。

【請求項 4】

前記第 1 のブロックが前記検出されたブロックに含まれる場合、或いは前記第 1 のブロックと前記第 2 のブロックとの消去回数の差が閾値を超えた場合に、前記第 2 のブロックのデータを前記第 1 のブロックに移動することを特徴とする請求項 3 に記載のメモリシステムの制御方法。

【請求項 5】

前記検出する工程は、ブロック間の消去時期の差が大きい境界を検出し、この境界より消去時期が新しいブロックを短期的に書き換えが集中したブロックとして検出することを特徴とする請求項 1 乃至 4 のいずれかに記載のメモリシステムの制御方法。

10

【請求項 6】

前記ブロックテーブルは、短期的に書き換えが集中したブロックであるか否かを示すフラグを格納することを特徴とする請求項 1 乃至 5 のいずれかに記載のメモリシステムの制御方法。

【請求項 7】

前記検出する工程は、

使用中状態のブロックのうちで、任意の第 3 のブロックと、前記第 3 のブロックの次に消去時期が新しい第 4 のブロックとの消去時期の差を算出する工程と、

20

この差が所定間隔より大きい場合に、全ブロックのうちで前記第 4 のブロックより消去時期が新しいブロックを検出する工程とを含むことを特徴とする請求項 1 乃至 6 のいずれかに記載のメモリシステムの制御方法。

【請求項 8】

前記算出する工程は、使用中状態のブロックの情報を消去時期順に整列し、前記整列された情報に基づいて、前記第 3 のブロックと前記第 4 のブロックとの消去時期の差を算出することを特徴とする請求項 7 に記載のメモリシステムの制御方法。

【請求項 9】

前記検出する工程は、

使用中状態のブロックに対して現在時刻と消去時期との差を算出する工程と、

30

この差が閾値を越えたブロックのうち消去時期が最も新しい第 5 のブロックを判定する工程と、

全ブロックのうちで前記第 5 のブロックより消去時期が新しいブロックを検出する工程とを含むことを特徴とする請求項 1 乃至 6 のいずれかに記載のメモリシステムの制御方法。

【請求項 10】

前記算出する工程は、使用中状態のブロックの情報を消去時期順に整列し、前記整列された情報に基づいて、現在時刻とブロックの消去時期との差が閾値を越えたか否かを判定することを特徴とする請求項 9 に記載のメモリシステムの制御方法。

【請求項 11】

40

前記第 1 のブロックは、空き状態かつ消去時期が最も古いことを特徴とする請求項 1 乃至 10 のいずれかに記載のメモリシステムの制御方法。

【請求項 12】

前記第 1 のブロックは、空き状態かつ消去時期が最も古い方から一定数のブロックのうちで、消去回数が最も少ないことを特徴とする請求項 1 乃至 10 のいずれかに記載のメモリシステムの制御方法。

【請求項 13】

前記第 1 のブロックは、空き状態かつ消去時期が最も古い方から一定割合数のブロックのうちで、消去回数が最も少ないことを特徴とする請求項 1 乃至 10 のいずれかに記載のメモリシステムの制御方法。

50

【請求項 14】

前記第1のブロックは、空き状態かつ消去時期が一定時期より古いブロックのうちで、消去回数が最も少ないことを特徴とする請求項1乃至10のいずれかに記載のメモリシステムの制御方法。

【請求項 15】

前記第2のブロックは、使用中状態かつ消去時期が最も古いことを特徴とする請求項1乃至14のいずれかに記載のメモリシステムの制御方法。

【請求項 16】

前記第2のブロックは、使用中状態かつ消去時期が最も古い方から一定数のブロックのうちで、消去回数が最も少ないことを特徴とする請求項1乃至14のいずれかに記載のメモリシステムの制御方法。

10

【請求項 17】

前記第2のブロックは、使用中状態かつ消去時期が最も古い方から一定割合数のブロックのうちで、消去回数が最も少ないことを特徴とする請求項1乃至14のいずれかに記載のメモリシステムの制御方法。

【請求項 18】

前記第2のブロックは、使用中状態かつ消去時期が一定時期より古いブロックのうちで、消去回数が最も少ないことを特徴とする請求項1乃至14のいずれかに記載のメモリシステムの制御方法。

【請求項 19】

前記不揮発性メモリから読み出されたデータの誤り数を算出する工程をさらに具備し、前記ブロックテーブルは、ブロックごとに誤り数を格納し、前記第2のブロックは、使用中状態かつ誤り数が一定数より多いブロックのうちで、消去回数が最も少ないことを特徴とする請求項1乃至14のいずれかに記載のメモリシステムの制御方法。

20

【請求項 20】

前記計測する工程は、全てのブロックにおいて実行される通算消去回数をカウントし、前記消去時期は、前記通算消去回数に対応することを特徴とする請求項1乃至19のいずれかに記載のメモリシステムの制御方法。

【請求項 21】

前記計測する工程は、各ブロックが消去された時刻を計測し、前記消去時期は、前記時刻に対応することを特徴とする請求項1乃至19のいずれかに記載のメモリシステムの制御方法。

30

【請求項 22】

前記計測する工程は、各ブロックが消去されたときの当該メモリシステムの通電時間を計測し、

前記消去時期は、前記通電時間に対応することを特徴とする請求項1乃至19のいずれかに記載のメモリシステムの制御方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、メモリシステムの制御方法に係り、例えばNAND型フラッシュメモリを備えたメモリシステムの制御方法に関する。

【背景技術】

【0002】

近年、不揮発性半導体メモリは、大型コンピュータから、パーソナルコンピュータ、家電製品、携帯電話等、様々な用途で利用されている。この不揮発性半導体メモリの一種としては、電氣的に書き換えが可能であり、不揮発性、大容量化、高集積化が可能なNAND型フラッシュメモリが知られている。近年では、このNAND型フラッシュメモリは、ハードディスクドライブ(HDD)の置き換えとしても考えられている。

50

【 0 0 0 3 】

NAND型フラッシュメモリは、書き込みを行う前に消去処理が必要な不揮発性半導体メモリであり、その寿命は、書き換え回数に依存している。NAND型フラッシュメモリのデータの書き込み/消去は、基板 - 制御ゲート間に高電圧を印加することにより、電荷蓄積層（例えば、浮遊ゲート）に電子を注入/放出させる。これを多数回行うと浮遊ゲート周りのゲート酸化膜が劣化してしまい、浮遊ゲートに注入した電子が時間の経過とともに抜けていき、結果として、データが破壊されてしまう可能性がある。すなわち、書き換え回数が増えると、書き換えをしてからデータを保持（リテンション）できる期間が短くなってしまふ（リテンション特性の低下）。

【 0 0 0 4 】

また、パーソナルコンピュータ等が記録するデータは、時間的局所性、及び領域的局所性を兼ね備えている（非特許文献1参照）。そのため、データを記録する際に外部から指定されたアドレスにそのまま記録していくと、特定の領域に短期間に書き換え、すなわち消去処理が集中し、消去回数の偏りが大きくなる。

【 0 0 0 5 】

一方で、NAND型フラッシュメモリの寿命は、消去処理の間隔にも依存しており、その間隔が長いほどリテンション特性が良く、寿命が延びることが確認されている（非特許文献2参照）。これは、消去間隔が短いとリテンション特性が悪く、寿命が損なわれることも示している。また、短い間隔で書き込みを行ったとしても、相応の長期間消去処理を行わなければリテンション特性が回復することも確認されている（非特許文献3参照）。

【 先行技術文献 】

【 非特許文献 】

【 0 0 0 6 】

【非特許文献1】David A. Patterson and John L. Hennessy, "Computer Organization and Design: The Hardware/Software Interface", Morgan Kaufmann Pub, 2004/8/31

【非特許文献2】Neal Mielke et al., "Flash EEPROM Threshold Instabilities due to Charge Trapping During Program/Erase Cycling", IEEE TRANSACTIONS ON DEVICE AND MATERIALS RELIABILITY, VOL. 4, NO. 3, SEPTEMBER 2004, PP.335-344

【非特許文献3】Neal Mielke et al., "Recovery Effects in the Distributed Cycling of Flash Memories", 44th Annual International Reliability Physics Symposium, San Jose, 2006, PP.29-35

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

本発明は、不揮発性メモリのある特定領域に書き換えが集中するのを抑制することで、寿命を延ばすことが可能なメモリシステムの制御方法を提供する。

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明の一視点に係るメモリシステムの制御方法は、データ消去の単位であるブロックを複数個有する不揮発性メモリを含むメモリシステムの制御方法であって、各ブロックのデータが消去された消去時期を計測する工程と、ブロックごとに、空き状態或いは使用中状態を示す状態値と前記消去時期とを対応付けるブロックテーブルを作成する工程と、

短期的に書き換えが集中したブロックを検出する工程と、前記ブロックテーブルの情報に基づいて、空き状態かつ消去時期が古い第1のブロックを選択する工程と、前記ブロックテーブルの情報に基づいて、使用中状態かつ消去時期が古い第2のブロックを選択する工程と、前記第1のブロックが前記検出されたブロックに含まれる場合に、前記第2のブロックのデータを前記第1のブロックに移動する工程とを具備する。

【 発明の効果 】

【 0 0 0 9 】

本発明によれば、不揮発性メモリのある特定領域に書き換えが集中するのを抑制するこ

10

20

30

40

50

とで、寿命を延ばすことが可能なメモリシステムの制御方法を提供することができる。

【図面の簡単な説明】

【0010】

【図1】本発明の第1の実施形態に係るメモリシステム1を備えた計算機システムの一例を示す概略図。

【図2】第1の実施形態に係るメモリシステム1の構成を示す概略図。

【図3】NAND型フラッシュメモリ10に含まれる1個のブロックの構成を示す回路図

。【図4】NANDコントローラ11の構成の一例を示すブロック図。

【図5】ブロック制御部30及び消去時期計測部31の構成を示すブロック図。

10

【図6】NANDコントローラ11による一連の書き込み動作を示すフローチャート。

【図7】NANDコントローラ11によるブロック解放処理を示すフローチャート。

【図8】割当ブロック選択部32の構成を示すブロック図。

【図9】割当ブロック選択部32による割当ブロック選択処理を示すフローチャート。

【図10】NANDコントローラ11によるブロック割当処理を示すフローチャート。

【図11】NANDコントローラ11によるブロック消去処理を示すフローチャート。

【図12】短期書き換え検出部34の構成を示すブロック図。

【図13】短期書き換え検出部34による短期書き換え検出処理を示すフローチャート。

【図14】短期書き換え検出処理の具体例を説明する図。

【図15】平準化部35の構成を示すブロック図。

20

【図16】NANDコントローラ11による平準化処理を示すフローチャート。

【図17】入替元ブロック選択部33の構成を示すブロック図。

【図18】入替元ブロック選択部33による入替元ブロック選択処理を示すフローチャート。

【図19】本発明の第2の実施形態に係る割当ブロック選択部32の構成を示すブロック図。

【図20】第2の実施形態に係る割当ブロック選択部32による割当ブロック選択処理を示すフローチャート。

【図21】本発明の第3の実施形態に係る入替元ブロック選択部33の構成を示すブロック図。

30

【図22】第3の実施形態に係る入替元ブロック選択部33による入替元ブロック選択処理を示すフローチャート。

【図23】本発明の第4の実施形態に係る短期書き換え検出部34の構成を示すブロック図。

【図24】短期書き換え検出部34による短期書き換え検出処理を示すフローチャート。

【図25】図24に続く短期書き換え検出処理を示すフローチャート。

【図26】短期書き換え検出処理の具体例を説明する図。

【図27】本発明の第5の実施形態に係るNANDコントローラ11の構成の一例を示すブロック図。

【図28】ブロック制御部30の構成を示すブロック図。

40

【図29】NANDコントローラ11による読み出し動作を示すフローチャート。

【図30】入替元ブロック選択部33による入替元ブロック選択処理を示すフローチャート。

【図31】実施例に係るSSD1の構成を示すブロック図。

【図32】ドライブ制御回路102の構成を示すブロック図。

【図33】プロセッサ108の構成を示すブロック図。

【図34】SSD100を搭載したポータブルコンピュータの一例を示す斜視図。

【発明を実施するための形態】

【0011】

以下、本発明の実施の形態について図面を参照して説明する。なお、以下の説明におい

50

て、同一の機能及び構成を有する要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【 0 0 1 2 】

[第 1 の実施形態]

本実施形態のメモリシステムは、例えば、ホスト装置が実装されたプリント基板上に実装され、バスを介してホスト装置との間でデータの転送を行う。或いは、本実施形態のメモリシステムは、ホスト装置に対して着脱可能なように構成され、ホスト装置に接続された状態でバスを介してホスト装置との間でデータの転送を行う。図 1 は、本実施形態のメモリシステム 1 を備えた計算機システムの一例を示す概略図である。

【 0 0 1 3 】

計算機システムは、中央演算処理装置 (C P U : central processing unit) 2、D R A M (dynamic random access memory) 等のメインメモリ 3、メインメモリ 3 を制御するメモリコントローラ 4、及び本実施形態のメモリシステム 1 を備えている。C P U 2、メインメモリ 3、及びメモリシステム 1 は、互いに、アドレスを扱うアドレスバス 5、及びデータを扱うデータバス 6 を介して接続されている。

【 0 0 1 4 】

このような計算機システムでは、C P U 2 からの転送要求 (読出要求、或いは書込要求) に応じて、書込要求であれば C P U 2 のデータ (外部から入力されたデータを含む)、或いはメインメモリ 3 のデータがメモリシステム 1 に転送され、読出要求であればメモリシステム 1 のデータが C P U 2、或いはメインメモリ 3 に転送される。

【 0 0 1 5 】

メモリシステム 1 は、不揮発性半導体メモリの一種である N A N D 型フラッシュメモリ 1 0、及びこの N A N D 型フラッシュメモリ 1 0 を制御する N A N D コントローラ 1 1 を備えている。以下に、メモリシステム 1 の構成の一例について説明する。

【 0 0 1 6 】

[1 . メモリシステム 1 の構成]

図 2 は、メモリシステム 1 の構成を示す概略図である。メモリシステム 1 は、N A N D 型フラッシュメモリ 1 0、及び N A N D コントローラ 1 1 を備えている。N A N D コントローラ 1 1 は、ホストインターフェース回路 (ホスト I / F) 2 1、演算処理装置 (M P U : micro processing unit) 2 2、R O M (read only memory) 2 3、R A M (random access memory) 2 4、及び N A N D インターフェース回路 (N A N D I / F) 2 5 を備えている。

【 0 0 1 7 】

ホストインターフェース回路 2 1 は、所定のプロトコルに従って、N A N D コントローラ 1 1 とホスト装置 (C P U 2、メインメモリ 3) との間のインターフェース処理を行う。

【 0 0 1 8 】

M P U 2 2 は、メモリシステム 1 全体の動作を制御する。M P U 2 2 は、例えば、メモリシステム 1 が電源供給を受けたときに、R O M 2 3 に格納されているファームウェア (制御プログラム) を R A M 2 4 上に読み出して所定の処理を実行することにより、各種のテーブルを R A M 2 4 上に作成する。また、M P U 2 2 は、ホスト装置から書込要求、読出要求、消去要求を受け、これらの要求に応じて N A N D 型フラッシュメモリ 1 0 に所定の処理を実行する。

【 0 0 1 9 】

R O M 2 3 は、M P U 2 2 により制御される制御プログラム等を格納する。R A M 2 4 は、M P U 2 2 の作業エリアとして使用され、R O M 2 3 からロードされた制御プログラムや各種テーブルを記憶する。N A N D インターフェース回路 2 5 は、所定のプロトコルに従って、N A N D コントローラ 1 1 と N A N D 型フラッシュメモリ 1 0 との間のインターフェース処理を行う。

【 0 0 2 0 】

NAND型フラッシュメモリ10は、データ消去の最小単位であるブロックを複数個配列して構成されている。図3は、NAND型フラッシュメモリ10に含まれる1個のブロックの構成を示す回路図である。各ブロックは、X方向に沿って順に配列された $(m+1)$ 個のNANDストリングを備えている(m は、0以上の整数)。 $(m+1)$ 個のNANDストリングにそれぞれ含まれる選択トランジスタST1は、ドレインがビット線BL0~BLmに接続され、ゲートが選択ゲート線SGDに共通接続されている。また、 $(m+1)$ 個のNANDストリングにそれぞれ含まれる選択トランジスタST2は、ソースがソース線SLに共通接続され、ゲートが選択ゲート線SGSに共通接続されている。

【0021】

各メモリセルトランジスタMTは、半導体基板上に形成された積層ゲート構造を備えたMOSFET(metal oxide semiconductor field effect transistor)から構成される。積層ゲート構造は、半導体基板上に、ゲート絶縁膜、電荷蓄積層(浮遊ゲート電極)、ゲート間絶縁膜、制御ゲート電極が順に積層されて構成されている。メモリセルトランジスタMTは、浮遊ゲート電極に蓄えられる電子の数に応じて閾値電圧が変化し、この閾値電圧の違いに応じてデータを記憶する。メモリセルトランジスタMTは、2値(1ビット)を記憶するように構成されていてもよいし、多値(2ビット以上のデータ)を記憶するように構成されていてもよい。

【0022】

また、メモリセルトランジスタMTは、浮遊ゲート電極を有する構造に限らず、MONOS(metal-oxide-nitride-oxide-silicon)型など、電荷蓄積層としての窒化膜界面に電子をトラップさせることで閾値調整可能な構造であってもよい。MONOS構造のメモリセルトランジスタMTについても同様に、1ビットを記憶するように構成されていてもよいし、多値(2ビット以上のデータ)を記憶するように構成されていてもよい。

【0023】

各NANDストリングにおいて、 $(n+1)$ 個のメモリセルトランジスタMTは、選択トランジスタST1のソースと選択トランジスタST2のドレインとの間に、それぞれの電流経路が直列接続されるように配置されている(n は、0以上の整数)。すなわち、 $(n+1)$ 個のメモリセルトランジスタMTは、隣接するもの同士で拡散領域(ソース領域若しくはドレイン領域)を共有するような形でY方向に直列接続される。

【0024】

そして、最もドレイン側に位置するメモリセルトランジスタMTから順に、制御ゲート電極がワード線WL0~WLnにそれぞれ接続されている。従って、ワード線WL0に接続されたメモリセルトランジスタMTのドレインは選択トランジスタST1のソースに接続され、ワード線WLnに接続されたメモリセルトランジスタMTのソースは選択トランジスタST2のドレインに接続されている。

【0025】

ワード線WL0~WLnは、ブロック内のNANDストリング間で、メモリセルトランジスタMTの制御ゲート電極を共通に接続している。つまり、ブロック内において同一行にあるメモリセルトランジスタMTの制御ゲート電極は、同一のワード線WLに接続される。この同一のワード線WLに接続される $(m+1)$ 個のメモリセルトランジスタMTは1ページとして取り扱われ、このページごとにデータの書き込み及びデータの読み出しが行われる。

【0026】

また、ビット線BL0~BLmは、ブロック間で、選択トランジスタST1のドレインを共通接続している。つまり、複数のブロック内において同一列にあるNANDストリングは、同一のビット線BLに接続される。

【0027】

本発明の各実施形態における各機能ブロックは、ハードウェア、及びソフトウェアのいずれか、又は両者の組み合わせとして実現することができる。このため、各機能ブロックは、これらのいずれでもあることが明確となるように、概してそれらの機能の観点から以

10

20

30

40

50

下に説明される。このような機能が、ハードウェアとして実現されるか、又はソフトウェアとして実現されるかは、具体的な実施態様、或いはシステム全体に課される設計制約に依存する。当業者は、具体的な実施態様ごとに、様々な方法でこれらの機能を実現し得るが、そのような実現を決定することは本発明の範疇に含まれる。

【0028】

以下に、NANDコントローラ11のより具体的な構成の一例について説明する。図4は、本実施形態におけるNANDコントローラ11の構成の一例を示すブロック図である。

【0029】

NANDコントローラ11は、ブロック制御部30、消去時期計測部31、割当ブロック選択部32、入替元ブロック選択部33、短期書き換え検出部34、平準化部35、及びNANDインターフェース回路(NAND I/F)25を備えている。

10

【0030】

消去時期計測部31は、NAND型フラッシュメモリ10に含まれる各ブロックのデータが消去されるごとに、当該ブロックの消去時期を計測する。そして、消去時期計測部31は、この計測した消去時期をブロック制御部30に送る。

【0031】

ブロック制御部30は、ブロックごとに、消去回数や消去時期等を含む各種情報を管理する。また、ブロック制御部30は、CPU2からの転送要求に応じて、NAND型フラッシュメモリ10に対して書込要求、読出要求、及び消去要求を発行する。具体的には、ブロック制御部30は、後述するアドレステーブル30A、及びブロックテーブル30Bを備えており、これらのテーブルを利用して、NAND型フラッシュメモリ10に書込要求、読出要求、及び消去要求を発行する。

20

【0032】

割当ブロック選択部32は、例えば外部(CPU2、或いはメインメモリ3等)から供給される新たなデータをNAND型フラッシュメモリ10に書き込む際に、この書き込みに割り当てるブロック(以下、割当ブロックという)を選択する。すなわち、割当ブロック選択部32は、ブロックテーブル30Bに記憶されている全ブロックの情報(全ブロック情報)をブロック制御部30から受け、所定の条件に従って割当ブロックを選択する。そして、割当ブロック選択部32は、この割当ブロックに対応するブロック番号(割当ブロック番号)をブロック制御部30に送る。また、割当ブロック選択部32は、全ブロック情報のうち割当ブロックに対応する情報(割当ブロック情報)を平準化部35に送る。なお、NAND型フラッシュメモリ10に書き込まれるデータとしては、メモリシステム1の外部から供給されるユーザデータの他に、メモリシステム1内部の管理に必要なシステムデータ等も存在する。

30

【0033】

平準化部35は、後述する平準化処理を実行する。そして、平準化部35は、この平準化処理に伴い、NAND型フラッシュメモリ10に対して書込要求、読出要求、及び消去要求を発行する。なお、平準化とは、ブロックの消去回数を揃えること(いわゆる、ウェアレベリング: wear leveling)を意味する。このように、ブロックの消去回数を揃えることで、一部のブロックへ消去処理が集中するのを防ぐことができるため、NAND型フラッシュメモリ10の寿命を延ばすことが可能となる。

40

【0034】

入替元ブロック選択部33は、平準化部35による平準化処理に使用される、データ入れ替え元のブロック(以下、入替元ブロックという)を選択する。すなわち、入替元ブロック選択部33は、全ブロック情報をブロック制御部30から受け、所定の条件に従って入替元ブロックを選択する。そして、入替元ブロック選択部33は、全ブロック情報のうち入替元ブロックに対応する情報(入替元ブロック情報)を平準化部35に送る。

【0035】

NANDインターフェース回路25は、ブロック制御部30及び平準化部35から、書

50

込要求、読出要求、及び消去要求を受ける。そして、NANDインターフェース回路25は、これらの要求に応じて、NAND型フラッシュメモリ10に対してデータの書き込み、読み出し、及び消去を行うように指示する。

【0036】

短期書き換え検出部34は、頻繁に（短期間で）書き換えが行われているブロック（すなわち、消去間隔が短いブロック）を検出する。短期間で書き換えが行われているブロックはその消去時期が頻繁に更新される（消去時期が新しくなる）が、短期間で書き換えが行われていないブロックはその消去時期が古いままである。本実施形態では、これらの消去時期の差を利用して、短期間で書き換えが行われているブロックを検出する。このために、短期書き換え検出部34は、使用中状態のブロックを消去時期順に整列（ソート）し、ある探索対象ブロックと、この探索対象ブロックの次に消去時期が新しい比較対象ブロックとの消去時期の差を算出する。そして、この消去時期の差が所定の閾値を越えていた場合に、消去時期が比較対象ブロックより新しいブロックを、短期間で書き換えが行われているブロックであると判定する。この判定結果は、短期書き換え情報としてブロック制御部30に送られる。

10

【0037】

図5は、ブロック制御部30及び消去時期計測部31の構成を示すブロック図である。ブロック制御部30は、アドレステーブル30A、ブロックテーブル30B、及び演算部30Cを備えている。ブロック制御部30は、外部から供給されるアドレスや各種情報を受け、これらの情報に基づいてアドレステーブル30A及びブロックテーブル30Bを更新する。

20

【0038】

アドレステーブル30Aは、ホスト装置（CPU2）からアドレスバス5を介して送られるアドレスを含むアドレス領域（論理ブロックアドレス）と、このアドレス領域に対応する、NAND型フラッシュメモリ10内のブロックの番号（物理ブロックアドレス）との対応関係を示す。このアドレステーブル30Aを用いることで、ブロック制御部30は、ホスト装置から送られるアドレスを含むアドレス領域のデータがどのブロックに対応するかを特定することができる。このアドレステーブル30Aは、例えば、後述するブロック解放処理、ブロック割当処理に伴い更新される。

【0039】

ブロックテーブル30Bは、ブロック番号ごとに、アドレステーブル30Aにブロック番号が登録されていないか（空き状態であるか）、アドレステーブル30Aにブロック番号が登録されているか（使用中状態であるか）を示すブロックの状態と、データが消去された回数（消去回数）と、消去時期計測部31から送られる消去時期と、短期書き換え検出部34から送られる短期書き換え情報に対応した短期書き換えフラグ（図5には、単に「フラグ」と記載している）と、を情報として格納する。このブロックテーブル30Bは、例えば、後述するブロック解放処理、ブロック割当処理、ブロック消去処理、及び短期書き換え検出処理に伴い更新される。ブロックテーブル30Bに含まれる全ブロック情報は、割当ブロック選択部32、入替元ブロック選択部33、及び短期書き換え検出部34に送られる。

30

40

【0040】

ブロックが空き状態であれば、NAND型フラッシュメモリ10内部で当該ブロックに対して実際に消去が行われたか否かに係わらず、当該ブロックに対応するアドレス領域は、ホスト装置から見ると、データが格納されていない空き領域であると認識される。一方、ブロックが使用中状態であれば、当該ブロックに対応するアドレス領域は、ホスト装置から見ると、データが格納されている使用中領域であると認識される。

【0041】

なお、実際には、これらアドレステーブル30A及びブロックテーブル30Bは、RAM24、或いは、RAM24及びNAND型フラッシュメモリ10の両方に格納されている。但し、NAND型フラッシュメモリ10に不揮発に格納されたアドレステーブル30

50

A及びブロックテーブル30Bは、必ずしもRAM24を更新した都度更新を行う必要はない。

【0042】

演算部30Cは、NAND型フラッシュメモリ10のデータが消去されるごとに、ブロックテーブル30Bに含まれる、消去が行われたブロックの消去回数を1カウントアップする。なお、実際には、演算部30Cの処理は、MPU22により行われる。

【0043】

ブロック制御部30は、割当ブロック選択部32から割当ブロック番号を受け、そして、この割当ブロック番号を用いて、アドレステーブル30Aのブロック番号を更新する。また、ブロック制御部30は、この割当ブロックに対する書込要求をNAND型フラッシュメモリ10に対して発行する。さらに、ブロック制御部30は、外部からのアドレスに応じた通常の読出要求、及び消去要求をNAND型フラッシュメモリ10に対して発行する。

10

【0044】

消去時期計測部31は、消去回数をカウントする消去回数カウンタ31A、及び消去回数カウンタ31Aのカウント値を更新する演算部31Bを備えている。消去時期計測部31は、NAND型フラッシュメモリ10内のブロックに対して消去処理が行われた回数を計測し、この計測された回数を消去時期として出力する。

【0045】

具体的には、演算部31Bは、いずれかのブロックが消去されるごとに、消去回数カウンタ31Aを1カウントアップする。消去回数カウンタ31Aのカウント値(消去番号)は、消去時期としてブロック制御部30(具体的には、ブロックテーブル30B)に送られる。この例の消去時期計測部31では、消去番号が小さいほど消去時期が古くなる。なお、実際には、演算部31Bの処理は、MPU22により行われる。

20

【0046】

消去時期としては、この他に、消去処理が行われた時刻(消去時刻)や、NANDコントローラ11の通電時間等を用いるようにしてもよい。消去時刻を消去時期として用いる場合は、消去時期計測部31が時計を備え、消去処理が行われるごとに、その時刻を消去時期として出力する。通電時間を消去時期として用いる場合は、消去時期計測部31がタイマーを備え、消去処理が行われるごとに、それまでの通電時間を計測し、その通電時間を消去時期として出力する。このように、消去時期として、消去回数、消去時刻、及び通電時間のいずれを用いるかは、任意に選択することが可能である。なお、消去時期が特定可能な情報であれば、上記3種類以外を用いることも可能である。

30

【0047】

[2.NANDコントローラ11の書き込み動作]

次に、NANDコントローラ11の書き込み動作について説明する。図6は、NANDコントローラ11による一連の書き込み動作を示すフローチャートである。

【0048】

まず、NANDコントローラ11は、CPU2から書込要求を受け、書き込み動作を開始する(ステップS10)。続いて、ブロック制御部30は、アドレステーブル30Aを用いて、書込要求のアドレスを含むアドレス領域に対して、ブロック番号が登録されている(ブロックが割り当てられている)か否かを判定する(ステップS11)。ブロック番号が登録されている(ブロックが割り当てられている)場合、このアドレス領域に対してデータの上書きを行う必要があるため、ブロック制御部30は、上記ブロック番号に対応するブロックを解放するブロック解放処理を実行する(ステップS12)。

40

【0049】

ステップS11においてブロック番号が登録されていない(ブロックが割り当てられていない)と判定された場合、或いはステップS12においてブロック解放処理が実行された後、割当ブロック選択部32は、上記アドレス領域に割り当てられるブロック(割当ブロック)を選択する割当ブロック選択処理を実行する(ステップS13)。

50

【 0 0 5 0 】

続いて、平準化部 3 5 及び入替元ブロック選択部 3 3 は、平準化処理を実行する（ステップ S 1 4）。続いて、ブロック制御部 3 0 は、平準化処理において、割当ブロックの入れ替えを行ったか否かを判定する（ステップ S 1 5）。割当ブロックの入れ替えを行った場合、ステップ S 1 3 に戻って、割当ブロック選択部 3 2 は、再度、割当ブロック選択処理を実行する。

【 0 0 5 1 】

ステップ S 1 5 において割当ブロックの入れ替えを行っていないと判定された場合、ブロック制御部 3 0 は、割当ブロックに対応するブロック番号（割当ブロック番号）を用いて、アドレステーブル 3 0 A 及びブロックテーブル 3 0 B を更新するために、ブロック割当処理を実行する（ステップ S 1 6）。続いて、ブロック制御部 3 0 は、割当ブロックに対してブロック消去処理を実行する（ステップ S 1 7）。

【 0 0 5 2 】

続いて、ブロック制御部 3 0 は、データが消去された割当ブロックに、新たなデータを書き込む（ステップ S 1 8）。すなわち、ブロック制御部 3 0 は、NAND インターフェース回路 2 5 に書込要求を発行する。この書込要求に基づいて、NAND インターフェース回路 2 5 は、NAND 型フラッシュメモリ 1 0 に、割当ブロックへ新たなデータを書き込むように指示する。

【 0 0 5 3 】

続いて、短期書き換え検出部 3 4 は、短期書き換え検出処理を実行する（ステップ S 1 9）。そして、ブロック制御部 3 0 は、短期書き換え検出部 3 4 から送られる短期書き換え情報を用いて、ブロックテーブル 3 0 B のフラグを更新する。このようにして、NAND コントローラ 1 1 によって一連の書き込み動作が実行される。

【 0 0 5 4 】

以下に、書き込み動作に含まれる各処理について具体的に説明する。

[2 - 1 . ブロック解放処理]

図 7 は、NAND コントローラ 1 1 によるブロック解放処理を示すフローチャートである。ブロック制御部 3 0 は、アドレステーブル 3 0 A に含まれる、書込要求のアドレスを含むアドレス領域に対応するブロック番号を、未割り当ての状態（未割当状態）に設定する（ステップ S 2 0）。続いて、ブロック制御部 3 0 は、ブロックテーブル 3 0 B に含まれる、上記ブロック番号の状態を、空き状態に設定する（ステップ S 2 1）。ブロック解放処理において新たに空き状態に設定されたブロックを、以下、解放ブロックという。以後、NAND コントローラ 1 1 は、解放ブロックに新たなデータを書き込むことが可能となる。

【 0 0 5 5 】

[2 - 2 . 割当ブロック選択処理]

図 8 は、割当ブロック選択部 3 2 の構成を示すブロック図である。図 9 は、割当ブロック選択部 3 2 による割当ブロック選択処理を示すフローチャートである。

【 0 0 5 6 】

割当ブロック選択部 3 2 は、2 個のセクタ 3 2 A 及び 3 2 B を備えている。割当ブロック選択部 3 2 は、ブロック制御部 3 0 から全ブロック情報を受ける（ステップ S 3 0）。この全ブロック情報は、セクタ 3 2 A に送られる。続いて、セクタ 3 2 A は、全ブロックの状態を確認し、全ブロックのうち空き状態のブロックを抽出する（ステップ S 3 1）。そして、セクタ 3 2 A は、空き状態のブロックに対応するブロック情報（空き状態ブロック情報）をセクタ 3 2 B に送る。

【 0 0 5 7 】

続いて、セクタ 3 2 B は、セクタ 3 2 A により抽出されたブロックのうち、消去時期が最も古いブロックを割当ブロックとして選択する（ステップ S 3 2）。この割当ブロックに対応する割当ブロック番号は、ブロック制御部 3 0 に送られる。また、この割当ブロックに対応する割当ブロック情報は、平準化部 3 5 に送られる。

10

20

30

40

50

【 0 0 5 8 】

[2 - 3 . ブロック割当処理]

図 1 0 は、NAND コントローラ 1 1 によるブロック割当処理を示すフローチャートである。NAND コントローラ 1 1 は、割当ブロック選択部 3 2 により選択された割当ブロックに対して、アドレステーブル 3 0 A 及びブロックテーブル 3 0 B の情報を更新する。

【 0 0 5 9 】

まず、ブロック制御部 3 0 は、割当ブロック選択部 3 2 から割当ブロック番号を受ける (ステップ S 4 0)。続いて、ブロック制御部 3 0 は、アドレステーブル 3 0 A に含まれる書込要求のアドレスを含むアドレス領域に対して、割当ブロックのブロック番号を設定する (ステップ S 4 1)。続いて、ブロック制御部 3 0 は、ブロックテーブル 3 0 B に含まれる割当ブロックの状態を、使用中状態に設定する (ステップ S 4 2)。このようにして、割当ブロック選択部 3 2 により選択された割当ブロックが空き状態から使用中状態に設定変更される。

10

【 0 0 6 0 】

[2 - 4 . ブロック消去処理]

図 1 1 は、NAND コントローラ 1 1 によるブロック消去処理を示すフローチャートである。ブロック制御部 3 0 は、NAND インターフェース回路 2 5 に、割当ブロックに対する消去要求を発行する (ステップ S 5 0)。この消去要求に基づいて、NAND インターフェース回路 2 5 は、NAND 型フラッシュメモリ 1 0 に、割当ブロックのデータを消去するように指示する (ステップ S 5 1)。続いて、消去時期計測部 3 1 (具体的には、演算部 3 1 B) は、消去回数カウンタ 3 1 A のカウント値 (消去番号) を 1 カウントアップする (ステップ S 5 2)。

20

【 0 0 6 1 】

続いて、ブロック制御部 3 0 は、ブロックテーブル 3 0 B に含まれる、データが消去された割当ブロックに対応する消去回数及び消去時期を更新する (ステップ S 5 3)。具体的には、ブロック制御部 3 0 は、消去時期計測部 3 1 から送られる消去時期を用いて、ブロックテーブル 3 0 B に含まれる、割当ブロックのブロック番号に対応する消去時期を更新する。また、演算部 3 0 C は、ブロックテーブル 3 0 B に含まれる、割当ブロックのブロック番号に対応する消去回数を 1 カウントアップする。

30

【 0 0 6 2 】

[2 - 5 . 短期書き換え検出処理]

図 1 2 は、短期書き換え検出部 3 4 の構成を示すブロック図である。短期書き換え検出部 3 4 は、セレクトア 3 4 A、整列部 3 4 B、探索リスト 3 4 C、判定部 3 4 D、消去時期間隔閾値を格納する記憶部 3 4 E、及び情報出力部 3 4 F を備えている。

【 0 0 6 3 】

セレクトア 3 4 A は、ブロック制御部 3 0 から送られる全ブロック情報を用いて、全ブロックの状態を確認し、全ブロックのうち使用中状態のブロックを抽出する。整列部 3 4 B は、使用中状態のブロックを消去時期順に整列 (ソート) する。探索リスト 3 4 C は、ソートされたブロック情報を一時的に格納する。なお、実際には、この探索リスト 3 4 C は、RAM 2 4 に格納されている。

40

【 0 0 6 4 】

判定部 3 4 D は、探索リスト 3 4 C の中で、消去時期が最も新しいブロックを「探索対象ブロック」、消去時期が探索対象ブロックの次に新しいブロックを「比較対象ブロック」として選択する。さらに、判定部 3 4 D は、探索対象ブロックと比較対象ブロックとの消去時期の差を算出し、この差が消去時期間隔閾値を超えているか否かを判定する。そして、この判定結果に基づいて、消去時期が急激に変化する境界を探索する。

【 0 0 6 5 】

情報出力部 3 4 F は、判定部 3 4 D から送られる判定結果 (比較対象ブロックの番号) を用いて、全ブロックのうち比較対象ブロックより消去時期が新しいブロックの範囲を算出する。そして、情報出力部 3 4 F は、上記範囲を短期書き換え情報としてブロック制御

50

部 3 0 に送る。

【 0 0 6 6 】

記憶部 3 4 E に格納される消去時期閾値は、頻繁に書き換えが行われているブロックの範囲を特定するために使用され、また、NAND型フラッシュメモリ 1 0 の寿命（或いは、データリテンション期間）をどの程度延ばすかという基準に基づいて設定される。消去時期閾値を低くすると短期書き換え検出の可能性が上がり、一方、消去時期閾値を高くすると短期書き換え検出の可能性が下がる。すなわち、消去時期閾値を低くすると平準化処理の回数が増え、一方、消去時期閾値を高くすると平準化処理の回数が減ることになる。この平準化処理は、ブロックのデータ消去処理を伴う。

【 0 0 6 7 】

データを消去するごとに、NAND型フラッシュメモリ 1 0 のリテンション特性は悪化する（すなわち、寿命が短くなる）。一方、消去間隔が長くなると、NAND型フラッシュメモリ 1 0 のリテンション特性が回復していく。すなわち、短い間隔で消去処理が連続して行われた場合には、リテンション特性の回復時間が確保できないため、NAND型フラッシュメモリ 1 0 の寿命が短くなってしまふ。そこで、本実施形態では、頻繁に書き換えが行われているブロックに対して短期書き換えフラグを立てることで、これらのブロックを平準化の対象にしている。そして、消去間隔を所定時間長くすることでどの程度寿命が回復するかを示す、NAND型フラッシュメモリ 1 0 の特性を加味した上で、平準化処理の対象となるブロック、及び平準化の回数が最適化されるように、消去時期閾値が決定される。

【 0 0 6 8 】

図 1 3 は、短期書き換え検出部 3 4 による短期書き換え検出処理を示すフローチャートである。まず、短期書き換え検出部 3 4 は、ブロック制御部 3 0 から全ブロック情報を受ける（ステップ S 6 0）。この全ブロック情報は、セクタ 3 4 A に送られる。続いて、セクタ 3 4 A は、全ブロックの状態を確認し、全ブロックのうち使用中状態のブロックを抽出する（ステップ S 6 1）。そして、セクタ 3 4 A は、使用中状態のブロックに対応するブロック情報（使用中状態ブロック情報）を整列部 3 4 B に送る。

【 0 0 6 9 】

続いて、整列部 3 4 B は、使用中状態ブロック情報に含まれる消去時期を確認し、使用中状態のブロックを消去時期順にソートする（ステップ S 6 2）。そして、整列部 3 4 B によりソートされたブロック情報は、探索リスト 3 4 C に入れられる。

【 0 0 7 0 】

続いて、判定部 3 4 D は、探索リスト 3 4 C の中で、消去時期が最も新しいブロックを探索対象ブロック、消去時期が探索対象ブロックの次に新しいブロックを比較対象ブロックとして選択する（ステップ S 6 3）。

【 0 0 7 1 】

続いて、判定部 3 4 D は、探索対象ブロックと比較対象ブロックとの消去時期の差を算出する（ステップ S 6 4）。続いて、判定部 3 4 D は、上記算出した消去時期の差が、消去時期閾値を超えているか否かを判定する（ステップ S 6 5）。消去時期閾値を超えていない場合、判定部 3 4 D は、探索リスト 3 4 C の中に 2 個以上のブロックが残っているか否かを判定する（ステップ S 6 6）。2 個以上のブロックが残っている場合、判定部 3 4 D は、探索対象ブロックを探索リスト 3 4 C から除外し、ステップ S 6 3 に戻って探索対象ブロック及び比較対象ブロックの選択をやり直す。

【 0 0 7 2 】

ステップ S 6 5 において消去時期閾値を超えている場合、判定部 3 4 D は、比較対象ブロック番号を情報出力部 3 4 F に送る。情報出力部 3 4 F は、この比較対象ブロック番号を用いて、全ブロックのうち比較対象ブロックより消去時期が新しいブロックの範囲を算出する（ステップ S 6 8）。そして、情報出力部 3 4 F は、上記範囲を短期書き換え情報としてブロック制御部 3 0 に送る。短期書き換え情報を受けて、ブロック制御部 3 0 では、短期書き換え情報に含まれるブロックに対応する短期書き換えフラグを立て、その

10

20

30

40

50

他のブロックに対応する短期書き換えフラグはクリアする。

【 0 0 7 3 】

ステップ S 6 6 において 2 個以上のブロックが残っていない場合、短期書き換えが行われたブロックを検出できないと判断し、短期書き換え検出処理を終了する。

【 0 0 7 4 】

図 1 4 は、短期書き換え検出部 3 4 による短期書き換え検出処理の具体例を説明する図である。NAND型フラッシュメモリ 1 0 に含まれるブロックが 1 2 個 (ブロック 0 ~ 1 1) であり、このうち、ブロック # 0 ~ 7 が探索リスト 3 4 C に含まれる使用中状態のブロックであり、ブロック # 8 ~ 1 1 が空き状態であるものとする。ブロック # 0 ~ 7 は、消去時期が新しい順にソートされている。ブロックごとの消去時期は、図に示した通り

10

【 0 0 7 5 】

まず、探索リスト 3 4 C の中で、消去時期が最も新しいブロック # 0 が探索対象ブロック、消去時期が次に新しいブロック # 1 が比較対象ブロックとして選択される。ブロック # 0 とブロック # 1 との消去時期の差は、“ 1 0 ” である。この差 “ 1 0 ” は、消去時間間隔閾値 (例えば、“ 1 0 0 ”) を超えていない。よって、探索対象ブロック # 0 は、探索リスト 3 4 C から除外される。

【 0 0 7 6 】

続いて、探索リスト 3 4 C の中で、消去時期が最も新しいブロック # 1 が探索対象ブロック、消去時期が次に新しいブロック # 2 が比較対象ブロックとして選択される。ブロック # 1 とブロック # 2 との消去時期の差は、“ 1 1 0 ” である。この差 “ 1 1 0 ” は、消去時間間隔閾値を超えている。よって、比較対象ブロック # 2 の番号が、判定部 3 4 D から情報出力部 3 4 F に送られる。

20

【 0 0 7 7 】

情報出力部 3 4 F では、空き状態ブロックを含む全ブロックのうち、消去時期が比較対象ブロック # 2 より新しいブロック # 0、1、8 ~ 1 1 を算出する。そして、情報出力部 3 4 F は、ブロック # 0、1、8 ~ 1 1 を短期書き換え情報として、ブロック制御部 3 0 に送る。これに対し、ブロック制御部 3 0 では、ブロック # 0、1、8 ~ 1 1 に対応する短期書き換えフラグを立て、その他のブロックに対応する短期書き換えフラグはクリアする。このようにして、ブロックテーブル 3 0 B の情報が更新される。

30

【 0 0 7 8 】

[2 - 6 . 平準化処理]

NAND型フラッシュメモリ 1 0 の寿命を延長するには、各ブロックの消去回数を揃えることと、特定の領域に対して短期間に頻繁に書き換えを行うことを避けることとの両立が必要である。消去回数を揃えることにだけ着目して NAND型フラッシュメモリ 1 0 の寿命を延長しようとする、書き込み状況によっては特定の領域が短期間に書き換えが進行してしまうことがある。短期間にこの修正 (平準化) を頻繁に行うと、消去回数は揃い、短期間の特定の領域への書き込み集中を避けることができるが、修正に起因する消去処理が多くなり、結果として寿命を延長することができない。一方で、修正の間隔を延ばし過ぎると、特定の領域に間隔の短い消去処理が集中することになり、寿命が短くなってしま

40

【 0 0 7 9 】

平準化処理は、平準化部 3 5、及び入替元ブロック選択部 3 3 により実行される。図 1 5 は、平準化部 3 5 の構成を示すブロック図である。平準化部 3 5 は、平準化判定部 3 5 A、及び平準化閾値を格納する記憶部 3 5 B を備えている。

【 0 0 8 0 】

平準化判定部 3 5 A は、平準化閾値、割当ブロック選択部 3 2 から送られる割当ブロック情報、及び入替元ブロック選択部 3 3 から送られる入替元ブロック情報を用いて、今回の書き込み動作時に平準化処理を行うか否かを判定する。そして、平準化処理を行う場合

50

、平準化判定部 35A は、NAND インターフェース回路 25 に、平準化処理に伴う読出要求、消去要求、及び書込要求を発行する。

【0081】

図 16 は、NAND コントローラ 11 による平準化処理を示すフローチャートである。まず、入替元ブロック選択部 33 によって、入替元ブロック選択処理が実行される（ステップ S70）。そして、この選択処理の結果として、入替元ブロック情報が入替元ブロック選択部 33 から平準化部 35 へ送られる。

【0082】

続いて、平準化判定部 35A は、割当ブロック選択部 32 から送られる割当ブロック情報を確認し、この割当ブロック情報に含まれる短期書き換えフラグが立っているか否かを判定する（ステップ S71）。短期書き換えフラグが立っていない場合、すなわち、割当ブロックの書き換えが頻繁に行われていない場合、平準化判定部 35A は、入替元ブロックと割当ブロックとの消去回数の差が平準化閾値を越えているか否かを判定する（ステップ S72）。平準化閾値を越えていない場合、平準化部 35 は、今回の書き込み動作において平準化を行わない。

【0083】

この平準化閾値は、平準化処理を実行するか否かを判定するために使用され、また、NAND 型フラッシュメモリ 10 の寿命（或いは、データリテンション期間）をどの程度延ばすかという基準に基づいて設定される。前述したように、消去回数を揃えることにだけ着目して NAND 型フラッシュメモリ 10 の寿命を延長しようとする、平準化に伴う消去処理が多発してしまい、結果として特定領域への消去回数が増えてしまう。従って、本実施形態では、入替元ブロックと割当ブロックとの消去回数の差が平準化閾値を越えている場合にのみ平準化処理を実行するようにしている。

【0084】

ステップ S71 において短期書き換えフラグが立っている場合、或いは、ステップ S72 において平準化閾値を越えている場合、ブロック制御部 30 は、入替元ブロックのブロック解放処理を実行する（ステップ S73）。このブロック解放処理は、図 7 と同じである。

【0085】

続いて、ブロック制御部 30 は、割当ブロック選択部 32 により選択された割当ブロックを、入替元ブロックのデータを移動するブロックとして割り当てるブロック割当処理を実行する（ステップ S74）。このブロック割当処理は、図 10 と同じである。

【0086】

続いて、NAND コントローラ 11 は、NAND 型フラッシュメモリ 10 に含まれる入替元ブロックのデータを読み出す（ステップ S75）。具体的には、平準化判定部 35A は、入替元ブロック選択部 33 から送られる入替元ブロック情報を用いて、NAND インターフェース回路 25 に読出要求を発行する。この読出要求に基づいて、NAND インターフェース回路 25 は、NAND 型フラッシュメモリ 10 に、入替元ブロックからデータを読み出すように指示する。読み出されたデータは、RAM 24 等に一時的に格納される。

【0087】

続いて、NAND コントローラ 11 は、割当ブロックのデータを消去する（ステップ S76）。具体的には、平準化判定部 35A は、割当ブロック選択部 32 から送られる割当ブロック情報を用いて、NAND インターフェース回路 25 に消去要求を発行する。この消去要求に基づいて、NAND インターフェース回路 25 は、NAND 型フラッシュメモリ 10 に、割当ブロックのデータを消去するように指示する。この際、ブロック制御部 30 によって割当ブロックの消去回数及び消去時期が更新される（図 11 参照）。

【0088】

続いて、NAND コントローラ 11 は、NAND 型フラッシュメモリ 10 に含まれる割当ブロックに、入替元ブロックから読み出されたデータを書き込む（ステップ S77）。

10

20

30

40

50

具体的には、平準化判定部 35A は、割当ブロック情報を用いて、NAND インターフェース回路 25 に書込要求を発行する。この書込要求に基づいて、NAND インターフェース回路 25 は、NAND 型フラッシュメモリ 10 に、割当ブロックヘータを書き込むように指示する。

【0089】

以上により、入替元ブロックのデータを割当ブロックに移し変え、入替元ブロックを空き状態にすることができるため、あまり書き換えが行われていないと考えられる入替元ブロックを、再度割当ブロックとして使用することが可能となる。また、あまり書き換えが行われないデータを、すでに消去回数が増えている割当ブロックに移すことで、今後、割当ブロックの消去回数が増えるのを防ぐことが可能となる。

10

【0090】

[2 - 6 - 1 . 入替元ブロック選択処理]

図 17 は、入替元ブロック選択部 33 の構成を示すブロック図である。図 18 は、入替元ブロック選択部 33 による入替元ブロック選択処理を示すフローチャートである。

【0091】

入替元ブロック選択部 33 は、2 個のセクタ 33A 及び 33B を備えている。入替元ブロック選択部 33 は、ブロック制御部 30 から全ブロック情報を受ける (ステップ S80)。この全ブロック情報は、セクタ 33A に送られる。続いて、セクタ 33A は、全ブロックの状態を確認し、全ブロックのうち使用中状態のブロックを抽出する (ステップ S81)。そして、セクタ 33A は、使用中状態のブロックに対応するブロック情報 (使用中状態ブロック情報) をセクタ 33B に送る。

20

【0092】

続いて、セクタ 33B は、セクタ 33A により抽出されたブロックのうち、消去時期が最も古いブロックを入替元ブロックとして選択する (ステップ S82)。この入替元ブロックに対応する入替元ブロック情報は、平準化部 35 に送られる。このような入替元ブロック選択処理により、頻繁に書き換えられていないデータを格納した、リテンション特性の良いブロックを入替元ブロックとして選択することができる。

【0093】

以上詳述したように本実施形態では、各ブロックが消去された消去時期を計測し、各ブロックと消去時期とを対応付けてブロックテーブル 30B に格納する。そして、外部から供給されたデータを NAND 型フラッシュメモリ 10 に書き込む場合に、空き状態のブロックのうち消去時期が最も古いブロックを割当ブロックとして選択し、この割当ブロックに上記データを書き込むようにしている。

30

【0094】

従って本実施形態によれば、各ブロックに対して消去間隔を長くすることができる。このため、消去間隔を長くすることでリテンション特性が回復するというメモリセルトランジスタの特性を利用して、各ブロックのリテンション特性の悪化を低減することができる。これにより、NAND 型フラッシュメモリ 10 の寿命を長くすることが可能となる。

【0095】

また、本実施形態では、短期書き換え検出部 34 によって頻繁に書き換えが行われているブロックを特定し、このブロックが割当ブロックとして選択された場合に、消去時期が古い入替元ブロックと割当ブロックとを入れ替えるようにしている。そして、入替元ブロックに格納されていた頻繁に書き換えられていないデータを割当ブロックに移すようにしている。これにより、一度書き込みで割り当てられたまま長い期間解放されない入替元ブロックも平準化処理により解放されるようになるため、あまり書き換えが行われていないと考えられる入替元ブロックを、再度割当ブロックとして使用することが可能となる。また、割当ブロックに対しては、頻繁に書き換えられていないデータを格納することになるため、以後のデータ消去回数を減らすことが可能となり、ひいては、割当ブロックのリテンション特性の悪化を低減することが可能となる。

40

【0096】

50

また、入替元ブロックと割当ブロックとの消去回数の差が閾値を超えている場合に、平準化処理を行うようにしている。これにより、平準化を頻繁に行わずに、平準化の回数を最適化でき、かつブロックごとの消去回数を揃えることが可能となる。この結果、一部のブロックの消去回数が増えることでNAND型フラッシュメモリ10全体の寿命が短くなるのを防ぐことができる。

【0097】**[第2の実施形態]**

第2の実施形態は、割当ブロック選択部32による割当ブロック選択処理の他の例について示しており、割当ブロックを選択する際に、消去時期が古く、かつ消去回数が少ないブロックを割当ブロックとして選択するようにしている。

10

【0098】

図19は、第2の実施形態に係る割当ブロック選択部32の構成を示すブロック図である。図20は、割当ブロック選択部32による割当ブロック選択処理を示すフローチャートである。なお、NANDコントローラ11のうち割当ブロック選択部32以外の構成は、第1の実施形態と同じである。

【0099】

割当ブロック選択部32は、3個のセクタ32A~32C、及び割当ブロック設定値を格納する記憶部32Dを備えている。割当ブロック選択部32は、ブロック制御部30から全ブロック情報を受け（ステップS90）。この全ブロック情報は、セクタ32Aに送られる。続いて、セクタ32Aは、全ブロックの状態を確認し、全ブロックのうち空き状態のブロックを抽出する（ステップS91）。そして、セクタ32Aは、空き状態のブロックに対応するブロック情報（空き状態ブロック情報）をセクタ32Bに送る。

20

【0100】

続いて、セクタ32Bは、空き状態ブロック情報のうち割当ブロック設定値により設定された条件のブロック情報を抽出する（ステップS92）。ここで、割当ブロック設定値には、

- (A) 消去時期の最も古い方から一定数のブロック
- (B) 消去時期の最も古い方から一定割合数のブロック
- (C) 消去時期が一定時期より古いブロック

30

のいずれかが設定されている。条件(A)~(C)のいずれを割当ブロック設定値として使用するのかは、任意に選択することができる。例えば、割当ブロック設定値として条件(A)を用いる場合、セクタ32Bは、空き状態のブロックのうち、消去時期の最も古い方から一定数のブロックを抽出する。そして、セクタ32Bは、抽出したブロックに対応するブロック情報をセクタ32Cに送る。

【0101】

条件(A)及び(B)は、空き状態のブロックを消去時期順にソートし、古い方から一定数/一定割合のブロックを探索する。従って、ステップS92において選択されるブロック数を多くすることができるため、ステップS93においてより消去回数が少ないブロックを選択する確率を高くすることが可能となる。条件(C)は、消去時期が一定時期を超えた空き状態のブロックのみをソートすればよいので、処理負荷が最も少ない。また、条件(A)及び(B)は、消去時期の古いほうから常に一定数/一定割合のブロックを抽出するのに対し、条件(C)では、消去時期が一定期間以上空いたブロックが抽出される。このため、条件(C)は、消去間隔を必ず一定間隔空けることができ、その分、消去回数の比較候補を少なくすることが可能となる。

40

【0102】

続いて、セクタ32Cは、セクタ32Bにより抽出されたブロックのうち消去回数が最も少ないブロックを割当ブロックとして選択する（ステップS93）。この割当ブロックに対応する割当ブロック番号は、ブロック制御部30に送られる。また、この割当ブロックに対応する割当ブロック情報は、平準化部35に送られる。

50

【 0 1 0 3 】

以上詳述したように本実施形態によれば、外部から供給されたデータを書き込む割当ブロックを選択する際に、空き状態のブロックのうちで、消去時期が古く、かつ消去回数が少ないブロックを割当ブロックとして選択することが可能となる。これにより、リテンション特性がより良いブロックに外部からのデータを書き込むことができるため、NAND型フラッシュメモリ10の寿命を長くすることが可能となる。

【 0 1 0 4 】

[第3の実施形態]

第3の実施形態は、入替元ブロック選択部33による入替元ブロック選択処理の他の例について示しており、入替元ブロックを選択する際に、消去時期が古く、かつ消去回数が少ないブロックを入替元ブロックとして選択するようにしている。

10

【 0 1 0 5 】

図21は、第3の実施形態に係る入替元ブロック選択部33の構成を示すブロック図である。図22は、入替元ブロック選択部33による入替元ブロック選択処理を示すフローチャートである。

【 0 1 0 6 】

入替元ブロック選択部33は、3個のセクタ33A~33C、及び入替元ブロック設定値を格納する記憶部33Dを備えている。入替元ブロック選択部33は、ブロック制御部30から全ブロック情報を受ける(ステップS100)。この全ブロック情報は、セクタ33Aに送られる。続いて、セクタ33Aは、全ブロックの状態を確認し、全ブロックのうち使用中状態のブロックを抽出する(ステップS101)。そして、セクタ33Aは、使用中状態のブロックに対応するブロック情報(使用中状態ブロック情報)をセクタ33Bに送る。

20

【 0 1 0 7 】

続いて、セクタ33Bは、使用中状態ブロック情報のうち入替元ブロック設定値により設定された条件のブロック情報を抽出する(ステップS102)。ここで、入替元ブロック設定値には、

(A) 消去時期の最も古い方から一定数のブロック

(B) 消去時期の最も古い方から一定割合数のブロック

(C) 消去時期が一定時期より古いブロック

30

のいずれかが設定されている。条件(A)~(C)のいずれを入替元ブロック設定値として使用するのは、任意に選択することができる。例えば、入替元ブロック設定値として条件(A)を用いる場合、セクタ33Bは、使用中状態のブロックのうち、消去時期の最も古い方から一定数のブロックを抽出する。そして、セクタ33Bは、抽出したブロックに対応するブロック情報をセクタ33Cに送る。

【 0 1 0 8 】

条件(A)及び(B)は、空き状態のブロックを消去時期順にソートし、古い方から一定数/一定割合のブロックを探索する。従って、ステップS102において選択されるブロック数を多くすることができるため、ステップS103においてより消去回数が少ないブロックを選択する確率を高くすることが可能となる。条件(C)は、消去時期が一定時期を超えた空き状態のブロックのみをソートすればよいので、処理負荷が最も少ない。また、条件(A)及び(B)は、消去時期の古いほうから常に一定数/一定割合のブロックを抽出するのに対し、条件(C)では、消去時期が一定期間以上空いたブロックが抽出される。このため、条件(C)は、消去間隔を必ず一定間隔空けることができ、その分、消去回数の比較候補を少なくすることが可能となる。

40

【 0 1 0 9 】

続いて、セクタ33Cは、セクタ33Bにより抽出されたブロックのうち消去回数が最も少ないブロックを入替元ブロックとして選択する(ステップS103)。この入替元ブロックに対応する入替元ブロック情報は、平準化部35に送られる。

【 0 1 1 0 】

50

以上詳述したように本実施形態によれば、平準化時に使用される入替元ブロックを選択する際に、使用中状態のブロックのうちで、消去時期が古く、かつ消去回数が少ないブロックを入替元ブロックとして選択することが可能となる。これにより、頻繁に書き換えられていないデータを格納した、リテンション特性の良いブロックを入替元ブロックとして選択することができるため、結果として、NAND型フラッシュメモリ10の寿命を長くすることが可能となる。

【0111】

[第4の実施形態]

第4の実施形態は、短期書き換え検出処理の他の実施例について示しており、短期書き換え検出処理を二分探索法を用いて行うようにしている。

10

【0112】

図23は、第4の実施形態に係る短期書き換え検出部34の構成を示すブロック図である。短期書き換え検出部34は、セクタ34A、整列部34B、探索リスト34C、判定部34D、集中係数閾値を格納する記憶部34E、及び情報出力部34Fを備えている。

【0113】

判定部34Dは、探索リスト34Cの中で、二分探索法を用いて探索対象ブロックを選択する。そして、この探索対象ブロックに対して、短期書き換え検出に使用される集中係数を算出し、この集中係数が集中係数閾値を超えているか否かを判定する。この判定結果に基づいて探索リスト34Cからブロックを除外していき、探索リスト34Cの中のブロックを1個の探索対象ブロックに絞り込む。そして、最後に残った探索対象ブロックを用いて、消去時期が急激に変化する境界を探索する。

20

【0114】

記憶部34Eに格納される集中係数閾値は、頻繁に書き換えが行われているブロックの範囲を特定するために使用され、また、NAND型フラッシュメモリ10の寿命(或いは、データリテンション期間)をどの程度延ばすかという基準に基づいて設定される。集中係数閾値を低くすると短期書き換え検出の可能性が上がり、一方、集中係数閾値を高くすると短期書き換え検出の可能性が下がる。

【0115】

図24及び図25は、短期書き換え検出部34による短期書き換え検出処理を示すフローチャートである。

30

【0116】

まず、短期書き換え検出部34は、ブロック制御部30から全ブロック情報を受ける(ステップS110)。この全ブロック情報は、セクタ34Aに送られる。続いて、セクタ34Aは、全ブロックの状態を確認し、全ブロックのうち使用中状態のブロックを抽出する(ステップS111)。そして、セクタ34Aは、使用中状態のブロックに対応するブロック情報(使用中状態ブロック情報)を整列部34Bに送る。

【0117】

続いて、整列部34Bは、使用中状態ブロック情報に含まれる消去時期を確認し、使用中状態のブロックを消去時期順にソートする(ステップS112)。そして、整列部34Bによりソートされたブロック情報は、探索リスト34Cに入れられると共に、消去時期が新しいブロックから順にリスト番号が付与される。

40

【0118】

続いて、判定部34Dは、探索リスト34Cの中で、消去時期が最も新しいブロックを“start”、消去時期が最も古いブロックを“end”に設定する(ステップS113)。続いて、判定部34Dは、リスト番号が“(start+end)/2”であるブロックを探索対象ブロックとして選択する(ステップS114)。

【0119】

続いて、判定部34Dは、探索対象ブロックに対して集中係数を算出する(ステップS115)。この集中係数は、次式で与えられる。

50

集中係数 = 現在時刻 - リスト番号 - 消去時期

なお、集中係数の算出に使用される現在時刻は、例えば、消去時期計測部 3 1 から短期書き換え検出部 3 4 に供給される。現在時刻としては、例えば、消去回数カウンタ 3 1 A のカウント値を用いればよい。

【 0 1 2 0 】

続いて、判定部 3 4 D は、上記算出した集中係数が、集中係数閾値を超えているか否かを判定する（ステップ S 1 1 6）。集中係数閾値を超えている場合、判定部 3 4 D は、検索対象ブロックを“end”に設定する（ステップ S 1 1 7）。続いて、判定部 3 4 D は、“end”より消去時期が古いブロックを探索リスト 3 4 C から除外する（ステップ S 1 1 7）。

10

【 0 1 2 1 】

一方、ステップ S 1 1 6 において集中係数閾値を超えていないと判定された場合、判定部 3 4 D は、検索対象ブロックの次に消去時期が古いブロックを“start”に設定する（ステップ S 1 1 9）。続いて、判定部 3 4 D は、“start”より消去時期が新しいブロックを探索リスト 3 4 C から除外する（ステップ S 1 2 0）。

【 0 1 2 2 】

ステップ S 1 1 8 或いはステップ S 1 2 0 において探索リスト 3 4 C から所定のブロックが除外された後、判定部 3 4 D は、探索リスト 3 4 C に 2 個以上のブロックが残っているか否かを判定する（ステップ S 1 2 1）。探索リスト 3 4 C に 2 個以上のブロックが残っている場合、ステップ S 1 1 4 に戻って、再度、探索対象ブロックの選択を行う。

20

【 0 1 2 3 】

ステップ S 1 2 1 において探索リスト 3 4 C に 2 個以上のブロックが残っていないと判定された場合、判定部 3 4 D は、探索リスト 3 4 C に最後に残っているブロックを探索対象ブロックとして選択する。そして、この探索対象ブロックに対して集中係数（= 現在時刻 - リスト番号 - 消去時期）を算出する（ステップ S 1 2 2）。

【 0 1 2 4 】

続いて、判定部 3 4 D は、上記算出した集中係数が、集中係数閾値を超えているか否かを判定する（ステップ S 1 2 3）。集中係数閾値を超えている場合、判定部 3 4 D は、探索対象ブロック番号を情報出力部 3 4 F に送る。情報出力部 3 4 F は、この探索対象ブロック番号を用いて、全ブロックのうち探索対象ブロックより消去時期が新しいブロックの範囲を算出する（ステップ S 1 2 4）。そして、情報出力部 3 4 F は、上記範囲を短期書き換え情報としてブロック制御部 3 0 に送る。短期書き換え情報を受けて、ブロック制御部 3 0 では、短期書き換え情報に含まれるブロックに対応する短期書き換えフラグを立て、その他のブロックに対応する短期書き換えフラグはクリアする。

30

【 0 1 2 5 】

ステップ S 1 2 3 において集中係数閾値を超えていないと判定された場合、短期書き換えが行われたブロックを検出できないと判断し、短期書き換え検出処理を終了する。

【 0 1 2 6 】

図 2 6 は、短期書き換え検出部 3 4 による短期書き換え検出処理の具体例を説明する図である。NAND型フラッシュメモリ 1 0 に含まれるブロックが 1 2 個（ブロック 0 ~ 1 1）であり、このうち、ブロック # 0 ~ 7 が探索リスト 3 4 C に含まれる使用中状態のブロックであり、ブロック # 8 ~ 1 1 が空き状態であるものとする。ブロック # 0 ~ 7 は、消去時期が新しい順にソートされている。ブロックごとの消去時期は、図に示した通りである。探索リスト 3 4 C に含まれるブロック # 0 ~ 7 は、消去時期の新しい方からリスト番号が付与されている。

40

【 0 1 2 7 】

まず、探索リスト 3 4 C の中で、消去時期が最も新しいブロック # 0 を“start”、消去時期が最も古いブロック # 7 を“end”に設定する。続いて、リスト番号が“(start + end) / 2”であるブロック # 3 が探索対象ブロックとして選択され、探索対象ブロック # 3 に対して集中係数（= 現在時刻 - リスト番号 - 消去時期）を計算し、この集中係数が

50

集中係数閾値を越えているか否かを判定する。ここで、現在時刻が“106”、集中係数閾値が“90”であるものとする。探索対象ブロック#3の集中係数は“97”であり、これは閾値を超えている。よって、探索対象ブロック#3が“end”に設定され、ブロック#3より消去時期が古いブロック#4～7は、探索リスト34Cから除外される。

【0128】

続いて、リスト番号が“(start+end)/2”であるブロック#1が探索対象ブロックとして選択され、探索対象ブロック#1に対して集中係数を計算する。探索対象ブロック#1の集中係数は“0”であり、これは閾値を超えていない。よって、探索対象ブロック#1の次に消去時期が古いブロック#2が“start”に設定され、ブロック#2より消去時期が新しいブロック#0、1は、探索リスト34Cから除外される。

10

【0129】

続いて、リスト番号が“(start+end)/2”であるブロック#2が探索対象ブロックとして選択され、探索対象ブロック#2に対して集中係数を計算する。探索対象ブロック#2の集中係数は“97”であり、これは閾値を超えている。よって、探索対象ブロック#2が“end”に設定され、ブロック#2より消去時期が古いブロック#3は、探索リスト34Cから除外される。

【0130】

続いて、最後に探索リスト34Cに残ったブロック#2が探索対象ブロックとして選択され、探索対象ブロック#2に対して集中係数を計算する。探索対象ブロック#2の集中係数は閾値を超えている。よって、探索対象ブロック#2の番号が、判定部34Dから情報出力部34Fに送られる。

20

【0131】

情報出力部34Fでは、空き状態ブロックを含む全ブロックのうち、消去時期が探索対象ブロック#2より新しいブロック#0、1、8～11を算出する。そして、情報出力部34Fは、ブロック#0、1、8～11を短期書き換え情報として、ブロック制御部30に送る。これに対し、ブロック制御部30では、ブロック#0、1、8～11に対応する短期書き換えフラグを立て、その他のブロックに対応する短期書き換えフラグはクリアする。このようにして、ブロックテーブル30Bの情報が更新される。

【0132】

以上詳述したように本実施形態によれば、短期書き換え検出部34によって頻繁に書き換えが行われているブロックを特定することができる。さらに、短期書き換え検出処理において、“ $\log_2 N$ ”回の閾値チェックで探索が終わるため、短期書き換え検出の効率を向上させることができる。

30

【0133】

[第5の実施形態]

第5の実施形態では、エラー訂正回路(ECC(Error Check and Correct)回路)をNANDコントローラ11が備え、データの読み出し時に、ECC回路によってエラーの検出及び訂正を行う。一般的に、誤り数は、データの書き込みから時間が経過するにつれて増加する傾向がある。よって、誤り数が多いブロックは、消去時期が古いブロックであるとも言える。そこで、本実施形態では、ECC回路による誤り数を入替元ブロック選択の指標にするようにしている。

40

【0134】

図27は、第5の実施形態に係るNANDコントローラ11の構成の一例を示すブロック図である。NANDコントローラ11は、ECC回路36を備えている。ECC回路36は、NAND型フラッシュメモリ10からデータを読み出す際に、エラーの検出及び訂正を行う。さらに、ECC回路36は、ブロックごとに、エラーの検出時に検出した誤り数をブロック制御部30に送る。

【0135】

図28は、ブロック制御部30の構成を示すブロック図である。ブロック制御部30に含まれるブロックテーブル30Bは、ブロック番号ごとに、誤り数を格納する。ブロック

50

テーブル 30B に含まれる誤り数は、NAND 型フラッシュメモリ 10 からのデータ読み出しごとに (ECC 回路 36 によるエラー訂正ごとに)、更新される。

【0136】

次に、NAND コントローラ 11 の読み出し動作について説明する。図 29 は、NAND コントローラ 11 による読み出し動作を示すフローチャートである。

【0137】

まず、NAND コントローラ 11 は、CPU 2 から読出要求を受けることで、読み出し動作を開始する (ステップ S130)。続いて、ブロック制御部 30 は、アドレステーブル 30A を用いて、読出要求のアドレスを含むアドレス領域に対応するブロック番号を検索する (ステップ S131)。

10

【0138】

続いて、ブロック制御部 30 は、読出要求のブロックからデータを読み出す (ステップ S132)。すなわち、ブロック制御部 30 は、NAND インターフェース回路 25 に読出要求を発行する。この読出要求に基づいて、NAND インターフェース回路 25 は、NAND 型フラッシュメモリ 10 に、読出要求のブロックからデータを読み出すように指示する。

【0139】

続いて、ECC 回路 36 は、NAND 型フラッシュメモリ 10 から読み出されたデータに対して、エラーの検出及び訂正を行う (ステップ S133)。エラー訂正された読み出しデータは、データバス 6 を介して CPU 2 等に送られる。このエラー訂正の際、ECC 回路 36 は、誤り数を算出し、この誤り数をブロック制御部 30 に送る。ECC 回路 36 から誤り数を受けて、ブロック制御部 30 は、この誤り数をブロックテーブル 30B に記録する。このようにして、ブロックテーブル 30B に含まれる誤り数が更新される。

20

【0140】

次に、入替元ブロック選択部 33 による入替元ブロック選択処理について説明する。図 30 は、入替元ブロック選択部 33 による入替元ブロック選択処理を示すフローチャートである。なお、入替元ブロック選択部 33 の構成は、図 21 と同じである。

【0141】

入替元ブロック選択部 33 は、ブロック制御部 30 から全ブロック情報を受ける (ステップ S140)。この全ブロック情報は、セクタ 33A に送られる。続いて、セクタ 33A は、全ブロックの状態を確認し、全ブロックのうち使用中状態のブロックを抽出する (ステップ S141)。そして、セクタ 33A は、使用中状態のブロックに対応するブロック情報 (使用中状態ブロック情報) をセクタ 33B に送る。

30

【0142】

続いて、セクタ 33B は、使用中状態ブロック情報のうち入替元ブロック設定値により設定された条件のブロック情報を抽出する (ステップ S142)。ここで、入替元ブロック設定値には、「誤り数が一定数より多いブロック」が設定されている。

【0143】

続いて、セクタ 33C は、セクタ 33B により抽出されたブロックのうち消去回数が最も少ないブロックを入替元ブロックとして選択する (ステップ S143)。この入替元ブロックに対応する入替元ブロック情報は、平準化部 35 に送られる。

40

【0144】

以上詳述したように本実施形態によれば、メモリシステム 1 の書き込み処理において、短期的に書き換えが集中したブロックを、一度書き込みで割り当たられたまま長い期間解放されないブロックと入れ替えることができる。これにより、消去時期の間隔が短いことによるブロックの消耗を抑え、ブロックの消耗を NAND 型フラッシュメモリ 10 全体で平均化することができる。

【0145】

さらに、入替元ブロックとして、ECC による誤り数が多いブロックが選択される。これにより、誤り数が多いブロックのデータが書き直されるため、平準化処理と同時にリフ

50

レッシュ処理（NAND型フラッシュメモリ10に記憶してあるデータを読み出してエラー訂正を行った後に、再びNAND型フラッシュメモリ10に書き戻す）を行うことにもなる。この結果、リフレッシュ処理の回数を低減することができるため、リフレッシュに伴うデータ書き込み量を削減する効果も得られる。

【0146】**[実施例]**

上記各実施形態のメモリシステム1をSSD（Solid State Drive）として構成した場合の実施例について説明する。図31は、SSD100の構成を示すブロック図である。

【0147】

SSD100は、データ保存用の複数のNAND型フラッシュメモリ（NANDメモリ）10、データ転送用又は作業領域用のDRAM101、これらを制御するドライブ制御回路102、及び電源回路103を備えている。ドライブ制御回路102は、SSD100の外部に設けられる状態表示用LEDを制御するための制御信号を出力する。なお、DRAM101に代えて、FeRAM（ferroelectric random access memory）を用いてもよい。

10

【0148】

SSD100は、ATAインターフェース（ATA I/F）を介して、パーソナルコンピュータ等のホスト装置との間でデータを送受信する。また、SSD100は、RS232Cインターフェース（RS232C I/F）を介して、デバッグ用機器との間でデータを送受信する。

20

【0149】

電源回路103は、外部電源を受け、この外部電源を用いて複数の内部電源を生成する。これらの内部電源は、SSD100内の各部に供給される。また、電源回路103は、外部電源の立ち上がりを検知して、パワーオンリセット信号を生成する。パワーオンリセット信号は、ドライブ制御回路102に送られる。

【0150】

図32は、ドライブ制御回路102の構成を示すブロック図である。ドライブ制御回路102は、データアクセス用バス104、第1の回路制御用バス105、及び第2の回路制御用バス106を備えている。

【0151】

第1の回路制御用バス105には、ドライブ制御回路102全体を制御するプロセッサ107が接続されている。また、第1の回路制御用バス105には、各管理プログラム（FW：firmware）のブート用プログラムが格納されたブートROM108がROMコントローラ109を介して接続されている。また、第1の回路制御用バス105には、電源回路103からのパワーオンリセット信号を受けて、リセット信号及びクロック信号を各部に供給するクロックコントローラ110が接続されている。

30

【0152】

第2の回路制御用バス106は、第1の回路制御用バス105に接続されている。第2の回路制御用バス106には、状態表示用LEDにステータス表示用信号を供給するパラレルIO（PIO）回路111、RS232Cインターフェースを制御するシリアルIO（SIO）回路112が接続されている。

40

【0153】

ATAインターフェースコントローラ（ATAコントローラ）113、第1のECC（Error Check and Correct）回路114、NANDコントローラ115、及びDRAMコントローラ119は、データアクセス用バス104と第1の回路制御用バス105との両方に接続されている。ATAコントローラ113は、ATAインターフェースを介してホスト装置との間でデータを送受信する。データアクセス用バス104には、データ作業領域として使用されるSRAM120がSRAMコントローラ121を介して接続されている。

【0154】

50

NANDコントローラ115は、4つのNANDメモリ10とのインターフェース処理を行うNANDインターフェース回路(NAND I/F)118、第2のECC回路117、及びNANDメモリ-DRAM間のアクセス制御を行うDMA転送制御用DMAコントローラ116を備えている。

【0155】

図33は、プロセッサ107の構成を示すブロック図である。プロセッサ107は、データ管理部122、ATAコマンド処理部123、セキュリティ管理部124、ブートローダ125、初期化管理部126、デバッグサポート部127を備えている。

【0156】

データ管理部122は、NANDコントローラ115、第1のECC回路114を介して、NANDメモリ-DRAM間のデータ転送、NANDチップに関する各種機能を制御する。

10

【0157】

ATAコマンド処理部123は、ATAコントローラ113、及びDRAMコントローラ119を介して、データ管理部122と協働してデータ転送処理を行う。セキュリティ管理部124は、データ管理部122及びATAコマンド処理部123と協働して各種のセキュリティ情報を管理する。ブートローダ125は、パワーオン時、各管理プログラム(FW)をNANDメモリ10からSRAM120にロードする。

【0158】

初期化管理部126は、ドライブ制御回路102内の各コントローラ/回路の初期化を行う。デバッグサポート部127は、外部からRS232Cインターフェースを介して供給されたデバッグ用データを処理する。

20

【0159】

図34は、SSD100を搭載したポータブルコンピュータ200の一例を示す斜視図である。ポータブルコンピュータ200は、本体201、及び表示ユニット202を備えている。表示ユニット202は、ディスプレイハウジング203と、このディスプレイハウジング203に収容された表示装置204とを備えている。

【0160】

本体201は、筐体205と、キーボード206と、ポインティングデバイスであるタッチパッド207とを備えている。筐体205内部には、メイン回路基板、ODD(optical disk device)ユニット、カードスロット、及びSSD100等が収容されている。

30

【0161】

カードスロットは、筐体205の周壁に隣接して設けられている。周壁には、カードスロットに対向する開口部208が設けられている。ユーザは、この開口部208を通じて筐体205の外部から追加デバイスをカードスロットに挿抜することが可能である。

【0162】

SSD100は、従来のHDDの置き換えとして、ポータブルコンピュータ200内部に実装された状態として使用してもよいし、ポータブルコンピュータ200が備えるカードスロットに挿入した状態で、追加デバイスとして使用してもよい。

【0163】

なお、上記各実施形態のメモリシステム1は、SSDに限らず、例えば、SDTMカードに代表されるメモリカードとして構成することも可能である。メモリシステム1をメモリカードとして構成する場合、ポータブルコンピュータに限らず、携帯電話、PDA、デジタルスチルカメラ、デジタルビデオカメラ等、各種電子機器に対して適用可能である。

40

【0164】

本発明は、上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲内で、構成要素を変形して具体化できる。また、実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成することができる。例えば、実施形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施形態の構成要素を適宜組み合わせてもよい。

50

【符号の説明】

【0165】

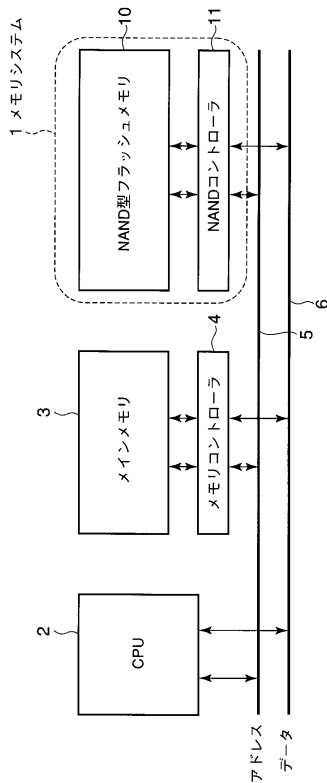
1 ...メモリシステム、2 ...CPU、3 ...メインメモリ、4 ...メモリコントローラ、10 ...NAND型フラッシュメモリ、11 ...NANDコントローラ、21 ...ホストインターフェース回路、22 ...MPU、23 ...ROM、24 ...RAM、25 ...NANDインターフェース回路、30 ...ブロック制御部、30A ...アドレステーブル、30B ...ブロックテーブル、30C、31B ...演算部、31 ...消去時期計測部、31A ...消去回数カウンタ、32 ...割当ブロック選択部、32A ~ 32C、33A ~ 33C ...セクタ、32D、33D、34E、35B ...記憶部、33 ...入替元ブロック選択部、34 ...短期書き換え検出部、34A ...セクタ、34B ...整列部、34C ...探索リスト、34D ...判定部、34F ...情報出力部、35 ...平準化部、35A ...平準化判定部、36 ...ECC回路、100 ...SSD、101 ...DRAM、102 ...ドライブ制御回路、103 ...電源回路、104 ...データアクセス用バス、105 ...第1の回路制御用バス、106 ...第2の回路制御用バス、107 ...プロセッサ、108 ...ブートROM、109 ...ROMコントローラ、110 ...クロックコントローラ、111 ...PIO回路、112 ...SIO回路、113 ...ATAインターフェースコントローラ、114 ...第1のECC回路、115 ...NANDコントローラ、116 ...DMAコントローラ、117 ...第2のECC回路、118 ...NANDインターフェース回路、119 ...DRAMコントローラ、120 ...SRAM、121 ...SRAMコントローラ、122 ...データ管理部、123 ...ATAコマンド処理部、124 ...セキュリティ管理部、125 ...ブートローダ、126 ...初期化管理部、127 ...デバッグサポート部、200 ...ポータブルコンピュータ、201 ...本体、202 ...表示ユニット、203 ...ディスプレイハウジング、204 ...表示装置、205 ...筐体、206 ...キーボード、207 ...タッチパッド、208 ...開口部。

10

20

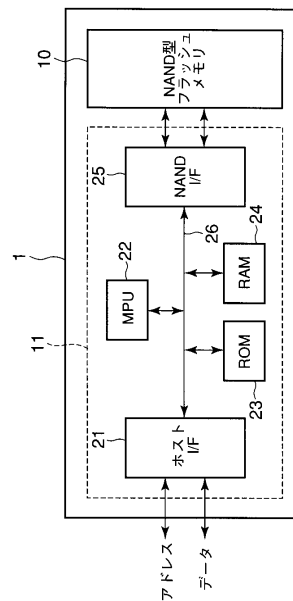
【図1】

図1

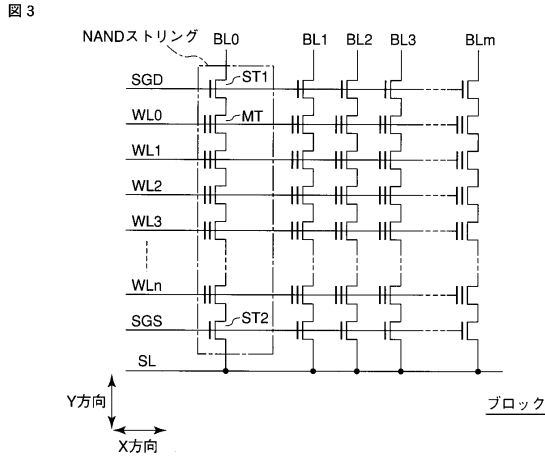


【図2】

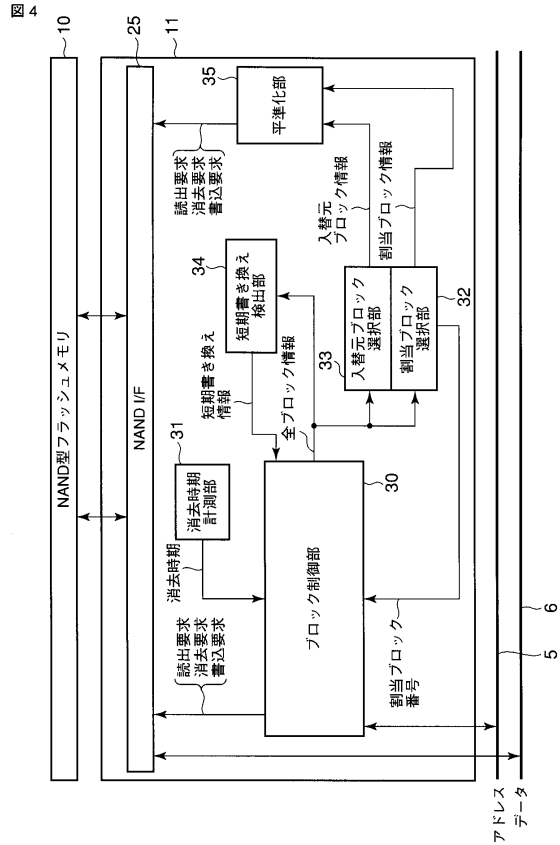
図2



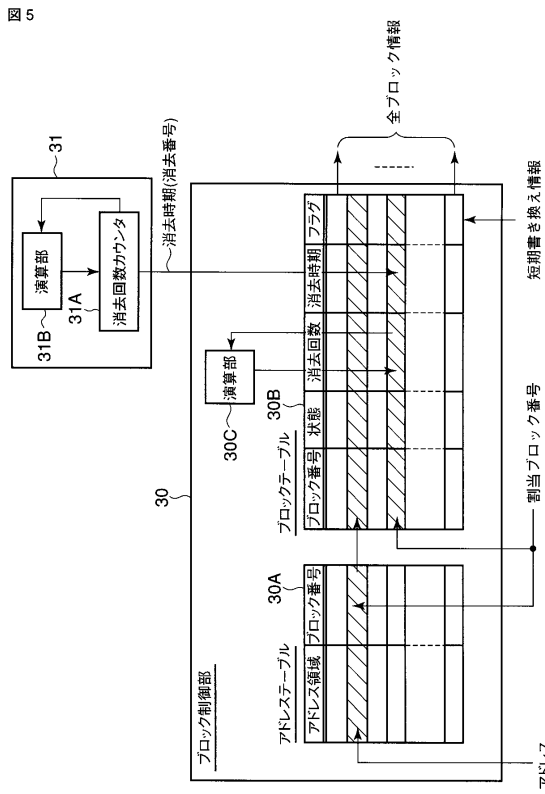
【図3】



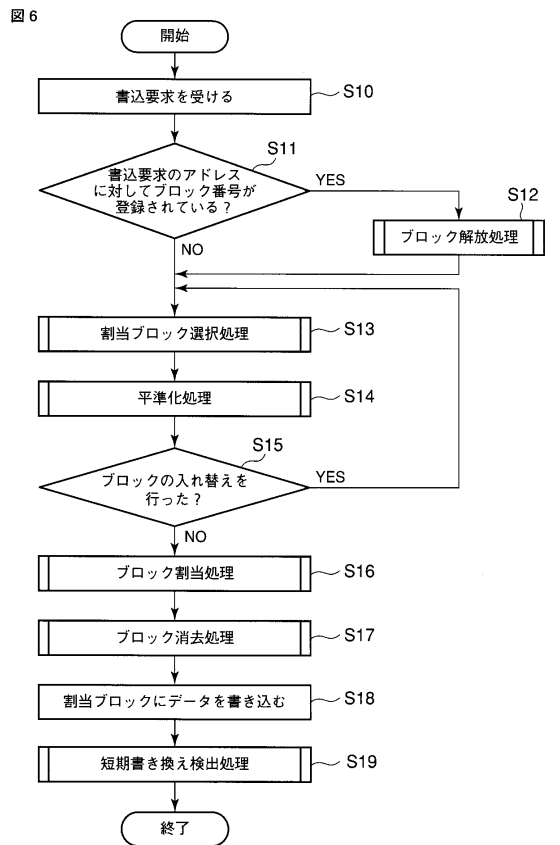
【図4】



【図5】

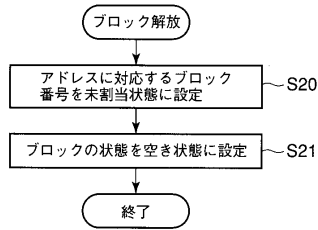


【図6】



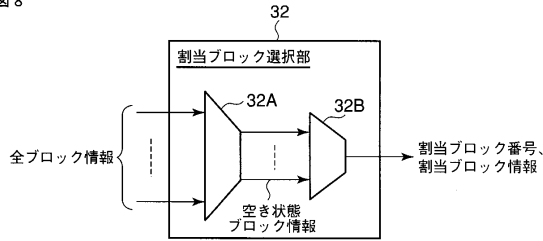
【図7】

図7



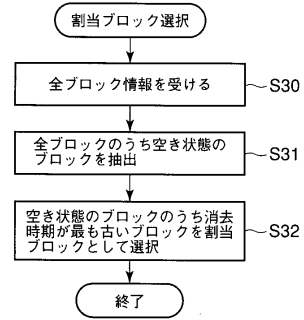
【図8】

図8



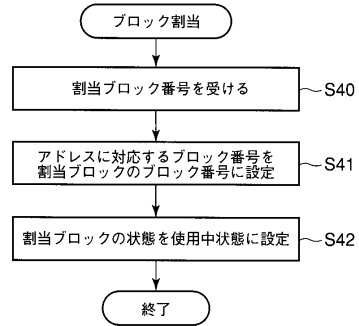
【図9】

図9



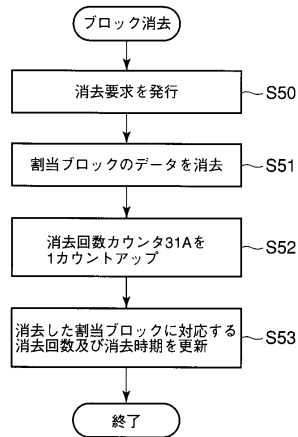
【図10】

図10



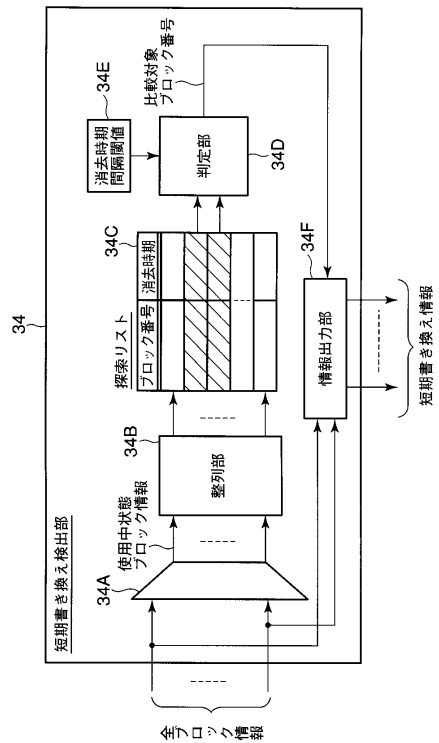
【図11】

図11



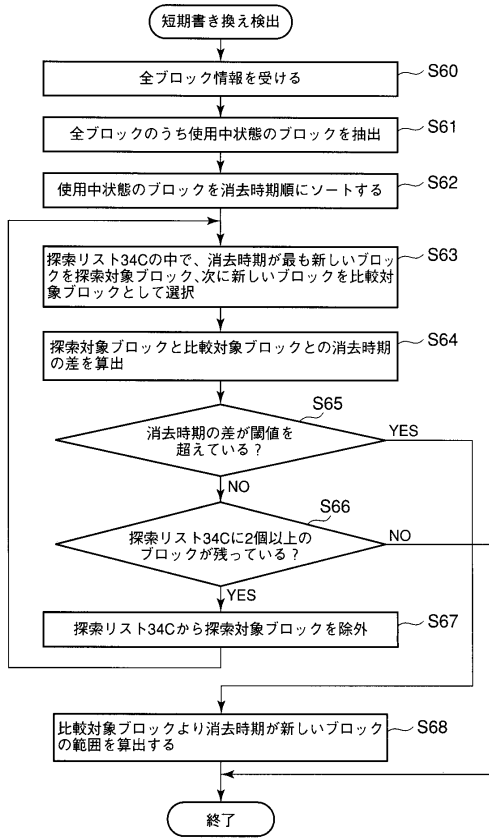
【図12】

図12



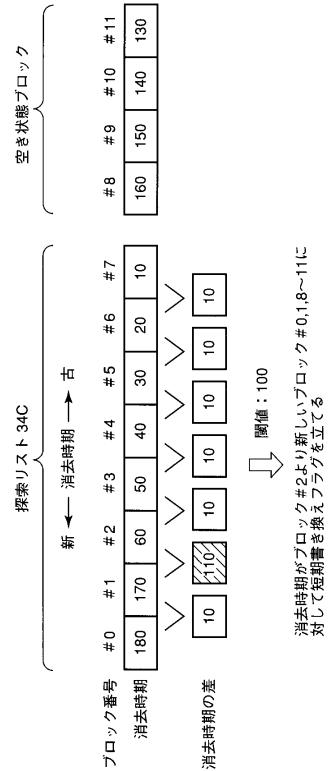
【図 13】

図 13



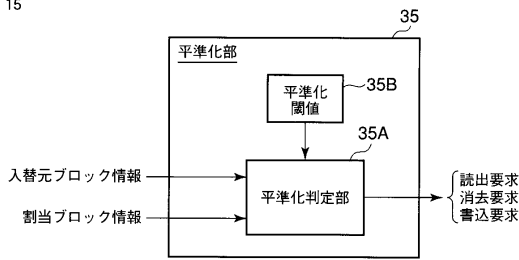
【図 14】

図 14



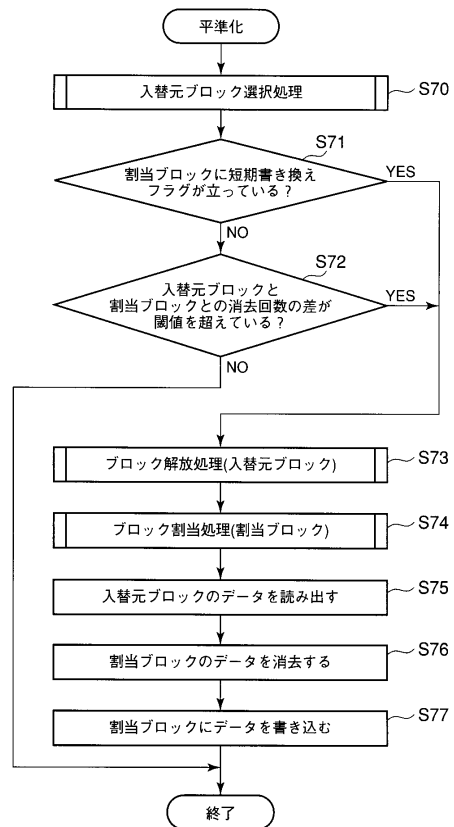
【図 15】

図 15



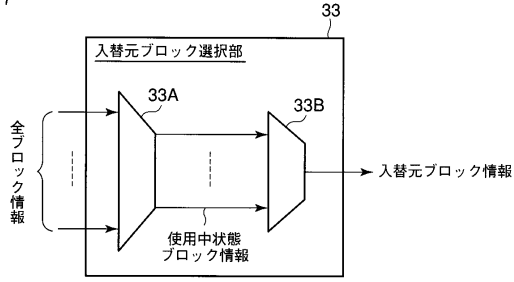
【図 16】

図 16



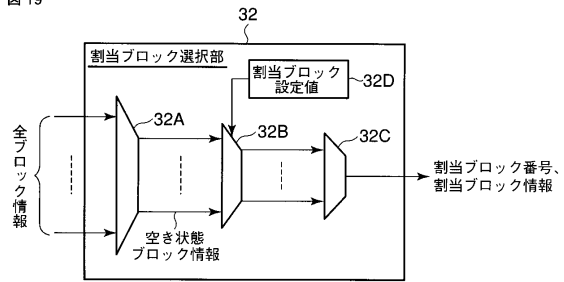
【図17】

図17



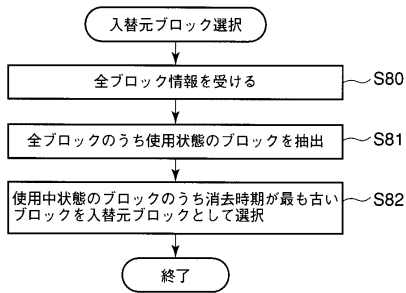
【図19】

図19



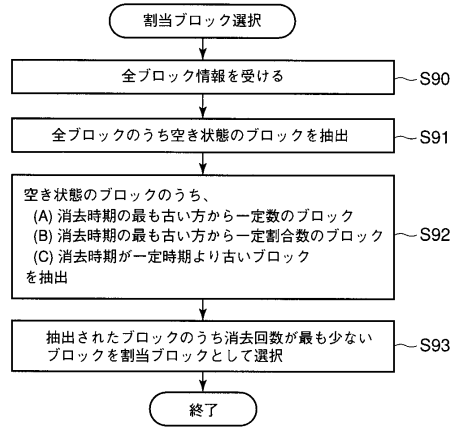
【図18】

図18



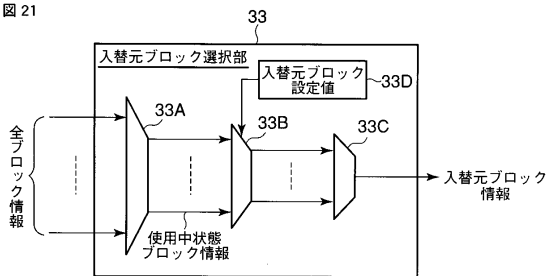
【図20】

図20



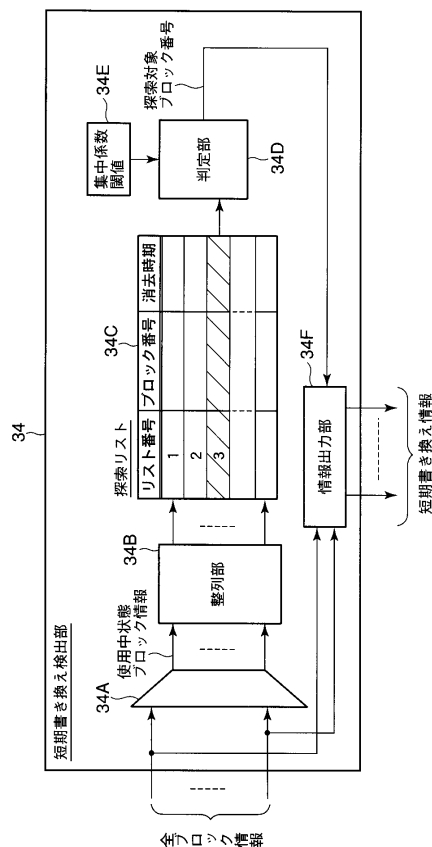
【図21】

図21



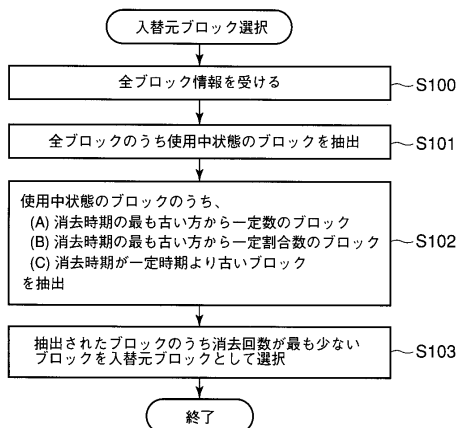
【図23】

図23



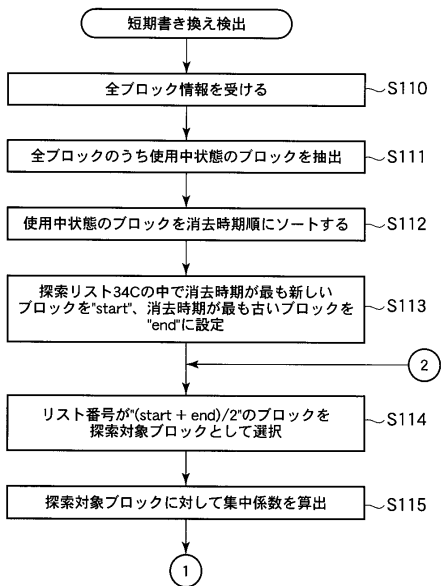
【図22】

図22



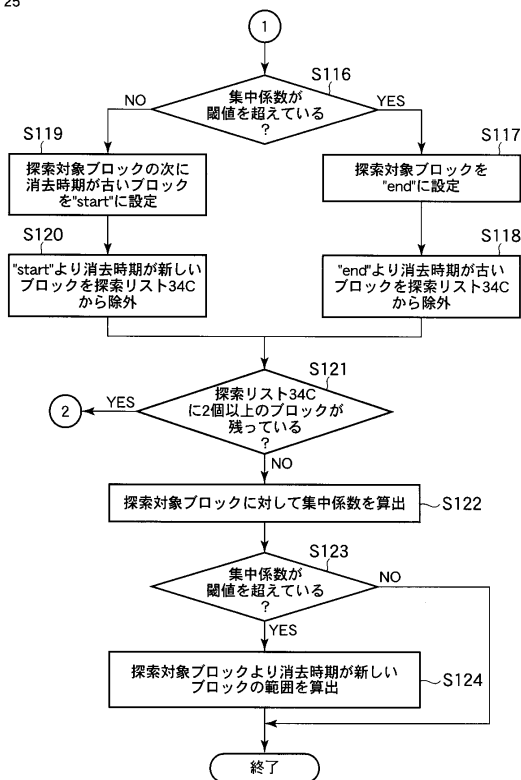
【図 24】

図 24



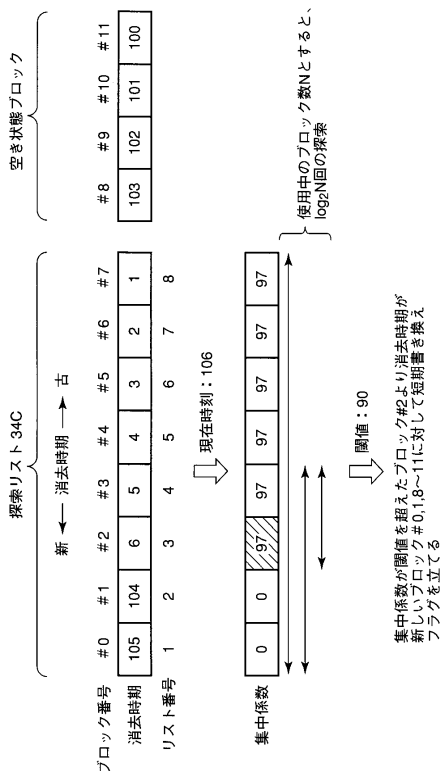
【図 25】

図 25



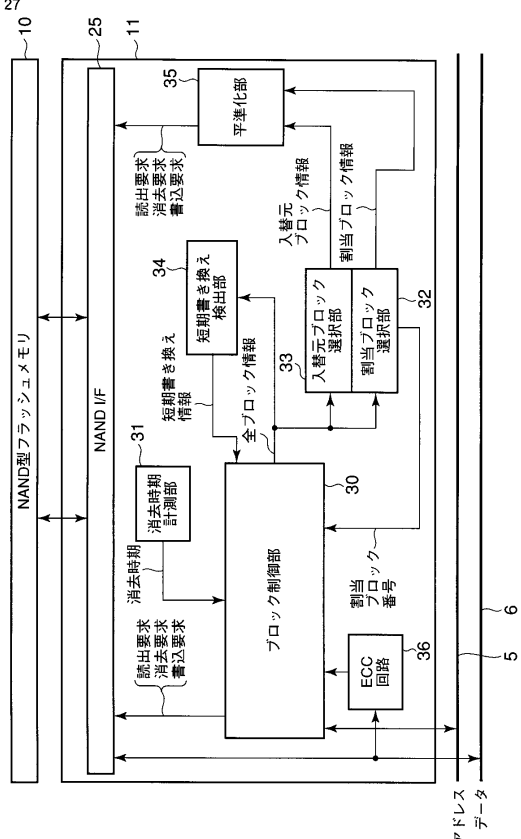
【図 26】

図 26



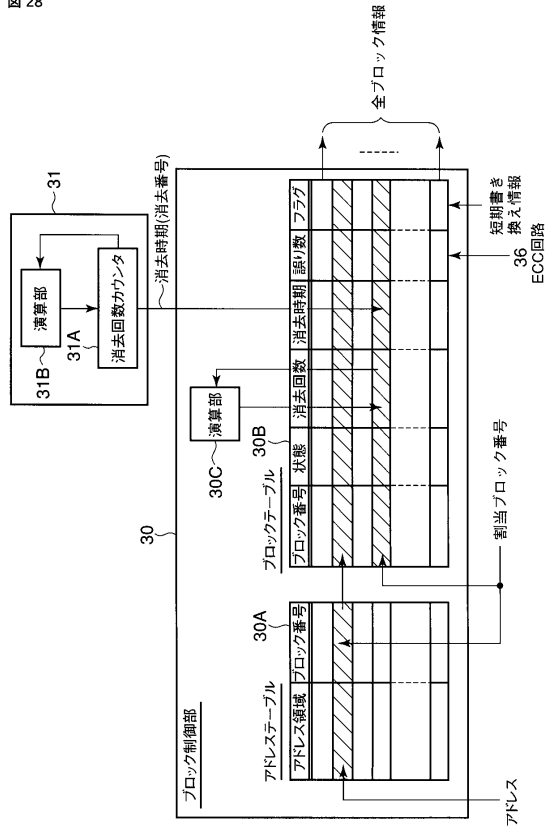
【図 27】

図 27



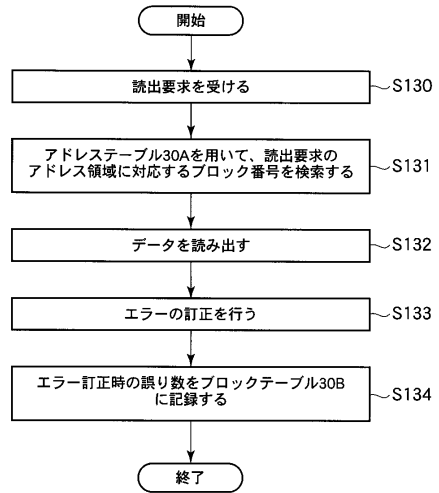
【図 28】

図 28



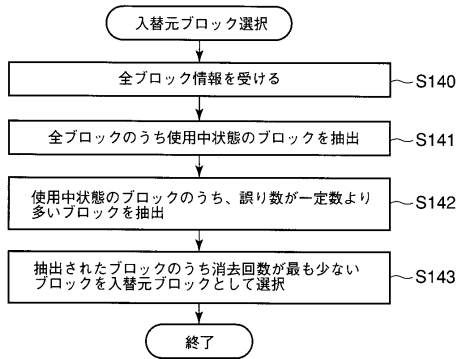
【図 29】

図 29



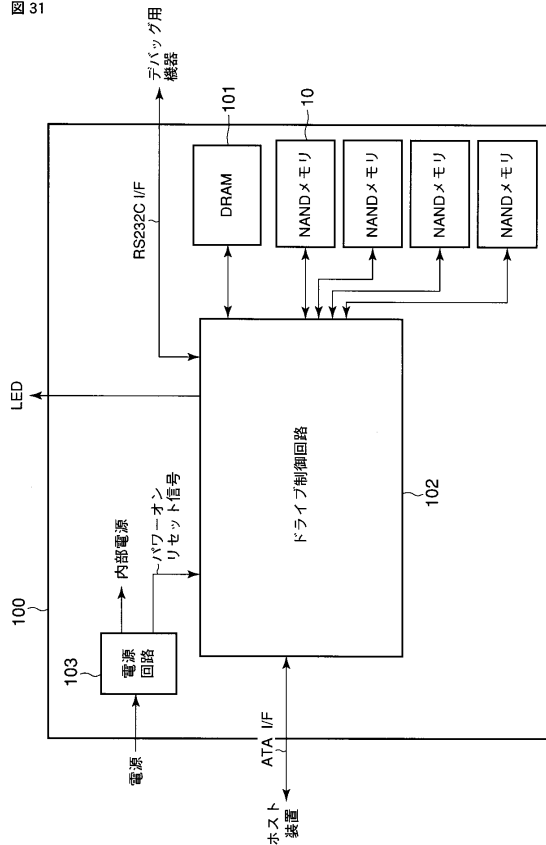
【図 30】

図 30



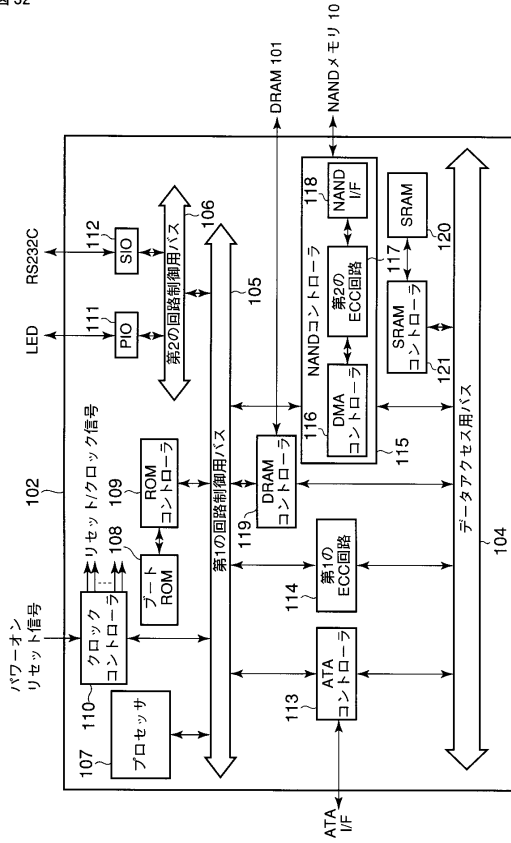
【図 31】

図 31



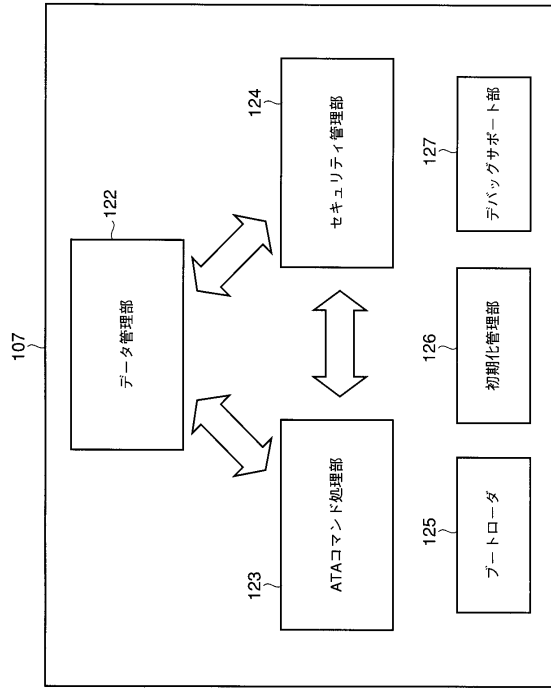
【 図 3 2 】

図 32



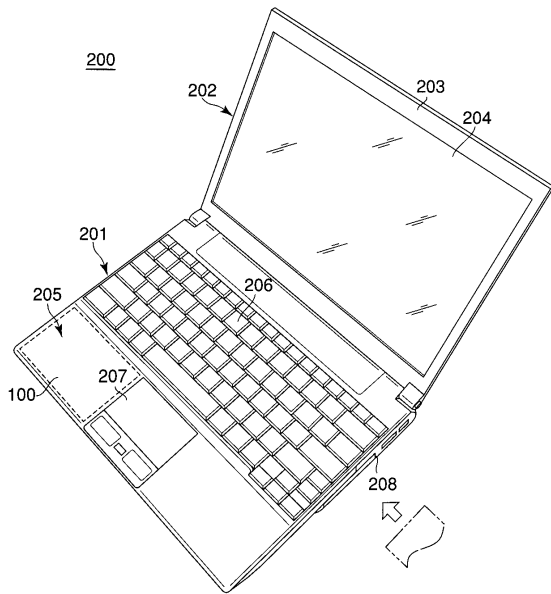
【 図 3 3 】

図 33



【 図 3 4 】

図 34



フロントページの続き

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 菅野 伸一
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 矢野 浩邦
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 檜田 敏克
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 橘内 和也
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 矢野 純二
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 堀江 義隆

- (56)参考文献 特開平06-250798(JP,A)
特開平08-016482(JP,A)
特開平11-096779(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|---------|-----------|
| G 0 6 F | 1 2 / 1 6 |
| G 0 6 F | 1 2 / 0 0 |
| G 0 6 F | 1 2 / 0 2 |