

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl. <sup>6</sup> H01L 33/00	(11) 공개번호      특 1999-0086981 (43) 공개일자      1999년 12월 15일
(21) 출원번호      10-1998-0035150	
(22) 출원일자      1998년 08월 28일	
(30) 우선권주장	97-234284 1997년 08월 29일 일본(JP) 98-178278 1998년 06월 25일 일본(JP)
(71) 출원인	가부시끼가이샤 도시바      니시무로 타이죠 일본국 가나가와Ken 가와사끼시 사이와이구 호리가와쪽 72반지
(72) 발명자	후지타 시노부 일본국 가나가와Ken 가와사끼시 사이와이구 고무가이도시바정 1번지가부시키 가이샤 도시바 연구개발센터내 구로베 아츠시 일본국 가나가와Ken 가와사끼시 사이와이구 고무가이도시바정 1번지가부시키 가이샤 도시바 연구개발센터내
(74) 대리인	김윤배, 이세진

**심사첨구 : 있음****(54) 반도체장치****요약**

(과제) 본 발명은, 실리콘을 이용한 발광소자의 발광효율을 향상시키면서 전기적으로 제어가능하게 한다.

(해결수단) 발광부분의 실리콘을 양자사이즈효과가 발현하도록 하는 10nm 이하의 사이즈의 결정으로 이루어진 미결정(微結晶)으로 한다. 이 미결정의 주변에 5nm 이하의 두께의 절연막을 형성하고, 이 미세구조부분을 p형과 n형의 반도체로 끼운다. p형 반도체와 n형 반도체가 그 미세구조부분에서만 전기적으로 접합되고, 그 외의 부분은 절연막 등에 의해 전기적으로 절연된다. 전자와 정공이 터널링에 의해 상기 미결정내에 주입되어 효율좋게 결합하여 발광한다.

**대표도****도1****명세서****도면의 간단한 설명**

도 1은 본 발명의 실시예1에 따른 반도체장치의 단면도이고,  
 도 2는 본 발명의 실시예2에 따른 반도체장치의 단면도,  
 도 3은 본 발명의 실시예3에 따른 반도체장치의 단면도,  
 도 4는 본 발명의 실시예4에 따른 반도체장치의 단면도,  
 도 5는 본 발명의 실시예5에 따른 반도체장치의 단면도,  
 도 6은 본 발명의 실시예5에 따른 반도체장치의 확대단면도,  
 도 7은 본 발명의 실시예6에 따른 반도체장치의 단면도,  
 도 8은 본 발명의 실시예6에 따른 반도체장치의 사시도,  
 도 9는 본 발명의 실시예7에 따른 반도체장치의 단면도,  
 도 10은 본 발명의 실시예8에 따른 반도체장치의 단면도,  
 도 11은 본 발명의 실시예8에 따른 반도체장치의 평면도,  
 도 12는 본 발명의 실시예9에 따른 반도체장치의 단면도,  
 도 13은 본 발명의 반도체장치의 발광층의 단면도,

도 14는 다공질 실리콘의 단면도,

도 15는 본 발명의 반도체장치의 총두께와 온(0n)전압, 총두께와 발광강도의 관계를 나타낸 도면,

도 16은 본 발명의 실시예10에 따른 반도체장치의 단면도,

도 17은 본 발명의 실시예10에 따른 반도체장치의 발광파장과 발광강도의 관계를 나타낸 도면이다.

〈도면의 주요부분에 대한 부호의 설명〉

- |                            |                               |
|----------------------------|-------------------------------|
| 11 --- p형 실리콘기판,           | 12 --- 실리콘 미결정,               |
| 13 --- 실리콘산화막,             | 14 --- 미결정 반도체층,              |
| 15 --- n형 다결정 실리콘층,        | 16 --- 투명전극,                  |
| 17 --- 금속전극,               | 21 --- n형 실리콘기판,              |
| 22 --- 실리콘 미결정,            | 23 --- 실리콘산화막,                |
| 24 --- 반도체 미결정층,           | 25 --- p형 비정질 실리콘,            |
| 26 --- 투명전극,               | 27 --- 금속전극,                  |
| 31 --- p형 실리콘기판,           | 32 --- 초격자중의 다결정 실리콘,         |
| 33 --- 초격자중의 실리콘산화막,       | 34 --- n형 다결정 실리콘층,           |
| 35 --- 투명전극,               | 36 --- 금속전극,                  |
| 41 --- n형 실리콘기판,           | 42 --- 실리콘 미결정,               |
| 43 --- 질화실리콘막,             | 44 --- p형 비정질 실리콘층,           |
| 45 --- 투명전극,               | 46 --- 금속전극,                  |
| 51 --- 실리콘기판,              | 52 --- p형 실리콘결정,              |
| 53 --- 적색 발광소자영역,          | 54 --- 녹색 발광소자영역,             |
| 55 --- 청색 발광소자영역,          | 56 --- 절연층,                   |
| 61 --- p형 실리콘결정,           | 62 --- 실리콘 미결정을 함유한 발광층,      |
| 63 --- n형 실리콘층,            | 64 --- 투명전극,                  |
| 71 --- p형 실리콘기판,           | 72 --- 실리콘 세션,                |
| 73 --- 실리콘산화막,             | 74 --- n형 비정질 실리콘층,           |
| 75 --- 투명전극,               | 76 --- 금속전극,                  |
| 91 --- p형 실리콘기판,           | 92 --- 실리콘 미결정,               |
| 93 --- 절연막,                | 94 --- n형 다결정 실리콘층,           |
| 95 --- 접지전극,               | 96 --- 회로기판,                  |
| 97 --- 발광소자,               | 101 --- 실리콘기판,                |
| 102 --- 실리콘산화막,            | 103 --- n형 실리콘층,              |
| 104 --- 실리콘과 실리콘산화막의 초격자층, |                               |
| 105 --- p형 실리콘층,           | 121 --- 실리콘기판,                |
| 122 --- n형 실리콘층,           | 123 --- p형 실리콘층,              |
| 124 --- 전극,                | 125 --- 전극,                   |
| 126 --- 실리콘산화막,            | 127 --- n형 실리콘층,              |
| 128 --- 실리콘과 실리콘산화막의 초격자층, |                               |
| 129 --- p형 실리콘층,           | 131 --- 전극,                   |
| 132 --- 전극,                | 161 --- <sup>†</sup> p 실리콘기판, |
| 162 --- Si 미결정층,           | 163 --- 전극,                   |
| 164 --- 전극.                |                               |

**발명의 상세한 설명**

**발명의 목적**

## 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치에 관한 것으로, 특히 전압인가에 의해 발광하는 IV족 반도체를 이용한 반도체장치에 관한 것이다.

종래, 반도체 발광소자는 As나 P를 함유한 III-V족 화합물을 반도체가 사용되고 있다. 그렇지만, CPU나 메모리로 대표되는 반도체소자는 Si를 이용하는 경우가 압도적으로 많아 반도체 발광소자와 CPU나 메모리를 모놀리틱으로 Si기판상에 형성하는 것은 곤란하다. 또 Si기판이 저코스트이기 때문에, Si기판을 기초로 한 발광소자가 기대되고 있다.

그렇지만, Si는 간접천이형 반도체이기 때문에 발광효율이 낮고, 단순히 Si기판상에 Si의 pn접합을 형성한 반도체 발광소자는 충분한 발광을 얻을 수 없다.

이에 대해 Si기판상에 형성할 수 있는 것으로서 SiGe를 들 수 있다. SiGe는 직접천이형으로 되리라고 기대되어 연구가 진행되어 왔지만, 현재의 경우 발광효율이 높은 것은 얻어지고 있지 않다.

또, Si기판상에 III-V족 화합물을 반도체를 에피택셜성장하는 시도도 있지만, 전위(轉位) 등의 막내의 결함을 저감할 수 없어 실용화에는 이르고 있지 못하다.

Si기판 표면을 에칭하여 다공질화한 다공질(porous) Si는 실온에서 강한 광여기(photo-luminescence)발광을 나타낸다. 그렇지만, 전류주입량에 대한 발광효율이 극단적으로 낮고, 또 특성이 불안정하다는 등의 이유로부터, 실용화에 이르고 있지 못하다.

이들에 대해, 비정질 Si를 가열하여 형성한 직경 5nm 이하의 Si의 미결정으로부터 실온에서 자외(紫外)로부터 청색의 범위가 비교적 강한 광여기발광이 보인다고 하는 보고(문헌: X\_Zhao et al., Japanese Journal of Applied Physics, volume 33, L649(1994))가 있다.

또, 수nm의 두께의 비정질 Si와 Si산화막을 교대로 성장시켜 제작한 초격자구조로부터도 실온에서 비교적 강한 광여기발광이 보인다고 하는 보고(문헌: Z. H. Lu et al., Nature, volume 378, 258(1995))도 있다.

그렇지만, 이들은 단순히 광여기발광이 보이는 구조일 뿐이고, 전류주입에 의해 발광하는 것이 아니며, 전기적으로 제어할 수 있는 발광소자가 아니다.

또, 비정질 Si박막과 질화Si박막의 초격자를 적층시킨 것을 레이저가열에 의해 부분적으로 재결정화시키고 나서 단순히 전극을 설치한 발광소자의 시작례(試作例)의 보고의 일례(K. Chen et al., J. Non-Cryst. Solids, 198, 833(1996))도 있다. 그렇지만, 레이저가열에서는 균일하게 가열되지 않고 미결정의 사이즈·밀도의 변동이 커서 발광효율이 나쁘다는 것과, 적층한 층의 총두께가 200nm 이상으로 두껍기 때문에, 25V정도의 높은 동작전압을 필요로 하고 있다.

## 발명이 이루고자하는 기술적 과제

상술한 바와 같이, 종래 Si를 기초로 한 반도체 발광소자는 충분한 발광효율을 얻을 수 없다고 하는 문제가 있었다.

본 발명은 상기와 같은 문제점을 해결하기 위해 이루어진 것으로, 충분한 발광효율을 나타내는 Si를 기초로 한 반도체장치를 제공하는 것을 목적으로 한다.

또 본 발명은, 전기적으로 제어할 수 있는 Si를 기초로 한 반도체장치를 제공하는 것을 목적으로 한다.

## 발명의 구성 및 작용

상기한 목적을 달성하기 위해 본 발명은, p형 IV족 반도체층과, 이 p형 IV족 반도체층상에 형성되고, 표면을 그 반도체보다도 저항률이 높은 고저항막 또는 절연막으로 덮은 반도체 미결정을 함유한 반도체 미결정층 및, 이 반도체 미결정층상에 형성된 n형 IV족 반도체층을 구비하고, 상기 반도체 미결정은 양자감금효과를 발현하는 크기이며, 상기 p형 IV족 반도체층과 상기 n형 IV족 반도체층 사이에 전압을 인가함으로써 전자 및 정공이 상기 고저항막 또는 절연막을 터널링하여 상기 반도체 미결정층에 주입되어 상기 전자와 상기 정공이 상기 고저항막 또는 절연막을 터널링하여 상기 반도체 미결정층에 주입되어 상기 전자와 상기 정공이 재결합함으로써 발광하는 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, 상기 반도체 미결정이 적어도 실리콘을 구비하는 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, 상기 p형 또는 n형 IV족 반도체가 적어도 실리콘을 구비하는 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, p형 또는 n형 IV족 반도체층과, 이 p형 또는 n형 IV족 반도체층상에 형성되고, 표면을 그 반도체보다도 저항률이 높은 고저항막 또는 절연막으로 덮은 반도체 미결정을 함유한 반도체 미결정층 및, 이 반도체 미결정층상에 형성된 금속층을 구비하고, 상기 반도체 미결정은 양자감금효과를 발현하는 크기이며, 상기 p형 또는 n형 IV족 반도체층과 상기 금속층 사이에 전압을 인가함으로써 전자 및 정공이 상기 고저항막 또는 절연막을 터널링하여 상기 반도체 미결정층에 주입되어 상기 전자와 상기 정공이 재결합함으로써 발광하는 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, 상기 반도체 미결정이 적어도 실리콘을 구비하는 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, 상기 p형 또는 n형 IV족 반도체가 적어도 실리콘을 구비하는 것을 특징으로 하는 반도체

장치를 제공한다.

또 본 발명은, 상기 고저항막 또는 절연막의 두께가 5nm 이하, 상기 반도체 미결정의 크기가 10nm 이하인 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, 상기 반도체 미결정내에서 공동(空洞)이 점유하는 체적이 총의 체적의 5% 이하인 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, 발광층으로 되는 상기 반도체 미결정층을 복수개 포함하고, 미결정층의 두께의 합계가 80nm 이하인 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, p형 IV족 반도체층과, 이 p형 IV족 반도체층상에 형성되고, 표면을 절연막으로 덮은 반도체 세션을 함유한 반도체 세션층 및, 이 반도체 세션층상에 형성된 n형 IV족 반도체층을 구비하고, 상기 반도체 세션은 양자감금효과를 발현하는 크기이며, 상기 p형 IV족 반도체층과 상기 n형 IV족 반도체층 사이에 전압을 인가함으로써 전자 및 정공이 상기 절연막을 터널링하여 상기 반도체 세션층에 주입되어 상기 전자와 상기 정공이 재결합함으로써 발광하는 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, p형 또는 n형 IV족 반도체층과, 이 p형 또는 n형 IV족 반도체층상에 형성되고, 표면을 절연막으로 덮은 반도체 세션을 함유한 반도체 세션층 및, 이 반도체 세션층상에 형성된 금속층을 구비하고, 상기 반도체 세션은 양자감금효과를 발현하는 크기이며, 상기 p형 또는 n형 IV족 반도체층과 상기 금속층 사이에 전압을 인가함으로써 전자 및 정공이 상기 절연막을 터널링하여 상기 반도체 세션층에 주입되어 상기 전자와 상기 정공이 재결합함으로써 발광하는 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, 발광층으로 되는 상기 반도체 세션층을 복수개 포함하고, 세션층의 두께의 합계가 80nm 이하인 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, 상기 절연막의 두께가 5nm 이하, 상기 반도체 세션의 종횡의 길이가 10nm 이하인 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, 상기 반도체 세션이 적어도 실리콘을 구비하는 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, 상기 p형 또는 n형 IV족 반도체가 적어도 실리콘을 구비하는 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, p형 IV족 반도체층과, 이 p형 IV족 반도체층상에 두께 10nm 이하의 IV족 반도체층과 두께 5nm 이하의 그 반도체보다도 저항률이 높은 고저항막 또는 절연층이 교대로 적층 형성되고, 또한 적층된 IV족 반도체층의 두께의 합계가 80nm 이하인 적층반도체층 및, 이 적층반도체층상에 형성된 n형 IV족 반도체층을 구비하고, 상기 p형 IV족 반도체층과 상기 n형 IV족 반도체층 사이에 전압을 인가함으로써 전자 및 정공이 상기 절연층을 터널링하여 상기 두께 10nm 이하의 IV족 반도체층에 주입되어 상기 전자와 상기 정공이 재결합함으로써 발광하는 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, p형 또는 n형 IV족 반도체층과, 이 p형 또는 n형 IV족 반도체층상에 두께 10nm 이하의 IV족 반도체층과 두께 5nm 이하의 그 반도체보다도 저항률이 높은 고저항막 또는 절연층이 교대로 적층 형성되고, 또한 적층된 IV족 반도체층의 두께의 합계가 80nm 이하인 적층반도체층 및, 이 적층반도체층상에 형성된 금속층을 구비하고, 상기 p형 또는 n형 IV족 반도체층과 상기 금속층 사이에 전압을 인가함으로써 전자 및 정공이 상기 절연층을 터널링하여 상기 두께 10nm 이하의 반도체층에 주입되어 상기 전자와 상기 정공이 재결합함으로써 발광하는 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, IV족 반도체로 이루어진 수광소자와, 상기 반도체장치가 동일 반도체기판상에 설치되어 있는 것을 특징으로 하는 반도체장치를 제공한다.

또 본 발명은, IV족 반도체로 이루어진 트랜지스터, 저항, 캐패시터로 구성된 집적회로와, IV족 반도체로 이루어진 수광소자 및, 상기 반도체장치가 동일 반도체기판상에 설치되어 있는 것을 특징으로 하는 반도체장치를 제공한다.

#### (발명의 실시형태)

본 발명은, 발광층을 양자사이즈효과(사이즈를 작게 할수록 양자감금이 강해지는 효과)가 발현하는 10nm 이하의 사이즈의 결정으로 이루어진 IV족 반도체 미결정의 주위를 얇은 절연체막(또는 고저항막)으로 둘러싼 구조를 특징으로 한다. 또, IV족 반도체 미결정을 절연층이나 고저항층내에 매립한 구조를 특징으로 한다. 더욱이 본 발명은, 이 발광층을 p형 반도체와 n형 반도체로 끼우고, 이들에 전압을 인가함으로써, 정공과 전자를 얇은 절연체막을 터널링효과로 통과시켜 반도체 미결정에 효율좋게 주입하여 재결합에 의해 발광을 일으키게 한다. 이것에 의해, 종래의 발광소자를 상회하는 충분한 발광효율을 실현할 수 있다.

또 본 발명은, 발광층을 금속막과 p형 반도체 또는 금속막과 n형 반도체로 끼우는 구조로 해도 좋다.

또 본 발명은, 발광층을 10nm 이하의 사이즈의 Si 미결정의 주위를 얇은 절연막(산화막이나 질화막 등)으로 둘러싸는 구조로 하고, 양자감금효과를 강하게 함으로써, 이 부분을 국소적으로 의사적인 직접천이형 반도체로 할 수 있으므로 발광효율을 향상시킬 수 있다.

또 본 발명은, p형 반도체와 n형 반도체로 끼우는 구조나, 금속과 p형 반도체로 끼우는 구조나, 혹은 금속과 n형 반도체로 끼우는 구조로 함으로써, 이 소자에 통전시킨 때에 정공과 전자를 효율좋게 반도체 미결정내에 주입할 수 있고, 재결합이 그 미세구조부분에서만 일어나도록 할 수 있기 때문에, 발광효율을 향상시킬 수 있다. 또, 동시에 발광을 전기적으로 제어할 수 있다.

또 본 발명은, 발광파장을 반도체 미결정의 사이즈에 의해 변화시킬 수 있고, 반도체 미결정의 사이즈에

의해 발광파장을 제어할 수 있다.

또, 공동(空洞)을 많이 포함하기 때문에 저항이 높은 다공질(porous) 실리콘과 비교하여, 고체부분의 총 전밀도가 95% 이상(실질적으로 100%)의 미결정층은 저항이 낮아지기 때문에, 여분의 전압이 필요치 않아 저전압에서 강한 발광을 기대할 수 있다.

도 13에 본 발명의 발광소자의 발광층을 나타낸다. 고저항층 또는 절연층내에 반도체 미결정이 매립된 구조로 되어 있다.

한편 도 14에 나타낸 바와 같이, 다공질 실리콘에서는 반도체층이 예정되어 다수의 공동이 형성된 구조로 되어 있다.

또 본 발명은, 상기한 반도체 발광소자와 메모리나 CPU라고 하는 실리콘으로 이루어진 다른 반도체소자를 동일의 실리콘기판상에 형성하여 모듈리식 실리콘 기능소자를 형성할 수 있다.

이하에 본 발명의 실시예를 도면을 참조하여 상세히 설명한다. 단 본 발명은, 이하의 실시예에 한정되는 일없이 여러 가지로 변경하여 이용할 수 있다.

### 실시예1

도 1은 본 발명의 실시예1에 따른 반도체장치의 단면도이다.

p형 Si기판(11)상에 Si 미결정(12)이 설치되어 있다. 이 Si 미결정(12)의 주위에는 SiO<sub>2</sub> 절연막(13)이 형성되어 있다. 이들 Si 미결정(12) 및 SiO<sub>2</sub> 절연막(13)에 의해 반도체 미결정층(14)을 형성하고 있다. 이 반도체 미결정층(14)상에는 n형 다결정 Si층(15)이 형성되어 있다. 이 n형 다결정 Si층(15)상에는 투명전극(16), p형 Si기판(11)의 이면에는 전극(17)이 형성되어, 본 발명의 반도체장치를 구성하고 있다.

다음에는 도 1에 기재된 반도체장치의 제조방법에 대해 설명한다.

먼저, p형 Si기판(11)의 표면에, 산소가스중에서 기판을 가열하는 산화방법(드라이 산화)에 의해 1nm의 열산화막을 형성했다. 다음에, 화학적 기층퇴적(CVD)법으로 디실란을 원료가스로 하여 1Torr의 압력하에서 산화막상에 기판온도 700°C에서 Si 미결정(12)을 2분간 성장시켰다. 이때의 Si 미결정의 입자직경은 약 5nm이었다. 다음에, 다시 750°C에서 산소중에서 산화하여 미결정의 주위를 1nm 산화했다. 이럴게 하여 표면에 SiO<sub>2</sub> 절연막(13)을 갖는 반도체 미결정층(14)을 형성했다.

다음에, 반도체 미결정층(14)상에 기판온도 550°C에서 Si와 도편트로서 미량의 As를 동시에 퇴적시켜 n형 다결정 Si층(15)을 수백nm 성장시켰다. 이 n형 다결정 Si의 두께는 발광광도를 감소시키지 않는 정도의 두께이다.

더욱이, 이 기판의 표면에 투명전극(16)(산화인듐주석: ITO)을 증착하고, 이면에 금속전극(17)을 증착했다.

이렇게 하여 만든 PIN형 다이오드에 순바이어스를 걸면, 전자와 정공은 얇은 실리콘산화막(13)을 터널링하여 산화막으로 덮인 Si 미결정(12)에 주입되어 이 부분에서 정공과 전자가 재결합하여 발광한다. 이 구조의 경우의 발광파장은 적외(赤外)로부터 적색에 걸쳐 퍼졌다.

또, 이 PIN형 다이오드에 역바이어스를 걸어도, 바이어스를 충분히 크게 취하면, 전자와 캐리어가 높은 정전전위에너지를 갖게 되어, 순바이어스의 경우와 역으로 각각 p형 층, n형 층으로부터 산화막을 터널링하여 주입된다. 이 이유에 의해, 역바이어스를 걸어도 Si 미결정(12)에 전자와 정공이 주입되어 재결합하여 발광함도 알았다.

이상의 실시예에서는, p형 실리콘기판, n형 다결정 실리콘층(15)의 밴드갭보다 Si 미결정의 에너지갭 쪽이 커져 버리기 때문에, 전자와 정공의 주입효율이 약간 낮아진다. 이것을 개선하기 위해서는, p형, n형의 실리콘층 대신에 p형, n형의 실리콘카바이드층(SiC)의 결정(또는 비결정)을 사용한 구조가 유효하다. 그것은, 실리콘카바이드는 실리콘보다도 밴드갭이 커서 효율좋게 전자와 정공을 주입할 수 있기 때문이다. 이 유효성은, 이하의 실시형태에 있어서도 공통이다. 또, 미결정 자체를 Si 이외의 Ge나 SiC나 SiGe, 또는 III-V 족이나 II-VI 족 화합물을 반도체로 만든 구조도 마찬가지의 효과를 기대할 수 있다. 이들 미결정은 CVD법에 의해 용이하게 만들 수 있다.

또, 본 실시예의 PIN형 발광다이오드에서는 소자의 측면으로부터도 용이하게 외부로 광을 취출시킨다. 또, 본 실시예와 같이 발광층(14)보다 위의 층, 즉 n형 다결정 실리콘층(15)의 막두께를 얇게 하거나, 발광하는 파장보다도 흡수단(吸收端)이 짧은 재료를 이용하거나 하면 효율좋게 발광을 외부로 취출시킨다. 또, 본 실시예와 같이 CVD의 성장에 의해 미결정 반도체(12)를 형성하고, 드라이 열산화로 표면을 산화시킴으로써, 반도체 미결정층(14)을 고밀도로 설치하는 것이 가능하게 된다.

### 실시예2

도 2는 본 발명의 실시예2에 따른 반도체장치의 단면도이다.

n형 Si기판(21)상에 Si 미결정(22)이 설치되어 있다. 이 Si 미결정(22)의 주위에는 SiO<sub>2</sub> 절연막(23)이 형성되어 있다. 이들 Si 미결정(22) 및 SiO<sub>2</sub> 절연막(23)에 의해 반도체 미결정층(24)을 형성하고 있다. 이 반도체 미결정층(24)상에는 p형 비정질 실리콘층(25)이 형성되어 있다. 이 p형 비정질 실리콘층(25)상에는 투명전극(26), n형 Si기판(21)의 이면에는 전극(27)이 형성되어, 본 발명의 반도체장치를 구성하고 있다.

다음에는 도 2에 기재된 반도체장치의 제조방법에 대해 설명한다.

먼저, n형 Si기판(21)을 분자빔퇴적(MBE)용 장치에 넣고, 기판(21)을 실온인 채로 하여 비정질 실리콘을 두께 10nm까지 성장시킨다. 그 후, 500°C에서 산소분위기중에서 10분간 가열하면 실리콘산화막내에 직경 수mm의 Si 미결정(22)이 고밀도로 형성된다. 이 Si 미결정(22)의 직경은 가열시간으로 제어할 수 있다. 이 Si 미결정(22)의 주변에는  $\text{SiO}_2$  절연막(23)이 형성되어 반도체 미결정층(24)을 형성하고 있다.

다음에, 이 반도체 미결정층(24)상에 Si와 도펀트로서 P(인)를 동시에 공급하여 p형 비정질 실리콘층(25)을 두께 수백nm 성장시킨다. 소자 표면으로부터 광을 취출하는 경우에는, p형 비정질 실리콘층(25)을 수소가스중에서 가열함으로써, 비결정내의 실리콘의 댕글링 본드(dangling bond: 결합손)를 수소종단(水素終端)하고, 비정질 실리콘에 의한 광의 흡수를 억제하여 투과율을 올리는 것이 유효하다.

다음에, 실시예1과 마찬가지로 투명전극(26), 금속전극(27)을 형성함으로써, 실시예2에 따른 발광다이오드가 이루어진다.

이 발광다이오드에 순바이어스를 인가하면, 전극으로부터 주입된 정공과 전자는 얇은  $\text{SiO}_2$  절연막(23)을 터널링하여 Si 미결정(22)내에 주입되어 재결합하여 발광한다. 발광파장은 결정사이즈에 의존하지만, 예컨대 3nm 직경의 Si 미결정으로부터는 적색의 발광이 보인다. 이 발광다이오드에 있어서도, 실시예1과 같이 역바이어스를 인가해도 발광을 얻는 것이 가능하다.

### 실시예3

도 3은 본 발명의 실시예3에 따른 반도체장치의 단면도이다.

p형 Si기판(31)상에 Si 결정층(32)과 실리콘산화막(33)이 교대로 적층된 다층구조가 설치되어 있다. 이 다층구조상에는, n형 다결정 실리콘층(34)이 형성되어 있다. 이 n형 다결정 실리콘층(34)상에는 투명전극(35), p형 Si기판(31)의 이면에는 전극(36)이 형성되어, 본 발명의 반도체장치를 구성하고 있다. 본 실시예에서는, 초격자(37) 부분의 다결정 실리콘(32)에 전자와 정공이 주입되어 발광한다.

다음에는 도 3에 기재된 반도체장치의 제조방법에 대해 설명한다.

먼저, p형 Si기판(31)의 표면에 MBE법으로 p형의 비정질 Si를 두께 수mm로 형성한다. 다음에, 드라이 열산화에 의해 10nm의 열산화막을 형성했다. 이것에 프로브직경 2nm의 전자빔을 스포트형상으로 조사하고 나서, 불산계의 에칭액으로 에칭하면 조사부분이 선택적으로 에칭된다. 본 실시예에서는, 직경 5nm의 Si 노출영역(도중 초격자(37)를 형성하는 부분)을 만들었다.

다음에, MBE성장법으로 두께 3nm의 비정질 Si를 성장시킨 후, 산소가스중에서 750°C로 가열하는 산화(드라이 산화)에 의해 Si를 두께 1nm만큼 산화하고, 산화막을 두께 2nm만큼 형성한다(체적팽창에 의해 두께는 약 2배로 된다). 다음에, 그 위에 비정질 Si(32)를 두께 3nm 성장시키고, 드라이산화에 의해 Si산화막을 2nm 형성한다. 이것을 1000°C에서 수십분간, 진공중에서 가열하면 비정질 Si가 재결정화하여 도면과 같은 초격자구조(37)를 형성한다.

다음에, 이 기판상에 도펀트로서 As와 Si의 분자빔을 동시에 공급하면서 저온에서 MBE 성장시켜 n형 다결정 Si(34)를 두께 수백nm 성장시킨다. 이 n형 다결정 Si(34)상에 투명전극(ITO)을 증착하고, p형 Si기판(31)의 이면에 금속전극(36)을 증착했다.

이렇게 하여 만든 PIN형 다이오드에 순바이어스를 걸면, 주입된 정공과 전자는 터널링효과로 초격자(37) 중의 2nm의 실리콘산화막(33)을 통과하여 초격자(37)내의 실리콘결정 부분(32)에서 재결합하여 발광한다. 이 구조의 경우의 발광파장은 약 520nm(녹색)이었다. 이 발광다이오드에 있어서도, 실시예1과 같이 역바이어스를 인가해도 발광을 얻는 것이 가능하다.

본 실시예와 같은 다층막구조의 경우, 발광층으로 되는 미결정층의 총두께가 중요하게 된다.

도 15에 발광층 총두께와 발광에 필요한 전압(온(On)전압), 발광강도의 관계(계산치)를 나타낸다. 도면에 나타낸 바와 같이, 온전압은 발광층의 총두께가 80nm를 넘은 시점으로부터 급격히 커지는 경향이 있다. 이것은, 두께와 더불어 소자의 직렬저항이 증대해가기 때문이다. 또, 역으로 발광강도는 80nm를 넘은 시점으로부터 포화해 버린다. 즉, 총두께는 80nm 이하가 바람직한 범위로 된다.

또, 두께를 얇게 하는 것은 미결정 제작상도 중요하다. 두께가 두꺼우면 미결정 제작을 위해 가열할 때 온도가 두께방향으로 불균일하게 되어 미결정의 사이즈, 밀도가 변동하기 때문이다. 앞에 예로 든 발광소자의 공지예(K. Chen et al., J. Non-Cryst. Solids, 198, 833(1996))에서는, 발광층의 총두께가 200nm에 가깝다. 그 때문에, 통상의 열에 의한 결정화는 곤란하고, 대신에 레이저조사로 결정화하고 있다. 온전압도 25V로 대단히 높다. 이것은, 직렬저항이 높은 것에 더하여, 미결정 사이즈·밀도의 변동에도 기인하고 있다. 본 실시예의 구조에서는, 두께가 충분히 얇기 때문에, 열전도하기 쉬워 균일한 미결정이 용이하게 얻어진다.

또 본 실시예에서는,  $\text{SiO}_2$ 를 다층막에 이용하고 있지만, 이보다도 저항률이 낮은 비정질 SiC나 비정질 C(탄소) 등을 이용하면, 보다 저전압으로 효율좋게 발광이 얻어진다. 이 경우, 비정질 SiC나 비정질 C(탄소)는 플라즈마 CVD나 열CVD로 정밀도좋게 성막할 수 있다.

### 실시예4

도 4는 본 발명의 실시예4에 따른 반도체장치의 단면도이다.

n형 Si기판(41)상에 표면을 절연막으로 덮은 반도체 미결정(42)이 형성되어 있다. 또, 이들 반도체 미결정(42) 사이에는  $\text{Si}_3\text{N}_4$  절연층(43)이 형성되어 있다. 이 반도체 미결정(42),  $\text{Si}_3\text{N}_4$  절연층(43)상에는 p형 비정질 실리콘층(44)이 형성되어 있다. 이 p형 비정질 실리콘층(44)상에는 투명전극(45), n형 Si기판(41)의 이면에는 금속전극(46)이 형성되어, 본 발명의 반도체장치를 구성하고 있다.

다음에는 도 4에 기재된 반도체장치의 제조방법에 대해 설명한다.

먼저, n형 Si기판(41)에 세속(細束)전자빔을 쬐어 전자여기반응에 의해 두께 1nm, 직경 10nm의 탄소불순물(carbon contamination)을 퇴적했다. 그 위에,  $\text{Si}_3\text{N}_4$ 를 플라즈마 CVD법으로 10nm 퇴적시킨 바, 탄소불순물의 위 이외의 영역에만  $\text{Si}_3\text{N}_4$ 가 퇴적되었다.

다음에, 플라즈마에칭에 의해 탄소불순물부분만을 제거한다. 이때,  $\text{Si}_3\text{N}_4$ 막(43)도 약간 에칭되어 그 두께는 5nm로 되었다. 그 위에, 실시예1 또는 실시예2와 마찬가지의 방법으로,  $\text{Si}_3\text{N}_4$ 막(43)이 부착되어 있지 않는 부분에 실리콘 미결정(43)을 함유한 층을 선택적으로 형성했다.

다음에, 실리콘 미결정(42), 절연막(43)상에 Si와 도편트로서 P(인)를 동시에 공급하여 p형 비정질 실리콘층(44)을 두께 수백nm 성장시킨다. 소자 표면으로부터 광을 취출하는 경우에는, p형 비정질 실리콘층(44)을 수소가스중에서 가열함으로써, 비결정내의 실리콘의 맹글링 본드를 수소중단하고, 비정질 실리콘에 의한 광의 흡수를 억제하여 투과율을 올리는 것이 유효하다.

다음에, 실시예1과 마찬가지로 p형 비정질 실리콘층(44)상에 투명전극(IT0; 45)을 형성하고, n형 실리콘기판(41)의 이면에 금속전극(46)을 형성하여 발광다이오드를 형성했다.

### 실시예5

도 5는 본 발명의 실시예5에 따른 반도체소자의 단면도이다. 본 실시예는 도 1에 나타낸 발광소자를 화소에 갖춘 플랫 패널 디스플레이(flat panel display)이다.

도 5에 나타낸 바와 같이, 실리콘기판(51)상에 절연막(53)에 의해 각각 절연된 p형 실리콘결정(52)이 형성되어 있다. p형 실리콘결정(52)은 각각 화소에 대응하도록 매트릭스모양으로 형성되어 있다. 또, 실리콘기판(51)상에는 각각의 p형 실리콘결정(52)에 전압을 인가하여 제어하기 위한 트랜지스터의 집적회로(도시하지 않음)가 형성되어 있다. 각각의 p형 실리콘결정(52)상에는, 화소마다 적색 발광소자(53), 녹색 발광소자(54), 청색 발광소자(55)가 형성되어 있다. 각각의 발광소자끼리는 절연층(56)으로 소자분리되어 있다. 이들 발광소자상에는 공통전극(IT0)이 형성되어 있다.

도 6은 도 5의 발광소자(53, 54, 55)의 확대도이다. p형 실리콘결정(61)상에 도 1, 도 2와 마찬가지로 실리콘 미결정을 함유한 발광층(62)이 형성되고, 그 위에 n형 실리콘층(63)이 형성되어 있다. 이 n형 실리콘층상에는 접지된 공통전극(64)이 IT0로 형성되어 있다.

다음에는 이 플랫 디스플레이의 제조방법에 대해 설명한다.

먼저, 리소그래피 에칭 등의 실리콘 프로세스에 의해 실리콘기판(51)상에 트랜지스터의 집적회로(IC)를 형성한다. 이 집적회로는, 후술하는 매트릭스모양으로 형성된 발광소자로 걸리는 전압을 제어하는 것이다. 다음에, p형 실리콘 결정층을 CVD법 등에 의해 퇴적하고, 포토리소그래피공정으로 100 $\mu\text{m}$  각(角)으로 에칭하여 p형 실리콘결정(52)을 형성한다. 각각의 p형 실리콘결정(52)은 실리콘산화막(53)으로 소자분리한다.

다음에, 절연층으로 되는 실리콘산화막을, 이 기판 위에 CVD법으로 두께 1 $\mu\text{m}$  성장시킨다. 이것을 광노광법으로 패터닝하고, 에칭에 의해 적색소자(53) 형성예정영역의 p형 실리콘결정을 노출시킨다. 다음에, 2nm 두께의 산화막을 열산화에 의해 제작한 다음, CVD법으로 5nm 직경의 실리콘 미결정을 성장시킨다. 이것을 열산화함으로써, 얇은 열산화막으로 덮인 3nm 직경의 실리콘 미결정을 함유한 발광층(62)을 형성한다. 이때 산화막과 실리콘과의 사이의 왜곡의 영향으로, 어떤 일정시간 이상 산화를 계속해도 미결정의 크기는 포화하여 변화하지 않는다. 이 미결정은 적색의 전자여기를 일으킨다.

다음에, 녹색 발광소자 형성예정영역의 산화막을 광노광법으로 패터닝하고, 에칭하여 제거한다. 다음에, 열산화에 의해 2nm 두께의 산화막을 제작한 다음, CVD법으로 4nm 직경의 실리콘 미결정을 성장시킨다. 이것을 열산화함으로써, 2nm 직경의 실리콘 미결정을 함유한 발광층(62)을 형성한다. 이 열산화의 과정에서는, 이미 형성한 3nm 직경의 미결정은 산화막과 실리콘과의 사이의 왜곡의 영향때문에, 반응이 진행하지 않으므로 변화하지 않는다. 이 미결정은 양자사이즈효과로 인하여 녹색의 전자여기를 일으킨다.

다음에, 청색 발광소자 형성예정영역의 산화막을 광노광법으로 패터닝하고, 에칭하여 제거한다. 다음에, 열산화에 의해 2nm 두께의 산화막을 제작한 다음, CVD법으로 3nm 직경의 실리콘 미결정을 성장시킨다. 이것을 열산화함으로써, 1.5nm 직경의 실리콘 미결정을 함유한 발광층(62)을 형성한다. 이 미결정은 양자사이즈효과로 인하여 청색의 전자여기를 일으킨다.

적색 발광소자(53), 녹색 발광소자(54), 청색 발광소자(55)의 영역은 순번으로 나열(스트라이프 배치)하도록 해도 좋고, 3각형 모양으로 배치(모자이크 배치)해도 좋다. 이 3개를 하나의 발광유니트로 한다.

다음에, 이들 발광층(62) 위에, CVD법으로 n형의 다결정 실리콘을 성장시킨 후, 투명전극(IT0)을 증착한다. 투명전극은 각 소자 공통의 접지로 해둔다. 이들 3종의 발광소자에 흐르는 전류(또는 전압)는 미리 제작한 IC에서 디지털적으로 32단계로 변화할 수 있도록 해둔다. 이에 따라, 1색의 발광소자로 32계조(階調)의 표시를 할 수 있고, 3색의 발광소자의 조합으로  $32 \times 32 \times 32 = 32,768$  색을 나타낼 수 있다.

12인치의 실리콘기판상에 이들을 20cm  $\times$  15cm의 사이즈로 제작하여 디스플레이로 하면, 화소수 2000  $\times$  1500이라는 고정세(高精細)의 표시가 가능하다. 또, 실리콘기판상의 IC상에 직접 발광소자를 형성하고 있으므로, 액정 패널 등에 비해 동작이 고속이고, 게다가 브라운관과 같이 안길이를 필요로 하지 않는 플랫 디스플레이로 된다.

### 실시예6

도 7은 본 발명의 실시예6에 따른 반도체장치의 단면도, 도 8은 그 사시도이다.

p형 Si기판(71)상에 표면을 절연막으로 덮은 반도체 세선(細線)(72)이 형성되어 있다. 또, 이들 반도체 세선(72) 사이에는  $\text{SiO}_2$  절연층(73)이 형성되어 있다. 이 반도체 세선(72),  $\text{SiO}_2$  절연층(73)상에는 n형 비정질 실리콘층(74)이 형성되어 있다. 이 n형 비정질 실리콘층(74)상에는 투명전극(75), p형 Si기판(71)의 이면에는 금속전극(76)이 형성되어, 본 발명의 반도체장치를 구성하고 있다.

다음에는 도 7에 기재된 반도체장치의 제조방법에 대해 설명한다.

p형 실리콘기판의 표면에 드라이 산화에 의해 1nm의 열산화막을 형성했다. 다음에, 전자빔묘화에 의해 산화막 표면에 선모양으로 노광했다. 다음에, 이것을 750°C로 가열한 바, 노광부분만 탈리되고, 7nm 폭의 실리콘기판(71)의 표면이 노출되었다. 그 위에 기판온도 550°C에서 실리콘을 1nm MBE 성장시키고, 폭 7nm, 높이 1nm의 실리콘 세선결정(72)을 형성했다. 이 세선결정은 높이, 폭이 대단히 작기 때문에, 양자사이즈효과가 나타난다.

다음에, 기판온도를 실온으로 내리고 나서, 실리콘과 미량의 As를 동시에 퇴적시켜 n형 비정질 실리콘층(74)을 발광강도를 감쇠시키지 않는 정도로 취출하도록, 수백nm 성장시켰다. 이 n형 비정질 실리콘층(74)의 표면에 투명전극(75; ITO)을 증착하고, 이면에 금속전극(76)을 증착했다.

이렇게 하여 만든 PIN형 다이오드에 순바이어스를 걸면, 정공과 전자가 실리콘 미결정(72)으로 절연층을 터널링하여 주입되어, 이 부분에서 재결합하여 발광한다.

본 실시예에서는, 발광파장이 적색 주변에 피크를 가지고 퍼졌다.

### 실시예7

도 9는 본 발명의 실시예7에 따른 반도체장치의 단면도이다.

표면에 통상의 LSI가 형성된 p형 Si기판(91)상에 반도체 미결정층(93)이 형성되어 있다. 이 반도체 미결정층(93)에는 표면이 절연막으로 덮인 실리콘 미결정(92)이 포함되어 있다. 이 반도체 미결정층(93)상에는 n형 다결정 실리콘층(94)이 형성되어 있다. 이 n형 다결정 실리콘층(94)상에는 접지전극(95)이 형성되고, LSI와 발광소자가 일체 형성된 반도체장치를 형성하고 있다. 이 반도체장치에 대향하는 위치에는, 수광소자(97)를 갖춘 회로기판이 배치되어 있다.

본 실시예에서는, 실시예1~6에 예로 든 바와 같은 발광소자를 집적회로(LSI)단에 형성한 발광소자를 이용할 수 있다. 이 반도체장치에서는, LSI의 출력전압을 발광소자로 전달하고, 그 신호를 발광의 온, 오프로 제어하도록 한다. 이에 대향하는 수광소자(97)로는, 상기 발광소자의 온, 오프신호를 수광하여 이것에 접속된 회로기판에 전달할 수 있도록 한다. 이렇게 함으로써, LSI의 신호를 광에 의해 전달가능하게 되어, 종래의 기판간의 금속배선을 이용한 때에 생기는 배선지연이나 열의 발생의 문제를 개선할 수 있다.

본 실시예에서는 발광소자와 수광소자를 각각 형성했지만, 발광소자와 수광소자를 동시에 동일의 실리온기판상에 제작하는 것도 가능하다. 수광소자는 비정질 실리콘 PN형 포토다이오드 등으로 좋으므로, 실리콘기판상에 용이하게 제작가능하다.

또, 동일 실리콘기판상에 고내압을 필요로 하는 전력소자의 영역과, 저전압으로 구동되는 디지털소자의 영역을 만들어 공간적으로 분리해 두고, 그 영역간의 신호의 주고 받음을 위의 발광소자와 수광소자의 조합으로 행하는 것도 가능하게 된다. 이렇게 하면, 전력소자와 디지털소자를 별개의 기판으로 제작하는 종래의 방법에 비해, 현격하게 소형의 것을 제작할 수 있게 된다.

실시예1~7에서는, 전류가 기판에 대해 수직방향으로 흐르는 적층형의 발광소자에 대해 설명했지만, 다음에 기판에 대해 전류가 횡방향으로 흐르는 평면형의 발광소자에 대해 설명한다. 이 구조는, 기판이 절연기판이어도 형성가능하므로, 고내압용 소자 등과 결합시켜 사용하는 경우에 특히 유효하다.

### 실시예8

도 10은 본 발명의 실시예8에 따른 반도체장치의 단면도, 도 11은 그 평면도이다.

표면에 실리콘산화막(102)이 형성된 실리콘기판(101)상에 오른쪽으로부터 n형 실리콘층(103), 실리콘과 실리콘산화막의 초격자층(104), p형 실리콘층(105)이 형성되어, 본 실시예의 발광소자를 형성하고 있다.

다음에는 본 실시예의 발광소자의 제조방법에 대해 설명한다.

먼저, 실리콘기판(101)에 열산화에 의해 두께 1미크론의 실리콘산화막(102)을 형성한다. 그 표면에 실온의 MBE법으로 비도프 비정질 실리콘을 두께 수nm 퇴적시킨다. 다음에, 산소가스중에서 750°C에서의 열산화(드라이산화)에 의해 1nm의 열산화막을 형성했다. 이것의 위에, MBE성장법으로 두께 3nm의 비정질 실리콘을 성장시킨 후, 750°C에서 드라이산화에 의해 실리콘을 두께 1nm만큼 산화하고, 산화막을 두께 2nm만큼 형성한다(체적팽창에 의해 두께는 약 2배로 된다). 더욱이, 그 위에 비정질 실리콘을 두께 3nm 성장시키고, 드라이산화에 의해 실리콘산화막을 2nm 형성한다. 이 프로세스를 20회 반복하여 실리콘과 실리콘산화막의 초격자를 제작한다. 이때 최표면(最表面)은 실리콘산화막으로 되게 한다. 이것을 질소중에서 1000°C정도로 수십분간 가열하면 비정질 실리콘이 부분적으로 재결정화(미결정 형성)하여 발광효율이 상승한다.

다음에, 스텝퍼노광에 의한 패터닝으로 1미크론 폭의 레지스트 마스크를 만든다. 이것을 마스크로 하여 외측의 초격자를 반응성 이온에칭에 의해 제거한다. 다음에, 에칭제거한 영역에 플라즈마 CVD법으로 p형 실리콘을 두께 약 80nm 선택 성장시킨다. 다음에, 초격자의 외측영역중 한쪽만 필드이온주입에 의해 n형으로 반전시켰다. p형, n형 각각의 영역에 전극을 설치하고, 통전한 바, 적외의 발광이 보였다. 초격자의 안에서는 전자, 정공의 감금이 강해지기 때문이다. 이 구조는, 종형으로 통전하는 것보다도 저

향을 낮게 할 수 있다는 이점이 있다.

또, 초격자를 만드는 과정에서, 비정질 실리콘을 퇴적한 후에, 산소중에서 800°C 정도로 가열하면, 산화막으로 덮인 실리콘 미결정이 형성된다. 이것을 반복함으로써 산화막으로 덮인 미결정의 다중층을 만들 수 있다. 초격자의 폭을 1미크론보다도 좁게 함으로써 저저항화할 수 있다. 폭을 좁게 하기 위해서는 스템퍼노광 대신에 전자빔 노광법 등을 이용하면 좋다. 한편, 미결정층을 다층으로 한 것은 저항을 낮추기 위함이고, 반드시 다층으로 할 필요는 없고, 단층 그대로도 어느 정도 발광이 얻어진다.

본 실시예에서는,  $SiO_2$ 를 다층막으로 이용하고 있지만, 이보다도 저항률이 낮은 비정질  $SiC$ 나 비정질 C(탄소) 등을 이용하면, 보다 저전압으로 효율좋게 발광이 얻어진다.

### 실시예9

도 12는 본 발명의 실시예9에 따른 반도체장치의 단면도이다.

실리콘기판(121)내에 n형 실리콘영역(122)과 p형 실리콘영역(123)이 형성되어 있다. n형 실리콘영역(122)상에는 전극(124), p형 실리콘영역(123)상에는 전극(125)이 형성되어 수광소자(포토다이오드)를 형성하고 있다. 이 포토다이오드의 이면에는, 실리콘산화막(126)을 매개로 n형 실리콘층(127), 실리콘과 실리콘산화막의 초격자층(128), p형 실리콘층(129)이 형성되어 있다. n형 실리콘층상에는 전극(131), p형 실리콘층(129)상에는 전극(132)이 형성되어 발광소자를 형성하고 있다.

다음에는 본 실시예의 반도체장치의 제조방법에 대해 설명한다.

먼저, 접합(貼合)형 또는 SIMOX구조의 SOI(Si on insulator)기판을 이용하여 실리콘기판(121)에 종래 만들어져 있던 것과 마찬가지의 실리콘 PN형 포토다이오드를 제작한다. 이 다이오드의 바로 아래의 위치에 기판 이면으로부터 실리콘을 에칭하여 개구부를 만든다. 이 개구부에 실시예8과 마찬가지의 방법으로 발광소자를 제작한다. 표면측과 이면측에 표준적인 수법에 의해 각각 전극을 설치하면, 실리콘산화막(126)을 끼운 포토커플러를 제작할 수 있다.

종래의 포토커플러는, GaAs 등의 화합물 반도체를 사용한 발광소자와, 실리콘 PN형 포토다이오드나 실리콘 NPN 포토트랜지스터를 독립적으로 제작하고, 각각을 전극에 탑재하여 소자간에 투명실리콘수지 등의 절연재료를 끼운 구조이다. 이에 비해, 본 실시예의 구조에서는, 일체형 등으로 공정이 간단해지고, 실리콘산화막은 얇아도 고내압이기 때문에 소형으로 할 수 있다고 하는 이점이 있다. 또, 이 포토커플러는 단체(單體)로서 사용할 뿐만 아니라, SOI기판상에 다른 실리콘 집적회로와 동시에 만드는 것도 가능하다.

상술한 각 실시예에서는 반도체 미립자나 초격자를 n형 반도체 및 p형 반도체로 끼운 구조를 나타냈지만, n형 혹은 p형의 한쪽의 반도체 및 금속전극으로 끼우는 구조로 해도 다음의 실시예와 같이 마찬가지의 효과를 기대할 수 있다.

### 실시예10

도 16은 본 발명의 실시예10에 따른 반도체장치의 단면도이다.

p형 Si기판(161)상에 주위가 비정질 실리콘으로 덮인 Si 미결정으로 이루어진 Si 미결정층(발광층; 162)이 형성되어 있다. 이 Si 미결정층(162)상에는 얇은 금속전극(반투명전극; 163), p형 Si기판(161)의 이면에는 전극(164)이 형성되어, 본 발명의 반도체장치를 구성하고 있다.

다음에는 본 실시예의 반도체장치의 제조방법에 대해 설명한다.

먼저, p형 Si기판(161)의 표면에 MBE법으로 비정질 Si를 3nm 퇴적시켰다. 다음에, 700~800°C에서 1분간 급승온하여 비정질 Si내에 미결정을 형성했다. Si 미결정의 입자직경은 약 2nm이었다. 이 경우, 비정질 Si는 Si보다도 저항률이 높다.

다음에, Si 미결정층(162)상에 티탄을 두께 5nm, 금을 두께 50nm 증착하고, 금속전극(163)을 형성하며, 이어서 이면에 금속전극(164)을 증착했다.

이렇게 하여 만든 MIS형 다이오드에 역바이어스를 걸면, 바이어스를 충분히 크게 취하면 전자와 정공이 높은 정전전위에너지를 갖게 되어, 순바이어스의 경우와 역으로 각각 p형 층, 금속전극(163)으로부터 비정질 Si를 통과하여 주입되어 발광함을 알았다. 발광층인 미결정층(162)의 두께가 겨우 3nm밖에 없음에도 불구하고, 발광강도는 충분히 강하고, 4~5V정도의 인가전압으로 실온에서도 충분히 눈으로 볼 수 있는 강도로 되었다. 발광은 오렌지색이었다. 도 17에 발광스펙트럼을 나타낸다.

### **발명의 효과**

이상 설명한 바와 같이 본 발명에 의하면, 양자효과를 기대할 수 있는 사이즈의 실리콘영역에 터널효과를 이용하여 효율좋게 전자·정공을 주입할 수 있으므로, 발광효율이 좋은 반도체장치를 제공하는 것이 가능하게 된다. 또, 본 발명에서는, 실리콘기판을 이용한 발광소자를 형성할 수 있으므로, 실리콘을 이용한 다른 반도체소자와의 정합성 또는 장치의 고기능화, 소형화를 실현할 수 있다.

### **(57) 청구의 범위**

#### **청구항 1**

p형 IV족 반도체층과,

상기 p형 IV족 반도체층상에 형성되고, 표면을 그 반도체보다도 저항률이 높은 고저항막 또는 절연막으

로 덮은 반도체 미결정을 함유한 반도체 미결정층 및,

상기 반도체 미결정층상에 형성된 n형 IV족 반도체층을 구비하고,

상기 반도체 미결정은 양자감금효과를 발현하는 크기이며, 상기 p형 IV족 반도체층과 상기 n형 IV족 반도체층 사이에 전압을 인가함으로써 전자 및 정공이 상기 고저항막 또는 절연막을 터널링하여 상기 반도체 미결정중에 주입되어 상기 전자와 상기 정공이 재결합함으로써 발광하는 것을 특징으로 하는 반도체 장치.

#### 청구항 2

제1항에 있어서, 상기 반도체 미결정이 적어도 실리콘을 구비하는 것을 특징으로 하는 반도체장치.

#### 청구항 3

제1항에 있어서, 상기 p형 또는 n형 IV족 반도체가 적어도 실리콘을 구비하는 것을 특징으로 하는 반도체장치.

#### 청구항 4

p형 또는 n형 IV족 반도체층과,

상기 p형 또는 n형 IV족 반도체층상에 형성되고, 표면을 그 반도체보다도 저항률이 높은 고저항막 또는 절연막으로 덮은 반도체 미결정을 함유한 반도체 미결정층 및,

상기 반도체 미결정층상에 형성된 금속층을 구비하고,

상기 반도체 미결정은 양자감금효과를 발현하는 크기이며, 상기 p형 또는 n형 IV족 반도체층과 상기 금속층 사이에 전압을 인가함으로써 전자 및 정공이 상기 고저항막 또는 절연막을 터널링하여 상기 반도체 미결정중에 주입되어 상기 전자와 상기 정공이 재결합함으로써 발광하는 것을 특징으로 하는 반도체장치.

#### 청구항 5

제4항에 있어서, 상기 반도체 미결정이 적어도 실리콘을 구비하는 것을 특징으로 하는 반도체장치.

#### 청구항 6

제4항에 있어서, 상기 p형 또는 n형 IV족 반도체가 적어도 실리콘을 구비하는 것을 특징으로 하는 반도체장치.

#### 청구항 7

제1항에 있어서, 상기 고저항막 또는 절연막의 두께가 5nm 이하, 상기 반도체 미결정의 크기가 10nm 이하인 것을 특징으로 하는 반도체장치.

#### 청구항 8

제1항에 있어서, 상기 반도체 미결정내에서 공동(空洞)이 점유하는 체적이 층의 체적의 5% 이하인 것을 특징으로 하는 반도체장치.

#### 청구항 9

제1항에 있어서, 발광층으로 되는 상기 반도체 미결정층을 복수개 포함하고, 미결정층의 두께의 합계가 80nm 이하인 것을 특징으로 하는 반도체장치.

#### 청구항 10

p형 IV족 반도체층과,

상기 p형 IV족 반도체층상에 형성되고, 표면을 절연막으로 덮은 반도체 세션을 함유한 반도체 세션층 및,

상기 반도체 세션층상에 형성된 n형 IV족 반도체층을 구비하고,

상기 반도체 세션은 양자감금효과를 발현하는 크기이며, 상기 p형 IV족 반도체층과 상기 n형 IV족 반도체층 사이에 전압을 인가함으로써 전자 및 정공이 상기 절연막을 터널링하여 상기 반도체 세션층에 주입되어 상기 전자와 상기 정공이 재결합함으로써 발광하는 것을 특징으로 하는 반도체장치.

#### 청구항 11

p형 또는 n형 IV족 반도체층과,

상기 p형 또는 n형 IV족 반도체층상에 형성되고, 표면을 절연막으로 덮은 반도체 세션을 함유한 반도체 세션층 및,

상기 반도체 세션층상에 형성된 금속층을 구비하고,

상기 반도체 세션은 양자감금효과를 발현하는 크기이며, 상기 p형 또는 n형 IV족 반도체층과 상기 금속층 사이에 전압을 인가함으로써 전자 및 정공이 상기 절연막을 터널링하여 상기 반도체 세션층에 주입되어 상기 전자와 상기 정공이 재결합함으로써 발광하는 것을 특징으로 하는 반도체장치.

**청구항 12**

제10항에 있어서, 발광층으로 되는 상기 반도체 세선층을 복수개 포함하고, 세선층의 두께의 합계가 80nm 이하인 것을 특징으로 하는 반도체장치.

**청구항 13**

제10항에 있어서, 상기 절연막의 두께가 5nm 이하, 상기 반도체 세선의 종횡의 길이가 10nm 이하인 것을 특징으로 하는 반도체장치.

**청구항 14**

제10항에 있어서, 상기 반도체 세선이 적어도 실리콘을 구비하는 것을 특징으로 하는 반도체장치.

**청구항 15**

제10항에 있어서, 상기 p형 또는 n형 IV족 반도체가 적어도 실리콘을 구비하는 것을 특징으로 하는 반도체장치.

**청구항 16**

p형 IV족 반도체층과,

상기 p형 IV족 반도체층상에 두께 10nm 이하의 IV족 반도체층과 두께 5nm 이하의 그 반도체보다도 저항률이 높은 고저항막 또는 절연층이 교대로 적층 형성되고, 또한 적층된 IV족 반도체층의 두께의 합계가 80nm 이하인 적층반도체층 및,

상기 적층반도체층상에 형성된 n형 IV족 반도체층을 구비하고,

상기 p형 IV족 반도체층과 상기 n형 IV족 반도체층 사이에 전압을 인가함으로써 전자 및 정공이 상기 절연층을 터널링하여 상기 두께 10nm 이하의 IV족 반도체층중에 주입되어 상기 전자와 상기 정공이 재결합함으로써 발광하는 것을 특징으로 하는 반도체장치.

**청구항 17**

p형 또는 n형 IV족 반도체층과,

상기 p형 또는 n형 IV족 반도체층상에 두께 10nm 이하의 IV족 반도체층과 두께 5nm 이하의 그 반도체보다도 저항률이 높은 고저항막 또는 절연층이 교대로 적층 형성되고, 또한 적층된 IV족 반도체층의 두께의 합계가 80nm 이하인 적층반도체층 및,

상기 적층반도체층상에 형성된 금속층을 구비하고,

상기 p형 또는 n형 IV족 반도체층과 상기 금속층 사이에 전압을 인가함으로써 전자 및 정공이 상기 절연층을 터널링하여 상기 두께 10nm 이하의 반도체층에 주입되어 상기 전자와 상기 정공이 재결합함으로써 발광하는 것을 특징으로 하는 반도체장치.

**청구항 18**

제4항에 있어서, 상기 고저항막 또는 절연막의 두께가 5nm 이하, 상기 반도체 미결정의 크기가 10nm 이하인 것을 특징으로 하는 반도체장치.

**청구항 19**

제4항에 있어서, 상기 반도체 미결정내에서 공동(空洞)이 점유하는 체적이 층의 체적의 5% 이하인 것을 특징으로 하는 반도체장치.

**청구항 20**

제4항에 있어서, 발광층으로 되는 상기 반도체 미결정층을 복수개 포함하고, 미결정층의 두께의 합계가 80nm 이하인 것을 특징으로 하는 반도체장치.

**청구항 21**

제11항에 있어서, 발광층으로 되는 상기 반도체 세선층을 복수개 포함하고, 세선층의 두께의 합계가 80nm 이하인 것을 특징으로 하는 반도체장치.

**청구항 22**

제11항에 있어서, 상기 절연막의 두께가 5nm 이하, 상기 반도체 세선의 종횡의 길이가 10nm 이하인 것을 특징으로 하는 반도체장치.

**청구항 23**

제11항에 있어서, 상기 반도체 세선이 적어도 실리콘을 구비하는 것을 특징으로 하는 반도체장치.

**청구항 24**

제11항에 있어서, 상기 p형 또는 n형 IV족 반도체가 적어도 실리콘을 구비하는 것을 특징으로 하는 반도체장치.

## 청구항 25

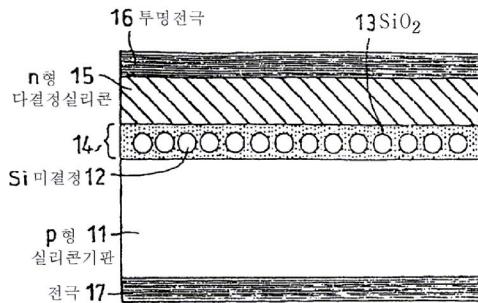
IV족 반도체로 이루어진 수광소자와, 청구항 1~청구항 24의 어느 한 항에 기재된 반도체장치가 동일 반도체기판상에 설치되어 있는 것을 특징으로 하는 반도체장치.

## 청구항 26

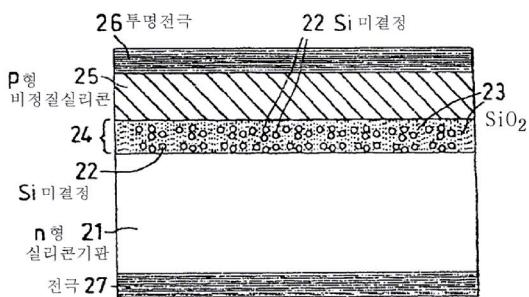
IV족 반도체로 이루어진 트랜지스터, 저항, 캐패시터로 구성된 집적회로와, IV족 반도체로 이루어진 수광소자 및, 청구항 1~청구항 24의 어느 한 항에 기재된 반도체장치가 동일 반도체기판상에 설치되어 있는 것을 특징으로 하는 반도체장치.

## 도면

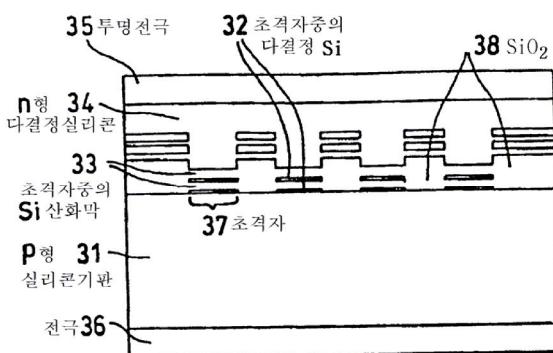
## 도면1



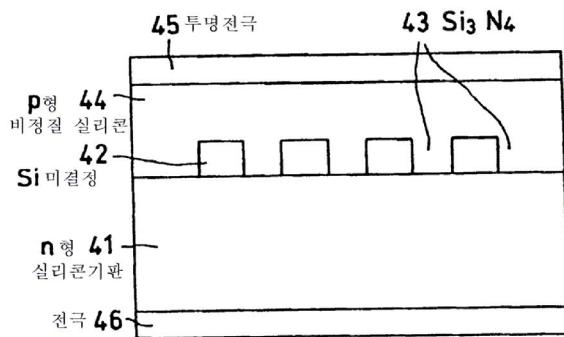
## 도면2



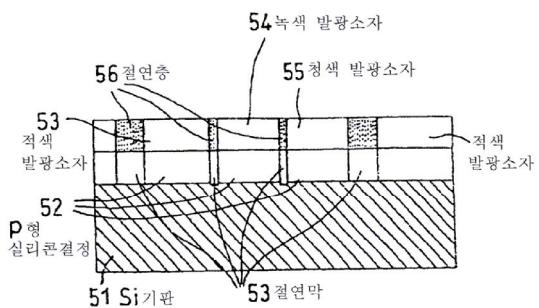
## 도면3



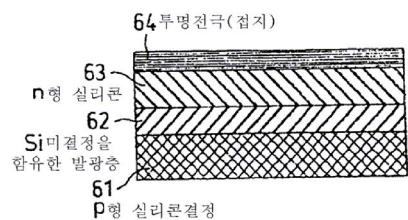
## 도면4



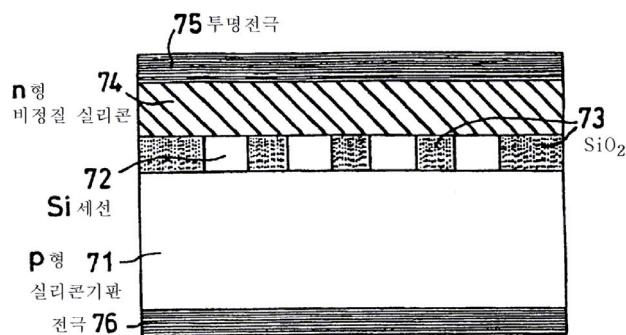
## 도면5



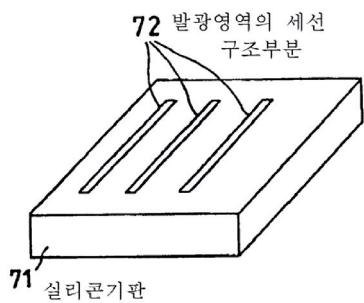
## 도면6



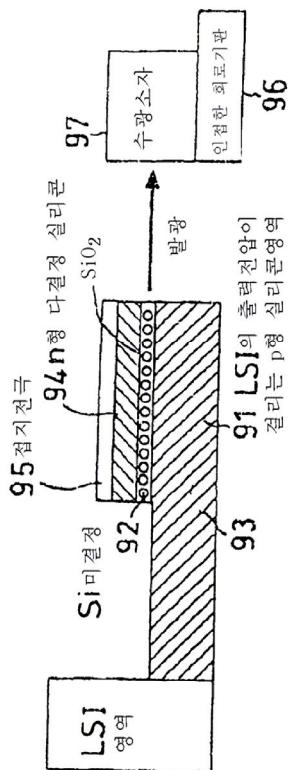
## 도면7



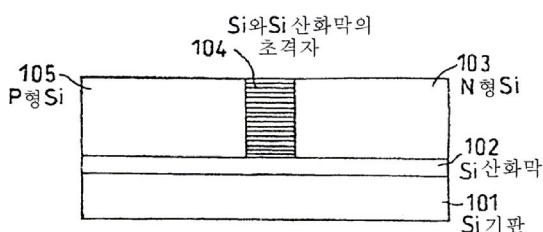
## 도면8



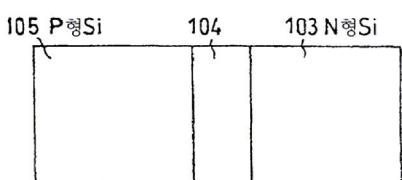
## 도면9



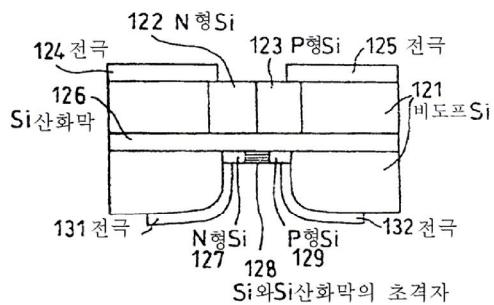
## 도면10



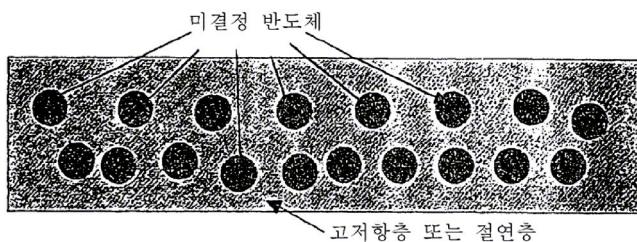
## 도면11



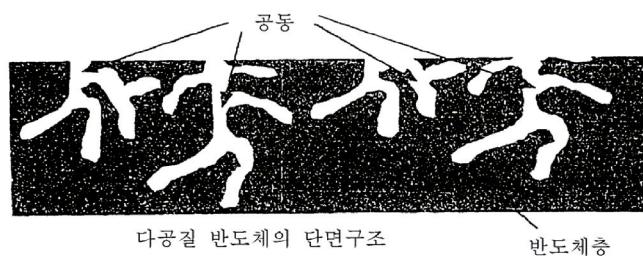
도면 12



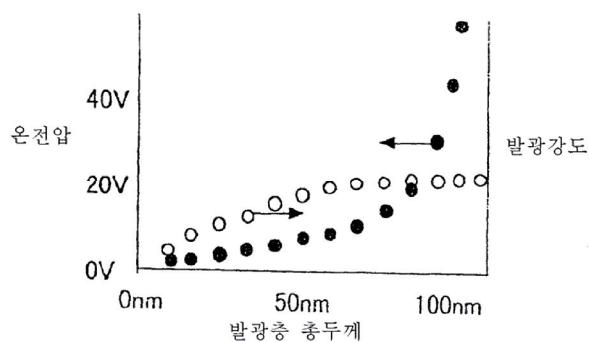
도면 13



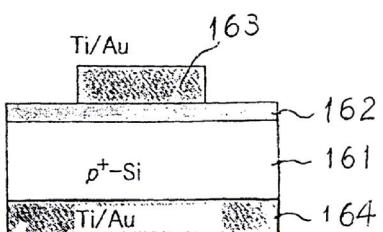
도면 14



도면 15



도면 16



도면17

