

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 8 月 1 日 (01.08.2019)



(10) 国际公布号
WO 2019/144451 A1

- (51) 国际专利分类号:
H01L 21/205 (2006.01) **H01L 21/77** (2017.01)
- (21) 国际申请号: PCT/CN2018/076942
- (22) 国际申请日: 2018 年 2 月 22 日 (22.02.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201810065170.6 2018 年 1 月 23 日 (23.01.2018) CN
- (71) 申请人: 武汉华星光电半导体显示技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430070 (CN)。
- (72) 发明人: 喻蕾(YU, Lei); 中国湖北省武汉东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430070 (CN)。 李松杉(LI, Songshan); 中国湖北省武汉东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430070 (CN)。

- (74) 代理人: 深圳市德力知识产权代理事务所(COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: SOLID PHASE CRYSTALLIZATION METHOD, AND METHOD FOR MANUFACTURING LOW-TEMPERATURE POLY-SILICON TFT SUBSTRATE

(54) 发明名称: 固相结晶方法与低温多晶硅TFT基板的制作方法

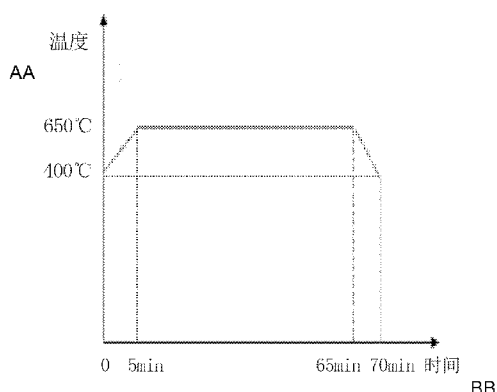


图3

AA TEMPERATURE
BB TIME

(57) Abstract: A solid phase crystallization method, and a method for manufacturing a low-temperature poly-silicon TFT substrate. The solid phase crystallization method comprises: providing amorphous silicon; heating the amorphous silicon to a first crystallization temperature and then continuing heating the amorphous silicon to gradually increase, in a first time period, the temperature of the amorphous silicon from the first crystallization temperature to a second crystallization temperature; preserving the heat of the amorphous silicon at the second crystallization temperature for a period of time and then cooling the amorphous silicon to gradually reduce, in a second time period, the temperature of the amorphous silicon from the second crystallization temperature to the first crystallization temperature; and continuing cooling the amorphous silicon to the room temperature so as to obtain low-temperature poly-silicon. The solid phase crystallization method can improve the uniformity of poly-silicon grains. The method for manufacturing a low-temperature poly-silicon TFT substrate crystallizes poly-silicon using the solid phase crystallization method, can improve the uniformity of poly-silicon grains, and improves the characteristics of a TFT device.

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种固相结晶方法与低温多晶硅TFT基板的制作方法。上述固相结晶方法包括: 提供非晶硅, 将非晶硅加热至第一结晶温度后, 对非晶硅继续加热, 使其在第一时间段内从第一结晶温度逐渐升温至第二结晶温度, 将非晶硅在第二结晶温度保温一段时间后, 对非晶硅进行降温, 使其在第二时间段内从第二结晶温度逐渐降温至第一结晶温度, 对非晶硅继续降温, 使其降至室温, 得到低温多晶硅。该固相结晶方法能够提高多晶硅晶粒的均一性。上述低温多晶硅TFT基板的制作方法采用上述固相结晶方法对非晶硅进行结晶, 能够提高多晶硅晶粒的均一性, 改善TFT器件的特性。

固相结晶方法与低温多晶硅 TFT 基板的制作方法

技术领域

5 本发明涉及显示技术领域，尤其涉及一种固相结晶方法与低温多晶硅 TFT 基板的制作方法。

背景技术

薄膜晶体管（Thin Film Transistor，简称 TFT）是目前液晶显示装置（Liquid Crystal Display，简称 LCD）和有源矩阵驱动式有机电致发光显示装置（Active Matrix/Organic Light-Emitting Diode，简称 AMOLED）中的主要驱动元件，直接关系到高性能平板显示装置的发展方向。

低温多晶硅由于电子迁移率高，亚阈值摆幅好，开关态电流比大，耗电低，同时可以用于制作高像素密度（PPI）显示器，且可以应用在柔性 OLED 基板上，近几年引起了广泛的关注。对电压驱动式的液晶显示装置而言，低温多晶硅薄膜晶体管由于其具有较高的迁移率，可以使用体积较小的薄膜晶体管实现对液晶分子的偏转驱动，在很大程度上缩小了薄膜晶体管所占的体积，增加透光面积，得到更高的亮度和解析度；对于电流驱动式的有源矩阵驱动式有机电致发光显示装置而言，低温多晶硅薄膜晶体管可以更好的满足驱动电流要求。

20 目前，常见的低温多晶硅的晶化方法包括准分子激光退火（ELA，Excimer Laser Annealing）结晶方法与固相结晶（SPC，Solid Phase Crystallization）方法等。准分子激光退火结晶使用的机台昂贵，制作成本高，而且准分子激光退火结晶的晶粒均一性不好，制得的 TFT 基板用于显示器中时容易出现显示器亮度不均匀的问题（ELA scan mura），无法实现大尺寸显示面板的制作。与准分子激光退火结晶方法相比，固相结晶方法的制作成本较低，图 1 为现有的固相结晶方法的退火工艺曲线示意图，如图 1 所示，传统的固相结晶方法是直接将非晶硅（a-Si: amorphous silicon）置于 650℃ 左右的高温环境中持续加热 60min 左右进行结晶，图 2 为现有的固相结晶方法制得的晶粒的形态示意图，如图 2 所示，由于将非晶硅直接放置于高温环境中时，在结晶初始阶段非晶硅不同区域的温度具有较大的差异性，进而使不同区域的晶核的成长速度具有较大的差异性，导致固相结晶形成的晶粒大小不一，均一性差，最终导致 TFT 器件特性的差异性大，影响良率。

发明内容

本发明的目的在于提供一种固相结晶方法，使非晶硅开始结晶时不同区域的温度的差异性减小，进而使不同区域的晶核的成长速度的差异性减小，大幅度提高固相结晶形成的晶粒的均一性。

本发明的目的还在于提供一种低温多晶硅 TFT 基板的制作方法，采用上述固相结晶方法对非晶硅进行结晶，能够提高多晶硅晶粒的均一性，从而大幅度改善 TFT 器件的特性，提高生产良率。

为实现上述目的，本发明提供一种固相结晶方法，包括：提供非晶硅，将非晶硅加热至第一结晶温度后，对非晶硅继续加热，使其在第一时间段内从第一结晶温度逐渐升温至第二结晶温度，将非晶硅在第二结晶温度保温一段时间后，对非晶硅进行降温，使其在第二时间段内从第二结晶温度逐渐降温至第一结晶温度，对非晶硅继续降温，使其降至室温，得到低温多晶硅。

所述第一结晶温度为 380-420℃，所述第二结晶温度为 630-670℃。

所述第一时间段与第二时间段长度相同，均为 1 分钟至 10 分钟，将非晶硅在第二结晶温度保温的时间为 30 分钟至 120 分钟。

所述第一时间段与第二时间段均为 5 分钟，将非晶硅在第二结晶温度保温的时间为 60 分钟。

所述非晶硅按照恒定的升温速率从第一结晶温度逐渐升温至第二结晶温度，并按照恒定的降温速率从第二结晶温度逐渐降温至第一结晶温度，所述升温速率与降温速率相同。

本发明还提供一种低温多晶硅 TFT 基板的制作方法，包括如下步骤：

步骤 S1、提供衬底基板，在所述衬底基板上沉积缓冲层，在所述缓冲层上沉积非晶硅层，得到待处理基板；

步骤 S2、采用固相结晶方法使所述非晶硅层转化为低温多晶硅层，所述固相结晶方法包括：将所述待处理基板加热至第一结晶温度后，对所述待处理基板继续加热，使其在第一时间段内从第一结晶温度逐渐升温至第二结晶温度，将所述待处理基板在第二结晶温度保温一段时间后，对所述待处理基板进行降温，使其在第二时间段内从第二结晶温度逐渐降温至第一结晶温度，对所述待处理基板继续降温，使其降至室温；

步骤 S3、对所述低温多晶硅层进行图形化处理，得到有源层；

在所述有源层与缓冲层上沉积栅极绝缘层，在所述栅极绝缘层上形成栅极；

步骤 S4、采用自对准技术以所述栅极为掩模板在所述有源层的两端植入掺杂离子，形成源极接触区、漏极接触区以及位于所述源极接触区与漏极接触区之间且对应于所述栅极下方的沟道区；

5 步骤 S5、在所述栅极与栅极绝缘层上沉积层间介电层，对所述层间介电层与栅极绝缘层进行图形化处理，在所述层间介电层与栅极绝缘层中形成分别对应于有源层的源极接触区与漏极接触区的源极接触孔与漏极接触孔；

步骤 S6、在所述层间介电层上形成源极与漏极，所述源极与漏极分别通过源极接触孔与漏极接触孔和有源层的源极接触区与漏极接触区相接触。

10 所述第一结晶温度为 380-420℃，所述第二结晶温度为 630-670℃。

所述第一时间段与第二时间段长度相同，均为 1 分钟至 10 分钟，将所述待处理基板 40 在第二结晶温度保温的时间为 30 分钟至 120 分钟。

所述第一时间段与第二时间段均为 5 分钟，将所述待处理基板在第二结晶温度保温的时间为 60 分钟。

15 所述待处理基板按照恒定的升温速率从第一结晶温度逐渐升温至第二结晶温度，并按照恒定的降温速率从第二结晶温度逐渐降温至第一结晶温度，所述升温速率与降温速率相同。

本发明还提供一种固相结晶方法，包括：提供非晶硅，将非晶硅加热至第一结晶温度后，对非晶硅继续加热，使其在第一时间段内从第一结晶温度逐渐升温至第二结晶温度，将非晶硅在第二结晶温度保温一段时间后，20 对非晶硅进行降温，使其在第二时间段内从第二结晶温度逐渐降温至第一结晶温度，对非晶硅继续降温，使其降至室温，得到低温多晶硅；

其中，所述第一结晶温度为 380-420℃，所述第二结晶温度为 630-670℃；

25 其中，所述第一时间段与第二时间段长度相同，均为 5 分钟，将非晶硅在第二结晶温度保温的时间为 60 分钟；

其中，所述非晶硅按照恒定的升温速率从第一结晶温度逐渐升温至第二结晶温度，并按照恒定的降温速率从第二结晶温度逐渐降温至第一结晶温度，所述升温速率与降温速率相同。

30 本发明的有益效果：本发明的固相结晶方法使非晶硅开始结晶时不同区域的温度的差异性减小，进而使不同区域的晶核的成长速度的差异性减小，大幅度提高固相结晶形成的晶粒的均一性。本发明的低温多晶硅 TFT 基板的制作方法采用上述固相结晶方法对非晶硅进行结晶，能够提高多晶硅晶粒的均一性，从而大幅度改善 TFT 器件的特性，提高生产良率。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本

发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为现有的固相结晶方法的退火工艺曲线示意图；

图 2 为现有的固相结晶方法制得的晶粒的形态示意图；

图 3 为本发明的固相结晶方法的退火工艺曲线示意图；

图 4 为本发明的固相结晶方法制得的晶粒的形态示意图；

图 5 为本发明的低温多晶硅 TFT 基板的制作方法的流程图；

图 6 为本发明的低温多晶硅 TFT 基板的制作方法的步骤 S1 的示意图；

图 7 为本发明的低温多晶硅 TFT 基板的制作方法的步骤 S2 的示意图；

图 8 至图 9 为本发明的低温多晶硅 TFT 基板的制作方法的步骤 S3 的示意图；

图 10 为本发明的低温多晶硅 TFT 基板的制作方法的步骤 S4 的示意图；

图 11 为本发明的低温多晶硅 TFT 基板的制作方法的步骤 S5 的示意图；

图 12 为本发明的低温多晶硅 TFT 基板的制作方法的步骤 S6 的示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

本发明首先提供一种固相结晶方法，包括：提供非晶硅，将非晶硅加热至第一结晶温度后，对非晶硅继续加热，使其在第一时间段内从第一结晶温度逐渐升温至第二结晶温度，将非晶硅在第二结晶温度保温一段时间后，对非晶硅进行降温，使其在第二时间段内从第二结晶温度逐渐降温至第一结晶温度，对非晶硅继续降温，使其降至室温，得到低温多晶硅。

具体的，所述第一结晶温度为 380-420℃，所述第二结晶温度为 630-670℃。

优选的，所述第一结晶温度为 400℃，所述第二结晶温度为 650℃。

具体的，所述第一时间段与第二时间段长度相同，均为 1 分钟至 10 分钟，将非晶硅在第二结晶温度保温的时间为 30 分钟至 120 分钟。

优选的，所述第一时间段与第二时间段均为 5 分钟，将非晶硅在第二

结晶温度保温的时间为 60 分钟。

优选的，所述非晶硅按照恒定的升温速率从第一结晶温度逐渐升温至第二结晶温度，并按照恒定的降温速率从第二结晶温度逐渐降温至第一结晶温度，所述升温速率与降温速率相同。

5 如图 3 所示，与现有的固相结晶方法相比，本发明的固相结晶方法不直接将非晶硅（a-Si）置于 650℃ 左右的高温中加热进行结晶，而是让结晶温度从第一结晶温度（优选 400℃）开始，经过第一时间段（优选 5 分钟）逐渐升温至第二结晶温度（优选 650℃），再在第二结晶温度（优选 650℃）保温一段时间（优选 60 分钟），然后经过第二时间段（优选 5 分钟）逐渐
10 降温至第一结晶温度（优选 400℃）；这样可以使非晶硅开始结晶时不同区域的温度的差异性减小，进而使不同区域的晶核的成长速度的差异性减小，大幅度提高固相结晶形成的晶粒的均一性。如图 4 所示，本发明的固相结晶方法制得的低温多晶硅的晶粒的均一性非常优异，该低温多晶硅应用于 TFT 器件时，能够显著改善 TFT 器件的特性，提高生产良率。

15 请参阅图 5，本发明还提供一种低温多晶硅 TFT 基板的制作方法，采用上述固相结晶方法对非晶硅层进行晶化处理，所述低温多晶硅 TFT 基板的制作方法包括如下步骤：

步骤 S1、如图 6 所示，提供衬底基板 10，在所述衬底基板 10 上沉积缓冲层 20，在所述缓冲层 20 上沉积非晶硅层 31，得到待处理基板 40。

20 具体的，所述衬底基板 10 为玻璃基板。

具体的，所述步骤 S1 采用等离子体增强化学气相沉积法（PECVD，Plasma Enhanced Chemical Vapor Deposition）沉积缓冲层 20 与非晶硅层 31。

具体的，所述缓冲层 20 包括位于所述衬底基板 10 上的氮化硅（ SiN_x ）层及位于所述氮化硅（ SiN_x ）层上的氧化硅（ SiO_x ）层。

25 步骤 S2、如图 7 所示，采用固相结晶方法使所述非晶硅层 31 转化为低温多晶硅层 32，所述固相结晶方法包括：将所述待处理基板 40 加热至第一结晶温度后，对所述待处理基板 40 继续加热，使其在第一时间段内从第一结晶温度逐渐升温至第二结晶温度，将所述待处理基板 40 在第二结晶温度保温一段时间后，对所述待处理基板 40 进行降温，使其在第二时间段内从
30 第二结晶温度逐渐降温至第一结晶温度，对所述待处理基板 40 继续降温，使其降至室温。

具体的，所述第一结晶温度为 380-420℃，所述第二结晶温度为 630-670℃。

优选的，所述第一结晶温度为 400℃，所述第二结晶温度为 650℃。

具体的，所述第一时间段与第二时间段长度相同，均为 1 分钟至 10 分钟，将所述待处理基板 40 在第二结晶温度保温的时间为 30 分钟至 120 分钟。

5 优选的，所述第一时间段与第二时间段均为 5 分钟，将所述待处理基板 40 在第二结晶温度保温的时间为 60 分钟。

优选的，所述待处理基板 40 按照恒定的升温速率从第一结晶温度逐渐升温至第二结晶温度，并按照恒定的降温速率从第二结晶温度逐渐降温至第一结晶温度，所述升温速率与降温速率相同。

10 如图 3 所示，与现有的固相结晶方法相比，所述步骤 S2 的固相结晶方法不直接将非晶硅（a-Si）置于 650℃ 左右的高温中加热进行结晶，而是让结晶温度从第一结晶温度（优选 400℃）开始，经过第一时间段（优选 5 分钟）逐渐升温至第二结晶温度（优选 650℃），再在第二结晶温度（优选 650℃）保温一段时间（优选 60 分钟），然后经过第二时间段（优选 5 分钟）逐渐降温至第一结晶温度（优选 400℃）；这样可以使非晶硅层 31 开始结晶时不同区域的温度的差异性减小，进而使不同区域的晶核的成长速度的差异性减小，大幅度提高固相结晶形成的晶粒的均一性。如图 4 所示，所述步骤 S2 的固相结晶方法制得的低温多晶硅层 32 的晶粒的均一性非常优异，能够显著改善 TFT 器件的特性，提高生产良率。

20 步骤 S3、如图 8、图 9 所示，对所述低温多晶硅层 32 进行图形化处理，得到有源层 50；在所述有源层 50 与缓冲层 20 上沉积栅极绝缘层 60，在所述栅极绝缘层 60 上形成栅极 70。

具体的，所述栅极绝缘层 60 为氧化硅（SiO_x）层。

25 具体的，所述步骤 S3 中，所述栅极 70 的制程为：采用物理气相沉积方法（PVD）在所述栅极绝缘层 60 上沉积栅极金属层，对所述栅极金属层进行图形化处理，得到栅极 70。

具体的，所述栅极 70 的材料为金属钼（Mo）。

30 步骤 S4、如图 10 所示，采用自对准技术以所述栅极 70 为掩膜板在所述有源层 50 的两端植入掺杂离子，形成源极接触区 51、漏极接触区 52 以及位于所述源极接触区 51 与漏极接触区 52 之间且对应于所述栅极 70 下方的沟道区 53。

具体的，所述掺杂离子为 P 型离子，所述 P 型离子优选为硼（Boron）离子。

步骤 S5、如图 11 所示，在所述栅极 70 与栅极绝缘层 60 上沉积层间介电层 80，对所述层间介电层 80 与栅极绝缘层 60 进行图形化处理，在所述

层间介电层 80 与栅极绝缘层 60 中形成分别对应于有源层 50 的源极接触区 51 与漏极接触区 52 的源极接触孔 81 与漏极接触孔 82。

具体的，所述步骤 S5 采用等离子体增强化学气相沉积法（PECVD）在所述栅极 70 与栅极绝缘层 60 上沉积层间介电层 80。

5 具体的，所述层间介电层 80 包括位于所述栅极 70 与栅极绝缘层 60 上的氧化硅（ SiO_x ）层及位于所述氧化硅（ SiO_x ）层上的氮化硅（ SiN_x ）层。

10 优选的，所述步骤 S5 还包括：对所述层间介电层 80 进行图形化处理之前，对附着层间介电层 80 的整个基板进行快速热退火处理（RTA），以对有源层 50 进行活化，使源极接触区 51 与漏极接触区 52 中的硼离子与多晶硅形成共价键，减少多晶硅的缺陷，降低后续形成的源极 91 和漏极 92 与有源层 50 之间的接触阻抗，提升电性连接效果，同时还能够使层间介电层 80 中的氮化硅（ SiN_x ）层中的氢扩散至有源层 50 中，对多晶硅进行补氢，进一步减少多晶硅的缺陷，使 TFT 工作更稳定。

15 步骤 S6、如图 12 所示，在所述层间介电层 80 上形成源极 91 与漏极 92，所述源极 91 与漏极 92 分别通过源极接触孔 81 与漏极接触孔 82 和有源层 50 的源极接触区 51 与漏极接触区 52 相接触。

具体的，所述步骤 S6 中，所述源极 91 与漏极 92 的制程为：采用物理气相沉积方法（PVD）在所述层间介电层 80 上沉积源漏极金属层，对所述源漏极金属层进行图形化处理，得到源极 91 与漏极 92。

20 具体的，所述源极 91 与漏极 92 均包括两第一结构层及夹设于两第一结构层之间的第二结构层，所述第一结构层的材料为钼（Mo），所述第二结构层的材料为铝（Al）。

综上所述，本发明提供一种固相结晶方法与低温多晶硅 TFT 基板的制作方法。本发明的固相结晶方法包括：提供非晶硅，将非晶硅加热至第一
25 结晶温度后，对非晶硅继续加热，使其在第一时间段内从第一结晶温度逐渐升温至第二结晶温度，将非晶硅在第二结晶温度保温一段时间后，对非晶硅进行降温，使其在第二时间段内从第二结晶温度逐渐降温至第一结晶温度，对非晶硅继续降温，使其降至室温，得到低温多晶硅。该固相结晶方法使非晶硅开始结晶时不同区域的温度的差异性减小，进而使不同区域
30 的晶核的成长速度的差异性减小，大幅度提高固相结晶形成的晶粒的均一性。本发明的低温多晶硅 TFT 基板的制作方法采用上述固相结晶方法对非晶硅进行结晶，能够提高多晶硅晶粒的均一性，从而大幅度改善 TFT 器件的特性，提高生产良率。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术

方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种固相结晶方法，包括：提供非晶硅，将非晶硅加热至第一结晶温度后，对非晶硅继续加热，使其在第一时间段内从第一结晶温度逐渐升温至第二结晶温度，将非晶硅在第二结晶温度保温一段时间后，对非晶硅进行降温，使其在第二时间段内从第二结晶温度逐渐降温至第一结晶温度，对非晶硅继续降温，使其降至室温，得到低温多晶硅。

2、如权利要求 1 所述的固相结晶方法，其中，所述第一结晶温度为 380-420℃，所述第二结晶温度为 630-670℃。

3、如权利要求 1 所述的固相结晶方法，其中，所述第一时间段与第二时间段长度相同，均为 1 分钟至 10 分钟，将非晶硅在第二结晶温度保温的时间为 30 分钟至 120 分钟。

4、如权利要求 3 所述的固相结晶方法，其中，所述第一时间段与第二时间段均为 5 分钟，将非晶硅在第二结晶温度保温的时间为 60 分钟。

5、如权利要求 1 所述的固相结晶方法，其中，所述非晶硅按照恒定的升温速率从第一结晶温度逐渐升温至第二结晶温度，并按照恒定的降温速率从第二结晶温度逐渐降温至第一结晶温度，所述升温速率与降温速率相同。

6、一种低温多晶硅 TFT 基板的制作方法，包括如下步骤：

步骤 S1、提供衬底基板，在所述衬底基板上沉积缓冲层，在所述缓冲层上沉积非晶硅层，得到待处理基板；

步骤 S2、采用固相结晶方法使所述非晶硅层转化为低温多晶硅层，所述固相结晶方法包括：将所述待处理基板加热至第一结晶温度后，对所述待处理基板继续加热，使其在第一时间段内从第一结晶温度逐渐升温至第二结晶温度，将所述待处理基板在第二结晶温度保温一段时间后，对所述待处理基板进行降温，使其在第二时间段内从第二结晶温度逐渐降温至第一结晶温度，对所述待处理基板继续降温，使其降至室温；

步骤 S3、对所述低温多晶硅层进行图形化处理，得到有源层；

在所述有源层与缓冲层上沉积栅极绝缘层，在所述栅极绝缘层上形成栅极；

步骤 S4、采用自对准技术以所述栅极为掩模板在所述有源层的两端植入掺杂离子，形成源极接触区、漏极接触区以及位于所述源极接触区与漏极接触区之间且对应于所述栅极下方的沟道区；

步骤 S5、在所述栅极与栅极绝缘层上沉积层间介电层，对所述层间介电层与栅极绝缘层进行图形化处理，在所述层间介电层与栅极绝缘层中形成分别对应于有源层的源极接触区与漏极接触区的源极接触孔与漏极接触孔；

5 步骤 S6、在所述层间介电层上形成源极与漏极，所述源极与漏极分别通过源极接触孔与漏极接触孔和有源层的源极接触区与漏极接触区相接触。

7、如权利要求 6 所述的低温多晶硅 TFT 基板的制作方法，其中，所述第一结晶温度为 380-420℃，所述第二结晶温度为 630-670℃。

10 8、如权利要求 6 所述的低温多晶硅 TFT 基板的制作方法，其中，所述第一时间段与第二时间段长度相同，均为 1 分钟至 10 分钟，将所述待处理基板 40 在第二结晶温度保温的时间为 30 分钟至 120 分钟。

9、如权利要求 8 所述的低温多晶硅 TFT 基板的制作方法，其中，所述第一时间段与第二时间段均为 5 分钟，将所述待处理基板在第二结晶温度保温的时间为 60 分钟。

15 10、如权利要求 6 所述的低温多晶硅 TFT 基板的制作方法，其中，所述待处理基板按照恒定的升温速率从第一结晶温度逐渐升温至第二结晶温度，并按照恒定的降温速率从第二结晶温度逐渐降温至第一结晶温度，所述升温速率与降温速率相同。

20 11、一种固相结晶方法，包括：提供非晶硅，将非晶硅加热至第一结晶温度后，对非晶硅继续加热，使其在第一时间段内从第一结晶温度逐渐升温至第二结晶温度，将非晶硅在第二结晶温度保温一段时间后，对非晶硅进行降温，使其在第二时间段内从第二结晶温度逐渐降温至第一结晶温度，对非晶硅继续降温，使其降至室温，得到低温多晶硅；

其中，所述第一结晶温度为 380-420℃，所述第二结晶温度为 630-670℃；

25 其中，所述第一时间段与第二时间段长度相同，均为 5 分钟，将非晶硅在第二结晶温度保温的时间为 60 分钟；

其中，所述非晶硅按照恒定的升温速率从第一结晶温度逐渐升温至第二结晶温度，并按照恒定的降温速率从第二结晶温度逐渐降温至第一结晶温度，所述升温速率与降温速率相同。

30

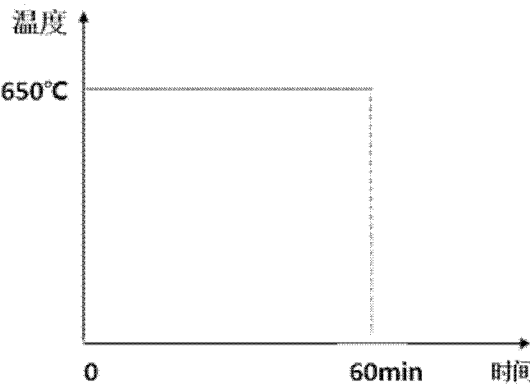


图1

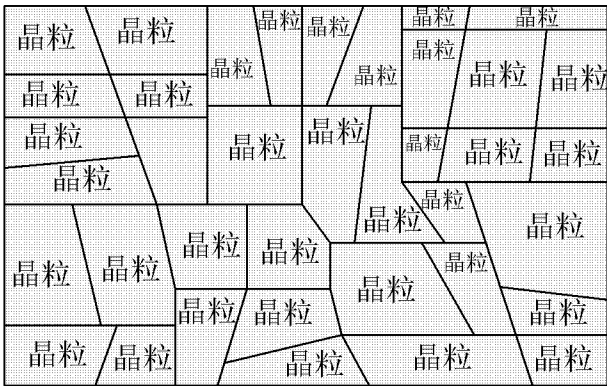


图2

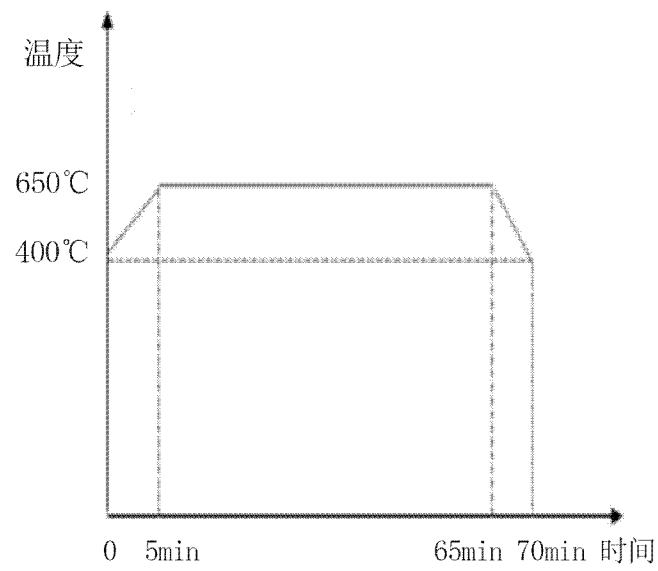


图3

晶粒	晶粒	晶粒	晶粒	晶粒	晶粒	晶粒
晶粒	晶粒	晶粒	晶粒	晶粒	晶粒	晶粒
晶粒	晶粒	晶粒	晶粒	晶粒	晶粒	晶粒
晶粒	晶粒	晶粒	晶粒	晶粒	晶粒	晶粒
晶粒	晶粒	晶粒	晶粒	晶粒	晶粒	晶粒
晶粒	晶粒	晶粒	晶粒	晶粒	晶粒	晶粒

图4

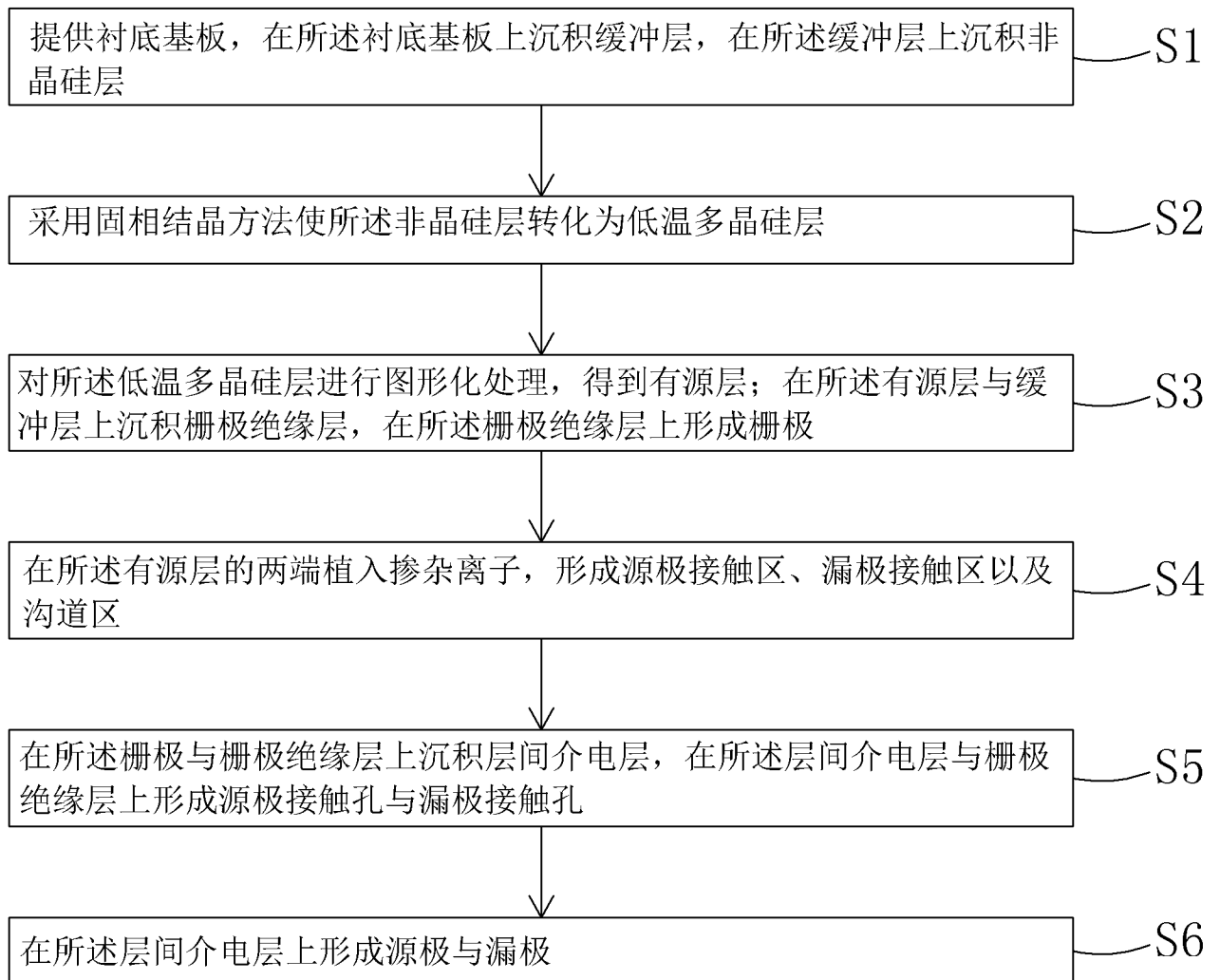


图5

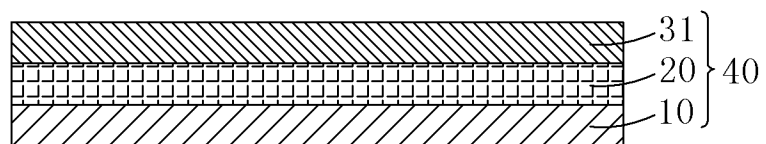


图6

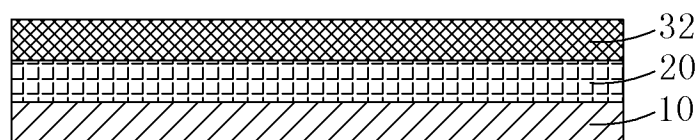


图7

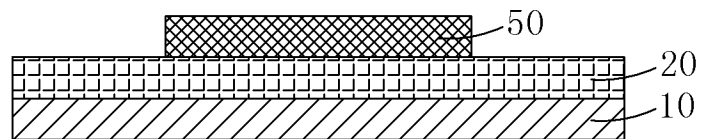


图8

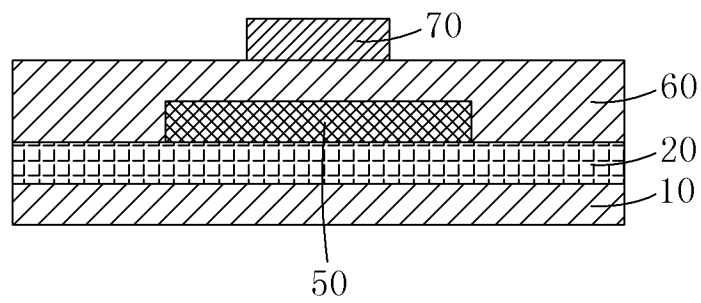


图9

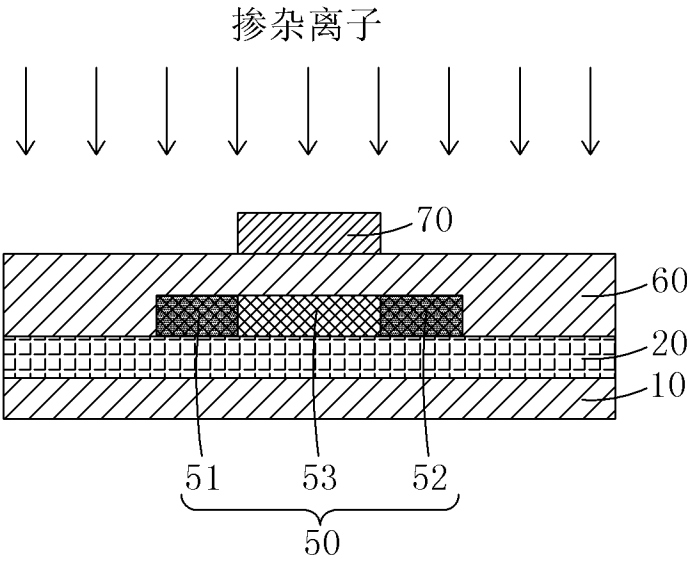


图10

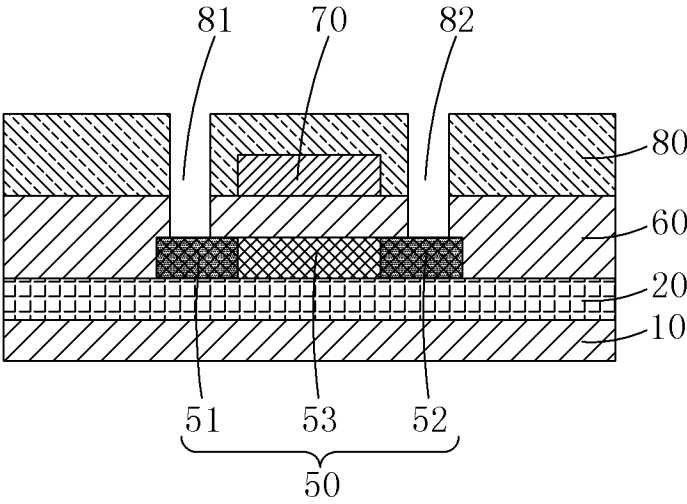


图11

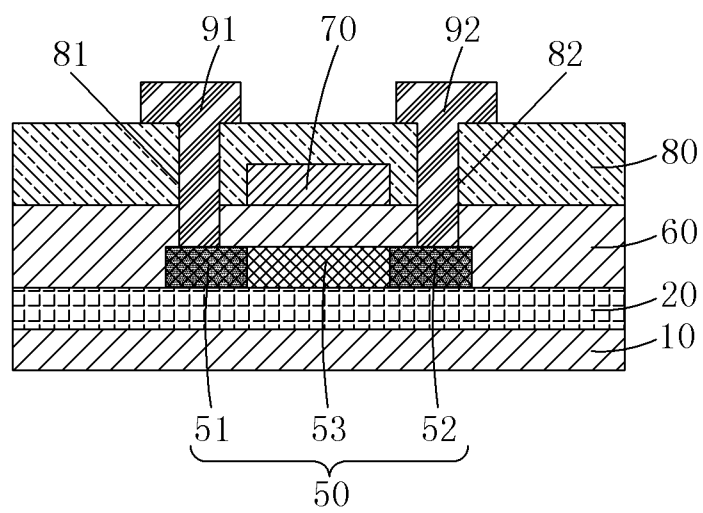


图12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/076942

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/205(2006.01)i; H01L 21/77(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: 低温, 多晶硅, 结晶, 温度, 加温, 升温, 加热, 降温, 保温, 冷却; low, temperature, LTPS, polysilicon, crystal+, thermal, heat+, cool+, hold+, maintain+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 107369613 A (BOE TECHNOLOGY GROUP CO., LTD.) 21 November 2017 (2017-11-21) entire document	1-11
A	CN 102629558 A (CENTURY TECHNOLOGY (SHENZHEN) CO., LTD.) 08 August 2012 (2012-08-08) entire document	1-11
A	CN 102732941 A (KUNSHAN NEW FLAT PANEL DISPLAY TECHNOLOGY CENTER CO., LTD.) 17 October 2012 (2012-10-17) entire document	1-11
A	KR 20060040367 A (LG PHILIPS LCD CO., LTD.) 10 May 2006 (2006-05-10) entire document	1-11
A	US 2002197742 A1 (KAMINS, T.) 26 December 2002 (2002-12-26) entire document	1-11
A	US 2007065998 A1 (LI, SICHEN ET AL.) 22 March 2007 (2007-03-22) entire document	1-11

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 October 2018

Date of mailing of the international search report

25 October 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/076942

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107369613	A	21 November 2017	None			
CN	102629558	A	08 August 2012	CN	102629558	B	20 May 2015
				TW	I492315	B	11 July 2015
				TW	201330112	A	16 July 2013
CN	102732941	A	17 October 2012	CN	102732941	B	09 March 2016
KR	20060040367	A	10 May 2006	KR	100675640	B1	02 February 2007
US	2002197742	A1	26 December 2002	None			
US	2007065998	A1	22 March 2007	US	7192818	B1	20 March 2007
				TW	I255508	B	21 May 2006
				TW	200703513	A	16 January 2007

国际检索报告

国际申请号

PCT/CN2018/076942

A. 主题的分类

H01L 21/205(2006.01)i; H01L 21/77(2017.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPDOC, CNKI: 低温, 多晶硅, 结晶, 温度, 加温, 升温, 加热, 降温, 保温, 冷却; low, temperature, LTPS, polysilicon, crystal+, thermal, heat+, cool+, hold+, maintain+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 107369613 A (京东方科技集团股份有限公司) 2017年 11月 21日 (2017 - 11 - 21) 全文	1-11
A	CN 102629558 A (深超光电深圳有限公司) 2012年 8月 8日 (2012 - 08 - 08) 全文	1-11
A	CN 102732941 A (昆山工研院新型平板显示技术中心有限公司) 2012年 10月 17日 (2012 - 10 - 17) 全文	1-11
A	KR 20060040367 A (LG PHILIPS LCD CO., LTD.) 2006年 5月 10日 (2006 - 05 - 10) 全文	1-11
A	US 2002197742 A1 (KAMINS, THEODORE I) 2002年 12月 26日 (2002 - 12 - 26) 全文	1-11
A	US 2007065998 A1 (LEE, SICHEN等) 2007年 3月 22日 (2007 - 03 - 22) 全文	1-11

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 10月 11日

国际检索报告邮寄日期

2018年 10月 25日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

罗慧晶

电话号码 86-(10)-53961204

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/076942

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107369613	A	2017年 11月 21日	无			
CN	102629558	A	2012年 8月 8日	CN	102629558	B	2015年 5月 20日
				TW	I492315	B	2015年 7月 11日
				TW	201330112	A	2013年 7月 16日
CN	102732941	A	2012年 10月 17日	CN	102732941	B	2016年 3月 9日
KR	20060040367	A	2006年 5月 10日	KR	100675640	B1	2007年 2月 2日
US	2002197742	A1	2002年 12月 26日	无			
US	2007065998	A1	2007年 3月 22日	US	7192818	B1	2007年 3月 20日
				TW	I255508	B	2006年 5月 21日
				TW	200703513	A	2007年 1月 16日

表 PCT/ISA/210 (同族专利附件) (2015年1月)