

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

| | | | |
|--|---|-------------------------------------|--|
| (51) 。 Int. Cl. ⁶ H01L 21/42 | | (45) 공고일자 (11) 등록번호 (24) 등록일자 | 2005년09월26일 10-0506378 2005년07월28일 |
| (21) 출원번호 (22) 출원일자 | 10-1998-0044059 1998년10월21일 | (65) 공개번호 (43) 공개일자 | 10-1999-0037250 1999년05월25일 |
| (30) 우선권주장 | 9-308043 10-152305 | 1997년10월21일 1998년05월16일 | 일본(JP) 일본(JP) |
| (73) 특허권자 | 가부시킴가이샤 한도오따이 에네루기 켄큐쇼 일본국 가나가와켄 아쓰기시 하세 398 | | |
| (72) 발명자 | 야마자키 순페이 일본국 가나가와켄 아쓰기시 하세 398 가부시킴가이샤 한도오따이 에네루기 켄큐쇼 내 오타니 히사시 일본국 가나가와켄 아쓰기시 하세 398 가부시킴가이샤 한도오따이 에네루기 켄큐쇼 내 | | |
| (74) 대리인 | 황의만 | | |

심사관 : 정회환

(54) 반도체장치의제조방법

요약

반도체장치를 제작하는 방법에서, 규소의 결정화를 촉진하는 촉매원소를 이용하여 횡방향 성장 영역(107)을 형성한 후, 가열처리에 의해 촉매원소를 인 첨가 영역(108)으로 게터링한다. 그 후, 형성된 활성층(110, 111, 112)을 덮도록 게이트 절연막(113)을 형성하고, 이 상태에서, 열산화 공정을 행한다. 이로써, 활성층 표면에서의 금속 산화물의 이상(異常) 성장을 방지하면서 활성층과 게이트 절연막 사이의 계면 특성을 개선할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1(A)~도 1(E)는 실시예 1의 박막트랜지스터 제작공정을 나타내는 도면.

도 2(A)~도 2(D)는 실시예 1의 박막트랜지스터 제작공정을 나타내는 도면.

도 3(A)~도 3(C)는 실시예 1의 박막트랜지스터 제작공정을 나타내는 도면.

도 4는 실시예 3의 박막트랜지스터의 구성을 나타내는 도면.

도 5는 실시예 8의 액정 모듈의 구성을 나타내는 도면.

도 6(A)~도 6(F)는 실시예 10의 전자장치의 구성을 나타내는 도면.

도 7(A) 및 도 7(B)는 실시예 1의 SiO_x의 이상(異常) 성장의 모습을 나타내는 SEM 사진.

도 8(A)~도 8(E)는 실시예 2의 박막트랜지스터 제작공정을 나타내는 도면.

도 9(A) 및 도 9(B)는 반도체 박막의 결정 입계의 구조를 나타내는 TEM 사진.

도 10(A) 및 도 10(B)는 반도체 박막의 전자 빔 회절 패턴을 나타내는 사진.

도 11(A) 및 도 11(B)는 실시예 1의 반도체 박막의 결정립을 나타내는 TEM 사진.

도 12(A)~도 12(C)는 실시예 1의 결함의 생성 및 소멸에 관한 모델을 설명하기 위한 도면.

도 13(A) 및 도 13(B)는 반도체 박막의 암시야상을 나타내는 TEM 사진.

도 14는 실시예 1의 반도체 박막의 명시야상을 나타내는 TEM 사진.

도 15(A)~도 15(C)는 실시예 1의 반도체 박막의 결정 입계의 모습을 나타내는 TEM 사진.

도 16(A)~도 16(C)는 실시예 1의 반도체 박막의 결정 입계의 모습을 나타내는 TEM 사진.

도 17(A)~도 17(C)는 실시예 1의 반도체 박막의 결정 입계의 모습을 나타내는 TEM 사진.

도 18은 실시예 7의 화소 TFT의 단면 구조를 나타내는 TEM 사진.

도 19(A) 및 도 19(B)는 실시예 7의 화소 TFT의 상면 및 단면 구조를 나타내는 도면.

도 20은 실시예 7의 액정 모듈의 외관을 나타내는 사진.

* 도면의 주요 부분에 대한 부호의 설명

101: 기판 102: 절연성 규소막(하지막)

103: 비정질 규소막 104: 마스크 절연막

105: 니켈 함유 층 106: 니켈 첨가 영역

107, 109: 횡방향 성장 영역 108: 인 첨가 영역

110, 111, 112: 활성층 113: 게이트 절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 박막을 이용한 반도체장치를 제조하는 방법에 관한 것이고, 특히 결정성 규소막을 이용한 박막트랜지스터(TFT)로 구성되는 반도체장치를 제조하는 방법에 관한 것이다.

본 명세서에서, 반도체장치란 반도체를 이용하여 기능하는 모든 장치를 의미하고, TFT와 같은 단체(單體) 소자뿐만 아니라, 전기광학 장치, 반도체 회로, 및 이들이 제공된 전자 기기도 반도체장치에 포함된다.

최근, 액티브 매트릭스형 액정 표시장치와 같은 전기광학 장치에 사용되는 TFT의 개발이 활발하게 진행되고 있다.

액티브 매트릭스형 액정 표시장치는 화소 매트릭스 회로와 드라이버 회로가 동일 기판 상에 설치된 모놀리식(monolithic)형 표시장치이다. 또한, γ 보정 회로, 메모리 회로, 클록 발생 회로 등의 논리 회로를 내장한 시스템-온-패널의 개발도 진행되고 있다.

그러한 드라이버 회로와 논리 회로는 고속 동작을 행할 필요가 있기 때문에, 활성층으로서 비정질 규소막을 사용하는 것은 부적당하다. 따라서, 현재 상황에서는, 활성층으로서 결정성 규소막(폴리실리콘 막)을 이용한 TFT가 주류로 되어 있다.

본 발명자들은 일본 공개특허공고 평8-78329호 공보에 유리 기판 상에 결정성 규소막을 얻기 위한 기술을 개시하였다. 이 공보에 개시된 기술에서는, 결정화를 촉진시키는 촉매원소를 비정질 규소막에 선택적으로 첨가하고, 가열처리를 행하여, 첨가 영역으로부터 연장하는 결정성 규소막을 형성한다.

이 기술에 의하면, 촉매원소의 작용에 의해 비정질 규소막의 결정화 온도가 50~100℃만큼 낮아질 수 있고, 결정화에 요하는 시간도 1/5~1/10로 감소될 수 있다. 규소막의 결정화가 기판의 표면에 대략 평행하게 횡방향으로 진행하기 때문에, 본 발명자들은 이 결정화된 영역을 횡방향 성장 영역이라 부른다.

횡방향 성장 영역에는 촉매원소가 직접 첨가되어 있지 않기 때문에, 이 영역은 막 내에 잔존하는 촉매원소의 농도가 촉매원소가 직접 첨가된 경우에 비하여 낮다는 특징을 가진다. 예를 들어, 촉매원소의 함량이 직접 첨가한 경우에는 10^{19} 정도이지만, 횡방향 성장 영역에서의 함량은 1자릿수 낮은 10^{18} 정도이다.

상기 결정화 기술에 의해 우수한 결정성을 갖는 규소막을 비교적 낮은 온도에서 얻는 것이 가능하게 되지만, 촉매원소가 막 속에 함유되어 있기 때문에, 첨가량의 제어가 어렵고, 재현성 및 안정성(얻어진 소자의 전기적 특성의 안정성)에 문제가 발생되었다.

또한, 막 내에 잔존하는 촉매원소의 영향에 의해, 얻어진 반도체장치의 시간 경과에 따른 특성 변화 및 TFT의 특성 값으로서의 OFF 값(누서 전류)의 편차가 크다는 문제도 발생하였다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 상기한 바와 같은 막 내에 잔존하는 촉매원소를 제거하여 우수한 전기적 특성을 가지는 TFT를 실현하고 그 TFT로 고성능의 반도체장치를 제공하는데 있다.

발명의 구성 및 작용

본 발명의 일 실시형태에 따르면, 비정질 반도체막의 결정화를 촉진시키는 촉매원소를 비정질 반도체막의 일부 영역 또는 전체 표면에 도입하는 공정, 제1 가열처리를 행하여 상기 비정질 반도체막의 상기 일부 영역 또는 전체 표면을 결정성 반도체막으로 변환시키는 공정, 상기 결정성 반도체막에 15족으로부터 선택된 원소를 선택적으로 첨가하는 공정, 제2 가열처리를 행하여 상기 15족으로부터 선택된 원소가 첨가된 영역으로 그 영역에 인접한 영역으로부터 촉매원소를 게터링하는 공정, 상기 결정성 반도체막을 패터닝하여 활성층을 형성하는 공정, 상기 활성층을 덮는 절연막을 형성하는 공정, 및 상기 절연막의 형성 후에 산화성 분위기에서 제3 가열처리를 행하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법이 제공된다.

본 발명의 제2 실시형태에 따르면, 비정질 규소막 위에 마스크 절연막을 선택적으로 형성하는 공정, 상기 마스크 절연막을 이용하여 상기 비정질 반도체막에 상기 비정질 반도체막의 결정화를 촉진시키는 촉매원소를 선택적으로 도입하는 공정, 제1 가열처리를 행하여 상기 비정질 반도체막의 적어도 일부를 결정성 반도체막으로 변환시키는 공정, 상기 결정성 반도체막에 15족으로부터 선택된 원소를 선택적으로 첨가하는 공정, 제2 가열처리를 행하여 상기 15족으로부터 선택된 원소가 첨가된 영역으로 그 영역에 인접한 영역으로부터 촉매원소를 게터링하는 공정, 상기 결정성 반도체막을 패터닝하여 활성층을 형성하는 공정, 상기 활성층을 덮는 게이트 절연막을 형성하는 공정, 및 상기 게이트 절연막의 형성 후에 산화성 분위기에서 제3 가열처리를 행하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법이 제공된다.

본 발명의 제3 실시형태에 따르면, 비정질 규소막 위에 마스크 절연막을 선택적으로 형성하는 공정, 상기 마스크 절연막을 이용하여 상기 비정질 반도체막에 상기 비정질 반도체막의 결정화를 촉진시키는 촉매원소를 선택적으로 도입하는 공정, 제1 가열처리를 행하여 상기 비정질 반도체막의 적어도 일부를 결정성 반도체막으로 변환시키는 공정, 상기 마스크 절연막을 그대로 이용하여 상기 결정성 반도체막에 15족으로부터 선택된 원소를 선택적으로 첨가하는 공정, 제2 가열처리를 행하여 상기 15족으로부터 선택된 원소가 첨가된 영역으로 그 영역에 인접한 영역으로부터 촉매원소를 게터링하는 공정, 상기 결정성 반도체막을 패터닝하여 활성층을 형성하는 공정, 상기 활성층을 덮는 게이트 절연막을 형성하는 공정, 및 상기 게이트 절연막의 형성 후에 산화성 분위기에서 제3 가열처리를 행하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법이 제공된다.

본 발명의 제4 실시형태에 따르면, 비정질 반도체막의 결정화를 촉진시키는 촉매원소를 상기 비정질 반도체막에 선택적으로 도입하는 공정, 제1 가열처리를 행하여 상기 비정질 반도체막을 결정성 반도체막으로 변환시키는 공정, 상기 결정성 반도체막에 15족으로부터 선택된 원소를 선택적으로 첨가하는 공정, 제2 가열처리를 행하여 상기 15족으로부터 선택된 원소가 첨가된 영역으로 그 영역에 인접한 영역으로부터 촉매원소를 게터링하는 공정, 상기 결정성 반도체막을 패터닝하여 활성층을 형성하는 공정, 상기 활성층을 덮는 절연막을 형성하는 공정, 및 상기 절연막의 형성 후에 산화성 분위기에서 제3 가열처리를 행하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법이 제공된다.

이하, 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

[실시예 1]

본 실시예에서는, 동일 기판 상에 형성된 NTFT와 PTFT를 조합하여 구동회로, 화소 매트릭스 회로, 및 논리 회로를 구성하여 액티브 매트릭스형 전기광학 장치를 제작하는 예를 설명한다. 설명을 위해 도 1~도 3을 참조한다.

먼저, 내열성이 높은 기판(101)(본 실시예에서는 석영 기판)을 준비하고, 그 위에 하지막(下地膜)으로서 두께 300 nm의 절연성 규소막(102)을 형성한다. 이 절연성 규소막은 산화규소막(SiO_x), 질화규소막(Si_xN_y), 산화질화규소막(SiO_xN_y), 또는 그들의 적층 막을 포함한다.

석영 기판 대신에 규소 기판을 사용할 수도 있다. 이 경우, 하지막은 열산화막으로 하여도 좋다.

왜점(歪点)이 750℃ 이상이라면, 유리 기판(대표적으로는, 결정화된 유리, 유리 세라믹 등이라 불리는 재료)을 사용할 수도 있다. 이 경우, 하지막을 감압 열 CVD법에 의해 제공하고 기판의 전체 표면을 절연성 규소막으로 덮도록 하면, 유리 기판으로부터의 성분물질의 유출이 억제될 수 있기 때문에, 그러한 구성이 효과적이다. 또한, 기판의 전체 표면을 비정질 규소막으로 덮고 그 막을 열산화막으로 완전히 변환시키는 수단을 채용하는 것도 가능하다.

이렇게 하여, 절연 표면을 갖는 기판이 준비된 후, 감압 열 CVD법으로 비정질 규소막(103)을 형성한다. 이 비정질 규소막(103)의 두께는 20~100 nm(바람직하게는 40~75 nm)로 하는 것이 좋다. 본 실시예에서는, 그 막의 두께를 65 nm로 하였다. 감압 열 CVD법으로 형성된 비정질 규소막에 필적하는 막질을 얻는 것이 가능한 경우에는, 플라즈마 CVD법을 사용할 수도 있다.

비정질 규소막 대신에, 비정질 규소막에 게르마늄을 함유시킨 비정질 반도체막($\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)로 표시됨)을 사용할 수도 있다.

그 다음, 비정질 규소막(103)상에, 두께 120 nm의 산화규소막으로 된 마스크 절연막(104)을 형성한다. 마스크 절연막(104)에는 패터닝에 의해 개구부가 제공된다. 이 개구부는 후에 촉매원소 첨가 영역이 된다.

그 다음, 일본 공개특허공고 평8-78329호 공보에 개시된 기술에 따라, 결정화를 촉진시키는 촉매원소의 첨가 공정을 행한다. 본 실시예에서는, 촉매원소로서 니켈이 선택되고, 중량 환산으로 10 ppm의 니켈을 함유하는 니켈 아세테이트를 에탄올 용액에 용해시킨 것을 스핀 코팅법에 의해 도포한다.

물론, 니켈 이외에도, 코발트(Co), 철(Fe), 팔라듐(Pd), 백금(Pt), 구리(Cu), 금(Au), 게르마늄(Ge), 및 납(Pb)으로부터 선택된 일 종류 또는 다수 종류의 원소를 사용할 수도 있다.

이렇게 하여, 마스크 절연막(104)의 표면에 니켈 함유 층(105)이 형성된다. 이때, 마스크 절연막(104)에 제공된 개구부에서 비정질 규소막(103)에 니켈이 접촉하여 있는 상태가 얻어진다.

이렇게 하여, 도 1(A)에 나타난 상태가 얻어진 후, 약 450℃에서 1시간 탈수소화를 행한 다음, 불활성 가스 분위기, 수소 분위기, 또는 산소 분위기에서 500~700℃(대표적으로는 550~650℃, 바람직하게는 570℃)의 온도에서 4~24시간 가열처리를 행하여 비정질 규소막(103)을 결정화한다. 본 실시예에서는, 570℃에서 14시간 가열처리를 행하여 결정화를 진행시켰다.(도 1(B))

이때, 비정질 규소막(103)의 결정화는 니켈이 첨가된 영역(니켈 첨가 영역)(106)에 생성된 핵으로부터 우선적으로 진행하여, 기판(101)의 표면에 대략 평행하게 성장한 결정 영역(횡방향 성장 영역)(107)이 형성된다. 횡방향 성장 영역(107)에서의 개개의 결정립은 비교적 균일한 상태로 집합되어 있기 때문에, 횡방향 성장 영역은 전체적인 결정성이 우수하다는 이점을 가진다.

결정화 공정이 종료된 후, 마스크 절연막(104)을 직접 마스크로 이용하여 P(인)을 첨가한다. 인의 농도가 $1 \times 10^{19} \sim 1 \times 10^{21}$ 원자/cm³(니켈 농도의 약 10배)이 되도록 첨가 영역에 인을 첨가하는 것이 바람직하다.

인은 규소막을 통과하여 인 첨가 영역의 하지막(기판도 포함)에도 주입된다. 따라서, 하지막 또는 기판의 특정 영역에만 높은 농도의 인이 포함된다. 그러나, 그러한 인이 TFT 특성에 악영향을 미치는 것은 아니다.

본 발명에서는, 횡방향 성장 영역(107)에 잔존하는 니켈을 제거하기 위해 인의 게터링 능력을 이용한다. 인 이외에도, 비소 및 안티몬과 같은, 15족의 다른 원소가 사용될 수도 있지만, 게터링 능력이 높은 인을 사용하는 것이 바람직하다.

본 실시예에서는, 이온 임플랜테이션법 또는 플라즈마 도핑법과 같은 이온 주입법, 기상(氣相)으로부터의 확산을 이용하는 방법, 및 고상(固相)으로부터의 확산을 이용하는 방법과 같은 수단에 의해 인 첨가 영역(108)을 형성한다. 인 첨가 공정에서 마스크로서 이용되는 마스크 절연막(104)에 다시 패터닝에 의해 새로운 개구부를 제공할 수도 있지만, 마스크 절연막(104)을 그대로 사용하여 처리량(스루풋)을 향상시키는 것도 가능하다.

인 첨가 영역(108)이 형성된 후, 500~800℃(바람직하게 600~650℃)에서 2~24시간(바람직하게는 8~15시간) 가열처리를 행하여, 횡방향 성장 영역 내의 니켈을 인 첨가 영역(108)으로 이동시킨다(이동 방향이 화살표로 표시되어 있다). 이렇게 하여, 니켈 농도가 5×10^{17} 원자/cm³ 이하(바람직하게는 2×10^{17} 원자/cm³ 이하)로까지 감소된 횡방향 성장 영역(109)이 얻어진다.(도 1(C))

현 상황에서는, SIMS(이차 이온 질량 분석)에 의한 검출 하한이 약 2×10^{17} 원자/cm³이기 때문에, 그 미만의 농도를 조사하는 것은 불가능하다. 그러나, 본 실시예의 게터링 공정을 행하면, 농도가 적어도 대략 $1 \times 10^{14} \sim 1 \times 10^{15}$ 원자/cm³까지 감소되는 것으로 추정된다.

이렇게 하여 니켈 게터링 공정이 종료된 후, 마스크 절연막(104)을 제거한 다음, 횡방향 성장 영역(109)만을 이용하여 활성층(110, 111, 112)을 형성한다. 이때, 니켈이 게터링된 영역(108)을 완전히 제거하는 것이 바람직하다. 이로써, 니켈이 활성층으로 다시 역확산하는 것을 방지할 수 있다.

그 다음, 활성층(110~112)을 덮도록 플라즈마 CVD법 또는 감압 CVD법에 의해 절연성 규소막으로 된 게이트 절연막(113)을 형성한다. 이 게이트 절연막(113)의 두께는 50~150 nm로 하는 것이 좋다.

게이트 절연막(113)을 형성한 후, 산화성 분위기에서 800~1100℃(바람직하게는 950~1050℃)로 가열처리를 행하여, 활성층(110~112)과 게이트 절연막(113) 사이의 계면에 열산화막(도시되지 않음)을 형성한다.

산화성 분위기는 건조한 O₂ 분위기, 젖은 O₂ 분위기, 또는 할로젠 원소(대표적으로는 염화 수소)를 함유한 분위기로 하면 좋다. 할로젠 원소가 함유된 경우에는, 활성층상의 절연막이 얇으면, 됐을 때, 할로젠 원소에 의한 니켈의 게터링 효과도 기대될 수 있다.

열산화 공정의 온도 및 시간에 대한 최적 조건은 형성되는 열산화막의 두께와 처리량을 감안하여 결정되는 것이 바람직하다. 본 실시예에서는, 열산화막을 50 nm의 두께로 형성하는 조건(950℃, 30분)이 선택되었다. 동시에, 활성층이 25 nm 만큼 감소되고, 활성층의 최종 두께는 40 nm가 된다.(도 2(A))

이렇게 하여 게이트 절연막을 형성한 후에 열산화 공정을 행하는 구성이 본 발명에서 가장 중요하다. 이것은 활성층(110~112)이 직접 산화되면 활성층이 절단되는 문제가 발생할 수 있기 때문이다. 이것에 대하여 이하에 설명한다.

활성층에 잔존하는 니켈은 경우에 따라 편석(偏析)하는 일이 있고, 그 부분에는, 니켈 실리사이드가 형성된다. 충분한 양의 산소가 공급되는 상태에서는, 니켈 실리사이드가 규소보다 산화 속도가 빠르기 때문에, 니켈 실리사이드는 산화성 분위기에서의 가열처리에 의해 선택적으로 산화된다.

즉, 니켈 실리사이드가 우선적으로 산화되어, SiO_x로 표시되는 산화물을 형성하고, 그로부터 이탈한 니켈이 규소와 다시 반응하여 니켈 실리사이드를 형성한다. 이러한 반복에 의해, 니켈 실리사이드를 선두로 하는 산화물이 막내에서 비정상적으로 성장하는 것으로 고려된다.

이 이유로, 촉매원소로서 니켈을 사용하여 결정화된 활성층이 산화성 분위기와 접촉한 상태에서 산화되면, 산화물의 상기한 이상(異常) 성장이 발생하여, 그 부분에서 활성층이 분단되는 상태가 일어날 수 있다.

도 7(A) 및 도 7(B)는 SiO_x로 표시되는 산화물이 비정상적으로 성장한 상태를 나타내는 SEM 사진이다. 도 7(A)는 TFT의 활성층을 10,000배 확대하여 나타내는 사진이고, 도 7(B)는 산화물의 부근을 30,000배 확대하여 나타내는 사진이다. 도 7(B)에서는 패턴으로 형성된 활성층이 산화물에 의해 거의 분단되어 있는 상태가 확인될 수 있다.

본 발명자들은, 그러한 현상은 활성층이 산화성 분위기와 접촉하여 있기 때문에 일어나는 것으로 생각하며, 그러한 상태를 피할 목적으로, 본 발명자들은 게이트 절연막을 형성한 후에 열산화 공정을 행하는 구성을 채용하였다. 즉, 그러한 구성으로 함으로써, 산화물의 상기한 이상 성장을 방지하는 것이 가능하다.

본 발명자들은 활성층이 산화성 분위기와 접촉하여 있는 상태에서의 산화물의 이상 성장이 니켈 실리사이드와 산소 사이의 반응율속(反應律速)으로 진행되는 것으로 생각한다. 그러나, 블록킹 층(본 실시예에서는 게이트 절연막)이 제공되는 경우, 활성층의 산화속도가 블록킹 층을 통한 산소의 공급율속에 의해 결정되고, 그러한 경우에는, 규소와 니켈 실리사이드 사이의 반응율속에 차이가 없기 때문에 산화물의 이상 성장이 일어나지 않는 것으로 생각한다.

게이트 절연막을 형성한 후 열산화를 행하는 구성은 기상으로부터의 인의 확산을 방지하는 의미도 갖는다. 이 인은 게터링 공정 전에 첨가된 인(여기서는 인이 하지막에까지 도달하여 그 하지막에 포함되는 인을 가리킨다)이고, 그것이 열산화 공정의 분위기에서 확산하여 활성층에 다시 첨가되는 것(인의 자동 도핑이라고도 불림)을 방지하는 것이다.

물론, 본 실시예에서는, 활성층(110~112)과 게이트 절연막(113) 사이의 계면을 열산화하는 것으로 계면 준위를 크게 감소시키고 계면 특성을 현저하게 향상시키는 효과도 있다. 또한, CVD법으로 형성된 게이트 절연막의 막질을 향상시킬 수도 있고, 활성층을 박막화 함으로써, 광누설 전류를 감소시키는 것도 기대된다. 또한, 활성층을 구성하는 결정성 규소막의 입계에서의 결함도 줄일 수 있다.

상기한 방식으로 게이트 절연막을 형성하고 활성층의 계면을 개선시킨 후, 도전성을 나타내는 결정성 규소막으로 된 게이트 전극(114~116)을 형성한다. 본 실시예에서는, N형을 부여하는 불순물(인)을 함유한 결정성 규소막(두께: 200~300 nm)이 사용된다.

게이트 전극(114~116)이 형성된 후, 게이트 전극(114~116)을 마스크로 한 건식 에칭법에 의해 게이트 절연막(113)을 에칭한다. 본 실시예에서는, CHF_3 가스를 사용하여 산화규소막을 에칭하였다.(도 2(A))

이 공정에 의해, 게이트 절연막이 게이트 전극(및 게이트 배선) 바로 아래에만 잔존하는 상태가 된다. 물론, 게이트 전극 아래에 잔존한 부분이 실제로 게이트 절연막으로서 기능하는 부분이다.

다음, PTFT가 되는 영역을 레지스트 마스크(117)로 가리고, N형을 부여하는 불순물(본 실시예에서는, 인)을 이온 임플란테이션법 또는 플라즈마 도핑법에 의해 첨가한다. 이때 형성된 저농도 불순물 영역(118, 119)의 일부는 후에 LDD(저농도로 도핑된 드레인) 영역이 되고, 첨가된 인의 농도는 $1 \times 10^{17} \sim 5 \times 10^{18}$ 원자/ cm^3 이다.(도 2(B))

다음, 레지스트 마스크(117)를 제거한 후, NTFT가 되는 영역을 레지스트 마스크(120)로 가리고, P형을 부여하는 불순물(본 실시예에서는, 붕소)을 이온 임플란테이션법 또는 플라즈마 도핑법에 의해 첨가한다. 이때에도, 인의 경우와 마찬가지로, 저농도 불순물 영역(121)이 형성된다.(도 2(C))

이렇게 하여 도 2(C)에 나타난 상태가 얻어진 후, 레지스트 마스크(120)를 제거한 다음, 에치 백(etch back)법을 사용하여 측벽(122~124)을 형성한다. 본 실시예에서는, 측벽(122~124)이 질화규소막을 사용하여 구성되었다. 질화규소막 이외에도, 산화규소막 또는 산화질화규소막이 사용될 수도 있다.(도 2(D))

이렇게 하여 측벽(122~124)이 형성된 후, PTFT가 되는 영역을 다시 레지스트 마스크(125)로 가리고, 인을 첨가한다. 이때, 도즈량은 이전의 첨가 공정에서의 것보다 높게 한다.

이 인 첨가 공정에 의해, CMOS 회로를 구성하는 NTFT의 소스 영역(126), 드레인 영역(127), 저농도 불순물 영역(LDD 영역)(128), 및 채널 형성 영역(129)이 확정(劃定)된다. 또한, 화소 매트릭스 회로를 구성하는 NTFT의 소스 영역(130), 드레인 영역(131), 저농도 불순물 영역(LDD 영역)(132), 및 채널 형성 영역(133)이 확정된다.(도 3(A))

그 다음, 레지스트 마스크(125)를 제거한 후, NTFT가 되는 영역을 레지스트 마스크(134)로 가리고, 이전의 경우보다 높은 도즈량으로 붕소를 첨가한다. 이 붕소 첨가 공정에 의해, CMOS 회로를 구성하는 PTFT의 소스 영역(135), 드레인 영역(136), 저농도 불순물 영역(LDD 영역)(137), 및 채널 형성 영역(138)이 확정된다.(도 3(B))

활성층에 불순물을 첨가하는 공정이 상기한 바와 같이 종료된 후, 노 어닐, 레이저 어닐 또는 램프 어닐에 의해 가열처리를 행하여, 첨가된 불순물을 활성화시킨다. 이때, 불순물 첨가 시에 활성층에 가해진 손상도 치유된다.

채널 형성 영역(129, 133, 138)은 불순물이 첨가되지 않고, 진성 또는 실질적으로 진성의 영역이다. 여기서, "실질적으로 진성"이란, N형 또는 P형을 부여하는 불순물의 농도가 채널 형성 영역의 스핀 밀도 이하인 것이나, 또는 불순물의 농도가 $1 \times 10^{14} \sim 1 \times 10^{17}$ 원자/ cm^3 의 범위 내에 있는 것을 의미한다.

다음, 두께 25 nm의 질화규소막과 두께 900 nm의 산화규소막의 적층 막으로 이루어진 제1 층간절연막(139)을 형성한다. 그 다음, Ti/Al/Ti(두께는 이 순서로 100/500/100 nm이다)로 된 적층 막으로 구성되는 소스 전극(140~142) 및 드레인 전극(143, 144)을 형성한다.

다음, 두께 50 nm의 질화규소막, 두께 20 nm의 산화규소막(도시되지 않음), 및 두께 1 μm 의 폴리이미드막(146)의 적층 구조로 된 제2 층간절연막을 형성한다. 폴리이미드 이외에도, 아크릴, 폴리아미드 등의 다른 유기성 수지막이 사용될 수도 있다. 두께 20 nm의 산화규소막은 폴리이미드막(146)이 건식 에칭될 때 에칭 스톱퍼로서 기능한다.

제2 층간절연막이 형성된 후, 후에 보조 용량이 형성되는 영역에서 폴리이미드막(146)을 에칭하여 개구부를 형성한다. 이때, 개구부의 바닥에 질화규소막(145)만이 남아 있는 상태와 질화규소막(145)과 산화규소막(도시되지 않음)이 남아 있는 상태 중 어느 한 상태로 한다.

그 다음, 두께 300 nm의 티탄막을 형성하고, 패터닝에 의해 블랙 마스크(147)를 형성한다. 이 블랙 마스크(147)는, 차광이 요구되는 TFT 또는 배선부와 같은 화소 매트릭스 회로의 부분들 위에 배치된다.

이때, 상기한 개구부에서는, 화소 매트릭스 회로의 드레인 전극(144)과 블랙 마스크(147)가 서로 근접하여 있고 질화규소막(145)(또는 질화규소막과 산화규소막의 적층 막)이 그들 사이에 끼워져 있는 상태가 얻어진다. 본 실시예에서는, 블랙 마스크(147)가 고정된 전위로 유지되고, 드레인 전극(144)을 하부 전극으로 하고 블랙 마스크(147)를 상부 전극으로 한 보조 용량(148)이 형성된다. 이 경우, 유전체가 매우 얇고 비유전율이 높기 때문에, 큰 커패시턴스를 확보하는 것이 가능하다.

이렇게 하여 블랙 마스크(147)와 보조 용량(148)이 형성된 후, 두께 1 μm 의 폴리이미드막을 형성하여 제3 층간절연막(149)으로 한다. 그 다음, 콘택트 홀을 형성하고, 두께 120 nm의 투명 도전막(대표적으로는 ITO)으로 된 화소 전극(150)을 형성한다.

마지막으로, 수소 분위기에서 약 350°C로 2시간 가열처리를 행하여 소자 전체를 수소화 한다. 이렇게 하여, 도 3(C)에 도시된 바와 같은 액티브 매트릭스 기판이 완성된다. 이어서, 공지의 셀 조립 공정에 의해 기판과 대향 기판 사이에 액정 층을 보유시키면, 액티브 매트릭스형 액정 표시장치(투과형)가 완성된다.

액티브 매트릭스 기판의 구조는 본 실시예에 한정되는 것은 아니고, 어떠한 구조라도 채택될 수 있다. 즉, 본 발명의 구성요건을 만족하는 구조라면, 실시자가 TFT 구조, 회로 배치 등을 자유롭게 설계할 수 있다.

예를 들어, 본 실시예에서는 화소 전극으로 투명 도전막이 사용되지만, 알루미늄 합금 막과 같은 반사성이 높은 재료로 대체하면, 반사형 액티브 매트릭스 액정 표시장치를 쉽게 실현할 수 있다. 투과형에서는 액티브 매트릭스 기판으로서 투광성 기판이 사용될 필요가 있지만, 반사형에서는 투광성 기판이 사용될 필요가 없고, 차광성 기판이 사용될 수 있다.

[활성층의 결정 구조에 관한 지견(知見)]

상기한 제작공정에 따라 형성된 활성층은 미시적으로 보면 다수의 봉 형상 또는 편평한 봉 형상 결정들이 서로 대략 평행하게 특정 방향으로의 규칙성을 가지고 배열된 결정 구조를 갖는다. 이것은 TEM(투과형 전자 현미경법)에 의한 관찰로 쉽게 확인될 수 있다.

도 9(A)는 봉 형상 또는 편평한 봉 형상 결정의 결정 입계를 800만배 확대하여 나타내는 HR-TEM(고분해능 투과형 전자 현미경법) 사진이다. 본 명세서에서, "결정 입계"란, 봉 형상 또는 편평한 봉 형상 결정이 서로 접촉하여 있는 경계에 형성되는 입계를 가리키는 것으로 정의한다. 따라서, 결정 입계는, 예를 들어, 별도의 횡방향 성장 영역들의 충돌에 의해 형성되는 거시적인 의미의 입계와는 다른 것으로 간주된다.

상기한 HR-TEM(고분해능 투과형 전자 현미경법)이란, 샘플에 전자빔을 수직으로 조사하고 투과 전자 또는 탄성 산란 전자의 간섭을 이용하여 원자 및 분자의 배열을 평가하는 방법이다.

HR-TEM에서는, 격자 줄무늬(lattice stripe)로서 결정 격자의 배열 상태를 관찰하는 것이 가능하다. 따라서, 결정 입계를 관찰함으로써, 결정 입계에서의 원자거리의 결합 상태를 추측할 수 있다. 한편, 격자 줄무늬가 흑백의 줄무늬 모양으로 나타나지만, 이들은 콘트라스트의 차이를 나타내는 것이고, 원자의 위치를 나타내는 것은 아니다.

도 9(A)는 본 발명에 의해 얻어진 결정성 규소막(횡방향 성장 영역)의 대표적인 TEM 사진이고, 2개의 상이한 결정립이 서로 접촉하여 결정 입계를 형성하고 있다. 이때, 2개의 결정립은 결정 축에 약간의 편차가 포함되지만 대략 {110} 배향이다.

후에 설명되지만, 다수의 결정립을 조사한 결과, 거의 모든 결정립이 대략 {110} 배향인 것이 X선 회절 또는 전자빔 회절에 의해 확인된다. 또한, 많은 관찰된 결정립은 (001) 면, (200) 면 등을 포함하지만, 이들 등과 면을 함께 {110} 면이라 나타내는 것으로 한다.

도 9(A)에 나타낸 바와 같이, {111} 면에 대응하는 격자 줄무늬가 면내(面内)에서 관찰된다. {111} 면에 대응하는 격자 줄무늬란, 결정립을 격자 줄무늬를 따라 절단한 경우, {111} 면이 단면에 나타나는 격자 줄무늬를 가리킨다. 격자 줄무늬가 어느 면에 대응하는지를 격자 줄무늬들 사이의 거리에 의해 간단하게 확인할 수 있다.

도 9(A)에서 격자 줄무늬의 외관에 차이가 있는 것은 결정립의 미묘한 기울기의 차이에 의한 것이다. 즉, 결정립들 중 하나의 결정면에 수직으로 전자빔이 조사되도록 설정되면, 다른 결정립에는 약간 비스듬히 전자빔이 조사되는 상태로 되기 때문에, 격자 줄무늬의 외관이 변경된다.

여기서, {111} 면에 대응하는 격자 줄무늬에 주목한다. 도 9(A)에서, 하얗게 보이는 결정립(상부측)의 {111} 면에 대응하는 격자 줄무늬는 검게 보이는 결정립(하부측)의 {111} 면에 대응하는 격자 줄무늬와 약 70°의 각도로 교차한다.

그러한 결정 구조(정확하게, 결정 입계의 구조)는 결정 입계에서 2개의 상이한 결정립이 매우 우수한 정합성을 가지고 서로 접합하여 있다는 것을 나타낸다. 즉, 결정 입계에서 결정 격자가 서로 연속적으로 이어져 있어, 결정 결함 등에 기인하는 트랩 준위가 쉽게 형성되지 않는 구성이 된다. 바꿔 말하면, 결정 입계에서 결정 격자에 연속성이 있다고 말할 수 있다.

참고를 위해, 도 9(B)는 종래의 고온 폴리실리콘 막의 HR-TEM 사진을 나타낸다. 도 9(B)의 경우, 후에 설명되지만, 결정면에 규칙성이 없고, {110} 면이 주체가 되는 배향이 아니었다. 그러나, 도 9(A)와 비교하기 위해, {111} 면에 대응하는 격자 줄무늬가 나타난 결정립을 관찰하였다.

도 9(B)를 상세하게 관찰하면, 도면에서 화살표로 나타낸 바와 같이, 결정 입계에서는 격자 줄무늬가 단절된 부분이 다수 확인될 수 있다. 그러한 부분에서는, 짝짓지 않은 결함(결정 결함이라 불릴 수 있다)이 존재하는 것으로 되고, 트랩 준위로서 캐리어의 이동을 저해할 가능성이 높다.

그러나, 본 발명의 결정성 규소막도 도 9(B)에 나타낸 바와 같은 짝짓지 않은 결함을 포함할 수 있다. 이것은 본 발명의 결정성 규소막이 다결정인 이상 피할 수 없다. 그러나, 본 발명의 결정성 규소막을 광범위에 걸쳐 상세하게 TEM 관찰한 결과, 그러한 짝짓지 않은 결함은 거의 존재하지 않는다는 것이 판명되었다.

본 발명자들이 조사한 한에서는, 전체의 90% 이상(전형적으로는 95% 이상)의 결정 입계에 결정 격자의 연속성이 보였고, 도 9(B)에 나타낸 바와 같은 짝짓지 않은 결함은 거의 찾아볼 수 없었다. 이것으로부터도, 본 발명의 결정성 규소막은 종래의 고온 폴리실리콘 막과는 명백하게 다른 반도체막이라고 말할 수 있다.

다음, 도 10(A)는 본 발명의 결정성 규소막을 전자빔 회절에 의해 조사한 결과를 나타낸다. 여기서, 도 10(A)는 본 발명의 결정성 규소막의 대표적인 전자빔 회절 패턴을 나타낸다. 참고를 위해, 도 10(B)는 종래의 고온 폴리실리콘 막의 대표적인 전자빔 회절 패턴을 나타낸다.

도 10(A) 및 도 10(B)에서, 전자빔의 조사(照射) 스폿(spot)의 직경을 1.5 μm 로 하여 측정이 이루어졌기 때문에, 격자 줄무늬의 레벨에 비하여 충분히 큰 영역의 정보를 수집할 수 있는 것으로 고려될 수 있다.

도 10(A)의 경우, <110> 입사에 대응하는 회절 스폿이 비교적 분명히 나타나기 때문에, 결정 축이 <110> 축이라는 것(결정면이 {110} 면이라는 것)이 확인될 수 있다.

개개의 스폿이 작은 동심원 형상의 확장을 가지는데, 이것은 결정 축을 중심으로 한 어느 정도의 회전각의 분포로부터 야기되는 것으로 예상된다. 확장의 정도는 패턴으로부터 평가하여도 5°이내이다.

한편, 도 10(B)에 나타낸 전자빔 회절 패턴의 경우, 회절 스폿에는 명확한 규칙성이 보이지 않고, 거의 랜덤하게 배향되어 있는 것이 확인될 수 있다. 즉, {110} 면 이외의 면 방위를 갖는 결정이 불규칙하게 혼재하여 있는 것으로 예상된다.

이들 결과로부터 보여지는 바와 같이, 본 발명의 결정성 규소막에서는, 거의 모든 결정립이 대략 {110} 면으로 배향되어 있다. 전체의 70% 이상(바람직하게는 90% 이상)의 결정립이 {110} 면으로 배향되어 있지 않는 한, 도 10(A)와 같은 전자빔 회절 패턴이 얻어질 수 없다.

한편, 본 발명자들은 일본 공개특허공고 평7-321339호 공보에 개시된 방법에 따라 X선 회절을 행하였고, 본 발명의 결정성 규소막에 대한 배향 비율을 계산하였다. 이 공보에서, 배향 비율은 아래의 식에 의해 나타내어지는 바와 같은 계산 방법으로 정의된다.

{220} 배향 존재비 = 1 (일정),

{111} 배향 존재비 = (샘플의 {220}에 대한 {111}의 상대 강도)/(분말의 {220}에 대한 {111}의 상대 강도),

{311} 배향 존재비 = (샘플의 {220}에 대한 {311}의 상대 강도)/(분말의 {220}에 대한 {311}의 상대 강도), 및

{220} 배향 비율 = ({220} 배향 존재비)/({220} 배향 존재비 + {111} 배향 존재비 + {311} 배향 존재비).

X선 회절 결과에 의하면, {220} 면({110} 면에 등가이다)에 대응하는 피크가 가장 강하게 나타났고, {110} 면이 주된 배향면이고, 배향 비율은 0.7 이상(전형적으로는 0.9 이상)인 것으로 밝혀졌다.

앞에서 설명된 바와 같이, 본 발명의 결정성 규소막은 종래의 폴리실리콘 막과 전혀 다른 결정 구조(결정 구성)를 가지는 것으로 이해된다. 이 점으로부터도, 본 발명의 결정성 규소막은 전혀 새로운 반도체막이라고 말할 수 있다.

본 발명자들은 상기한 결정 구조 및 특성을 가지는 본 발명의 결정성 규소막을 연속 입계 결정 규소(Continuous Grain Silicon: CGS)라 부른다.

한편, 실시예 1에서와 같이 본 발명의 반도체 박막을 형성할 때 결정화 온도보다 높은 온도에서 어닐 공정(도 1(E)에 나타난 공정)을 행하는 것은 결정립 내의 결함을 감소시키는데 매우 효과적이다. 이것에 대하여 이하에 설명한다.

도 11(A)는 실시예 1에 따라 제조된 결정성 규소막을 100만배 확대하여 나타내는 TEM 사진이다. 적층 결함, 전위 등에 기인하는 결함이 결정립 내에 거의 보이지 않고, 결정성이 매우 높은 것으로 이해된다. 이러한 경향은 막 표면 전체에서 볼 수 있고, 현 상황에서는 결함의 수를 제로로 감소시키는 것이 어렵지만, 그 수를 실질적으로 제로로 보이는 정도로까지 낮추는 것이 가능하다.

즉, 도 11(A)에 나타난 결정성 규소막에서는, 결정립 내의 결함이 거의 무시될 수 있을 정도로 감소되고, 결정 입계가 높은 연속성에 기인하여 캐리어의 이동에 대한 장벽이 될 수 없기 때문에, 이 결정성 규소막은 단결정 또는 실질적으로 단결정으로 간주될 수 있다.

한편, 도 11(B)는 도 1(C)에 나타난 게터링 공정까지의 공정이 종료된 시점에서의 결정성 규소막을 100만배 확대하여 나타내는 TEM 사진이다. 결정립 내에는(검은 부분과 하얀 부분은 콘트라스트의 차이 때문에 나타난다), 화살표로 나타난 것과 같은 결함이 다수 확인될 수 있다. 그러한 결함은 주로 규소 결정 격자면상의 원자의 적층 순서가 어긋나 있는 적층 결함이지만, 전위 등의 경우도 있다.

이처럼, 도 11(A) 및 도 11(B)의 사진에 나타난 결정성 규소막에서는, 결정 입계가 거의 동등한 연속성을 갖지만, 결정립 내의 결함수에는 큰 차이가 있다. 본 발명의 결정성 규소막이 도 11(B)에 나타난 결정성 규소막보다 훨씬 높은 전기적 특성을 나타내는 이유는 주로 결함수의 차이에 있다.

이 현상은, 결정성 규소막이 열산화될 때 발생하는 잉여 규소 원자가 결함으로 이동하고 Si-Si 결함의 생성에 크게 기여하는 것으로 생각된다. 이 개념은 고온 폴리실리콘 막의 결정립 내에 결함이 적은 이유로서 알려져 있다.

또한, 본 발명자들은 결정화 온도보다 높은 온도(대표적으로는 700~1100℃)에서의 가열처리에 의해 결정성 규소막과 그의 하지막 사이가 고착하고 밀착성이 증가하여 결함이 소멸하는 모델도 고려한다.

결정성 규소막과 하지막이 되는 산화규소막 사이에는 열팽창 계수에 거의 10배의 차이가 있다. 따라서, 비정질 규소막이 결정성 규소막으로 변환된 상태에서는, 결정성 규소막이 냉각될 때 매우 큰 응력이 결정성 규소막에 가해진다.

이것에 대하여 도 12(A)~도 12(C)를 참조하여 설명한다. 도 12(A)는 결정화 공정 후의 결정성 규소막에 가해지는 열 이력(履歴)을 나타낸다. 먼저, 온도 t_1 에서 결정화된 결정성 규소막이 냉각기간 (a)를 거쳐 실온으로 냉각된다.

도 12(B)는 냉각기간 (a)에 있을 때의 결정성 규소막을 나타내고, 부호 10은 기판을 나타내고, 11은 결정성 규소막을 나타낸다. 이때, 결정성 규소막(11)과 기판(10) 사이의 계면(12)에서의 밀착성은 그다지 높지 않고, 이것이 원인이 다수의 결정립내 결함을 발생시키는 것으로 생각된다.

즉, 열팽창 계수의 차이 때문에 당겨지는 결정성 규소막(11)이 기판(10)상으로 매우 쉽게 이동되어, 적층 결함 및 전위와 같은 결함(13)이 인장 응력과 같은 힘에 의해 쉽게 발생하는 것으로 생각된다.

이렇게 하여 얻어진 결정성 규소막은 도 11(B)에 나타낸 바와 같은 상태에 있다. 이 상태는 인에 의한 게터링 공정(600~650℃)이 행해진 후에도 그대로 유지된다.

그 후, 도 12(A)에 나타낸 바와 같이, 온도 t_2 에서 열산화 공정이 행해지고, 그 결과, 상기한 이유 때문에 결정성 규소막 내의 결함이 소멸한다.

여기서 중요한 것은, 열산화 공정에서 잉여 규소 원자에 의해 결함이 보상되는 것과 동시에 결정성 규소막이 기판과 고착되어, 기판에 대한 밀착성이 높아진다는 점이다. 즉, 이 열산화 공정은 결정성 규소막과 하지막이 되는 기판을 밀착시키는 고착 공정으로도 작용한다고 생각된다.

이렇게 하여 결함 보상 + 고착 공정이 종료된 후, 막은 냉각기간 (b)를 거쳐 실온으로 냉각된다. 여기서, 냉각기간 (a)와 다른 점은, 기판(10)과 어닐 후의 결정성 규소막(14) 사이의 계면(15)이 매우 높은 밀착성을 갖는 상태에 있다는 것이다.(도 12(C))

이처럼 밀착성이 높으면, 결정성 규소막(14)이 기판(10)에 완전히 고착되기 때문에, 결정성 규소막의 냉각 단계에서 결정성 규소막에 응력 가해지더라도, 결함이 발생되지 않는다. 즉, 결함이 다시 발생하는 것을 방지할 수 있다.

한편, 도 12(A)에서는, 결정화 공정 후에 온도를 실온까지 낮추는 공정을 예로 나타내었으나, 결정화 종료 후에 바로 온도를 높여 결함 보상 + 고착 공정을 행하는 것도 가능하다. 그러한 공정이 행해지더라도, 본 발명의 결정성 규소막이 얻어질 수 있다.

이렇게 하여 얻어진 결정성 규소막(도 11(A))은, 결정화 공정에 요구되는 온도보다 높은 온도에서의 가열처리를 행하지 않은 결정성 규소막(도 11(B))보다 결정립 내의 결함수가 훨씬 더 적다는 특징을 갖는다.

결함수의 차이는 전자 스핀 공명(Electron Spin Resonance: ESR) 분석에 의한 스핀 밀도의 차이로서 나타난다. 현 상황에서, 실시예 1의 제작공정에 따라 제조된 결정성 규소막의 스핀 밀도는 5×10^{17} spin/cm³ 이하(바람직하게는 3×10^{17} spin/cm³ 이하)인 것이 확인되었다. 그러나, 이 측정값은 현존하는 측정장치의 검출 한계에 가깝기 때문에, 실제의 스핀 밀도는 상기 값보다 낮을 것으로 예상된다.

[TFT의 전기적 특성에 관한 지견]

본 실시예에서 제조된 TFT는 단결정 규소를 사용하는 MOSFET에 필적하는 전기적 특성을 나타낸다. 아래에 나타낸 바와 같은 데이터가 본 발명자들에 의해 시작(試作)된 TFT로부터 얻어진다.

(1) TFT의 스위칭 성능(온/오프 동작 전환의 신속성)을 나타내는 지표로서의 서브스레시홀드(subthreshold) 계수는 N채널형 TFT와 P채널형 TFT 모두에서 60~100 mV/decade(대표적으로는 60~85 mV/decade)로 작다.

(2) TFT의 동작 속도를 나타내는 지표로서의 전계효과 이동도(μ_{FE})는 N채널형 TFT에서는 100~250 cm²/Vs(대표적으로는 120~200 cm²/Vs), P채널형 TFT에서는 80~200 cm²/Vs(대표적으로는 100~150 cm²/Vs)로 크다.

(3) TFT의 구동 전압을 나타내는 지표로서의 스레시홀드 전압(V_{th})은 N채널형 TFT에서는 $-0.5 \sim 1.5$ V, P채널형 TFT에서는 $-1.5 \sim 0.5$ V로 작다.

위에 설명된 바와 같이, 매우 우수한 스위칭 특성 및 고속 동작 특성을 실현할 수 있다는 것이 확인된다.

[회로 특성에 관한 지견]

다음, 본 발명의 반도체 박막을 사용하여 형성된 TFT를 이용하여 제조된 링 오실레이터에 의한 주파수 특성에 대하여 설명한다. 링 오실레이터는 CMOS 구조로 된 인버터 회로의 홀수 스테이지들을 링 형상으로 접속한 회로이고, 인버터 회로의 1 스테이지 당 지연시간을 얻는데 이용된다. 실험에 사용된 링 오실레이터의 구성은 다음과 같다.

스테이지의 수 : 9

TFT의 게이트 절연막의 두께 : 30 nm 및 50 nm,

TFT의 게이트 길이 : 0.6 μ m.

이 링 오실레이터에 의해 발진 주파수를 조사한 결과, 최대치로 1.04 GHz의 발진 주파수를 얻는 것이 가능하였다. 또한, LSI 회로의 TEG들 중 하나인 시프트 레지스터를 실제로 제조하고 그의 동작 주파수를 확인하였다. 그 결과, 게이트 절연막의 두께가 30 nm이고 게이트 길이가 0.6 μ m이고 전원 전압이 5 V이고 스테이지 수가 50인 시프트 레지스터 회로에서 동작 주파수 100 MHz의 출력 펄스가 얻어졌다.

링 오실레이터 및 시프트 레지스터의 상기한 바와 같은 경이적인 데이터는 본 발명의 TFT가 단결정 규소를 사용한 IGFET에 필적하거나 그것을 능가하는 성능을 가진다는 것을 나타낸다.

[TFT 특성과 CGS 사이의 관계에 관한 지견]

상기한 우수한 TFT 특성 및 회로 특성은 TFT의 활성층으로서 결정 입계에서 결정 격자에 연속성을 갖는 반도체 박막을 사용하는 것에 의해 주로 좌우된다. 그 이유에 대하여 이하에 고찰한다.

결정 입계에서의 결정 격자의 연속성은 그 결정 입계가 "평면 형상 입계"(planar boundary)로 불리는 입계라는 사실에 기인한다. 본 명세서에서의 평면 형상 입계의 정의는 Japanese Journal of Applied Physics 제27권 제5호(1088년) 751-758 페이지의 류이치 시모카와 및 유타카 하야시의 "Characterization of High-efficiency Cast-Si Solar Cell Wafers by MBIC measurement"에 기재된 "Planar boundary"이다.

상기 문헌에 따르면, 평면 형상 입계는 {111} 쌍정(雙晶) 입계, {111} 적층 결함, {221} 쌍정 입계, {221} 트위스트 입계 등을 포함한다. 이 평면 형상 입계는 전기적으로 불활성이라는 특징을 가진다. 즉, 그 입계는 그것이 결정 입계일지라도 캐리어의 이동을 저해하는 트랩으로서 기능하지 않기 때문에, 그 입계는 실질적으로 존재하지 않는 것으로 간주될 수 있다.

특히, {111} 쌍정 입계는 $\Sigma 3$ 의 대응 입계로도 불리고, {221} 쌍정 입계는 $\Sigma 9$ 의 대응 입계로도 불린다. Σ 값은 대응 입계의 정합성의 정도를 나타내는 지침이 되는 파라미터이다. Σ 값이 작을수록, 입계의 정합성이 우수하다는 것은 알려져 있다.

본 발명자들이 본 발명의 반도체 박막을 TEM으로 상세히 관찰한 결과, 거의 모든 결정 입계(90% 이상, 대표적으로는 95% 이상)는 $\Sigma 3$ 의 대응 입계, 즉, {111} 쌍정 입계라는 것이 밝혀졌다.

2개의 결정립 사이에 형성된 결정 입계에서, 양 결정의 면 방위가 {110} 인 경우, {111} 면에 대응하는 격자 줄무늬에 의해 형성되는 각도가 θ 이면, θ 가 70.5° 일 때, 입계는 $\Sigma 3$ 의 대응 입계가 된다는 것은 알려져 있다.

따라서, 도 9(A)의 TEM 사진에 나타내어진 결정 입계에서는, 인접한 결정립들의 개개의 격자 줄무늬가 약 70° 의 각도로 연속적이어서, 이 결정 입계가 {111} 쌍정 입계라는 것이 쉽게 추정될 수 있다.

한편, θ 가 38.9°인 때는, 입계는 $\Sigma 9$ 의 대응 입계가 된다. 그러한 다른 결정 입계도 존재하였다.

그러한 대응 입계는 동일 면 방위의 결정립들 사이에만 형성된다. 즉, 본 발명의 반도체 박막의 면 방위가 대략 {110}으로서 균일하기 때문에, 그러한 대응 입계가 넓은 범위에 걸쳐 형성될 수 있다. 이 특징은 면 방위가 불규칙한 다른 폴리실리콘 막에서는 얻어질 수 없다.

도 13(A)는 본 발명의 반도체 박막을 15,000배 확대한 TEM 사진(암시야상(暗視野像))이다. 이 사진에서 백색 영역과 흑색 영역이 보이지만, 동일 색으로 보이는 부분은 배향성이 동일하다는 것을 나타낸다.

도 13(A)에서의 주목할만한 특징은, 그러한 넓은 범위의 암시야상에서도, 백색 영역이 다소 높은 비율로 연속적으로 결합되어 있다는 것이다. 이것은, 동일 배향성을 갖는 결정립이 어느 정도의 방향성을 가지고 존재하고, 인접한 결정립들이 거의 동일 배향성을 가지고 있다는 것을 의미한다.

한편, 도 13(B)는 종래의 고온 폴리실리콘 막을 15,000배 확대한 TEM 사진(암시야상)이다. 종래의 고온 폴리실리콘 막에서는, 동일 면 방위의 부분들이 랜덤하게 존재하고, 도 13(A)에 나타난 바와 같은 방향성을 가지는 균일성이 확인될 수 없다. 이것은 인접한 결정립들의 배향성이 전혀 불규칙하기 때문이라고 생각된다.

도 14는 도 13과 동일 장소를 명시야로 나타낸 경우의 사진이다. 도 15(A)는 도 14의 포인트 1을 30만배 확대하여 나타낸 사진이고, 도 15(B)는 도 14의 포인트 1을 200만배 확대하여 나타낸 사진이다. 도 15(A)의 사각형으로 둘러싸인 영역이 도 15(B)에 상응한다. 도 15(C)는 포인트 1에서의 전자빔 회절 패턴(스팟 직경은 $1.7 \mu\text{m } \phi$)을 나타낸다.

포인트 1과 동일한 조건 하에서 포인트 2 및 포인트 3을 관찰하였다. 포인트 2의 관찰 결과를 도 16(A)~도 16(C)에 나타내고, 포인트 3의 관찰 결과를 도 17(A)~도 17(C)에 나타낸다.

이들 관찰 결과로부터, 어떠한 결정 입계에서도 결정 격자에 연속성이 유지되고, 평면 형상 입계가 형성되어 있다는 것이 확인된다. 또한, 본 발명자들은 여기에 나타난 측정점 이외에도 다수의 영역에 걸쳐 관찰 및 측정을 반복했고, TFT를 제조하는데 충분히 넓은 영역에서 결정 입계에서의 결정 격자의 연속성이 확보되어 있다는 것을 확인했다.

[실시예 2]

본 실시예에서는, 실시예 1과는 다른 수단으로 비정질 규소막의 결정화 공정을 행하는 경우의 예를 도 8(A)~도 8(E)를 참조하여 설명한다. 구체적으로는, 일본 공개특허공고 평7-130652호의 실시예 1에 개시된 것과 같은 수단을 이용하는 예를 설명한다.

먼저, 석영 기판(801) 상에 두께 200 nm의 산화규소막(802)을 형성한다. 그 다음, 그 위에 감압 열 CVD법으로 두께 75 nm의 비정질 규소막(803)을 형성한다. 그리고, 중량환산으로 10 ppm의 니켈을 함유하는 니켈 아세테이트 용액을 스핀 코팅법에 의해 도포하여 니켈 함유 층(804)을 형성한다.(도 8(A))

다음, 500℃에서 1시간 탈수소화를 행한 후, 550℃로 4시간 가열처리를 행하여 결정성 산화막(805)을 얻는다. 이때, 남아 있는 비정질 성분을 결정화하고 결정립 내의 결함을 감소시키기 위해, 결정화 후에 엑시머 레이저 어닐을 행할 수도 있다.(도 8(B))

이렇게 하여 결정성 규소막(805)이 얻어진 후, 인으로 게터링 공정을 행하기 위한 절연막(806)을 형성한다. 본 실시예에서는, 절연막(806)으로서, 플라즈마 CVD법에 의해 150 nm의 두께로 형성된 산화규소막을 사용한다.

이 절연막(산화규소막)(806)에 다수의 개구부를 제공하고, 이 상태에서 인을 첨가하여 인 첨가 영역(807)을 형성한다. 본 실시예에서는, 인 첨가 영역(807)이 플라즈마 도핑법에 의해 형성되었지만, 실시예 1에 나타난 바와 같은 다른 수단이 사용될 수도 있다.

인 첨가 영역(807)을 형성한 후, 600℃로 12시간 가열처리를 행하여, 막 내의 니켈을 인 첨가 영역(807)으로 이동(게터링)시킨다. 이 게터링 공정의 상세한 것은 실시예 1에 따를 수 있다. 이렇게 하여, 니켈의 농도가 적어도 2×10^{17} 원자/ cm^3 이하로까지 저감된 결정성 규소막(808)이 얻어진다.

상기한 방식으로 게터링 공정까지의 공정이 완료된 후, 니켈이 게터링된 결정성 규소막만을 사용하여 활성층(809, 810, 811)을 형성하고, 이들을 게이트 절연막(812)으로 덮은 후, 열산화 공정을 행한다.(도 8(E))

활성층(809~811)을 게이트 절연막(812)으로 덮은 후에 열산화 공정을 행하는 이유는 실시예 1에서 설명된 바와 같다. 열산화 공정의 상세한 조건에 관해서도 실시예 1을 참조할 수 있다.

상기한 바와 같이, 본 발명은 측매원소가 비정질 반도체막의 전체 표면에 첨가되는 결정화 공정을 행하는 경우에도 적용될 수 있다.

[실시예 3]

본 실시예에서는, 실시예 1에서의 기관으로서 결정화된 유리를 사용하고, 그 유리 기관을 보호하기 위한 보호막(하지막으로도 작용한다)으로서, 감압 열 CVD법으로 형성된 절연성 규소막을 사용하는 예를 도 4를 참조하여 설명한다.

본 실시예의 경우에는, 기관(401)으로서, SiO_2 : 52.5, Al_2O_3 : 26.5, MgO : 11.9, TiO_2 : 11.4의 조성성분을 함유하는 결정화된 유리를 준비한다. 이것은 핵 형성제로서 TiO_2 를 사용한 무알칼리 코디에라이트(cordierite)계 결정화된 유리이다.

다음, 결정화된 유리의 정면, 후면 및 측면에 보호막으로서 기능할 수 있는 절연성 규소막(402)을 형성한다. 본 실시예에서는, 성막 가스로서 실란(SiH_4) 및 아산화질소(N_2O)를 사용한 감압 열 CVD법에 의해 산화질화규소막을 형성한다.

이 경우, 성막 온도는 $800\sim 850^\circ\text{C}$ (본 실시예에서는 850°C)로 하고, 성막 가스 각각의 유량은 SiH_4 : $10\sim 30$ sccm 및 N_2O : $300\sim 900$ sccm로 한다. 또한, 반응 압력은 $0.5\sim 1.0$ torr로 하는 것이 좋다.

성막 가스로서 실란 및 아산화질소(NO_2) 또는 일산화질소(NO)를 사용하는 경우, $600\sim 650^\circ\text{C}$ 의 온도에서 산화질화규소막을 형성할 수도 있다. 이 경우, 반응 압력은 $0.1\sim 1.0$ torr로 하고, 각각의 가스의 유량은 SiH_4 : $10\sim 30$ sccm 및 N_2O 또는 NO : $300\sim 900$ sccm로 하는 것이 좋다.

이 경우, 산화질화규소막이 감압 열 CVD법으로 형성되기 때문에, 결정화된 유리의 전체 표면이 절연막으로 덮인다.

성막 가스를 다르게 한 경우에는, 결정화된 유리를 위한 보호막으로서 질화규소막이 형성될 수도 있다. 이 경우에는, 성막 가스로서 $40\sim 50$ sccm의 2염화실란(SiH_2Cl_2) 및 $200\sim 250$ sccm의 암모니아(NH_3)를 사용하고, 성막 온도를 $750\sim 800^\circ\text{C}$ 로 하고, 반응 압력을 $0.1\sim 0.5$ torr로 하는 것이 좋다.

질화규소막이 유리 성분의 유출을 저지하기 위한 최적의 절연막이지만, 그의 응력이 강하기 때문에, 이 막은 TFT의 하지막으로서 부적합하다. 그러나, 본 발명에서는, 질화규소막이 결정화된 유리의 적어도 정면 및 후면에 형성되기 때문에, 기관 후면에서의 질화규소막의 응력이 정면에서의 응력을 상쇄시켜, 기관의 뒤틀림 등이 일어나지 않는다.

본 실시예의 구성에 따르면, 실시예 1에 나타난 액티브 매트릭스 기관을 제작할 때, 값싼 유리 기관이 사용되기 때문에, 전기광학 장치의 단가를 크게 줄일 수 있다. 또한, 기관이 유리 기관의 특징에 따라 크게 만들어질 수 있기 때문에, 수십 인치 대각선의 대형 화면에 대응하는 액티브 매트릭스 기관을 제조하는 것이 가능하게 된다.

[실시예 4]

실시예 1에서는, N형 도전성을 나타내는 결정성 규소막을 게이트 전극으로 사용하였지만, 도전성을 가지는 한 어떠한 재료라도 사용될 수 있다. 특히, 직시(直視)용의 액정 표시장치를 제조하는 경우에는, 화소 매트릭스 회로의 면적이 증가되기 때문에, 낮은 배선 저항을 갖는 재료를 사용하는 것이 바람직하다.

그러한 경우, 게이트 전극에 알루미늄 또는 알루미늄을 주성분으로 하는 재료를 사용하는 것이 바람직하다. 본 실시예에서는, 2 wt%의 스칸듐을 함유하는 알루미늄 막이 게이트 전극으로 사용된다.

알루미늄을 주성분으로 하는 재료를 게이트 전극에 사용하는 경우에는, 본 출원인의 일본 공개특허공고 평7-135318호 공보에 개시된 기술을 사용하는 것이 적합하다. 이 공보에서는, 실시예 1에서 사용된 측벽 대신에, 게이트 전극의 양극 산화에 의해 얻어진 양극산화막이 사용된다.

본 실시예에서와 같이, 알루미늄 또는 알루미늄을 주성분으로 하는 재료가 게이트 전극에 사용되는 경우, 낮은 배선 저항을 갖는 게이트 배선을 형성하고, 높은 응답 속도를 갖는 액티브 매트릭스 기판을 제조하는 것이 가능하게 된다.

본 실시예는 실시예 2 또는 3과 조합될 수 있다.

[실시예 5]

실시예 1에서는, 활성층에 TFT의 스레시홀드 전압(V_{th})을 제어하기 위한 불순물을 첨가하는 것이 효과적이다. 비정질 규소막의 성막 시에 불순물을 첨가하는 것이 가능하지만, 불순물이 적어도 채널 형성 영역에 첨가되면 충분하기 때문에, 불순물은 게이트 전극의 형성 전 어느 때에라도 첨가될 수 있다.

불순물이 성막 시 이외의 시기에 첨가되는 경우, 이온 임플란테이션법 또는 플라즈마 도핑법에 의한 첨가, 기상으로부터의 확산에 의한 첨가, 고상으로부터의 확산에 의한 첨가 등과 같은 수단이 사용될 수 있다. 이들 수단은, 예를 들어, NTFT와 PTFT에서 첨가되는 불순물이 다르게 되는 선택적 첨가가 가능하기 때문에 효과적이다.

첨가하는 불순물 원소로서는, 스레시홀드 전압(V_{th})을 플러스 쪽으로 이동(시프트)시키는 것이면, 13족 원소(붕소, 갈륨, 또는 인듐)가 사용되고, 스레시홀드 전압(V_{th})을 마이너스 쪽으로 이동시키는 것이면, 15족 원소(인, 비소 또는 안티몬)가 사용된다.

본 실시예는 실시예 1~3의 구성과 조합될 수 있다.

[실시예 6]

실시예 1 또는 2에서는, 활성층의 표면을 게이트 절연막으로 덮은 후에 열산화 공정을 행하였으나, 활성층의 표면을 덮는 게이트 절연막이 게이트 절연막으로서 기능하는 것이 반드시 요구되는 것은 아니다.

이 경우, 활성층의 표면을 절연막(산화규소막, 질화규소막, 또는 산화질화규소막)으로 덮은 다음, 열산화 공정을 행하여 활성층을 박막화하고 결정립 내의 결점을 감소시킨다.

그 다음, 일단 절연막을 제거한 후 게이트 절연막을 새로 형성하는 구성으로 하는 것도 가능하다. 또한, 게이트 절연막을 새로 형성한 후, 열산화 공정을 다시 행할 수도 있다.

[실시예 7]

본 실시예에서는, 도 3(C)에 나타난 액티브 매트릭스 기판의 화소 구조에 대하여 더 구체적으로 설명한다. 도 18은 화소 TFT의 단면 구조를 나타낸다. 도 18은 화소 TFT의 단면을 10,000배 확대하여 나타내는 TEM 사진이다.

도 18에 나타난 TEM 사진은 도 19(A)에 나타난 화소 TFT의 상면도에서 점선 A-A'를 따라 취한 단면을 나타낸다. 도 19(A)에서, 부호 21은 활성층, 22는 게이트선, 23은 소스선, 24는 드레인 전극, 25는 블랙 마스크, 26은 드레인 전극(24)을 화소 전극(27)에 접속하기 위한 콘택트 홀을 나타낸다.

본 실시예의 특징은 화소 TFT 위에서 드레인 전극(24)과 블랙 마스크(25) 사이에 보조 용량이 형성된다는 점에 있다.

도 19(B)는 도 18의 TEM 사진을 모식(模式)적으로 나타내는 도면이다. 도 19(A)와 도 19(B)에서 공통의 부호가 사용된다.

이처럼, 드레인 전극(24)이 게이트선(22)과 겹치는 배열로 형성되고, 보조 용량이 드레인 전극(24)과 블랙 마스크(25) 사이에서 유전체 층(28)을 사이에 두고 그 전극의 맞은 편에 형성된다. 본 실시예에서는, 티탄막들 사이에 알루미늄막이 끼워진 3층 구조가 드레인 전극(24)에 채택된다.

본 실시예의 경우, 드레인 전극(24)이 형성된 후, 질화규소막/산화규소막/아크릴막으로 된 3층 구조의 층간절연막이 형성되고, 그 위에 블랙 마스크가 형성된다.

이때, 블랙 마스크(25)의 형성 전에, 후에 보조 용량이 되는 영역에서 아크릴막만을 제거하여 개구부가 형성된다. 그래서, 개구부의 바닥에는 산화규소막과 질화규소막만이 남고, 이 2층 구조로 된 절연층이 보조 용량의 유전체 층(28)으로서 기능한다.

[실시예 8]

실시예 1~7에 나타난 구성을 가지는 액티브 매트릭스 기판을 사용하여 액정 표시장치를 구성하는 예를 도 5에 나타낸다. 도 5는 액정 표시장치의 본체에 상당하는 부분을 나타내고, 이 부분은 액정 모듈이라고도 불린다.

도 5에서, 부호 501은 기관(석영, 실리콘 웨이퍼, 결정화된 유리 중 어느 것이라도 사용될 수 있다)을 나타내고, 502는 하지막이 되는 절연막을 나타내고, 그 절연막 상에 본 발명의 제작공정에 따라 제조된 반도체막으로부터 다수의 TFT가 형성된다.

이들 TFT는 기관 상에 화소 매트릭스 회로(503), 게이트측 구동회로(504), 소스측 구동회로(505), 및 논리회로(506)를 구성한다. 대향 기관(507)이 그러한 액티브 매트릭스 기관에 접합되고, 액티브 매트릭스 기관과 대향 기관(507) 사이에 액정 층(도시되지 않음)이 보유된다.

도 5에 나타난 구성에서는, 액티브 매트릭스 기관의 측면과 대향 기관의 측면이 어느 한 변을 제외하고 서로 정렬되는 것이 바람직하다. 이렇게 함으로써, 대형 기관으로부터 취해지는 조각의 수가 효과적으로 증가될 수 있다.

그 한 변에서는, 대향 기관의 일부를 제거하여 액티브 매트릭스 기관의 일부를 노출시키고, 그 노출된 부분에 FPC(Flexible Print Circuit)(508)를 부착한다. 필요에 따라서는, 그 부분에 IC칩(단결정 규소 상에 형성되고 MOSFET로 구성된 반도체 회로)이 배치될 수도 있다. 일반적으로, 액정 모듈이라 불리는 것은 FPC가 부착된 상태의 액정 패널이다.

도 20은 본 발명자들에 의해 시작(試作)된 액정 모듈의 일례를 나타낸다. 규격은 대각선 크기가 2.6 인치, 화소 수가 1280×1024 , 화소 크기가 $45 \mu\text{m} \times 32 \mu\text{m}$ 이다. 또한, 63%의 개구율, 및 300:1의 콘트라스트 비가 실현된다.

도 20에 나타난 액정 모듈에서는, 실시예 1에서 설명된 바와 같은 수 백 MHz 내지 수 GHz의 고주파수로 구동되는 신호 처리 회로가 화소 매트릭스 회로와 동일한 기관 상에 일체로 형성되어 있다. 즉, 도 20에 나타난 액정 모듈은 시스템-온-패널을 실현한다.

본 실시예에서는, 본 발명이 액정 표시장치에 적용된 예를 설명하지만, 액티브 매트릭스형 EL(전계발광) 표시장치 등을 제조하는 것도 가능하다. 또한, 광전 변환 층을 구비한 이미지 센서 등을 동일 기관 상에 제조하는 것도 가능하다.

한편, 상기한 액정 표시장치, EL 표시장치, 및 이미지 센서와 같은, 광학 신호를 전기 신호로 변환하거나 또는 전기 신호를 광학 신호로 변환하는 기능을 가지는 장치를 전기광학 장치라 정의한다. 본 발명은 절연 표면을 갖는 기관 상에 형성된 반도체 박막을 사용하여 형성될 수 있는 어떠한 전기광학 장치에도 적용될 수 있다.

[실시예 9]

본 발명에서는, 실시예 8에 나타난 바와 같은 전기광학 장치뿐만 아니라, 기능 회로를 집적화한 박막 집적회로(또는 반도체 회로)가 구성될 수도 있다. 예를 들어, 마이크로프로세서 등의 연산 회로, 휴대형 장치용의 고주파 회로(MMIC: Microwave Module IC) 등을 구성하는 것도 가능하다.

또한, 박막을 사용하는 TFT의 이점을 이용함으로써, 3차원 구조의 반도체 회로를 구성하여 초고밀도로 집적화된 VLSI 회로를 구성하는 것도 가능하다. 이처럼, 본 발명의 TFT를 사용하여 매우 높은 기능성을 갖는 반도체 회로를 구성하는 것이 가능하다. 한편, 본 명세서에서, 반도체 회로는 반도체 특성을 이용하여 전기 신호의 제어 및 변환을 행하는 전기 회로로 정의된다.

[실시예 10]

본 실시예에서는, 실시예 8 또는 9에 나타난 전기광학 장치 또는 반도체 회로를 구비한 전자장치(응용 제품)의 예를 도 6(A)~도 6(F)를 참조하여 설명한다. 한편, 이 전자장치는 반도체 회로 및/또는 전기광학 장치를 구비한 제품으로 정의된다.

본 발명이 적용될 수 있는 전자장치로서는, 비디오 카메라, 전자 스틸 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기, PHS(Personal Handyphone System) 등) 등을 들 수 있다.

도 6(A)는 본체(2001), 음성 출력부(2002), 음성 입력부(2003), 표시장치(2004), 조작 스위치(2005), 및 안테나(2006)로 구성된 휴대 전화를 나타낸다. 본 발명은 음성 출력부(2002), 음성 입력부(2003), 표시장치(2004) 등에 적용될 수 있다.

도 6(B)는 본체(2101), 표시장치(2102), 음성 입력부(2103), 조작 스위치(2104), 배터리(2105), 및 수상부(2106)로 구성된 비디오 카메라를 나타낸다. 본 발명은 표시장치(2102), 음성 입력부(2103), 수상부(2106) 등에 적용될 수 있다.

도 6(C)는 본체(2201), 카메라부(2202), 수상부(2203), 조작 스위치(2204), 및 표시장치(2205)로 구성된 모바일 컴퓨터를 나타낸다. 본 발명은 카메라부(2202), 수상부(2203), 표시장치(2205) 등에 적용될 수 있다.

도 6(D)는 본체(2301), 표시장치(2302), 및 밴드부(2303)로 구성된 헤드 장착형 표시장치를 나타낸다. 본 발명은 표시장치(2302)에 적용될 수 있다.

도 6(E)는 본체(2401), 광원(2402), 표시장치(2403), 편광 빔 스플리터(2404), 반사기(2405, 2406), 및 스크린(2407)으로 구성된 리어(rear)형 프로젝터를 나타낸다. 본 발명은 표시장치(2403)에 적용될 수 있다.

도 6(F)는 본체(2501), 광원(2502), 표시장치(2503), 광학계(2504), 및 스크린(2505)으로 구성된 프런트(front)형 프로젝터를 나타낸다. 본 발명은 표시장치(2503)에 적용될 수 있다.

상기한 바와 같이, 본 발명의 적용 범위는 매우 넓고, 본 발명은 어떤 분야의 전자장치에도 적용될 수 있다. 또한, 본 발명은 전기광학 장치 또는 반도체 회로를 필요로 하는 한 어떠한 제품에도 적용될 수 있다.

발명의 효과

상기한 바와 같이, 본 발명을 실시함으로써, 비정질 반도체막의 결정화에 사용된 촉매원소를 결정화 후에 효과적으로 제거하는 것이 가능하게 된다. 또한, 활성층이 절연막으로 보호된 상태(활성층이 산화성 분위기에 접하지 않는 상태)에서 열산화 공정을 행함으로써, 활성층에서 일어나는 금속 산화물의 이상(異常) 성장을 방지하는 것이 가능하다.

이렇게 하여, 결정성 규소막에 잔존하는 촉매원소를 제거함으로써 우수한 전기적 특성을 갖는 TFT를 실현하여, 고성능의 반도체장치를 실현하는 것이 가능하게 된다.

(57) 청구의 범위

청구항 1.

비정질 반도체막의 결정화를 촉진시키는 촉매원소를 비정질 반도체막의 적어도 일부에 도입하는 공정;

제1 가열처리를 행하여 상기 비정질 반도체막의 상기 부분을 결정성 반도체막으로 변환시키는 공정;

상기 결정성 반도체막의 일 영역에 15족으로부터 선택된 원소를 선택적으로 첨가하는 공정;

제2 가열처리를 행하여 상기 결정성 반도체막의 상기 영역에 인접한 영역으로부터 상기 결정성 반도체막의 상기 영역으로 촉매원소를 게터링하는 공정;

상기 결정성 반도체막을 패터닝하여 활성층을 형성하는 공정;

상기 활성층을 덮는 절연막을 형성하는 공정; 및

상기 절연막의 형성 후에 산화성 분위기에서 제3 가열처리를 행하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 2.

비정질 규소막 위에 마스크 절연막을 선택적으로 형성하는 공정;

상기 마스크 절연막을 이용하여 상기 비정질 반도체막에 상기 비정질 반도체막의 결정화를 촉진시키는 촉매원소를 선택적으로 도입하는 공정;

제1 가열처리를 행하여 상기 비정질 반도체막의 적어도 일부를 결정성 반도체막으로 변환시키는 공정;

상기 결정성 반도체막의 일 영역에 15족으로부터 선택된 원소를 선택적으로 첨가하는 공정;

제2 가열처리를 행하여 상기 결정성 반도체막의 상기 영역에 인접한 영역으로부터 상기 결정성 반도체막의 상기 영역으로 촉매원소를 게터링하는 공정;

상기 결정성 반도체막을 패터닝하여 활성층을 형성하는 공정;

상기 활성층을 덮는 게이트 절연막을 형성하는 공정; 및

상기 게이트 절연막의 형성 후에 산화성 분위기에서 제3 가열처리를 행하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 3.

비정질 규소막 위에 마스크 절연막을 선택적으로 형성하는 공정;

상기 마스크 절연막을 이용하여 상기 비정질 반도체막에 상기 비정질 반도체막의 결정화를 촉진시키는 촉매원소를 선택적으로 도입하는 공정;

제1 가열처리를 행하여 상기 비정질 반도체막의 적어도 일부를 결정성 반도체막으로 변환시키는 공정;

상기 마스크 절연막을 그대로 이용하여 상기 결정성 반도체막의 일 영역에 15족으로부터 선택된 원소를 선택적으로 첨가하는 공정;

제2 가열처리를 행하여 상기 결정성 반도체막의 상기 영역에 인접한 영역으로부터 상기 결정성 반도체막의 상기 영역으로 촉매원소를 게터링하는 공정;

상기 결정성 반도체막을 패터닝하여 활성층을 형성하는 공정;

상기 활성층을 덮는 게이트 절연막을 형성하는 공정; 및

상기 게이트 절연막의 형성 후에 산화성 분위기에서 제3 가열처리를 행하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 4.

비정질 반도체막의 결정화를 촉진시키는 촉매원소를 상기 비정질 반도체막에 선택적으로 도입하는 공정;

제1 가열처리를 행하여 상기 비정질 반도체막을 결정성 반도체막으로 변환시키는 공정;

상기 결정성 반도체막의 일 영역에 15족으로부터 선택된 원소를 선택적으로 첨가하는 공정;

제2 가열처리를 행하여 상기 결정성 반도체막의 상기 영역에 인접한 영역으로부터 상기 결정성 반도체막의 상기 영역으로 촉매원소를 게터링하는 공정;

상기 결정성 반도체막을 패터닝하여 활성층을 형성하는 공정;

상기 활성층을 덮는 절연막을 형성하는 공정; 및

상기 절연막의 형성 후에 산화성 분위기에서 제3 가열처리를 행하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 5.

제 2 항 또는 제 3 항에 있어서, 상기 촉매원소가 도입되는 영역이 상기 15족으로부터 선택된 원소가 첨가되는 영역과 동일한 영역인 것을 특징으로 하는 반도체장치 제조방법.

청구항 6.

제 1 항, 제 2 항, 제 3 항, 제 4 항 중 어느 한 항에 있어서, 상기 촉매원소로서, Ni, Co, Fe, Pd, Pt, Cu, Au, Ge 및 Pb로 이루어진 군으로부터 선택된 일 종류 또는 다수 종류의 원소를 사용하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 7.

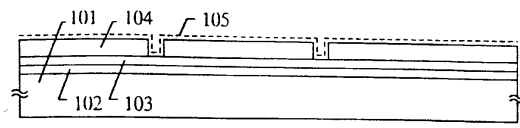
제 1 항, 제 2 항, 제 3 항, 제 4 항 중 어느 한 항에 있어서, 상기 15족으로부터 선택된 원소로서, 인, 비소, 및 안티몬으로 이루어진 군으로부터 선택된 한 원소를 사용하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 8.

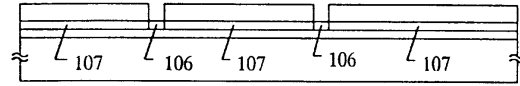
제 1 항, 제 2 항, 제 3 항, 제 4 항 중 어느 한 항에 있어서, 상기 15족으로부터 선택된 원소가 첨가된 영역에는 그 원소가 $1 \times 10^{19} \sim 1 \times 10^{21}$ 원자/cm³의 농도로 첨가되는 것을 특징으로 하는 반도체장치 제조방법.

도면

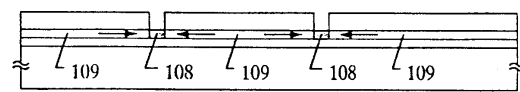
도면1



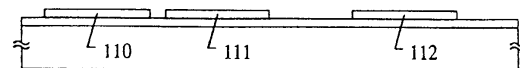
A



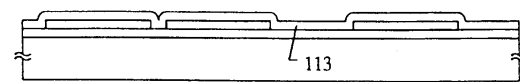
B



C

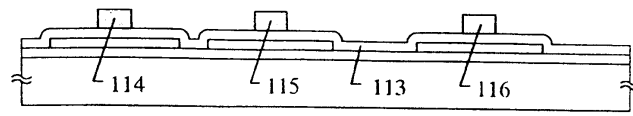


D

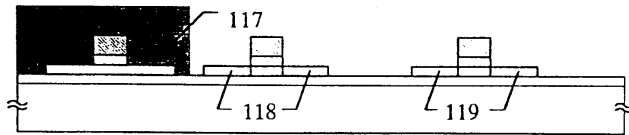


E

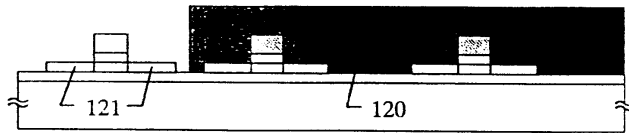
도면2



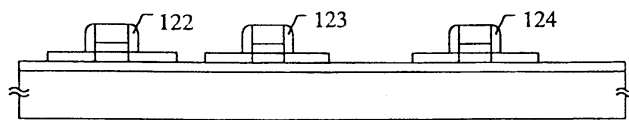
A



B

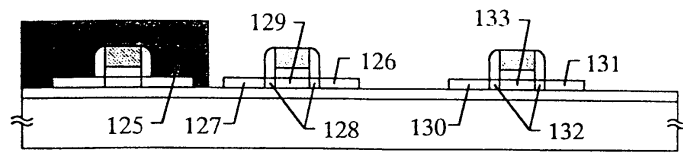


C

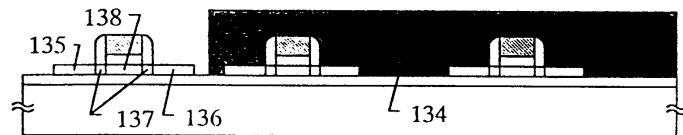


D

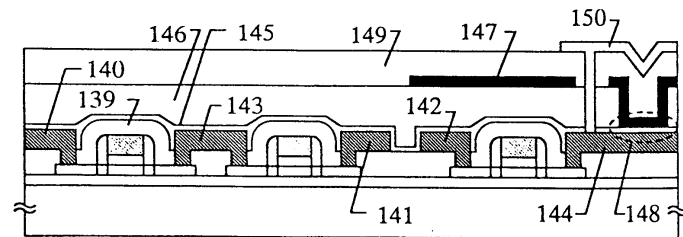
도면3



A

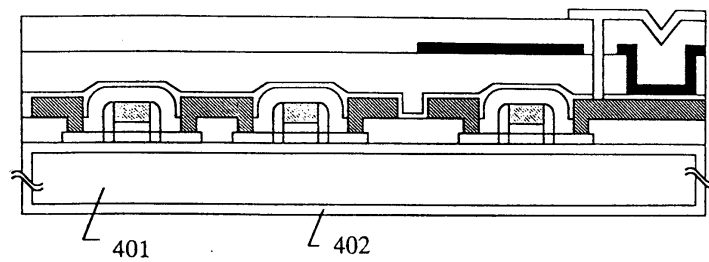


B

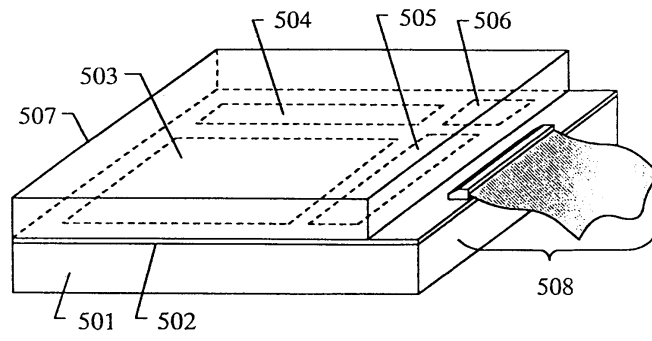


C

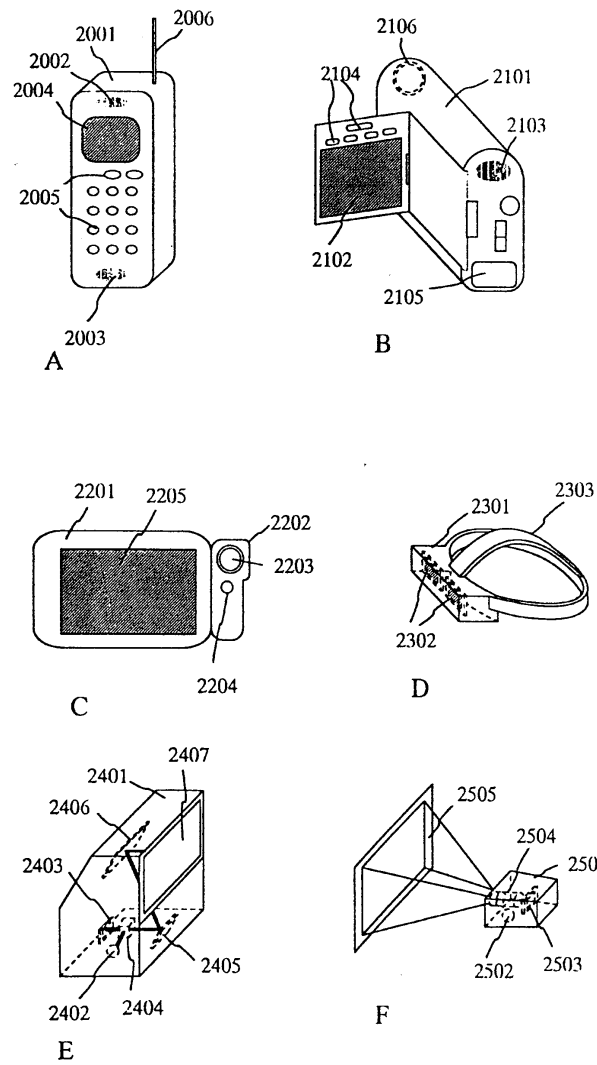
도면4



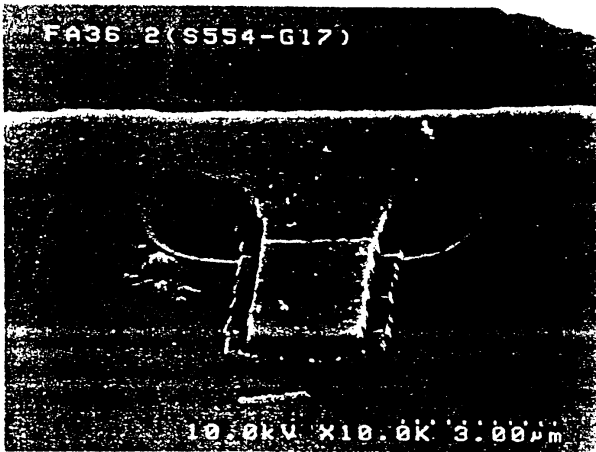
도면5



도면6



도면7

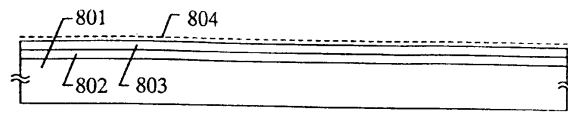


A

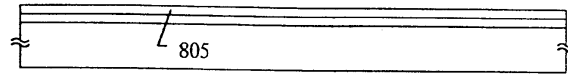


B

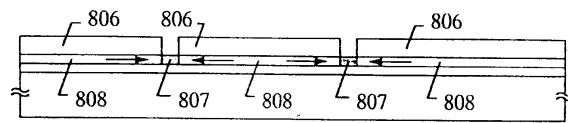
도면8



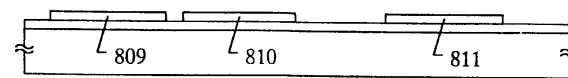
A



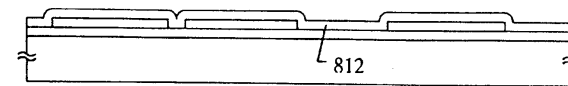
B



C

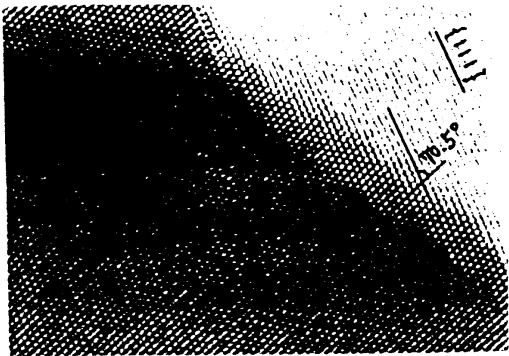


D

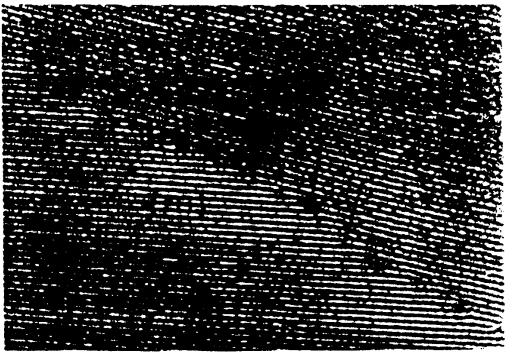


E

도면9



A



B

도면10



A



B

도면11

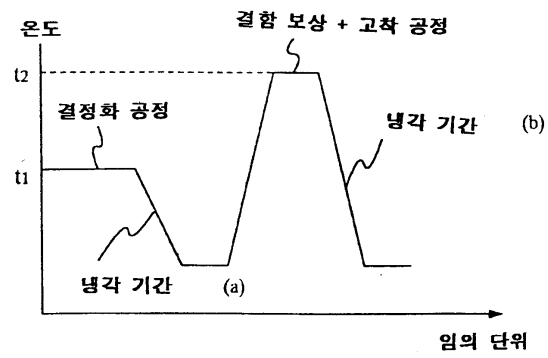


A

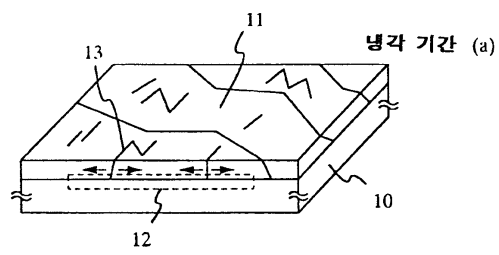


B

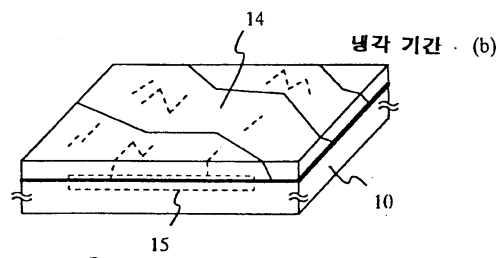
도면12



A



B

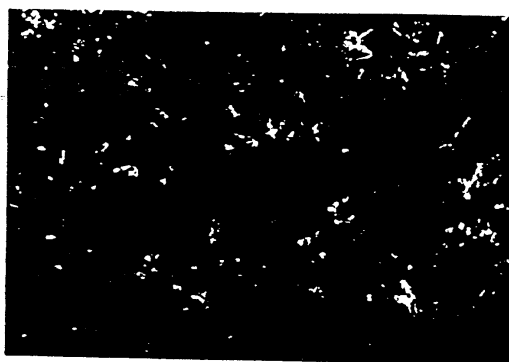


C

도면13

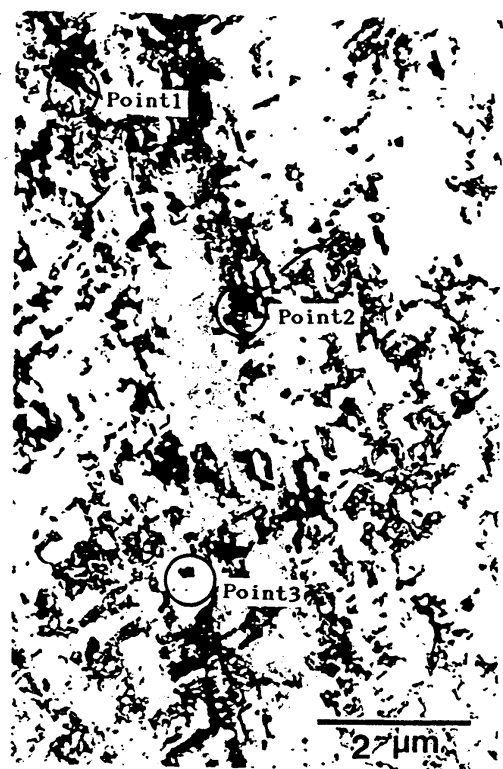


A



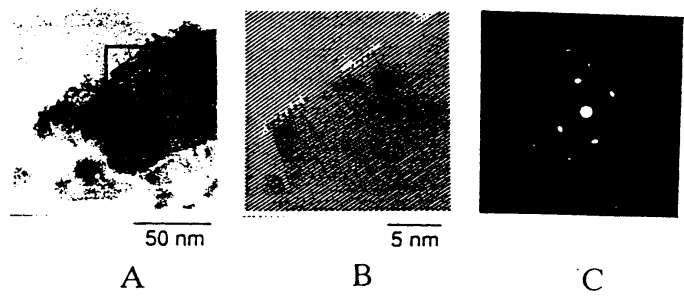
B

도면14



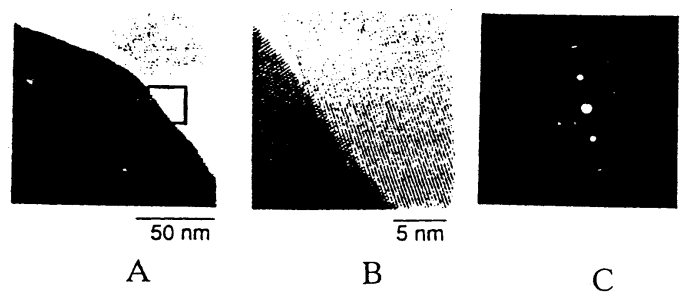
도면15

〈Point 1〉



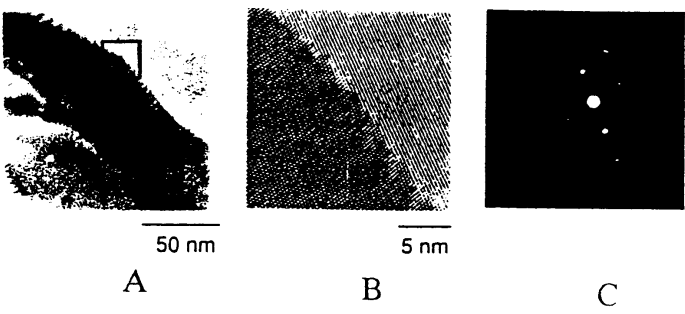
도면16

〈Point 2〉

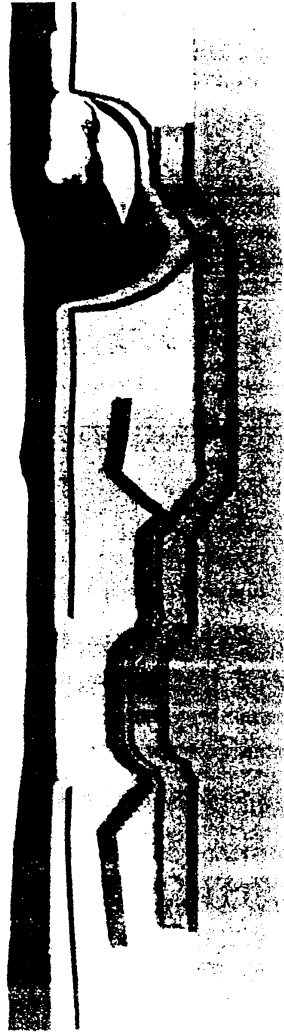


도면17

〈Point 3〉

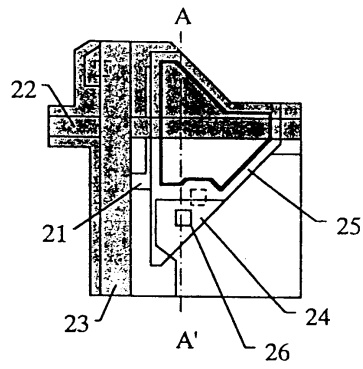


도면18

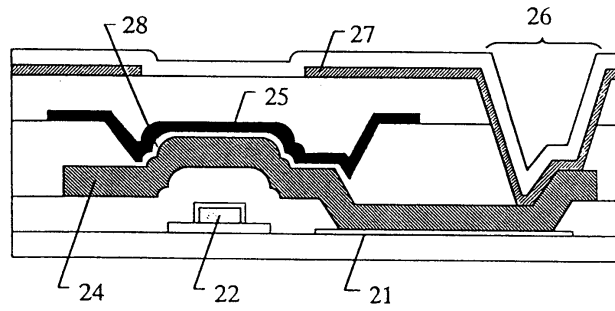


10/3

도면19



A



B

도면20

