República Federativa do Brasil
Ministério da Economia
Instituto Nacional da Propriedade Industrial

(11) BR 112016020239-2 B1

(22) Data do Depósito: 19/02/2015

(45) Data de Concessão: 08/03/2022

(54) Título: CÉLULA PADRÃO DE ALTO DESEMPENHO

(51) Int.Cl.: H01L 27/02; H01L 21/8234; H01L 27/088; H01L 27/118.

(30) Prioridade Unionista: 03/03/2014 US 14/195,525.

(73) Titular(es): QUALCOMM INCORPORATED.

(72) Inventor(es): XIANGDONG CHEN; OHSANG KWON; FOUA VANG; ANIMESH DATTA; SEID HADI RASOULI.

(86) Pedido PCT: PCT US2015016690 de 19/02/2015

(87) Publicação PCT: WO 2015/134202 de 11/09/2015

(85) Data do Início da Fase Nacional: 01/09/2016

(57) Resumo: CÉLULA PADRÃO DE ALTO DESEMPENHO A presente invenção se refere a uma célula de transistor que inclui uma região de definição de óxido (OD) contínua definida em um substrato; uma porta (450) para um transistor entre uma primeira porta simulada (425) e um a segunda porta simulada (430), em que uma fonte para o transistor é definida em uma primeira parte da região de OD entre a porta e a primeira porta simulada, e em que um dreno para o transistor é definido em uma segunda parte da região de OD entre a porta e um primeiro lado da segunda porta simulada; uma primeira interligação local dirigida à porta (470) e uma primeira interligação local dirigida à difusão (440) acoplam uma terceira parte da região de OD adjacente a um segundo lado oposto da segunda porta simulada e a segunda porta simulada a uma tensão da fonte.

"CÉLULA PADRÃO DE ALTO DESEMPENHO"

REFERÊNCIA CRUZADA A PEDIDOS RELACIONADOS

[0001] Este pedido reivindica prioridade da data de depósito do Pedido de Patente US nº de Série 14/195.525, depositado em 03 março de 2014, que é aqui incorporado por referência em sua totalidade.

CAMPO TÉCNICO

[0002] Este pedido diz respeito a processadores e, mais particularmente, à otimização de energia para processadores.

FUNDAMENTOS DA INVENÇÃO

[0003] Como a tecnologia de semicondutores avança para os nós de processo de profundidade sub-mícron, efeitos de canal curto podem degradar severamente o desempenho. A velocidade da portadora satura nesses canais curtos, o que retarda a velocidade de comutação e reduz a força de transistor. Para atingir alta densidade e ainda ter força de transistor adequada, técnicas de engenharia de tensão foram desenvolvidas, de modo que a estrutura de cristal é tensionada nas regiões de difusão de fonte e dreno (estas regiões de difusão são normalmente indicadas como definição de óxido (OD) no que diz respeito à terminologia de layout de transistor). A OD não é apenas dopada do tipo n ou tipo p, conforme apropriado para atingir o tipo de transistor desejado (NMOS ou PMOS), mas também é tensionada para aumentar a velocidade de portadora e a força de transistor. A este respeito, a OD é apenas localmente tensionada em oposição à tensão de todo o substrato.

[0004] Essa tensão local se mostrou superior a uma tensão global em todo o substrato. O tipo de tensão depende do tipo de transistor. A OD para transistores PMOS é tensionada de forma compressiva, ao passo que a OD para os transistores NMOS tem tensão elástica. Por exemplo, uma

película de SiGe pode ser aplicada à OD do tipo p para introduzir tensão de compressão, ao passo que uma película de SiN ou SiC pode ser aplicada à OD do tipo n para introduzir esforço de tensão. A engenharia de tensão resultante do silício se mostrou muito bem sucedida para a realização de força de transistor satisfatória em nós de processo de profundidade sub-mícron.

[0005] O uso da engenharia de tensão introduz uma série de limites ao processo de layout. A Figura 1 ilustra o layout para um par exemplificativo de transistores. Um primeiro transistor 100 tem a sua fonte (S) e dreno (D) definidos por uma primeira região de OD 105. Uma porta de polissilício 110 separa as regiões de fonte e dreno. Um arranjo semelhante de outra região de OD 115 e porta de polissilício 120 define outro transistor 101. Em nós de processo avançados, o layout da Figura 1 seria ineficiente porque OD 115 e 110 que formam as regiões de dreno e fonte são ambas relativamente curtas. Esse comprimento curto para a OD permite à sua estrutura de cristal para relaxar muito apesar da utilização de engenharia de tensão local. Os transistores 100 e 101 seriam, portanto, muito fracos. Em contraste, se ODs 105 e 115 podem ser estendidas para formar uma OD contínua, como mostrado pelas linhas tracejadas 125, ODs 105 e 115 poderiam ter tensão aumentada, o que resulta em melhor desempenho. Mas essa extensão das ODs encurtaria o dreno do transistor 100 com a fonte do transistor 101.

[0006] Para obter um desempenho de transistor satisfatório nos nós de processo de profundidade sub-mícron, camadas de “OD contínua” foram desenvolvidas. A Figura 2 ilustra um layout exemplificativo de uma OD contínua 200. Os transistores 100 e 101 são ainda definidos com respeito a portas de polissilício 110 e 120, respectivamente. Mas a OD 200 é contínua para ambos os transistores, de tal forma que

ela pode desenvolver tensão de estrutura adequada para a força de transistor satisfatória. A porta de polissilício 205 isola eletricamente os transistores 100 e 101, sendo configurada para ser carregada com a tensão da fonte. Por exemplo, se OD 200 é dopada do tipo p, a porta simulada (*dummy gate*) 205 seria ligada à tensão de fornecimento de energia VDD. Alternativamente, se OD 200 é dopada do tipo n, a porta simulada 205 seria ligada à terra. Uma porta simulada semelhante 210 isola o transistor 100 de um transistor (não ilustrado) à esquerda da porta simulada 210 em OD contínua 200.

[0007] Embora o uso da OD contínua 200 permita que tensão de estrutura de cristal suficiente seja alcançada, há uma série de complicações de concepção. Por exemplo, cada transistor pode ser considerado como residindo dentro de uma "célula padrão" separada. Uma célula padrão 201 que forma o transistor 100 estende-se de uma fronteira A ao longo da porta simulada 210 a uma fronteira B ao longo da porta simulada 205. Cada porta simulada é sempre ligada a uma tensão da fonte - em uma forma de realização de PMOS, a tensão da fonte é VDD, ao passo que é aterrada é uma forma de realização de NMOS. Uma interligação 215 fornece o acoplamento da tensão da fonte entre a porta simulada 205 e a fonte do transistor 101. Da mesma forma, uma interligação 220 fornece o acoplamento da tensão da fonte entre a data modelo 210 e a fonte do transistor 100. Com esta topologia de célula padrão em mente, observe o problemas que surgem no que diz respeito à caracterização do vazamento para a célula padrão 201. No que diz respeito ao vazamento do dreno para o transistor 100, isso só pode ser definido ao nível da célula no que diz respeito ao vazamento entre a porta 110 a partir da fonte para o transistor 100. Mas essa corrente de fuga da fonte para o transistor 100, por sua vez, depende do

estado para a região de difusão 225 à esquerda da porta simulada 210. A priori, antes da célula padrão 201 ser instanciada próximo à outra célula padrão, não é possível saber se a região de difusão 225 é a fonte ou o dreno para outro transistor nesta célula padrão adicional. Esta incerteza complica consideravelmente o cálculo de fuga para o transistor 100. Por exemplo, suponha que a região de difusão 225 constitui outra fonte de transistor - que estará, então, à mesma tensão que a fonte para o transistor 100 de modo nenhuma fuga pode ocorrer através da porta simulada 210. Por outro lado, se a região de difusão 225 forma outro dreno de transistor, então uma corrente de fuga fluirá a partir da fonte para o transistor 101 para a região de difusão 225. Sabe-se que uma corrente de fuga estará sempre presente ao longo da porta 110 entre o dreno e a fonte para o transistor 100. Esta corrente de fuga pode ser denotada como a corrente de fuga “sempre presente” para distingui-la da corrente de fuga “opcional” que depende de se a região de difusão 225 forma um dreno ou uma fonte. Assim, existem duas possibilidades para uma célula padrão, como a célula 201: apenas a corrente de fuga sempre presente ou uma soma da corrente de fuga sempre presente a corrente de fuga opcional. A caracterização da corrente de fuga é uma característica de desempenho muito importante de um projeto. Mas a arquitetura de célula padrão convencional mostrada na Figura 2 para a OD contínua 200 complica grandemente a determinação da corrente de fuga para um dado projeto.

[0008] Consequentemente, existe uma necessidade na arte por arquiteturas melhoradas de OD contínua de células padrão.

SUMÁRIO DA INVENÇÃO

[0009] É descrita uma arquitetura celular que fornece uma caracterização de corrente de fuga consistente

para processos da região de definição de óxido (OD) contínua. A este respeito, uma "célula" se refere ao layout para um bloco de construção do circuito, tal como uma porta lógica ou um inversor. Esse bloco de construção de circuito compreende tipicamente vários transistores, mas formas de realização aqui divulgadas podem também incluir apenas um transistor. Uma célula convencional pode ser considerada como se estendendo de uma primeira porta simulada através de uma segunda porta simulada. Dentro dos limites da porta simulada, pode haver uma ou mais portas, dependendo do número de transistores. Do mesmo modo, uma ou mais regiões de OD contínua podem estender-se através da célula. Estas regiões de OD contínua também podem ser denotadas como regiões ativas contínuas. Por exemplo, se uma célula deve conter ambos os transistores NMOS e PMOS, seria necessário pelo menos duas regiões de OD contínua - pelo menos uma região ativa dopada do tipo p para os transistores PMOS e pelo menos uma região ativa dopada do tipo n para os transistores NMOS. Em uma célula convencional, as estruturas celulares terminariam nos limites da porta simulada. Mas a célula vantajosa aqui descrita exige uma extensão além da porta simulada adjacente ao dreno do transistor. A este respeito, o transistor tem um dreno e uma fonte, cada uma definida na região de OD de modo a ser separada pela porta do transistor. O dreno é assim definido em uma parte da região de OD que se estende desde a porta a um primeiro lado da porta simulada adjacente. Esta porta simulada adjacente ao dreno pode também ser aqui denominada como a porta simulada do lado do dreno. A porta simulada restante pode, assim, ser indicada como a porta simulada do lado da fonte.

[0010] A porta simulada do lado do dreno inclui um segundo lado oposto. Em uma célula convencional, não existe qualquer estrutura que transporte ao longo de uma parte da

região de OD adjacente a este segundo lado oposto da porta simulada do lado do dreno. Mas, como será explicado adicionalmente a seguir, a célula aqui discutida inclui uma estrutura de interligação local que acopla a porta simulada do lado do dreno e a parte da região de OD adjacente ao segundo lado oposto da porta simulada do lado do dreno para uma tensão da fonte. Isto é muito vantajoso porque garante que o dreno para a célula seja sempre separado pela porta simulada do lado do dreno a partir de uma parte da região de OD carregada à tensão da fonte. Note-se que a região de OD incluindo a célula irá tipicamente incluir numerosas outras células. Estas células podem ser consideradas como se estendendo a partir de uma primeira célula a uma última célula. Mas, mesmo que a célula seja a última célula (ou a primeira célula), de tal modo que não haveria outras células definidas na parte da região de OD adjacente ao segundo lado da porta simulada do lado do dreno, esta parte da região de OD não irá agir de forma diferente de uma fonte do transistor no que diz respeito à corrente de fuga que flui a partir desta parte da região através da porta simulada do lado do dreno para o dreno. Em outras palavras, pode haver uma célula definida nesta parte da região de OD ou não haver. Independentemente do fato de existir outra célula adjacente à porta simulada do lado do dreno, a parte da região de OD adjacente ao segundo lado da porta simulada do lado do dreno é carregada à tensão da fonte.

[0011] Dada esta arquitetura celular, a incerteza discutida acima no que diz respeito à fuga convencional de célula de OD contínua foi aliviada. A célula resultante sempre fornece uma fuga uniforme, previsível. A este respeito, note que a célula não requer nenhuma extensão de interligação local além da porta simulada do lado da fonte para a região de OD contínua fora da porta simulada do lado

da fonte. Pode ser que uma célula adicional seja definida nesta parte da região de OD contínua para ter um dreno. É verdade que a corrente de fuga irá fluir a partir da fonte da presente célula para o dreno desta célula adicional. Mas essa corrente de fuga adicional não perturba a caracterização da corrente de fuga ao nível da célula porque esta célula adicional tem a mesma estrutura e, assim, mede essa corrente de fuga como a sua própria. Por outro lado, se esta célula vizinha está em contato com sua fonte, não há nenhuma corrente de fuga entre as células vizinhas devido ao limite fonte a fonte.

BREVE DESCRIÇÃO DOS DESENHOS

[0012] A Figura 1 ilustra um par convencional de transistores que tem regiões de difusão não contínuas.

[0013] A Figura 2 ilustra um par convencional de transistores em uma região de difusão contínua.

[0014] A Figura 3 é uma vista em corte transversal de interligações locais de vários níveis e estruturas associadas.

[0015] A Figura 4A ilustra um layout para uma célula em uma região de difusão contínua, em que um transistor inclui um dreno adjacente a um primeiro lado de uma porta simulada, e em que a célula inclui uma estrutura de interligação local configurada para carregar uma parte da região de difusão e a porta simulada a uma tensão da fonte.

[0016] A Figura 4B ilustra uma célula tendo uma relação espelho-imagem para a célula da Figura 4B.

[0017] A Figura 5A ilustra uma variação da arquitetura da célula da Figura 4A em que uma porta simulada adicional é flutuante.

[0018] A Figura 5B ilustra a célula da Figura 5A em contato com um dreno de um transistor em uma célula vizinha.

[0019] A Figura 6 é um fluxograma para uma análise da corrente de fuga exemplificativa de células de acordo com a invenção.

[0020] A Figura 7 é um fluxograma para um método exemplificativo de fabricação para as células das Figuras 4A a 5B.

DESCRIÇÃO DETALHADA

[0021] Para satisfazer a necessidade por células padrão de OD contínua com correntes de fuga previsíveis, é divulgada uma variedade de arquiteturas de células padrão de OD contínua que fornece uma quantidade conhecida de corrente de fuga. Em outras palavras, é eliminada a incerteza discutida acima no que diz respeito ao layout convencional mostrado na Figura 2. Isto é extremamente vantajoso, visto que é possível prever com segurança a corrente de fuga apenas a partir do número de células padrão que um projeto incorpora. Em contraste, a corrente de fuga a partir de um circuito construído utilizando a célula padrão convencional 201 da Figura 2 deve ser determinada por meio de simulação, uma vez que irá depender dos vários limites de célula dreno-fonte ou fonte a fonte. Em nítido contraste, o cálculo da corrente de fuga para a célula descrita não varia, independentemente de ter um limite fonte a fonte ou fonte para dreno com uma célula vizinha. Estas características vantajosas podem ser melhor apreciadas com uma discussão das modernas interligações locais.

[0022] Fazendo nova referência à Figura 2, deve ser notado que as interligações locais 220 e 215 são mostradas de forma simplificada. Na realidade, uma variedade de layouts de interligações locais ou estruturas são conhecidas para o acoplamento entre as regiões de porta e não porta. Estas estruturas são aqui descritas no que diz respeito a uma topologia de interligação local de duas

camadas (com uma terceira camada dedicada a condutos). Embora eletrodos nas camadas metálicas adjacentes ao substrato sejam também algumas vezes designados como “interligações locais”, esses eletrodos estão excluídos da definição de “interligação local” tal como aqui utilizada. Em nós de processo mais antigos, interligações na primeira camada de metal (e camadas de metal mais altas) fariam par com as portas dos transistores e terminais dreno / fonte através de condutos. Porém, visto que a tecnologia de processamento de semicondutores avançou para a região de profundidade sub-mícron, os condutos da primeira camada de metal (ou camadas mais altas) se acoplam a estas estruturas de transistores através de uma estrutura de interligação local de duas camadas. Os condutos estão, portanto, em uma terceira camada superior (nível 3) entre as duas camadas inferiores de interligação locais (níveis 1 e 2).

[0023] Alguns exemplos de interligações locais de dois níveis são mostrados na Figura 3. Como pode ser visto nesta figura, existem três níveis de interligações locais, que variam do nível 1 ao nível 3. O nível 1 define uma camada de interligações locais adjacentes a uma região de difusão contínua (OD) 305. O nível 3 define uma camada de interligações locais adjacentes uma primeira camada de metal M1. Finalmente, o nível 2 define uma camada de interligações locais que acoplam entre as interligações locais de nível 1 e nível 3.

[0024] Um interligação local de nível 1 310 compreende um tipo de interligação local (LI) indicado como LIc. Existem dois tipos de interligações locais no nível 2: LIa 315 e LIb 320. Há, portanto, um tipo (LIc 310) no nível 1, ao passo que existem dois tipos (LIA 315 e LIb 320) no nível 2. Uma interligação de nível 1, tal como LIc 310 se acopla diretamente à região de difusão contínua 305. Essa

interligação de nível 1 seria, então, aplicada por meio de uma máscara de processamento de semicondutores apropriada à região de difusão contínua (OD) 305 antes da formação de quaisquer interligações de nível 2. O nível 1 é também o nível para uma camada de porta 300 tal como uma camada de polissilício ou uma camada de metal de elevado teor de K. A camada de porta 300 não é uma forma de interligação local, uma vez que constitui uma porta para um transistor com uma fonte, dreno e canal na região de difusão contínua 305. As interligações de nível 2 como LIa 315 e LIb 320 se acoplam à primeira camada de metal M1 (ou camadas de metal mais elevadas) através de condutos, tal como um conduto V0 325. Os condutos estão dispostos no nível 3 entre o nível 2 e a primeira camada de metal M1.

[0025] Fazendo nova referência à Figura 2, as pegadas para as camadas de porta 110, 120 e 205 formam polígonos relativamente estreitos com um eixo longitudinal que é ortogonal a um eixo longitudinal para a pegada poligonal para a região de difusão contínua 200. As interligações locais seguem essa organização: um determinado tipo de interligação local será geralmente disposto de modo a ter uma forma poligonal com um eixo longitudinal que é paralelo à camada de porta ou à região de difusão contínua (isto é, para ter uma pegada poligonal com um eixo longitudinal que é paralelo a um eixo longitudinal para a pegada poligonal tanto ou para a camada de porta ou a região de difusão contínua). Visto que é incômodo referir-se repetidamente ao eixo longitudinal de uma forma poligonal usada para finalidades de layout, uma interligação local é aqui definida como sendo uma “interligação local porta-dirigida” se a sua pegada poligonal tem um eixo longitudinal paralelo aos eixos longitudinais para as pegadas poligonais das camadas de porta. Por outro lado, uma interligação local

é aqui definida como sendo uma “interligação local difusão-dirigida” se a sua pegada poligonal tem um eixo longitudinal que é paralelo aos eixos longitudinais das pegadas poligonais das regiões de difusão.

[0026] Uma interligação local de nível 1, como LIc 310 é formada na região de difusão 305. LIc 310 atua assim como o acoplamento elétrico direto à região de difusão 305 no que diz respeito às camadas mais elevadas de interligações. Assim, pode-se apreciar imediatamente que uma interligação local de nível 1 deve ser uma interligação local porta-dirigida visto que, caso contrário, iria interferir com o layout para a camada de porta 300: LIc 310 não pode ser uma interligação local difusão-dirigida ou poderia encurtar e cruzar a camada de porta 300. Em contraste, interligações locais de nível 2 podem ser ou interligações locais dirigidas por porta ou interligações locais dirigidas por difusão. Um tipo de nível 2 de interligação local é necessário para o acoplamento a LIc 310, tal como LIa 315. Assim, LIa 315 é uma interligação local porta-dirigida e acopla-se entre um conduto correspondente (não ilustrado) no nível 3 a M1 (ou camadas de metal mais altas). LIb de nível 2 320 acopla-se à camada de porta 300 e é disposta ou para ter uma pegada quadrada (aqui considerada difusão-dirigida) ou para ter uma pegada poligonal, ou seja, difusão-dirigida. LIb 320 também pode ser aqui denominada como “MP” 320. Um conduto V0 de acoplamento entre LIb 320 e a camada de metal M1 é representativo das interligações de nível 3 entre M1 e as interligações locais de nível 1 e nível 2. A primeira camada de metal M1 encontra-se acima do nível 3. LIa 315, LIb 320 e LIc 310 tipicamente compreendem tungstênio, ao passo que o conduto V0 e M1 compreendem tipicamente cobre. Outros materiais podem ser utilizados como conhecido na arte de interligação local.

[0027] Com estes conceitos de interligação local em mente, um exemplo de célula padrão 400 é mostrado na Figura 4A. Deve ser notado que está figura (como é o caso para todas as outras figuras de layout nesta descrição) é uma vista plana. Em outras palavras, ao passo que a Figura 3 era uma vista em corte transversal de um substrato que incluía OD 305, a Figura 4A mostra uma vista plana da superfície ativa do substrato que suporta a célula padrão 400. Neste layout, a célula padrão 400 inclui um transistor 405 contendo uma fonte 410 e um dreno 415 formados em uma OD contínua 420. Visto que OD 420 é contínua, a célula padrão 400 estende-se a partir de uma primeira porta de polissilício simulada 425 através de uma porta de polissilício 450 para o transistor 405 para uma segunda porta simulada 430. Deve ser notado que a célula 400 pode incluir portas de polissilício adicionais, tal como a porta 450 para outros transistores. Para clareza de ilustração, a célula 400 é assim mostrada incluindo apenas uma porta de polissilício 450, mas será apreciado que essas portas de polissilício adicionais podem ser incluídas em formas de realização alternativas. Da mesma forma, a célula 400 pode incluir regiões de OD contínuas adicionais além da OD contínua 420. Uma interligação MP de nível 2 435 acopla-se a partir da primeira portão simulada 325 através de uma interligação LIc de nível 1 455 à fonte 410. Um conduto 460 acopla-se entre uma camada de metal, tal como a camada de metal M1 (não ilustrada) à interligação LIc de nível 1 455 por meio de uma camada LIa de interligação de nível 2 (não ilustrada), de modo que a região fonte 410 e a porta simulada 425 são carregadas à tensão da fonte apropriada (VDD ou aterradas, dependendo se o transistor 405 é um transistor PMOS ou NMOS, respectivamente).

[0028] De forma análoga à interligação 435, uma interligação MP de nível 2 440 acopla-se a partir da segunda porta simulada 430 através de uma interligação LIc de nível 1 465 a uma região de difusão 445 em OD 420 à direita da porta simulada 430. Visto que a porta simulada 430 deve ser ligada a uma tensão da fonte para que ela funcione como uma porta simulada, um conduto 470 acopla-se entre uma interligação da fonte em uma camada de metal (não ilustrada) à interligação LIc de nível 1 465 através de uma interligação LIa de nível 2 (não ilustrada). A região de difusão 445 é, portanto, também carregado com a tensão da fonte. Como discutido anteriormente, tanto a interligação LIc 465 quanto a interligação LIa são interligações dirigidas por porta. Em uma pilha nível 1 / nível 2 dessas interligações dirigidas por porta, a combinação das interligações LIa e LIc pode ser designado como uma camada MO_OD. Por exemplo, uma MO_OD camada 480 acopla-se ao dreno 415.

[0029] Deve ser notado que a célula 400 inclui a interligação MP 440, interligação LIc 465 e o conduto 470, embora essas estruturas existam fora de um limite celular tradicional, o que convencionalmente se estenderia a partir da linha tracejada A na porta simulada 425 à linha tracejada B na porta simulada 430. Estas estruturas extras são bastante vantajosas porque elas forçam a região de difusão 445 para estar sempre carregada à tensão da fonte. Em seguida, pode-se calcular a corrente de fuga através da porta simulada 430 a partir desta “fonte” extra (região de difusão 445) ao dreno 415. Esta corrente de fuga, então, será a mesma para cada duplicação da célula 400. A peculiaridade da existência ou não de uma fonte ou um dreno em uma região de difusão 485 na OD 420 à esquerda da porta simulada 425, portanto, não importa porque, em um nível de célula, a corrente de fuga é sempre calculada a partir da “fonte” extra (região de difusão

445) para o dreno 415. Caso a região de difusão 485 compreenda uma fonte para outra célula (não ilustrada), então não poderá haver corrente de fuga adicional através da porta simulada 425 entre a região de fonte / difusão 485 e a fonte 410, visto que esses nós são carregados ao mesmo potencial. Por outro lado, caso a região de difusão 485 compreenda um dreno para outra célula (não ilustrada), a corrente de fuga a partir da fonte 410 para a região de difusão 485 seria, então, capturada no nível celular no dreno para esta célula adicional. Isto é muito vantajoso pelo fato de que a corrente de fuga pode agora ser caracterizada ao nível da célula, ao passo que isto era problemático para a célula convencional 201 tal como discutido acima. Deve ser notado quão vantajoso isto é: dependendo do processo de fundição e das dimensões da célula, é possível sempre colocar uma variação sobre esta corrente de fuga definida para os vários ângulos esperados do processo, as tensões de alimentação, e temperaturas. Seja qual for este intervalo, então é preciso apenas multiplica-lo pelo número de células 400 para caracterizar a corrente de fuga. Em contraste, não há essa solução pronta para a corrente de fuga para a célula 201 da Figura 2. Em particular, a interligação 215 (a qual, como discutido acima, é mostrada de forma simplificada que não leva em conta a estrutura de interligação local de dois níveis discutida acima) não faz parte da célula 201. Assim, a célula 201 não oferece a segurança que a célula 400 oferece no que diz respeito ao fornecimento de uma quantidade conhecida de corrente de fuga.

[0030] Deve ser notado que há uma diferença física distinta entre a célula 400 e a célula convencional 201. Por exemplo, suponha que a célula 201 estava na borda de um arranjo de transistor. Em outras palavras, sabe-se que portas, como as portas 110 e 101 (bem como as portas

simuladas 210 e 205) são dispostas de acordo com um *pitch* de porta. Este *pitch* define um espaçamento regular entre as estruturas de porta adjacentes. Uma região de difusão de OD, tal como a OD 200, estende-se assim através de numerosas portas para várias células. As portas são assim dispostas em toda a extensão de uma região de difusão de OD contínua a partir de uma extremidade da região de difusão de OD a uma extremidade restante da região de difusão de OD. As portas podem ser consideradas como sendo dispostas a partir de uma porta inicial para uma porta final com respeito à sua disposição de acordo com o *pitch* de porta em toda a região de difusão de OD. Da mesma forma, os transistores correspondentes às portas também podem ser considerados como sendo dispostos a partir de um transistor de partida a um transistor final com relação a qualquer dada região de difusão de OD contínua. A este respeito, supondo que o transistor 100 da Figura 2 fosse o transistor final na região de difusão de OD contínua 200. Não haveria então o transistor 101 à direita do transistor 100. Visto que a interligação 215 é parte da célula para o transistor 101, ela seria, portanto, ausente caso o transistor 100 fosse o transistor final na região de difusão de OD contínua 200. A porta simulada 205, assim, flutuaria nesse caso convencional. Mas a célula 400 é bastante diferente - não importa se a célula 400 é a célula final na região de difusão de OD contínua 420 porque a interligação 440, assim como a interligação 465 e o conduto 470 estão incluídos dentro da célula 400. A porta 430 é, assim, sempre carregada com a tensão da fonte, bem como a região de difusão 445, independente se a célula 400 é a última célula ou uma célula anterior.

[0031] Em uma forma de realização, a estrutura de interligação local da interligação local difusão-dirigida 440 e a interligação local porta-dirigida 465 pode ser

considerada como compreendendo um meio para o acoplamento da porta simulada 430 e a região de difusão 445 a uma tensão da fonte.

[0032] Tal como aqui definido, o eixo longitudinal para estruturas OD-alinhadas pode ser considerado como se estendendo em uma direção "difusão-dirigida", ao passo que as estruturas porta-alinhadas podem ser consideradas como se estendendo em uma direção porta-alinhada que é ortogonal a direção difusão-dirigida. Fazendo novamente referência à célula 400, as interligações locais MP 435 e 440 podem ser consideradas como se estendendo na direção difusão-dirigida. Por exemplo, a interligação 440 se estende na direção difusão-dirigida a partir da porta simulada 430 para a interligação LIc de nível 1 465. Em contraste, a interligação LIc de nível 1 465 estende-se de forma plana na direção porta-dirigida, visto que é paralela a uma parte da porta simulada 430.

[0033] A arquitetura da célula mostrada na Figura 4A pode facilmente ser "invertida" em 180 graus, como mostrado na Figura 4B para a célula 401 que inclui um transistor 495. Em outras palavras, enquanto a célula 400 tem a sua fonte 410 à esquerda do portão 450 e o seu dreno à direita da porta 450, a fonte 410 para a célula 401 está à direita da porta 450. Da mesma forma, o dreno 415 está à esquerda da porta 450 na célula 401. A célula 400 e a célula 401 são, portanto, imagens espelhadas uma da outra. As estruturas restantes na célula 401 seguem esta relação espelho-imagem e são, de outra maneira como discutido, em relação à célula 400. Por exemplo, enquanto a interligação 470 estava à direita da porta 450 na célula 400, a interligação 470 está à esquerda da porta 450 na célula 401. É possível, assim, apreciar que a célula 401 pode estar em contato com outra célula 401, ou uma célula 400 em cada

limite A ou B. Do mesmo modo, a célula 400 pode estar em contato com outras células 400 nos limites A e B ou com as células 401. Independentemente do contato, a corrente de fuga para as células 400 e 401 pode sempre ser vantajosamente caracterizada ao nível da célula. Como discutido no que diz respeito à célula 400, a célula 401 inclui apenas uma porta de polissilício 450 e uma OD contínua 445, mas será apreciado que arquiteturas alternativas da célula podem incluir múltiplas portas e regiões contínuas de OD.

[0034] Uma arquitetura alternativa da célula é mostrada para uma célula 500 na Figura 5A. A diferença entre a célula 500 e a célula 400 é que a interligação MP 435 está ausente. De outro modo, as estruturas na célula 500 são tal como discutido em relação à célula 400. O resultado é que a porta simulada 425 é flutuante. Mas isso não causa preocupação, visto que a porta simulada 425 será carregada de forma adequada após contato com outra célula. Por exemplo, se outro transistor (não ilustrado) em uma célula com a mesma estrutura da célula 500 (embora possa ter números variáveis de portas de polissilício e regiões de OD contínua) tem o seu dreno 515 adjacente à porta simulada 425, como mostrado na Figura 5B, então este transistor adicional requer a adição de uma interligação difusão-dirigida de nível 2 510 que acopla a porta simulada 425 à interligação porta-dirigida de nível 1 455, assim como a célula 500 requer interligação difusão-dirigida de nível 2 440 para acoplar-se à interligação porta-dirigida de nível 1 465. Deve ser 7497notado que o propósito da interligação 440 é garantir que parte OD 445 adjacente à segunda porta simulada 430 é ligada à tensão da fonte, visto que a segunda porta simulada 430 é adjacente ao dreno para o transistor 505. Desta forma, a corrente de fuga para a célula 500 pode ser caracterizada independentemente do dreno 515, em vez de uma fonte. A fuga

da fonte 410 para o dreno 515 será então capturada na célula (não ilustrada) para o transistor, incluindo o dreno 515. Se esta célula adicional, em alternativa, tinha uma fonte onde o dreno 515 é mostrado, então não haveria nenhuma fuga entre a fonte 410 e esta outra fonte. Assim, é possível apreciar que o vazamento ao nível da célula para a célula 500 (e também para as células 400 e 401) é o mesmo, independentemente do contato da célula adjacente (fonte ou dreno). Um exemplo de método de fabricação será agora discutido para estas estruturas celulares vantajosas.

MÉTODO EXEMPLIFICATIVO DE ANÁLISE DE CORRENTE DE FUGA E FABRICAÇÃO

[0035] Como discutido acima, o projeto do circuito e a análise são grandemente simplificados com os projetos de células inovadoras aqui descritos. Como arquiteturas de células convencionais, estes projetos de células isolam seus transistores usando portas simuladas. Em particular, a célula inclui um dreno que é adjacente a um primeiro lado de uma primeira porta simulada. Do mesmo modo, a célula inclui uma fonte que é adjacente a uma segunda porta simulada. A porta da célula fica entre o dreno e a fonte. Essas estruturas são convencionais. Mas o que não é convencional é que a célula inclui uma estrutura de interligação local que se estende a partir da primeira porta simulada, de modo que tanto a primeira porta simulada quanto uma porta da região de OD adjacente a um segundo lado oposto da primeira porta simulada são carregadas a uma tensão da fonte. Isto garante uma corrente de fuga previsível para cada célula: no que diz respeito a uma região de OD única, é a corrente de fuga desta parte carregada à fonte da região de OD para o dreno da célula através dessa região de OD. Dependendo do número de regiões de OD que se prolongam através de uma célula, é possível assim prever a corrente de fuga de acordo.

Dada esta garantia, não há preocupação quanto ao fato de uma fonte ou dreno estar em contato com o dreno da célula. Se a fonte de uma célula adicional está em contato com a fonte da célula, nenhuma corrente de fuga adicional ocorre. Se o dreno de uma célula adicional está em contato com a fonte da célula, esta célula adicional vizinha vai “capturar” a corrente de fuga que fluiria da célula para o dreno da célula adicional. Desta forma, um designer de circuito precisa simplesmente calcular o que a corrente de fuga é para uma instanciação particular da célula. Este cálculo é uma rotina, como conhecido na arte e dependeria das dimensões do transistor e ângulo esperado do semicondutor. Haveria, evidentemente, alguma tolerância nesse cálculo, visto que o ângulo exato do processo não pode ser conhecido até após a sua fabricação. Mas esta tolerância é a mesma para todas as células. O cálculo da fuga, assim, torna-se relativamente fácil: basta apenas contar as células que se estendem através de uma dada região de OD e multiplicar o número resultante pela fuga esperada da célula.

[0036] O fluxograma da Figura 6 resume este método de análise da corrente de fuga vantajosa. A análise pode ser realizada utilizando um processador (não ilustrado). O método começa com uma etapa 600 de concepção de um circuito que inclui uma pluralidade de células que se estendem através de uma região de OD contínua, em que cada célula inclui um dreno adjacente a um primeiro lado de uma primeira porta simulada e uma estrutura de interligação local configurada para acoplar tanto a primeira porta simulada quanto uma primeira parte da região de OD adjacente a um segundo lado oposto da primeira porta simulada a uma tensão da fonte. O método compreende um ato 605de cálculo, em um processador, uma corrente de fuga de célula entre a primeira parte da região de OD e o dreno. Finalmente, a análise inclui um ato

610 de, no processador, contagem do número de células na pluralidade de células e multiplicação do número pela corrente de fuga de células para se obter uma corrente de fuga total para a pluralidade de células.

[0037] Em uma etapa adicional (não ilustrada), a pluralidade de células e a região de OD correspondente podem ser formadas em um substrato semicondutor para completar a fabricação. Mas deve ser notado que a análise da corrente de fuga é muito simplificada, na medida em que se limita a exigir uma contagem das células e multiplicar a contagem pela corrente de fuga de células. Mas este não é o caso com células convencionais devido ao contato desconhecido do dreno de uma célula convencional com o dreno ou a fonte de outra célula convencional. Assim, a arquitetura de célula divulgada simplifica muito o projeto de circuito e a análise.

[0038] Um exemplo de método de fabricação para uma célula de acordo com a invenção é fornecido na Figura 7. Em uma etapa inicial 700, uma região de definição de óxido contínua (OD) é definida em um substrato. Uma etapa 705 compreende a formação de uma porta para um transistor entre uma primeira porta simulada e uma segunda porta simulada, em que uma fonte para o transistor é definida em uma parte da região de OD entre a porta e a primeira porta simulada, e em que um dreno para o transistor é definido em uma parte da região de OD entre a porta e um primeiro lado da segunda porta simulada. Uma etapa 710 compreende a formação de uma primeira interligação local porta-dirigida acoplada a uma parte da região de OD adjacente a um segundo lado oposto da segunda porta simulada. Finalmente, uma etapa 715 compreende a formação de uma primeira interligação local difusão-dirigida acoplada entre a primeira interligação porta-dirigida e a segunda porta simulada. Será apreciado que

etapas de formação análogas podem ser realizadas para criar as estruturas restantes das células 400, 401 e 500.

[0039] Tal como aqueles de conhecimento comum na arte até o momento irão apreciar e, dependendo da aplicação particular em mãos, muitas modificações, substituições e variações podem ser feitas em e aos materiais, aparelhos, configurações e métodos de utilização dos dispositivos da presente invenção, sem afastamento de seu espírito e âmbito. À luz disto, o âmbito da presente invenção não deve ser limitado àquele das formas de realização específicas ilustradas e descritas aqui, uma vez que são meramente a título de alguns exemplos, mas, em vez disso, deve ser totalmente compatível com o das reivindicações anexas daqui em diante e seus equivalentes funcionais.

REIVINDICAÇÕES

1. Célula (400) caracterizada pelo fato de que compreende:

uma região de definição de óxido contínua tensionada, OD, (485) definida em um substrato;

uma porta (450) para um transistor entre uma primeira porta simulada (*dummy gate*) (425) e uma segunda porta simulada (430), em que uma fonte (410) para o transistor é definida em uma primeira porção da região de OD contínua tensionada (485) entre a porta (450) e a primeira porta simulada (425), e em que um dreno (415) para o transistor é definido em uma segunda porção da região de OD contínua tensionada (485) entre a porta (450) e um primeiro lado da segunda porta simulada (430);

uma primeira interconexão local porta-dirigida (465) acoplada a uma terceira porção da região de OD contínua tensionada (485) adjacente a um segundo lado oposto da segunda porta simulada (430);

uma primeira interconexão local difusão-dirigida (440) configurada para acoplar a primeira interconexão local porta-dirigida (465) à segunda porta simulada (430); e

um primeiro conduto (470) configurado para acoplar a primeira interconexão local difusão-dirigida (440) a uma interconexão de tensão de fonte em uma camada de metal adjacente ao substrato.

2. Célula (400), de acordo com a reivindicação 1, caracterizada pelo fato de que compreende adicionalmente:

uma segunda interconexão local porta-dirigida (455) configurada para acoplar-se à primeira porção da região de OD contínua tensionada (485) que define a fonte; e

uma segunda interconexão local difusão-dirigida (435) configurada para acoplar a primeira porta simulada (425) à segunda interconexão local porta-dirigida (455).

3. Célula (400), de acordo com a reivindicação 2, caracterizada pelo fato de que compreende adicionalmente um segundo conduto (460) configurado para acoplar a segunda interconexão local porta-dirigida (455) a uma interconexão de tensão de fonte em uma camada de metal adjacente ao substrato.

4. Célula (400), de acordo com a reivindicação 1, caracterizada pelo fato de que a célula é uma última célula em um arranjo de células que se estendem através da região de OD contínua tensionada (485), e em que a região de OD contínua tensionada (485) se estende de uma primeira extremidade a uma segunda extremidade oposta adjacente à terceira porção da região de OD contínua tensionada (485).

5. Célula (400), de acordo com a reivindicação 1, caracterizada pelo fato de que a célula é uma primeira célula em um arranjo de células que se estendem através da região de OD contínua tensionada (485), e em que a região de OD contínua tensionada (485) se estende de uma primeira extremidade adjacente à terceira porção da região de OD contínua tensionada (485) a uma segunda extremidade oposta.

6. Célula (400), de acordo com a reivindicação 3, caracterizada pelo fato de que a primeira interconexão local porta-dirigida (465) e a primeira interconexão local difusão-dirigida (440) são, cada uma, interconexões locais de nível 2, sendo que a célula compreende adicionalmente uma primeira interconexão local porta-dirigida de nível 1 disposta entre a primeira interconexão local porta-dirigida de nível 2 e a terceira porção da região de OD contínua tensionada para acoplar a primeira interconexão local porta-dirigida de nível 2 à terceira porção da região de OD contínua tensionada, e em que o primeiro conduto é uma interconexão local de nível 3.

7. Célula (400), de acordo com a reivindicação 6,

caracterizada pelo fato de que a primeira interconexão local porta-dirigida de nível 1 (465), a primeira interconexão local porta-dirigida de nível 2, e a primeira interconexão local difusão-dirigida de nível 2 compreendem, todas, tungstênio.

8. Célula (400), de acordo com a reivindicação 6, caracterizada pelo fato de que a primeira porta simulada (425), a porta (450) e a segunda porta simulada (430) são separadas entre si de acordo com um *pitch* de porta.

9. Célula (400), de acordo com a reivindicação 8, caracterizada pelo fato de que a porta (450) compreende uma pluralidade de portas.

10. Célula (400), de acordo com a reivindicação 1, caracterizada pelo fato de que compreende adicionalmente uma região de OD contínua tensionada (485) adicional.

11. Célula (400), de acordo com a reivindicação 1, caracterizada pelo fato de que a célula inclui uma pluralidade de transistores.

12. Célula (400), de acordo com a reivindicação 1, caracterizada pelo fato de que a região de OD contínua tensionada (485) compreende uma região de OD contínua tensionada de PMOS, ou em que a região de OD contínua tensionada (485) compreende uma região de OD contínua tensionada de NMOS.

13. Método para formar uma célula (400) caracterizado pelo fato de que compreende:

formar (700) uma região de definição de óxido contínua tensionada, OD, definida em um substrato;

formar (705) uma porta para um transistor disposta de acordo com um *pitch* de porta entre uma primeira porta simulada e uma segunda porta simulada, em que uma fonte para o transistor é definida em uma porção da região de OD contínua tensionada entre a porta e a primeira porta

simulada, e em que um dreno para o transistor é definido em uma porção da região de OD contínua tensionada entre a porta e um primeiro lado da segunda porta simulada;

formar (710) uma primeira interconexão local porta-dirigida acoplada a uma porção da região de OD contínua tensionada adjacente a um segundo lado oposto da segunda porta simulada;

formar (715) uma primeira interconexão local difusão-dirigida configurada para acoplar a primeira interconexão local porta-dirigida à segunda porta simulada; e

formar um conduto configurado para acoplar a primeira interconexão local porta-dirigida a um suprimento de tensão de fonte.

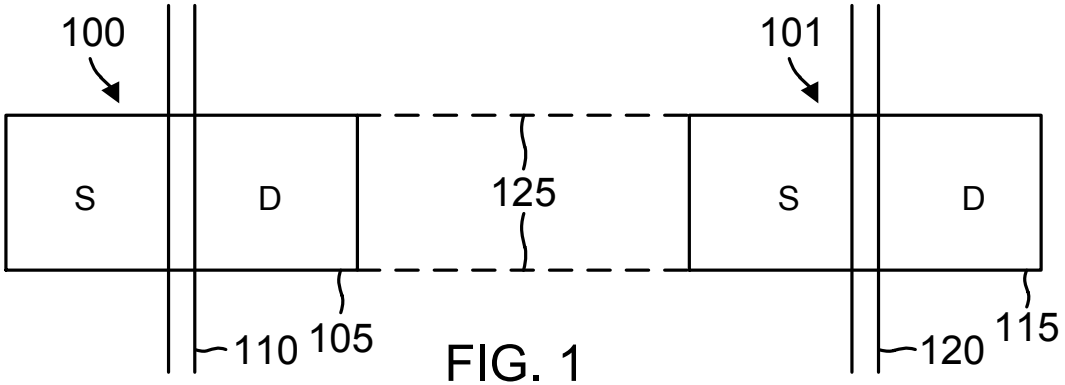


FIG. 1

-TÉCNICA ANTERIOR-

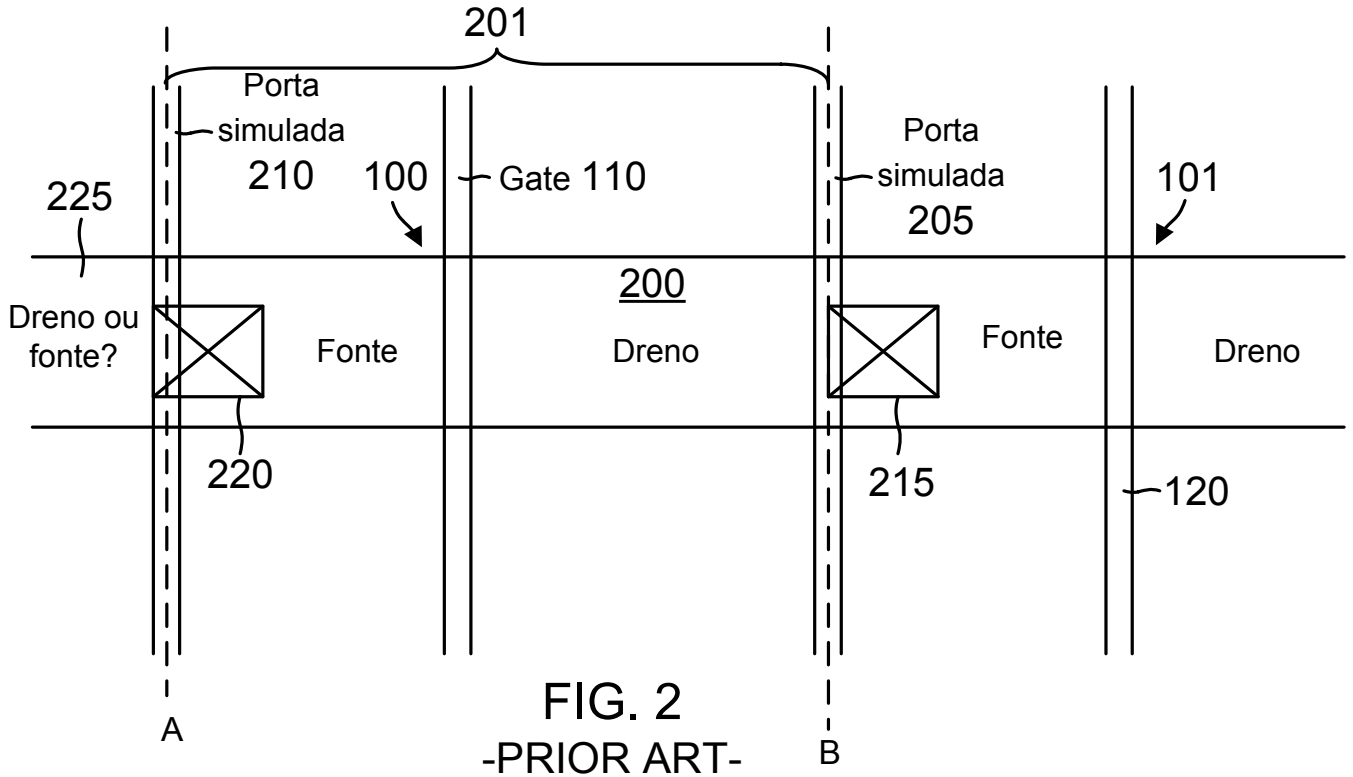


FIG. 2

-PRIOR ART-

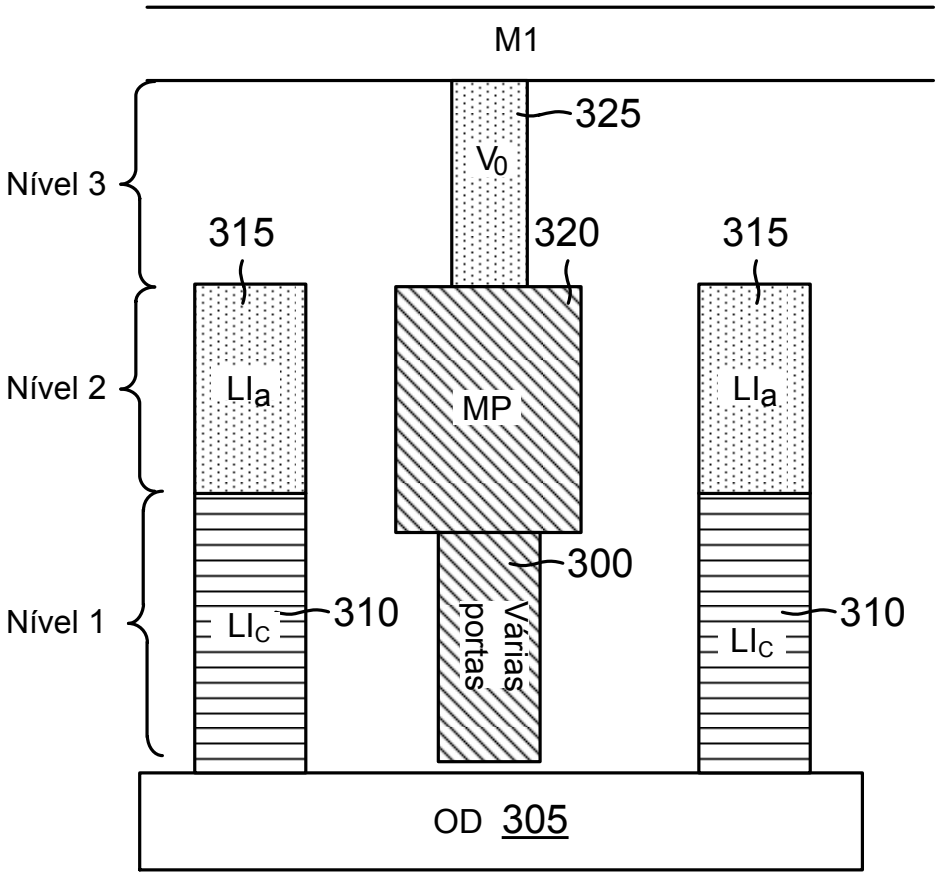


FIG. 3

-TÉCNICA ANTERIOR-

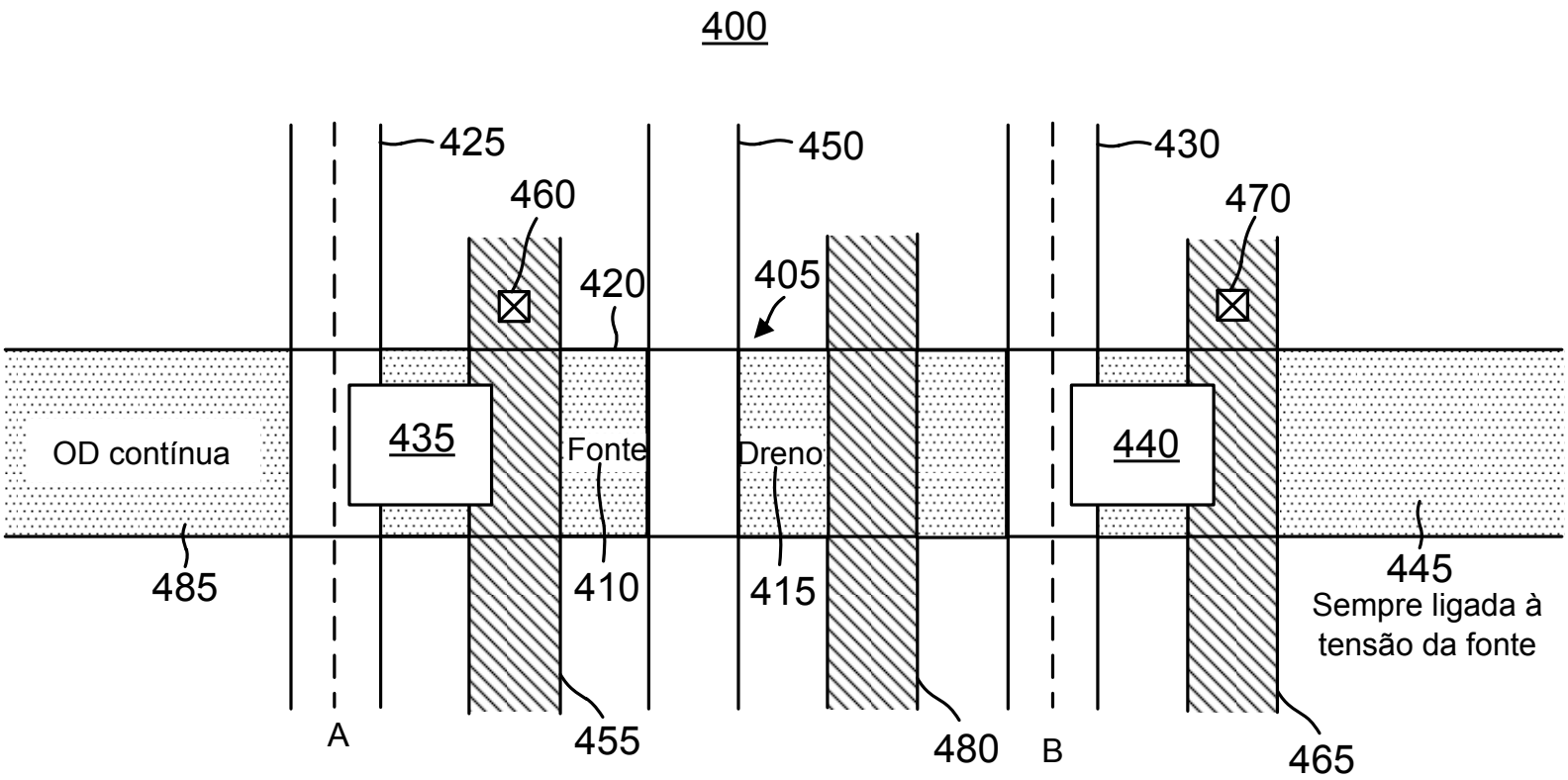

400
425
450
430
460
470
420
405
435
440
OD contínua
Fonte
Dreno
485
410
415
445
Sempre ligada à tensão da fonte
A
455
480
B
465

FIG. 4A

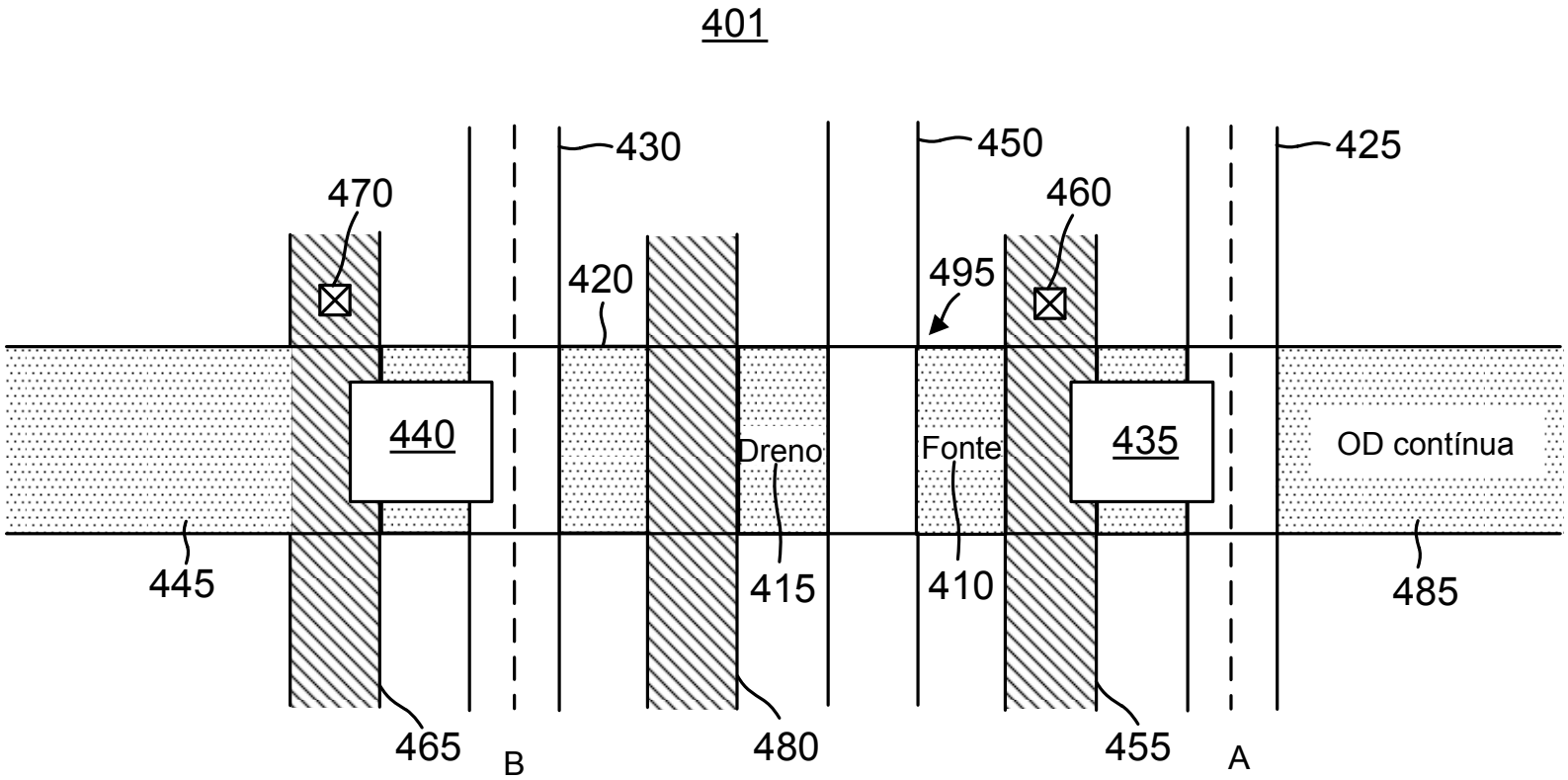

401
430
450
425
470
460
420
495
440
435
Dreno
Fonte
OD contínua
445
415
410
485
465
B
480
455
A

FIG. 4B

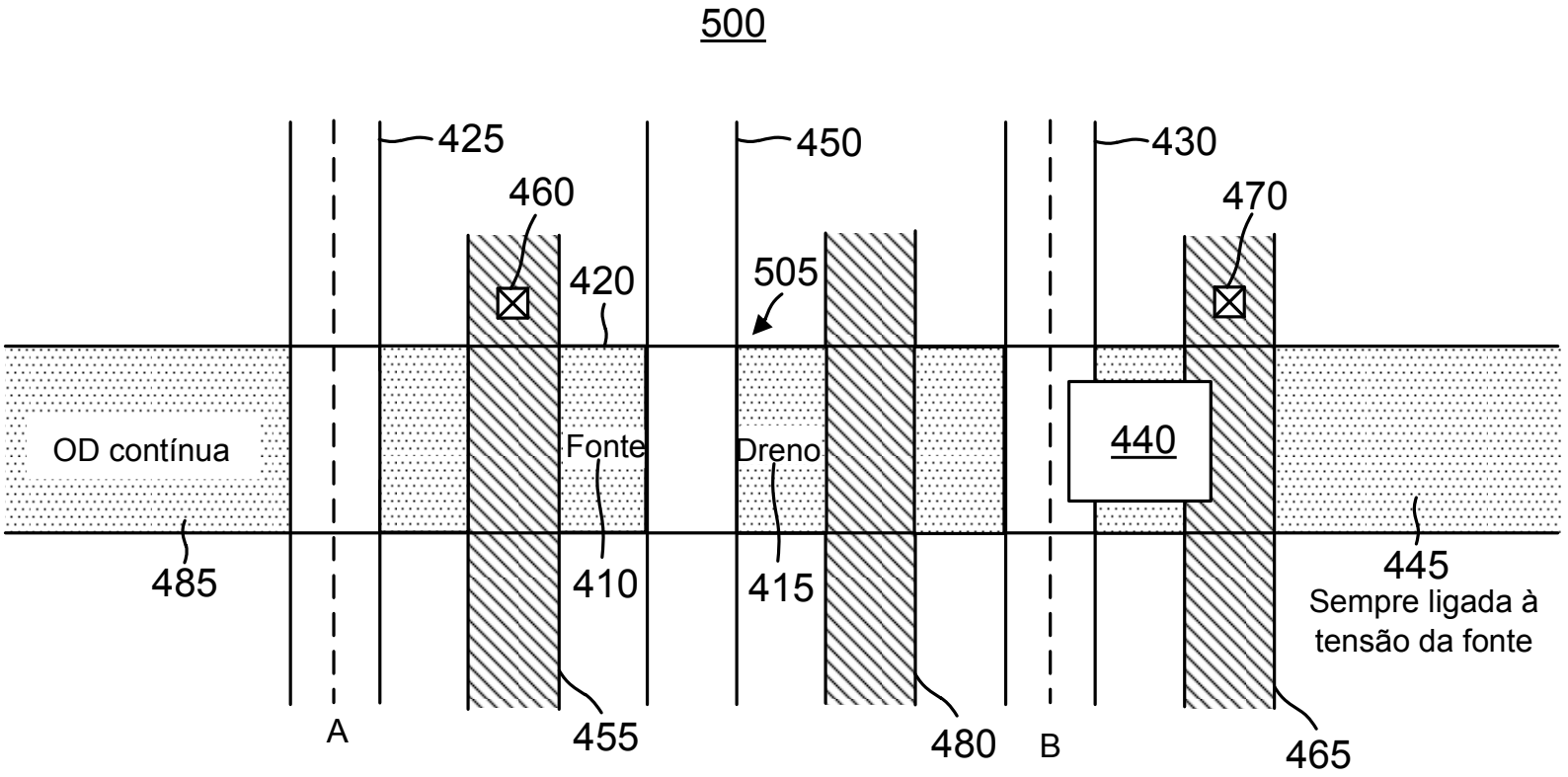

500
425
450
430
460
470
420
505
OD contínua
Fonte
Dreno
440
485
410
415
445
Sempre ligada à tensão da fonte
A
455
480
B
465

FIG. 5A

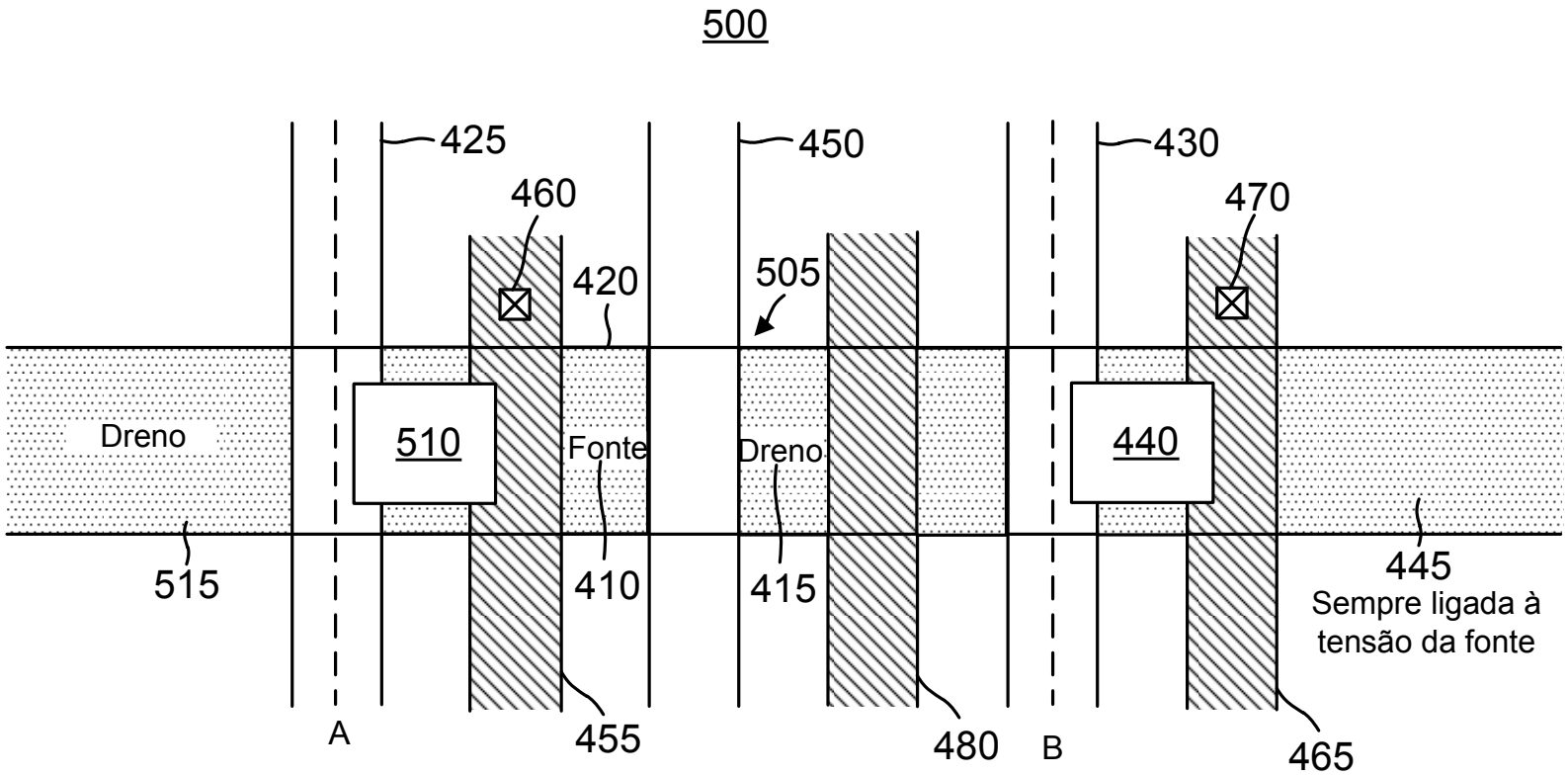

500
425
450
430
460
470
420
505
Dreno
510
Fonte
Dreno
440
515
410
415
445
Sempre ligada à tensão da fonte
A
455
480
B
465

FIG. 5B

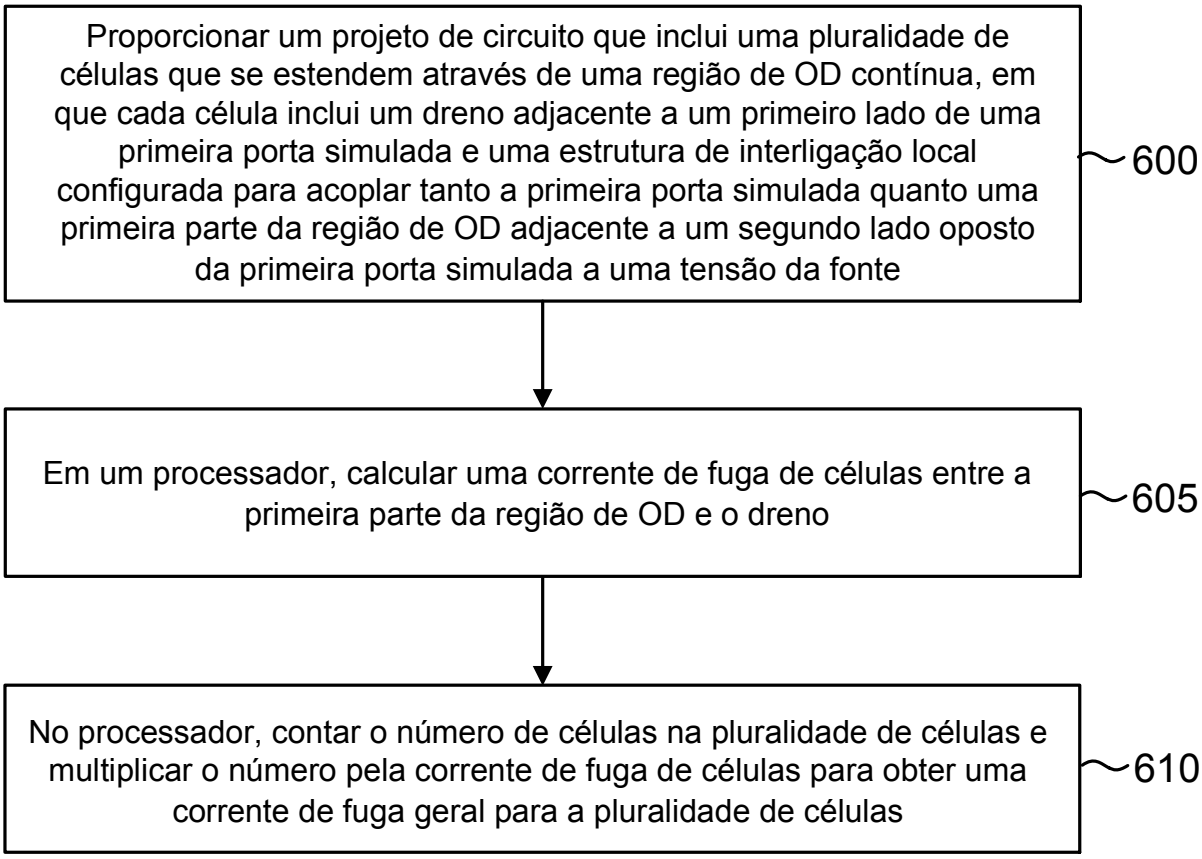

Proporcionar um projeto de circuito que inclui uma pluralidade de células que se estendem através de uma região de OD contínua, em que cada célula inclui um dreno adjacente a um primeiro lado de uma primeira porta simulada e uma estrutura de interligação local configurada para acoplar tanto a primeira porta simulada quanto uma primeira parte da região de OD adjacente a um segundo lado oposto da primeira porta simulada a uma tensão da fonte
600
Em um processador, calcular uma corrente de fuga de células entre a primeira parte da região de OD e o dreno
605
No processador, contar o número de células na pluralidade de células e multiplicar o número pela corrente de fuga de células para obter uma corrente de fuga geral para a pluralidade de células
610

FIG. 6

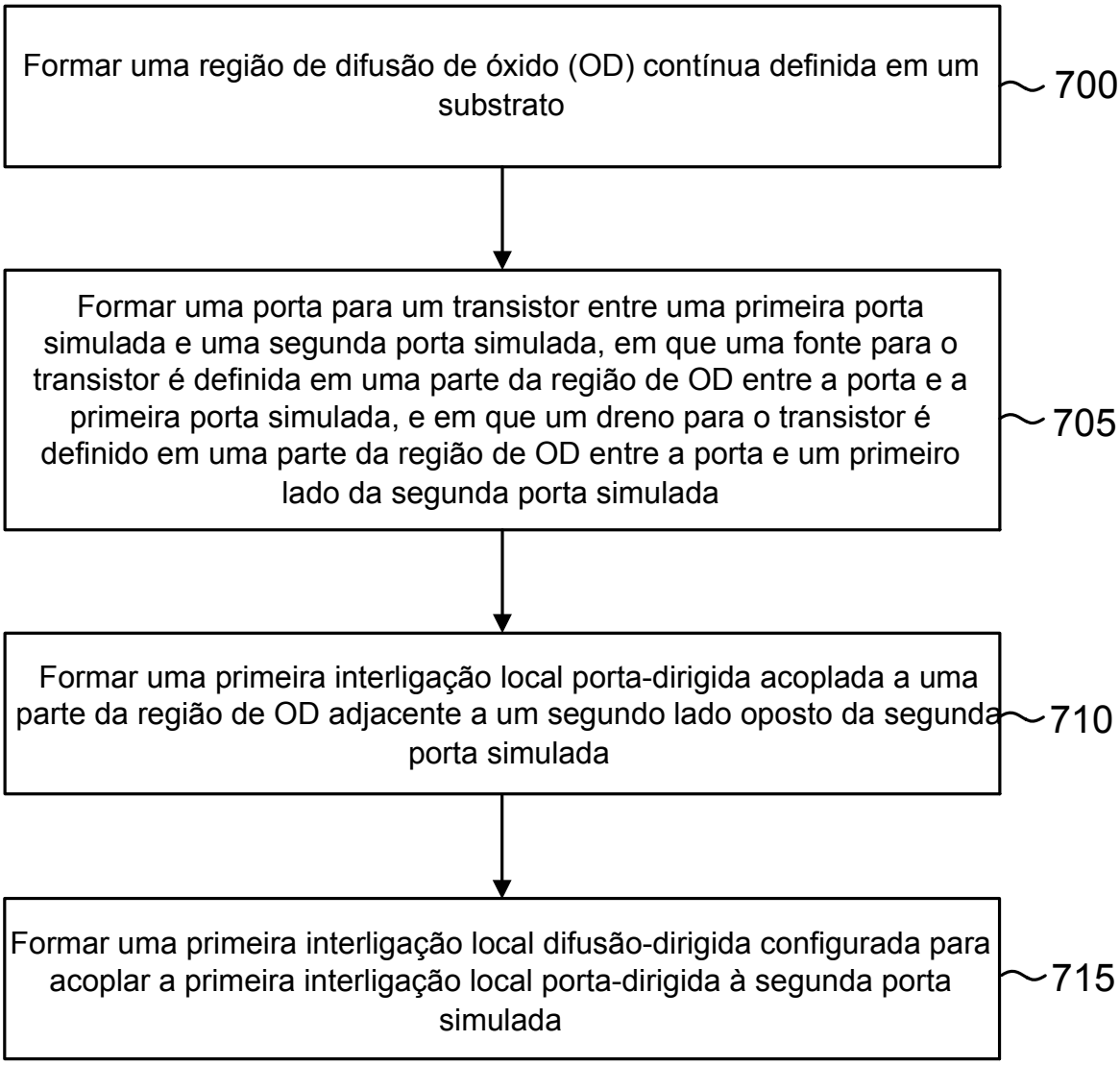

Formar uma região de difusão de óxido (OD) contínua definida em um substrato
700
Formar uma porta para um transistor entre uma primeira porta simulada e uma segunda porta simulada, em que uma fonte para o transistor é definida em uma parte da região de OD entre a porta e a primeira porta simulada, e em que um dreno para o transistor é definido em uma parte da região de OD entre a porta e um primeiro lado da segunda porta simulada
705
Formar uma primeira interligação local porta-dirigida acoplada a uma parte da região de OD adjacente a um segundo lado oposto da segunda porta simulada
710
Formar uma primeira interligação local difusão-dirigida configurada para acoplar a primeira interligação local porta-dirigida à segunda porta simulada
715

FIG. 7