

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成28年11月10日 (2016.11.10)

【公開番号】特開2015-230920(P2015-230920A)

【公開日】平成27年12月21日 (2015.12.21)

【年通号数】公開・登録公報2015-080

【出願番号】特願2014-115133(P2014-115133)

【国際特許分類】

H 0 1 L 21/76 (2006.01)

H 0 1 L 21/265 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 21/8222 (2006.01)

H 0 1 L 21/8248 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/331 (2006.01)

H 0 1 L 29/732 (2006.01)

H 0 1 L 29/861 (2006.01)

H 0 1 L 29/868 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 21/8228 (2006.01)

H 0 1 L 27/082 (2006.01)

H 0 1 L 21/8249 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

【 F I 】

H 0 1 L 21/76 L

H 0 1 L 21/265 R

H 0 1 L 21/265 V

H 0 1 L 27/08 3 3 1 A

H 0 1 L 27/06 1 0 1 U

H 0 1 L 29/72 P

H 0 1 L 29/91 C

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/06 1 0 1 D

H 0 1 L 27/08 1 0 1 C

H 0 1 L 27/06 3 2 1 F

H 0 1 L 27/08 3 3 1 C

H 0 1 L 27/08 3 2 1 F

【手続補正書】

【提出日】平成28年9月23日 (2016.9.23)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板と、

前記基板に形成され、平面視において多角形の各辺に沿って形成された素子分離トレンチと、

前記基板に形成され、前記素子分離トレンチのいずれの辺とも異なる方向に延びている第1トレンチと、

前記基板のうち前記第1トレンチの端部に位置する部分に形成された第1の第1導電型領域と、

を備える半導体装置。

【請求項2】

請求項1に記載の半導体装置において、

前記基板は第2導電型であり、

前記第1トレンチは、前記素子分離トレンチで囲まれた領域の内側に位置しており、

さらに、前記基板に埋め込まれた第1導電型の第1埋込層を備え、

前記第1トレンチの底面は、前記第1埋込層に達するか、または前記第1埋込層よりも下に位置しており、

前記第1の第1導電型領域は前記第1埋込層に接続している半導体装置。

【請求項3】

請求項2に記載の半導体装置において、

前記基板のうち前記素子分離トレンチの内側に位置する領域に形成されたトランジスタを備える半導体装置。

【請求項4】

請求項3に記載の半導体装置において、

前記基板のうち前記トランジスタのドレイン領域とゲート電極の間の領域に埋め込まれた埋込絶縁膜を備える半導体装置。

【請求項5】

請求項2に記載の半導体装置において、

前記基板のうち前記素子分離トレンチの内側に位置する領域に形成され、前記基板よりも不純物濃度が高い第1の第2導電型領域と、

前記第1の第1導電型領域に電氣的に接続する第1コンタクトと、

前記第1の第2導電型領域に電氣的に接続する第2コンタクトと、

を備える半導体装置。

【請求項6】

請求項5に記載の半導体装置において、

複数の前記第1トレンチが、前記素子分離トレンチの少なくとも一部に沿って配置されており、

前記複数の第1トレンチ毎に前記第1の第1導電型領域が形成されている半導体装置。

【請求項7】

請求項6に記載の半導体装置において、

前記多角形は矩形であり、

前記複数の第1トレンチは、前記矩形のうちたがいに対向する第1辺及び第2辺に沿って配置されており、

前記第1辺に沿った前記第1トレンチは、第1の方向に延在しており、

前記第2辺に沿った前記第1トレンチは、第1の方向とは異なる第2の方向に延在しており、

前記第1の第1導電型領域は、前記第1トレンチの2つの端部のうち前記素子分離トレンチに近いほうの端部に形成されている半導体装置。

【請求項8】

請求項7に記載の半導体装置において、

前記第2の方向は、前記第1の方向と直交する半導体装置。

【請求項9】

請求項6に記載の半導体装置において、

前記第 1 の第 1 導電型領域は、前記第 1 トレンチの 2 つの端部のそれぞれに形成されている半導体装置。

【請求項 10】

請求項 2 に記載の半導体装置において、

前記第 1 の第 1 導電型領域は、前記基板のうち前記第 1 トレンチの一方の端部に位置する部分に形成されており、

前記第 1 埋込層の上に形成され、前記第 1 埋込層に接する第 2 導電型の第 2 埋込層と、

前記基板のうち前記第 1 トレンチの他方の端部に位置する部分に形成され、前記第 2 埋込層に接続している第 2 の第 2 導電型領域と、

前記第 1 の第 1 導電型領域に電氣的に接続する第 1 コンタクトと、

前記第 2 の第 2 導電型領域に電氣的に接続する第 3 コンタクトと、

を備える半導体装置。

【請求項 11】

請求項 2 に記載の半導体装置において、

前記第 1 埋込層の上に形成され、前記第 1 埋込層に接する第 2 導電型の第 2 埋込層と、

前記基板のうち前記第 1 トレンチの前記端部に位置する部分に形成された第 2 の第 2 導電型領域と、

を備え、

前記第 1 トレンチが延在する方向において、前記第 1 の第 1 導電型領域と前記第 2 の第 2 導電型領域は並んでおり、

前記第 2 の第 2 導電型領域は、前記第 2 埋込層に接続しており、

さらに、

前記第 1 の第 1 導電型領域に電氣的に接続する第 1 コンタクトと、

前記第 2 の第 2 導電型領域に電氣的に接続する第 3 コンタクトと、

を備える半導体装置。

【請求項 12】

請求項 1 に記載の半導体装置において、

前記多角形は矩形であり、

前記第 1 トレンチは、前記素子分離トレンチの各辺に対して 30° 以上 60° 以下の角度で延在している半導体装置。

【請求項 13】

基板と、

前記基板に形成され、平面視において第 1 方向に延びている第 1 トレンチと、

前記基板に形成され、平面視において前記第 1 方向とは異なる第 2 方向に延びている第 2 トレンチと、

前記基板のうち前記第 1 トレンチの端部に位置する部分に形成された第 1 導電型領域と

、

前記基板のうち前記第 2 トレンチの端部に位置する部分に形成された第 2 導電型領域と

、

を備える半導体装置。

【請求項 14】

基板と、

前記基板に形成され、平面視において第 1 方向に延びているトレンチと、

前記基板のうち前記トレンチの一方の端部に位置する部分に形成された第 1 導電型領域と、

前記基板のうち前記トレンチの他方の端部に位置する部分に形成された第 2 導電型領域と、

を備える半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】 0 0 2 7

【補正方法】 変更

【補正の内容】

【 0 0 2 7 】

また、ゲート電極 $GE\ 1$ とドレイン $DRN\ 1$ の間には、 STI 構造の埋込絶縁膜 STI が形成されている。上記したオフセット領域 $NOF\ 1\ 1$ は埋込絶縁膜 STI の下面の前面に形成されている。

【手続補正 3】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 3 4

【補正方法】 変更

【補正の内容】

【 0 0 3 4 】

図 3 (a) 及び (b) は、図 2 の変形例に係るトランジスタ $TR\ 3$ の構成を示す図であり、それぞれ図 2 (a) 及び (b) に対応している。本実施形態に係るトランジスタ $TR\ 3$ は、 p チャネル型のトランジスタであり、図 2 における n 型ウェル $WL\ 1\ 1$ 、 n 型ウェル $WL\ 1\ 2$ 、オフセット領域 $NOF\ 1\ 1$ 、高濃度領域 $HINPL\ 1\ 2$ 、 $HINPL\ 1\ 3$ 、 $HINPL\ 2\ 1$ が、図 2 とは逆の導電型になっている。なお、図 3 では、分かりやすくするために、図 2 と同一の符号を付している。そして、図 2 における p 型ウェル $WL\ 2\ 1$ に対応するウェルが、 p 型ウェル $WL\ 1\ 1$ と一体になっている。

【手続補正 4】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 6 3

【補正方法】 変更

【補正の内容】

【 0 0 6 3 】

高濃度領域 $HINPL\ 2\ 2$ は矩形である。そして、高濃度領域 $HINPL\ 2\ 2$ から第 1 導電型領域 $INPL\ 1\ 1$ までの最短距離 L が、半数以上の第 1 導電型領域 $INPL\ 1\ 1$ (好ましくはすべての第 1 導電型領域 $INPL\ 1\ 1$) において同一となるように、複数の第 1 トレンチ $DTR\ 1$ が配置されているのが好ましい。

【手続補正 5】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 7 5

【補正方法】 変更

【補正の内容】

【 0 0 7 5 】

まず、図 1 6 に示すように、ダイオード DD のカソードは埋込絶縁膜 $BINSL\ 1$ ではなく、エピタキシャル層 EPI の表層に形成された低濃度の n 型ウェル $LWL\ 1\ 1$ および n 型ウェル $WL\ 1\ 3$ である。 n 型ウェル $WL\ 1\ 3$ の表層の一部には、 n 型の高濃度領域 $HINPL\ 1\ 4$ が形成されている。高濃度領域 $HINPL\ 1\ 4$ は、コンタクト $CON\ 1\ 5$ を介してカソード電極 $INC\ 1\ 2$ に接続している。

【手続補正 6】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 8 4

【補正方法】 変更

【補正の内容】

【 0 0 8 4 】

(第 8 の実施形態)

図 2 1 及び図 2 2 は、第 8 の実施形態に係る半導体装置 SD が有するダイオード DD の断面図である。図 2 3 は、ダイオード DD の平面図である。そして、図 2 1 は図 2 3 の E

- E' 断面図であり、図 22 は図 23 の F - F' 断面図である。本図に示すダイオード D D は、第 1 導電型領域 I N P L 1 1 および第 2 導電型領域 I N P L 2 1 が第 1 トレンチ D T R 1 の同一端部側に形成されている点を除いて、第 7 の実施形態に係るダイオード D D と同様の構成である。